(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 601 533**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **86 10051**

(51) Int Cl⁴ : H 04 B 3/54.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 10 juillet 1986.

(30) **Priorité :**

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 2 du 15 janvier 1988.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *LA TELEMECANIQUE ELECTRIQUE (société anonyme).* — FR.

(72) **Inventeur(s) :** René Duranton.

(73) **Titulaire(s) :**

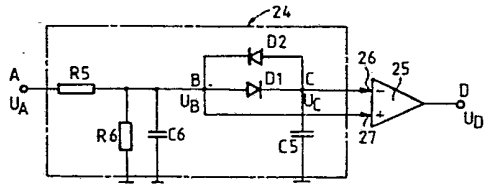
(74) **Mandataire(s) :** Cabinet Moutard.

(54) Dispositif émetteur-récepteur de signaux à haute fréquence accouplable à un réseau de transmission.

(57) Dispositif émetteur-récepteur de signaux haute fréquence accouplable à un réseau de transmission, notamment à un réseau de distribution.

Le dispositif comprend un démodulateur muni d'un étage de mise en forme qui comporte un détecteur de variation de tension 24 et un comparateur 25 dont la sortie change d'état logique lors de la transmission d'un message. A l'entrée du détecteur 24, une borne A de tension U_A est reliée d'une part via un circuit à constante de temps R5, C5 à une première entrée 26 du comparateur, d'autre part directement à une deuxième entrée 27 du comparateur.

La constante de temps R5, C5 est choisie pour que la tension à la première entrée du comparateur s'ajuste sur la valeur moyenne du signal de tension U_A lors de la transmission.



FR 2 601 533 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

DISPOSITIF EMETTEUR-RECEPTEUR DE SIGNAUX A HAUTE FREQUENCE ACCOUPLABLE A UN RESEAU DE TRANSMISSION.

La présente invention concerne un dispositif émetteur-récepteur de signaux à haute fréquence, ce dispositif étant accouplable à un réseau de transmission, celui-ci pouvant notamment, mais non exclusivement, être constitué par un réseau de distribution électrique.

Pour transmettre des messages d'un appareil, d'une machine ou d'un poste de travail à un autre, il existe déjà des dispositifs émetteurs-récepteurs accouplables à un réseau de transmission, associés chacun à un appareil ou poste et comprenant chacun un organe de traitement par exemple à microprocesseur, un interface local de liaison avec l'appareil, un modulateur, un démodulateur, un interface pour le réseau de transmission et une alimentation reliée à un réseau de distribution de puissance. Le réseau de transmission et le réseau de distribution sont selon les cas distincts ou confondus.

Le modulateur génère une fréquence modulée en mode FSK ("frequency shift keying"), cette fréquence prenant l'une ou l'autre de deux valeurs F1, F2 en fonction de l'état logique 0 ou 1 d'un signal binaire délivré par l'organe de traitement. Le démodulateur présente généralement un circuit à asservissement de phase.

Les dispositifs émetteurs-récepteurs connus du type ci-dessus rappelé ont l'inconvénient d'être compliqués et coûteux, notamment lorsqu'est recherchée une bonne immunité aux parasites.

L'invention a pour but principal de diminuer le prix de revient d'un tel dispositif émetteur-récepteur de signaux haute fréquence à courants porteurs sans obérer la sécurité de transmission.

Elle a pour autre but d'assurer en mode réception dans un tel dispositif une démodulation à l'aide de moyens simples, fiables et insensibles aux dispersions ou dérives de composants.

Elle a également pour but de générer de façon très simple en mode émission les ondes de fréquences F1, F2 représentatives des signaux binaires à transmettre.

L'invention concerne un dispositif du type ci-dessus comprenant une alimentation continue, un organe de traitement interfaçable avec un appareil ou une machine, un modulateur et un démodulateur reliés chacun, d'une part, à l'organe de traitement, d'autre part, à un interface de liaison avec le réseau de transmission, le modulateur générant en mode FSK une fréquence qui prend deux valeurs F1, F2 en fonction de l'état logique des données délivrées par l'organe de traitement, le démodulateur comportant un convertisseur fréquence-tension qui délivre un signal de tension U_A susceptible de prendre deux valeurs U_{A1} et U_{A2} correspondant aux fréquences de transmission F1 et F2 et un étage assurant la mise en forme du signal de tension U_A.

Selon l'invention, l'étage de mise en forme du démodulateur comprend un détecteur de variation de tension et un comparateur, le détecteur de variation de tension présentant une borne d'entrée à laquelle est appliqué le signal de tension U_A, la borne d'entrée étant reliée, d'une part, via un

circuit à constante de temps à une première entrée du comparateur et, d'autre part, directement à une deuxième entrée du comparateur ; la sortie du comparateur change d'état logique quand le signal de tension U_A change de valeur, la constante de temps étant choisie pour que la tension à la première entrée du comparateur s'ajuste sur la valeur moyenne $\overline{U_A}$ du signal de tension U_A lors de la transmission.

Les fluctuations de la valeur de U_A dues aux dispersions et dérives des composants du dispositif - notamment à celles du convertisseur fréquence-tension - ne viennent donc pas perturber la détection des signaux de fréquence F1, F2 par le démodulateur.

Le détecteur de variation de tension présente d'une manière avantageuse par sa simplicité un couple de diodes montées tête-bêche entre la borne d'entrée et le circuit à constante de temps.

De préférence, un circuit verrouillant au repos le signal de sortie du comparateur est associé au couple de diodes. De la sorte, la sortie du comparateur reste stable au repos et ne risque pas de commuter par suite d'un bruit affectant le signal de tension U_A ou par suite de perturbations électromagnétiques.

Il est intéressant d'associer au dispositif un protocole de transmission tel que les messages échangés présentent un préambule de chargement du circuit à constante de temps immédiatement avant la réception d'un message, la durée du préambule étant au moins égale à la constante de temps. On est ainsi certain que le condensateur du circuit à constante de temps mémorisant $\overline{U_A}$ sera actif dès le début de la réception du message proprement dit.

Dans un mode de réalisation très simple, le modulateur du dispositif émetteur-récepteur comprend un générateur numérique pour les fréquences F1, F2, ce générateur étant asso-

cié à une horloge de l'organe de traitement et agencé pour diviser cette fréquence dans un rapport variable avec l'état du signal numérique de sortie de l'organe de traitement. On tire ainsi au mieux parti de l'horloge de l'organe de traitement, en particulier lorsque celui-ci est un microprocesseur. Le générateur de fréquence comprendra de préférence un compteur binaire 4 bits à présélection, l'une des entrées de présélection étant reliée à la sortie de l'organe de traitement, une logique reliée à la sortie du compteur et connectée avec une entrée de validation de la présélection de celui-ci, le compteur et la logique étant cadencés par l'horloge de l'organe de traitement.

La figure 1 représente schématiquement un dispositif émetteur-récepteur fonctionnant en modulation FSK et relié à un réseau de distribution en courant alternatif ;

La figure 2 est un schéma synoptique du démodulateur du dispositif de la figure 1 ;

La figure 3 représente un premier mode de réalisation de l'étage de mise en forme du démodulateur ;

La figure 4 illustre un exemple de trame d'un message acheminé par le courant porteur modulé en FSK ;

La figure 5 est un chronogramme des tensions caractérisant le circuit de la figure 3 ;

La figure 6 représente un deuxième mode de réalisation de l'étage de mise en forme ;

La figure 7 est un chronogramme des tensions du circuit de la figure 6 ;

La figure 8 montre un exemple préféré de réalisation du modulateur de la figure 1 ;

La figure 9 est un chronogramme représentant les signaux en divers points du modulateur de la figure 8.

Le dispositif émetteur-récepteur 10 de signaux à haute fréquence est destiné à être accouplé à un réseau de transmission. Ce réseau peut être distinct du réseau de distribution de puissance. Dans le cas présent, le réseau de transmission est confondu avec le réseau de distribution électrique de puissance 50 ou 60 hz triphasé, monophasé, voire dans certains cas avec un réseau de courant continu.

Le dispositif 10 comprend un organe de traitement 11, un modulateur 12, un démodulateur 13, un interface 14 de réseau et une alimentation continue 15.

L'organe de traitement 11 comporte un microprocesseur 16 doté d'une horloge 4 et relié d'une part via des circuits d'entrée-sortie 17 à un appareil, une machine ou un processus associé qui exploite les messages reçus ou génère les informations qui seront traduites en messages émis par le dispositif. A l'émission, l'organe de traitement gère les messages ; à la réception, il les interprète après avoir vérifié leur syntaxe et leur exactitude ; il exécute de plus le programme dont il est chargé.

Un organe de codage 18 définissant l'adresse du dispositif est associé au microprocesseur 16. Ce dernier peut dans certains cas être remplacé par une combinaison d'opérateurs logiques. L'horloge H du microprocesseur et une sortie de données D0 de celui-ci sont reliées au modulateur 12, plus précisément à un générateur 19 de fréquences décalées F1, F2 traduisant respectivement les bits 0 et 1 des messages à transmettre.

La sortie du modulateur 12 est reliée à l'interface 14, lequel est raccordé par ailleurs aux conducteurs du réseau de transmission. Pour la réception, l'interface 14 est de plus relié à un organe amplificateur et décodeur 20 apparte-

nant au démodulateur 13. L'alimentation 15 fournit une ou plusieurs alimentations continues Vcc aux divers circuits du dispositif. L'interface 14 assure donc la liaison entre, d'une part, le modulateur et le démodulateur et, d'autre part, le réseau. Il assure également à la réception la discrimination entre la fréquence du réseau et les fréquences F1, F2 lorsque l'appareil est connecté à un réseau électrique de distribution.

Le démodulateur 13 représenté figure 2 comprend un amplificateur 21, un convertisseur fréquence-tension 22 et un étage de mise en forme 23. Le signal sinusoïdal transmis par le réseau est filtré dans l'interface 14 pour éliminer les signaux parasites et ne laisser subsister que les composantes de fréquences F1, F2 ; il est amplifié à un niveau approprié par l'amplificateur 21, puis converti en un signal de tension U par le convertisseur 22 et mis en forme et ajusté automatiquement par l'étage 23. A la fréquence F1 correspond la tension U1 et à la fréquence F2 correspond la tension U2.

Dans le mode de réalisation de la figure 3, l'étage de mise en forme 23 présente un détecteur de variation de tension 24 et un comparateur 25. Le détecteur 24 a une borne d'entrée A à laquelle est appliqué le signal de tension U_A provenant du convertisseur F/U 22. Il comprend un condensateur C5 susceptible d'être chargé à partir de la tension U_A via une résistance R5 et une diode D1 et relié à une entrée inverseuse 26 du comparateur. La décharge du condensateur C5 est permise par une diode D2 montée tête-bêche avec D1. Les bornes B et C du couple de diodes D1, D2, de tensions respectives U_B et U_C, sont reliées à l'entrée inverseuse 26 et à une entrée non inverseuse 27 du comparateur. Un filtre passe-bas R6, C6 est disposé entre R5 et le point B pour protéger la démodulation contre les parasites. La borne de sortie du comparateur 25 est notée D et commute lors de la transmission d'état logique quand le signal de tension U_A change de valeur. La constante de temps R5 C5 est choisie de façon que

la tension U_C s'ajuste sur la valeur moyenne $\overline{U_A}$ de la tension au point A lors de la transmission.

Le message acheminé en transmission asynchrone est illustré par la suite de signaux logiques de la figure 4. Il comporte un préambule P qui précède le message proprement dit M. Le préambule P se compose d'une suite d'impulsions récurrentes servant à charger le condensateur C5 préalablement à la réception du message, la durée (t1 - t0) du préambule étant au moins égale à la constante de temps R5 C5. Le message comprend immédiatement après le préambule P une partie M1 comportant plusieurs bits de stop (8 par exemple), puis une série de mots M_3, M_4, M_5... chaque mot débutant par un ou plusieurs bits de start et se terminant par un ou plusieurs bits de stop.

Le chronogramme de la figure 5 montre respectivement la variation dans le temps des signaux U_A, U_C, $U_B - U_C$ et U_D et va permettre d'expliquer le fonctionnement de l'étage de mise en forme de la figure 3.

En l'absence de signal à l'entrée du démodulateur, la tension U_A prend une valeur U_{A0} constante, par exemple égale à Vcc/2, mais qui pourrait également être nulle. La tension U_C prend la même valeur et la différence de potentiel $U_B - U_C$ est nulle. La tension de sortie U_D du comparateur prend un état logique indéterminé 0 ou 1.

La réception du préambule P du message se traduit par un battement de la tension U_A à partir de l'instant t0 entre les valeurs U_{A1} et U_{A2} qui correspondent respectivement aux fréquences de transmission F1 et F2. La tension U_C évolue progressivement jusqu'à sa valeur nominale $U_{CM} = \frac{U_{A1} + U_{A2}}{2}$ à l'instant t_1 ; pendant la première partie du préambule, $U_B - U_C$ peut ne pas changer de signe (cas représenté figure 5 où $U_{A1} - U_{A0}$ a même signe que $U_{A2} - U_{A0}$), mais en fin de préambule, U_C étant égal à U_{CM}, $U_B - U_C$ passe alternative-

ment de + V_D à - V_D du fait du passage alterné du courant par D1 et D2.

L'état logique du signal de sortie U_D peut être stable en début de préambule puis alterne entre 1 et 0 en fin de préambule. Lors de la réception des bits du message proprement dit, U_A prend les valeurs U_{A1} et U_{A2}, U_C subit de légères variations autour de sa valeur nominale U_{CM} et U_D change d'état logique avec $(U_B - U_C)$.

On constate ainsi que, si les composants du dispositif souffrent d'une dispersion ou d'une dérive, le décalage qui en résulte pour U_{A1} et U_{A2} est automatiquement compensé par le décalage de U_C.

Dans le mode de réalisation de la figure 6, l'étage de mise en forme 23 présente en plus des éléments de celui de la figure 3 deux diodes D3, D4 respectivement mises en série entre les points B et C avec les diodes D1, D2.

Le point E intermédiaire entre D1 et D3 est relié via une résistance R7 à une borne à laquelle est appliquée une tension continue, par exemple Vcc ; le point F intermédiaire entre D2 et D4 est relié via une résistance R8 au 0 volt. Les résistances R7 et R8 sont dans un rapport tel que $\frac{Vcc \cdot R8}{R7 + R8} = \frac{Vcc}{2} - \Delta V$ avec ΔV compris entre 0,5 et 1 volt.

On constate sur le chronogramme de la figure 7 que l'on peut affecter au signal de tension U_A, de valeur U_{A0} par exemple égale à Vcc/2 au repos, les valeurs U_{A1} et U_{A2} telles que $U_{A1} > U_{A2} + 4\ V_D$.

En l'absence de signal, un courant circule de Vcc vers la masse à travers R7, D1, D2 et R8. Le potentiel au point E ne peut pas être inférieur à U_B de plus de V_D, de sorte que $+ \Delta V < U_B - U_C < + 2\ V_D$ et que la sortie du comparateur reste verrouillée à l'état logique 1.

Pendant le préambule de durée (t1 - t0), le passage alterné de U_A par les valeurs U_{A1} et U_{A2} détermine l'évolution de U_C jusqu'à une valeur moyenne

$$U_{CM} = \frac{U_{A1} + U_{A2}}{2}$$

de sorte que $U_B - U_C$ prend en fin de préambule, puis pendant le message, les valeurs alternées - 2 V_D et + 2 V_D.

Le modulateur 12 représenté sur la figure 8 comporte un générateur numérique pour les fréquences décalées F1, F2 ; ce générateur est simplement constitué par un diviseur numérique de fréquence présentant un compteur binaire 4 bits synchrones TC1 à présélection synchrone, et une logique interconnectée avec ce compteur et comprenant présentement une bascule JK IC2 à commutation sur front négatif d'horloge, et le cas échéant une logique, par exemple une bascule JK IC3, fournissant un signal symétrique dont la fréquence est un sous-multiple - ou la moitié dans le cas précis de la bascule IC3 - de celle du signal de sortie d'IC1.

Ce générateur de fréquence, dont le fonctionnement sera expliqué par la suite, permet de tirer parti d'une manière directe et très simple de l'horloge H associée au microprocesseur 16, qui génère une fréquence de l'ordre de quelques MHz, pour en retirer deux fréquences de l'ordre de 100 à 150 kHz.

Le signal d'horloge H du microprocesseur est appliqué à une entrée d'incrémentation 31 du compteur IC1 ; une entrée 32 de validation de la présélection du compteur est reliée à la sortie Q de la bascule IC2 ; aux quatre entrées de présélection 36 - 33 à poids décroissant de IC1 sont appliquées : en 33, la sortie D0 du microprocesseur 16 ; en 34, une tension Vcc représentative du bit 1 ; en 35 et 36, une tension nulle représentative du bit 0. De la sorte, selon que la sortie D0 du microprocesseur occupe l'état logique 0 ou 1, les entrées

du compteur sont présélectionnées à 0011 ou 0010 et le compteur est préchargé à la valeur décimale 3 ou 2.

La sortie 37 du compteur IC1 est donc en mesure de passer à l'état 1, soit toutes les 15 - 3 = 12 impulsions d'horloge H, soit toutes les 15 - 2 = 13 impulsions d'horloge H, si l'entrée de validation 32 est à l'état 0 et ce d'une manière qui sera expliquée plus loin.

La sortie 37 du compteur est reliée d'autre part à une entrée complémentée 38 de remise à zéro prioritaire de la bascule JK IC2, d'autre part à une entrée d'horloge complémentée 39 de la bascule JK IC3.

Les entrées J et K de IC2 sont respectivement reliées à la masse et à Vcc, tandis que l'entrée complémentée d'horloge 40 de IC2 reçoit le signal d'horloge H. La sortie Q de IC2 est bouclée sur l'entrée 32 du compteur IC1.

Les entrées J et K de IC3 sont respectivement reliées à sa sortie $\overline{Q}$ et à Vcc, tandis que sa sortie Q est reliée à l'interface de réseau 14. Il est prévu dans celui-ci divers composants R1 - R4, C1 - C4 et un transistor T1 relié au primaire d'un transformateur Tr dont le secondaire est raccordé aux conducteurs du réseau. Cet interface permet de transformer le signal numérique issu de IC3 en un signal sinusoïdal.

Le chronogramme de la figure 9 montre successivement le signal d'horloge H, le signal D0 de sortie du microprocesseur pris ici à la valeur logique 1, le signal S de sortie du compteur IC1, et les signaux de sortie QIC2 et QIC3 des bascules IC2 et IC3.

Il résulte de la valeur 1 du signal D0 appliqué à l'entrée 33 du compteur que les entrées 36 - 33 de celui-ci sont présélectionnées à 0011 respectivement. En supposant que l'entrée de validation 32 est à l'état 1, le comptage des

impulsions d'horloge de période T présentes à l'entrée 31 commence à partir de 0011 jusqu'à 1111. Cet état 1111 est atteint au front montant H_1+ d'une impulsion H_1 du signal H et la sortie S du compteur passe à l'état 1 de manière à armer IC2 et IC3.

Au front descendant H_1- de l'impulsion H_1, la sortie QIC2 passe à l'état 0 et l'entrée 32 du compteur passe donc à l'état 1 de sorte que le compteur peut être présélectionné à partir de H_1- jusqu'au front montant H_2+ de l'impulsion d'horloge suivante H_2.

La sortie S du compteur revient simultanément à l'état 0, de sorte que la sortie QIC2 passe à l'état 1 et que la sortie QIC3 est inversée et passe de 1 à 0. La présélection à la valeur décimale 3 des entrées du compteur entraîne le maintien de QIC3 à l'état 0 pendant 12 + 1 = 13 impulsions d'horloge. On comprend que la demi-période de QIC3 vaut 13T et que sa période vaut donc 26T.

Lorsque le signal D0 est à l'état 0, la présélection du compteur s'effectue sur 0010 et il en découle une période 28T pour QIC3.

Revendications

1. Dispositif émetteur-récepteur de signaux à haute fréquence, ce dispositif étant accouplable à un réseau de transmission et comprenant :

- une alimentation continue,
- un organe de traitement (16) interfaçable avec un appareil ou une machine,
- un modulateur (12) et un démodulateur (13) reliés chacun, d'une part, à l'organe de traitement (16), d'autre part, à un interface (14) de liaison avec le réseau de transmission,
- le modulateur (12) générant en mode FSK une fréquence qui prend deux valeurs (F1, F2) en fonction de l'état logique des données délivrées par l'organe de traitement, le démodulateur (13) présentant un convertisseur fréquence-tension (22) qui délivre un signal de tension (U_A) susceptible de prendre les valeurs respectives de transmission (U_{A1}, U_{A2}) et un étage (23) assurant la mise en forme du signal de tension (U_A),

caractérisé par le fait que :

- l'étage de mise en forme (23) du démodulateur (13) comprend un détecteur de variation de tension (24) et un comparateur (25),
- le détecteur de variation de tension présentant une borne d'entrée (A) à laquelle est appliqué le signal de tension (U_A), la borne d'entrée étant reliée, d'une part, via un circuit à constante de temps (R5, C5) à une première entrée (26) du comparateur et, d'autre part, directement à une deuxième entrée (27) du comparateur, la sortie de celui-ci changeant d'état logique quand le signal de tension (U_A) change de valeur,
- la constante de temps (R5 C5) étant choisie pour que la tension (U_C) à la première entrée du comparateur s'ajuste

sur la valeur moyenne (U_A) du signal de tension (U_A) lors de la transmission.

2. Dispositif selon la revendication 1, caractérisé par le fait que le détecteur de variation de tension (24) comprend un couple de diodes (D1, D2) montées tête-bêche entre la borne d'entrée (A) et le circuit à constante de temps (R5, C5), les bornes (B, C) du couple de diodes étant reliées respectivement à la deuxième entrée (27) et à la première entrée (26) du couple de diodes.

3. Dispositif selon la revendication 1 ou 2, caractérisé par le fait qu'un circuit verrouillant au repos le signal de sortie du comparateur (25) est associé au couple de diodes (D1, D2).

4. Dispositif selon la revendication 3, caractérisé par le fait que le circuit de verrouillage du signal de sortie du comparateur (25) comprend une diode (D3, D4) en série avec une diode respective (D1, D2) du couple, une différence de potentiel (Vcc) étant appliquée entre les points intermédiaires (E, F) des paires de diodes respectives (D1, D3 ; D2, D4).

5. Dispositif selon l'une des revendications 1 à 4, caractérisé par le fait qu'il émet et reçoit des messages présentant un préambule (P) de chargement du condensateur (C5) immédiatement avant la réception d'un message, la durée du préambule étant au moins égale à la constante de temps (R5 C5).

6. Dispositif selon l'une des revendications 1 à 5, caractérisé par le fait que le modulateur (12) comprend un générateur numérique pour les fréquences (F1, F2), ce générateur étant associé à une horloge de l'organe de traitement (16) et agencé pour diviser cette fréquence dans un rapport (N) variable avec l'état du signal numérique (D) de sortie de l'organe de traitement.

7. Dispositif selon la revendication 6, caractérisé par le fait que le générateur numérique des fréquences (F1, F2) comporte :

- un compteur binaire 4 bits (IC1) à présélection, l'une des entrées de présélection étant reliée à la sortie (D) de l'organe de traitement,
- une logique (IC2, IC3) reliée à la sortie (37) du compteur et connectée avec une entrée (32) de validation de la présélection de celui-ci,
- le compteur et la logique étant cadencés par l'horloge (H) de l'organe de traitement (16).

FIG.1

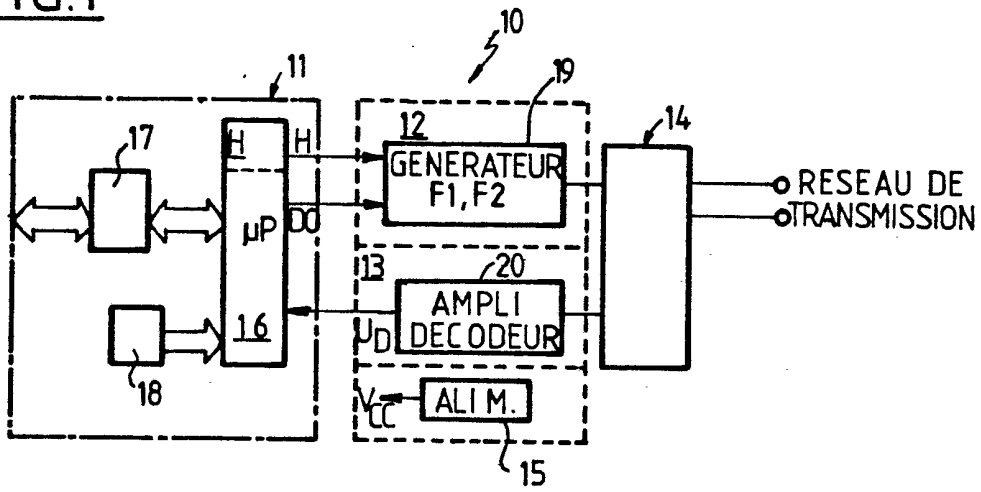


FIG.2

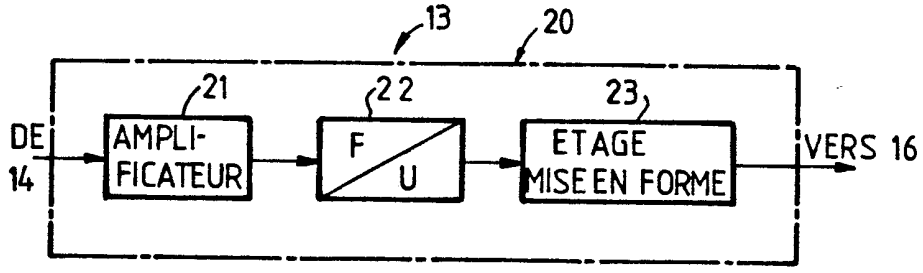
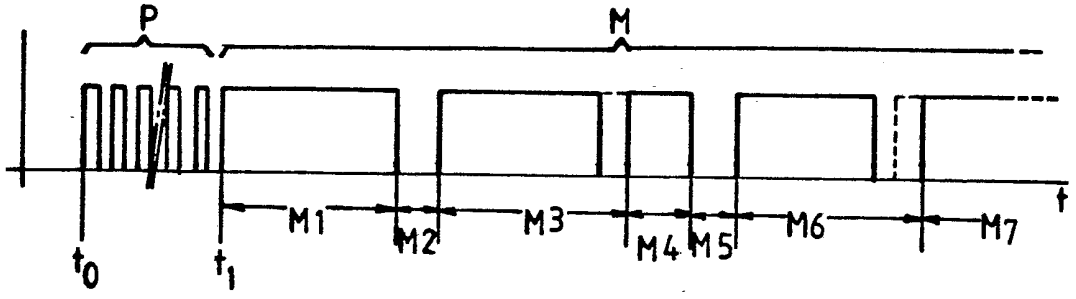


FIG.4



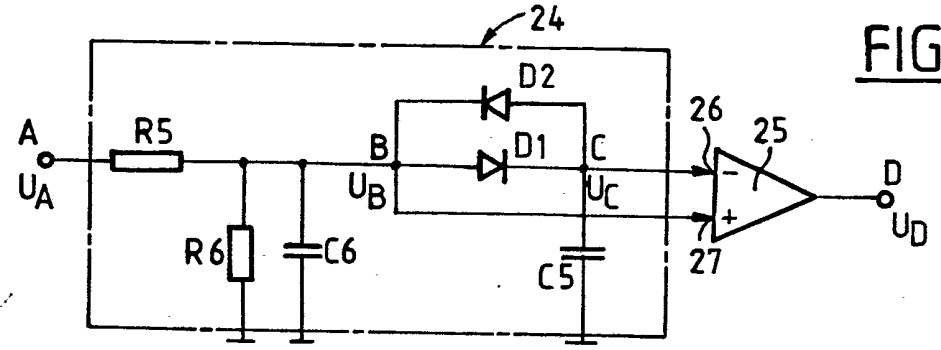

24
D2
A
R5
B
D1
C
26
25
U_A
U_B
U_C
D
U_D
R6
C6
C5
27

FIG. 3

FIG. 5

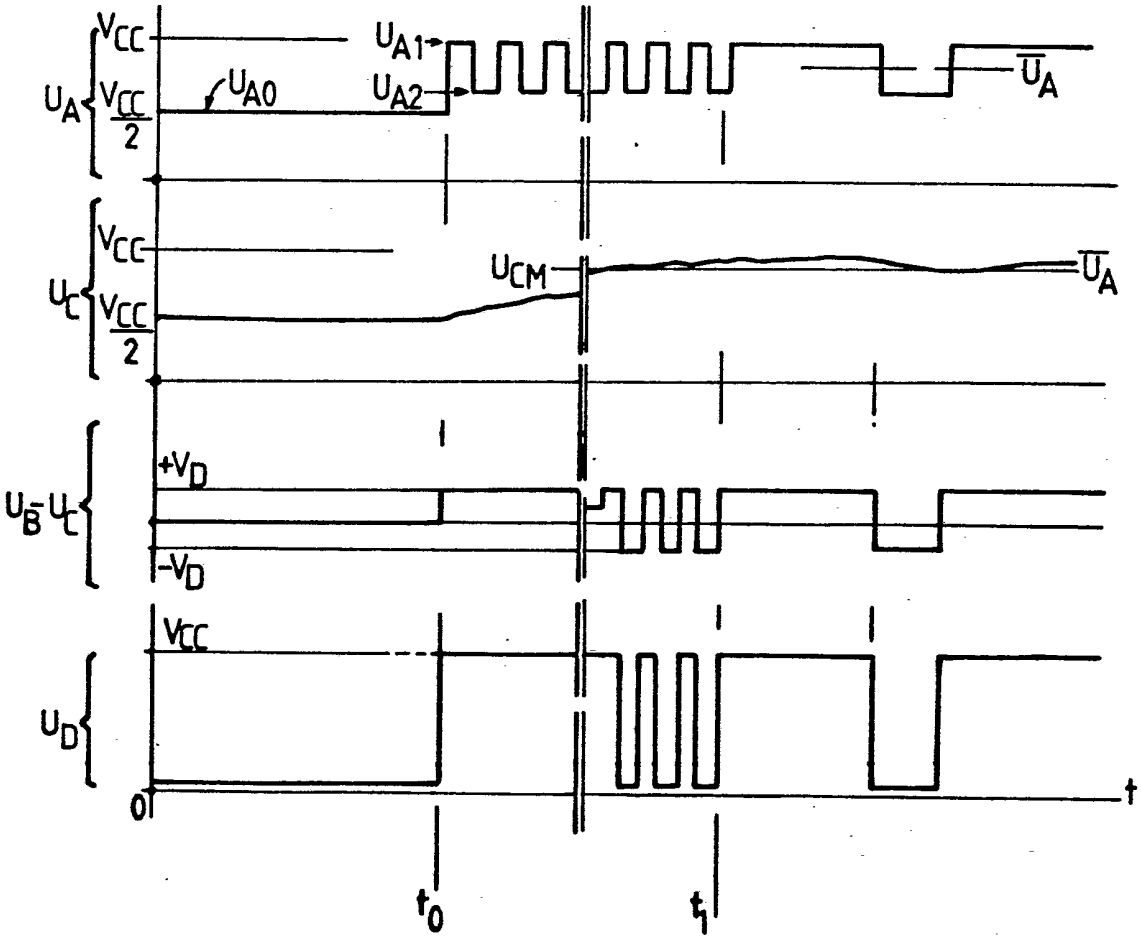

V_{CC}
U_{A1}
U_A
U_{A0}
U_{A2}
$\overline{U_A}$
$\frac{V_{CC}}{2}$
U_{CM}
$+V_D$
$U_B - U_C$
$-V_D$
U_D
0
t
t_0
t_1

FIG. 6

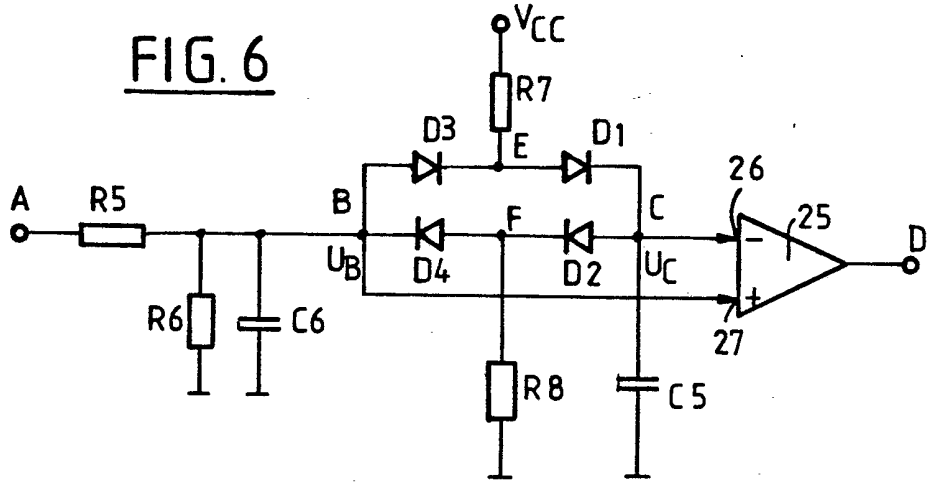
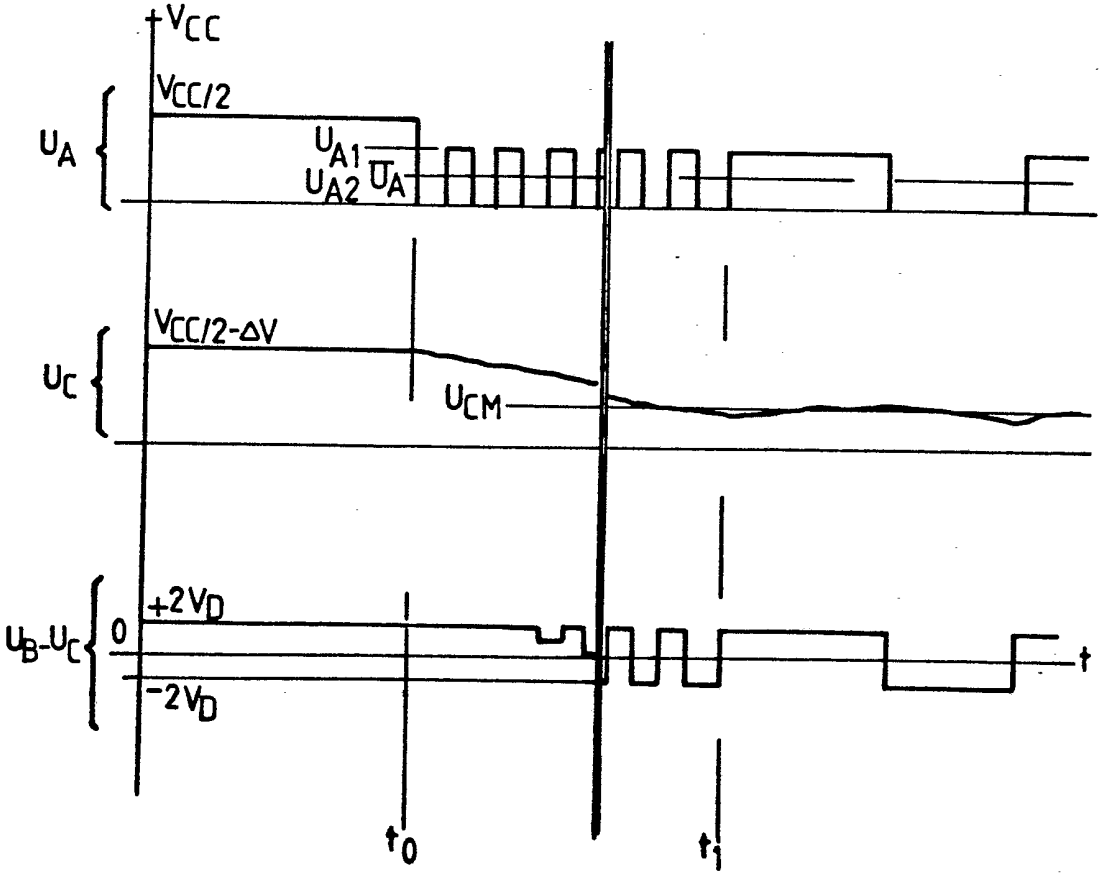

V_{CC}
R7
D3
D1
E
A
R5
B
F
C
26
25
D
U_B
D4
D2
U_C
27
R6
C6
R8
C5

FIG. 7


$+V_{CC}$
$V_{CC}/2$
U_A
U_{A1}
U_{A2}
$\overline{U_A}$
$V_{CC}/2-\Delta V$
U_C
U_{CM}
U_B-U_C
$+2V_D$
0
$-2V_D$
t
t_0
t_1

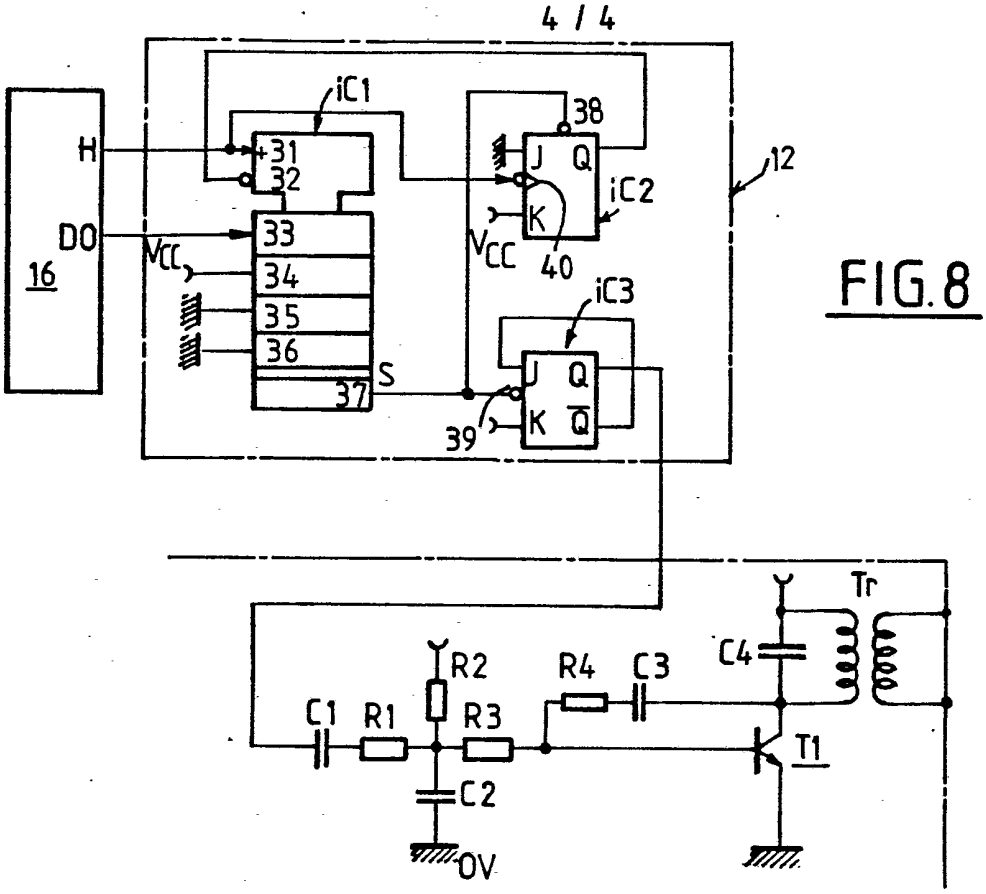
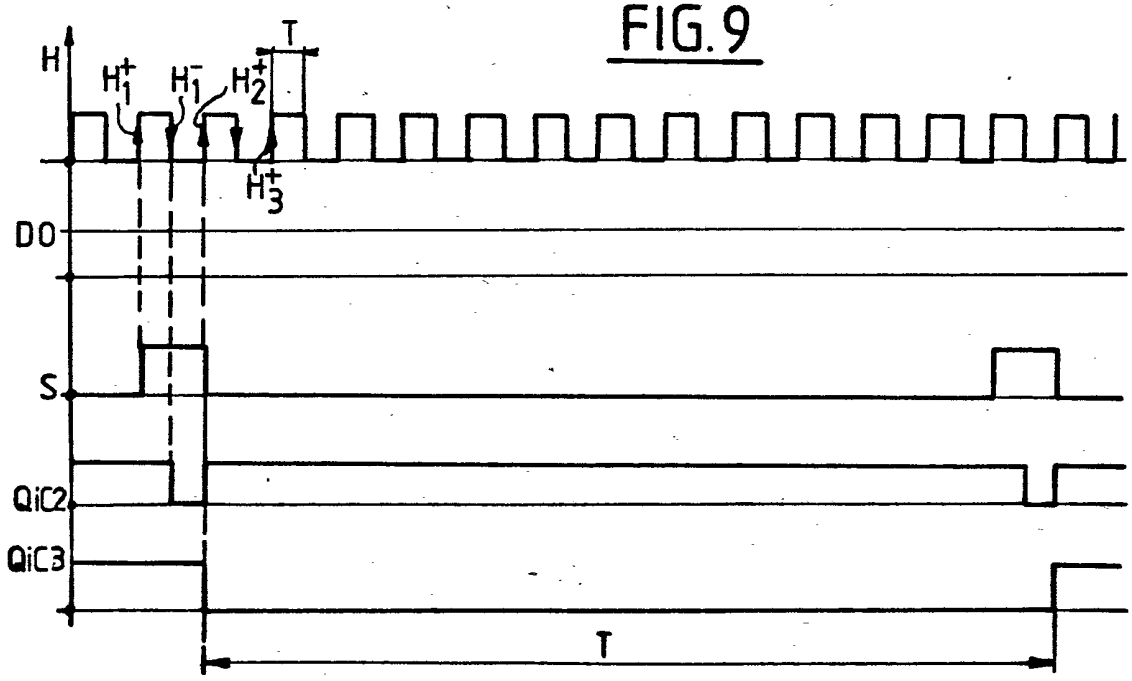

H
DO
16
iC1
31
32
33
34
35
36
37
S
Vcc
38
J Q
K
iC2
Vcc
40
12
iC3
J Q
K Q
39
Tr
C4
R2
R4
C3
C1
R1
R3
T1
C2
0V

FIG.8

FIG.9


H
T
H_1^+
H_1^-
H_2^+
H_3^+
DO
S
QiC2
QiC3
T