(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3953544号
(P3953544)
(45)発行日　平成19年8月8日(2007.8.8)　(24)登録日　平成19年5月11日(2007.5.11)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/20	622L
H05B 33/08	(2006.01)	H05B	33/08	

請求項の数 6　(全 11 頁)

(21)出願番号　特願平8-68442
(22)出願日　平成8年3月25日(1996.3.25)
(65)公開番号　特開平9-258691
(43)公開日　平成9年10月3日(1997.10.3)
審査請求日　平成14年7月26日(2002.7.26)
審判番号　不服2004-11855(P2004-11855/J1)
審判請求日　平成16年6月10日(2004.6.10)

(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100096998
弁理士　碓氷　裕彦
(74)代理人　100118197
弁理士　加藤　大登
(74)代理人　100123191
弁理士　伊藤　高順
(72)発明者　木下　弘之
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内
(72)発明者　長田　雅彦
愛知県刈谷市昭和町１丁目１番地　日本電装株式会社内

最終頁に続く

(54)【発明の名称】ＥＬ表示装置

(57)【特許請求の範囲】

【請求項１】

複数の走査電極（２１、…、２ｎ）と複数のデータ電極（３１～３ｍ）とが互いに交差する方向に配列され、前記走査電極と前記データ電極とが交差する位置にＥＬ素子（１１１、１１２、…、１２１、…）が形成され、前記複数のデータ電極が画面分割位置で分断して形成されているＥＬパネル（１）と、

前記画面分割された一方の画面（１ａ）に属する複数の走査電極に対し第１の走査方向に走査電圧を順次印加すると同時に、他方の画面（１ｂ）に属する複数の走査電極に対し第２の走査方向に走査電圧を順次印加する走査電極駆動手段（４、５）と、

前記複数のデータ電極にデータ電圧を印加するデータ電極駆動手段（６、７）とを備え、

前記走査電極駆動手段は、プッシュプル動作によりフィールド毎に異なる極性にて前記走査電圧を印加するものであって、前記第１の走査方向と前記第２の走査方向とが逆向きになるように構成されており、

前記走査電極駆動手段の出力段は、それぞれ寄生ダイオードが形成されているＰチャンネルＦＥＴとＮチャンネルＦＥＴとにより前記プッシュプル動作を行うように構成され、前記フィールドの切り換え時に、前記寄生ダイオードを通して全ての走査電極が充放電されることを特徴とするＥＬ表示装置。

【請求項２】

前記走査電極駆動手段は、前記第１、第２の走査方向が前記画面分割位置に向かう方向

になるように構成されていることを特徴とする請求項１に記載のＥＬ表示装置。
【請求項３】
前記走査電極駆動手段は、前記一方の画面に属する複数の走査電極のうち走査電圧を印加する走査電極を選択する選択信号をシフトして出力する第１のシフト手段（４１）と、前記他方の画面に属する複数の走査電極のうち走査電圧を印加する走査電極を選択する選択信号をシフトして出力する第２のシフト手段（５１）とを備え、前記第１、第２のシフト手段のシフト方向を逆方向にして、前記第１の走査方向と前記第２の走査方向とが逆向きになるようにしたことを特徴とする請求項１又は２に記載のＥＬ表示装置。
【請求項４】
前記一方の画面に属する走査電極に印加する走査電圧と、前記他方の画面に属する走査電極に印加する走査電圧とを、共通の電圧供給線から供給するようにしたことを特徴とする請求項１乃至３のいずれか１つに記載のＥＬ表示装置。
【請求項５】
前記走査電極駆動手段に前記走査電圧を供給する電圧供給手段（８）を備え、前記電圧供給回路は、第１、第２のスイッチング素子（８１、８２）と電圧（Ｖｒ－Ｖｍ）を有する電源（８３）とから構成されており、正フィールドで動作させる時には、前記第１のスイッチング素子（８１）をオフ、前記第２のスイッチング素子（８２）をオンさせて前記ＰチャンネルＦＥＴのソース共通線（ＨＶＣＣ）を書き込み電圧Ｖｒとし、前記ＮチャンネルＦＥＴのソース側共通線（ＨＧＮＤ）を電圧Ｖｍとし、負フィールドで動作させる時には、前記第１のスイッチング素子をオン、前記第２のスイッチング素子をオフさせて前記ＰチャンネルＦＥＴのソース共通線を接地電圧とし、前記ＮチャンネルＦＥＴのソース側共通線を電圧（－Ｖｒ＋Ｖｍ）とすることを特徴とする請求項１乃至４のいずれか１つに記載のＥＬ表示装置。
【請求項６】
前記データ電極駆動手段の出力段は、ＰチャンネルＦＥＴとＮチャンネルＦＥＴとによりプッシュプル動作を行うように構成されており、前記負フィールドから前記正フィールドへの切り換え時に、前記データ電極駆動手段の全てのＰチャンネルＦＥＴをオフ、全てのＮチャンネルＦＥＴをオンにして全てのデータ電極の電圧を接地電圧とし、前記正フィールドから前記負フィールドへの切り換え時に、前記データ電極駆動手段の全てのＰチャンネルＦＥＴをオン、全てのＮチャンネルＦＥＴをオフにして全てのデータ電極の電圧を電圧Ｖｍとすることを特徴とする請求項５に記載のＥＬ表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＥＬ（エレクトロルミネッセンス）素子によりマトリクス表示を行うＥＬ表示装置に関する。
【０００２】
【従来の技術】
従来、マトリクス表示を行うＥＬ表示装置において、フレーム周波数を上げるために、ＥＬパネルを上下２つの表示領域（上半分の表示領域を上画面、下半分の表示領域を下画面という）に分割して表示動作を行うようにしたデュアルスキャン方式のものが知られている。ここで、その駆動方法としては、オープンドレイン型のものとプッシュプル動作型のものがある。
【０００３】
前者のものとしては、例えば米国特許第４，７３９，３２０号公報に示すものがあり、１つのＦＥＴにより走査電極に走査電圧を印加してリフレッシュ駆動を行うようにしている。これに対し、後者のものとしては、例えば特開平２－６７５９２号公報あるいは特開平６－２７６４００号公報に示すものがあり、２つのＦＥＴを用いたプッシュプル動作により走査電極に走査電圧を印加して、フィールド毎に極性を反転させた駆動を行うようにしている。

【０００４】
前者のオープンドレイン型のものでは、リフレッシュ駆動を行っているためコントラストが悪く、また走査電圧が正負で対象とならないため焼き付けを起こす可能性があるという問題があり、このような問題からすればプッシュプル動作型のものが優れている。
【０００５】
【発明が解決しようとする課題】
プッシュプル動作型の場合、正負のフィールドの切り換え時に、走査ドライバＩＣの出力トランジスタであるＦＥＴの寄生ダイオードを通してＥＬ素子全体にデータ電圧Ｖｍ分の充放電を行うため、充放電の時間が必要になる。この充放電の時間は、ＥＬ素子の発光に寄与しないので、長時間にすることはできない。
【０００６】
デュアルスキャン方式の場合には、フレーム周波数が２倍になるため、その充放電に使用できる時間は半分になる。このため、その充放電の時間が十分に確保できない場合には、走査電圧が低下してしまうことになる。
この場合、従来のデュアルスキャン方式では、上画面、下画面とも上から下に向かう走査方向で走査を行うようにしているため、上画面と下画面の上端部分では走査電圧が低下して輝度が落ち、上画面と下画面の下端部分では所望の走査電圧を得て十分な輝度となる。その結果、上画面と下画面との境界部分で輝度差が生じてしまうという問題が生じる。
【０００７】
なお、上記したオープンドレイン型のものでは、フィールド反転駆動を行っていないため、フィールド切り換え時の充放電がなく、上記したような輝度差が生じるようなことはない。
本発明は上記問題に鑑みたもので、プッシュプル動作により走査電極に走査電圧を印加してフィールド毎に極性を反転させた駆動を行い、画面分割によりマトリクス表示を行うＥＬ表示装置において、分割した画面の境界部分での輝度差を少なくすることを目的とする。
【０００８】
【課題を解決するための手段】
上記目的を達成するため、請求項１乃至４に記載の発明においては、プッシュプル動作によりフィールド毎に異なる極性にて走査電圧を印加する走査駆動手段を備え、画面分割した一方の画面での第１の走査方向と他方の画面での第２の走査方向とを逆向きにし、また走査電極駆動手段の出力段が、それぞれ寄生ダイオードが形成されているＰチャンネルＦＥＴとＮチャンネルＦＥＴとによりプッシュプル動作を行うように構成され、フィールドの切り換え時に、寄生ダイオードを通して全ての走査電極が充放電されることを特徴としている。
【０００９】
従って、フィールド切り換え時において、一方の画面に属する複数の走査電極のうち画面分割位置に近い走査電極と、他方の画面に属する複数の走査電極のうち画面分割位置に近い走査電極に対して、ほぼ同レベルの走査電圧が印加されるため、分割した画面の境界部分での輝度差を少なくすることができる。
特に、請求項２に記載の発明においては、第１、第２の走査方向が画面分割位置に向かう方向になるようにしているから、輝度が低下する部分を、画面分割位置から離れた位置、すなわち使用者の目が届きにくい画面の端にすることができるため、違和感の少ない表示とすることができる。
【００１０】
　また、請求項４に記載の発明においては、一方の画面に属する走査電極に印加する走査電圧と、他方の画面に属する走査電極に印加する走査電圧とを、共通の電圧供給線から供給するようにしているから、一方の画面と他方の画面での走査電圧のレベルを同じにして、輝度差をより少なくすることができる。
【００１１】

このような特徴によっても、請求項１に記載したのと同じ効果を奏することができる。

【００１２】

【発明の実施の形態】

図１に本発明の一実施形態を示すＥＬ表示装置の全体構成を示す。

図１において、ＥＬパネル１には、行方向に走査電極2_1～2_nが形成され、列方向にデータ電極3_1～3_mが形成されている。走査電極とデータ電極とが交差する位置には画素としてのＥＬ素子が形成されており、走査電極とデータ電極の駆動によりドットマトリクス表示を行うように構成されている。また、データ電極3_1～3_mは、画面分割位置で分断して形成されており、これによりＥＬパネル１が上画面１ａと下画面１ｂに分割されている。

【００１３】

このＥＬパネル１の表示駆動を行うために、走査電極駆動回路４、５およびデータ電極駆動回路６、７が設けられている。

走査電極駆動回路４は、上画面１ａの走査電極を駆動する上画面走査電極駆動回路であって、シフトレジスタ４１とドライバ部42_1～$42_{n/2}$から構成されている。シフトレジスタ４１は、走査電極を選択するための選択信号をｄａｔａｉｎ端子から入力し、順次シフトしてｄａｔａｏｕｔ端子から出力する。ドライバ部42_1～$42_{n/2}$は、選択信号のシフトに伴って走査電極に走査電圧を順次印加する。

【００１４】

走査電極駆動回路５は、下画面１ｂの走査電極を駆動する下画面走査電極駆動回路であって、シフトレジスタ５１とドライバ部52_1～$52_{n/2}$から構成されており、走査電極駆動回路４と同様の作動を行う。但し、シフトレジスタ５１において、ｄａｔａｉｎ端子からｄａｔａｏｕｔ端子に向かう方向を、シフトレジスタ５１と逆にしている。このことにより、走査電極駆動回路４は、走査電極に対し下方向に走査電圧を順次印加し、走査電極駆動回路５は、走査電極に対し上方向に走査電圧を順次印加する。

【００１５】

データ電極駆動回路６は、上画面１ａのデータ電極を駆動する上画面データ電極駆動回路であって、シフトレジスタ６１とドライバ部62_1～62_mから構成されており、上画面表示データに応じて上画面１ａのデータ電極に、電圧Ｖｍと接地電圧を選択的に出力する。

データ電極駆動回路７は、下画面１ｂのデータ電極を駆動する下画面データ電極駆動回路であって、データ電極駆動回路６と同様に、シフトレジスタ７１とドライバ部72_1～72_mから構成されており、下画面表示データに応じて下画面１ｂのデータ電極に、電圧Ｖｍと接地電圧を選択的に出力する。

【００１６】

なお、走査電極駆動回路４、５、データ電極駆動回路６、７におけるそれぞれのシフトレジスタは、制御信号を受けてシフト動作する。

図２に、ＥＬパネル１と、走査電極駆動回路４、５およびデータ電極駆動回路６、７の出力段の構成を示している。

走査電極2_1～2_nとデータ電極3_1～3_mの交差位置に形成されたＥＬ素子１１１、１１２、…、１２１、…は容量性の素子であるため、図ではコンデンサの記号で表している。

【００１７】

走査電極駆動回路４、５とデータ電極駆動回路６、７の出力段は、ＰチャンネルＦＥＴ（符号にａを付したもの）とＮチャンネルＦＥＴ（符号にｂを付したもの）とによりプッシュプル動作を行うように構成されており、ＰチャンネルＦＥＴとＮチャンネルＦＥＴのそれぞれには、寄生ダイオード（符号にｃ、ｄを付したもの）が形成されている。

【００１８】

走査電極駆動回路４、５には、図１に示すように、走査電圧を供給するための電圧供給回路８が設けられている。この電圧供給回路８は、スイッチング素子８１、８２と、電圧（

Ｖｒ－Ｖｍ）を有する電源８３とから構成されている。
正フィールドで動作させる時には、スイッチング素子８１をオフ、スイッチング素子８２をオンさせて、電圧供給線ＨＶＣＣを書き込み電圧Ｖｒ（＝Ｖｒ－Ｖｍ＋Ｖｍ）とし、電圧供給線ＨＧＮＤを電圧Ｖｍとする。電圧供給線ＨＶＣＣは、ＰチャンネルＦＥＴソース側共通線であり、電圧供給線ＨＧＮＤは、ＮチャンネルＦＥＴソース側共通線である。
【００１９】
また、負フィールドで動作させる時には、スイッチング素子８１をオン、スイッチング素子８２をオフさせて、電圧供給線ＨＶＣＣを接地電圧とし、電圧供給線ＨＧＮＤを電圧（－Ｖｒ＋Ｖｍ）とする。
上記構成において、ＥＬ素子を発光させるには、走査電極とデータ電極との間に交流のパルス電圧を印加する必要があり、このためフィールド毎に正負に極性反転するパルス電圧を各走査電極に印加している。以下、図３に示すタイミングチャートを参照して、正負フィールドでの動作について説明する。
（正フィールド）
スイッチング素子８１をオフ、スイッチング素子８２をオンにし、データ電極駆動回路６、７の全てのデータ電極に接続されているＰチャンネルＦＥＴをオフ、ＮチャンネルＦＥＴをオンにする。この時、走査電極駆動回路４、５の出力段ＦＥＴの寄生ダイオード42_1ｄ、42_2ｄ、…52_nｄを通して、全ての走査電極が充電される。ＥＬ素子は容量性素子であるため、図３のＡで示す部分において、電圧供給線ＨＶＣＣ、ＨＧＮＤの電圧波形になまりが生じ、走査電極駆動回路４、５からの出力電圧が所望の電源電圧より低くなってしまう。この電圧波形のなまりがひどいと、フィールドが切り換わった最初の数ラインで、発光輝度が低下してしまうことになる。
【００２０】
このため、本実施形態では、上画面１ａと下画面１ｂで走査方向を逆にしている。すなわち、上画面１ａでは最上端の走査電極2_1から下方向に順に走査電圧を印加し、下画面１ｂでは最下端の走査電極2_nから上方向に順に走査電圧を印加している。
まず、上画面１ａの１ライン目においては、走査電極2_1に接続されているＰチャンネルＦＥＴ42_1ａをオンにして、走査電極2_1の電圧をＶｒにする。また、下画面１ｂの１ライン目においては、走査電極2_nに接続されているＰチャンネルＦＥＴ52_nａをオンにして、走査電極2_nの電圧をＶｒにする。他の走査電極に接続されている出力段ＦＥＴを全てオフにしそれらの走査電極をフローティング状態にする。
【００２１】
また、データ電極駆動回路６、７においては、データ電極のうち発光させたいＥＬ素子のデータ電極に接続されているＰチャンネルＦＥＴをオフ、ＮチャンネルＦＥＴをオンにし、発光させたくないＥＬ素子のデータ電極に接続されているＰチャンネルＦＥＴをオン、ＮチャンネルＦＥＴをオフにする。
このことにより、走査電極2_1、2_nにおいて、発光させたいＥＬ素子のデータ電極の電圧が接地電圧になるため、ＥＬ素子にしきい値電圧以上の電圧ＶｒがかかりＥＬ素子が発光する。また、発光させたくないＥＬ素子のデータ電極の電圧がＶｍになるため、ＥＬ素子には電圧（Ｖｒ－Ｖｍ）が印加される。この電圧（Ｖｒ－Ｖｍ）は、しきい値電圧より低く設定されているため、ＥＬ素子は発光しない。
【００２２】
この後、走査電極2_1に接続されているＰチャンネルＦＥＴ42_1ａをオフにし、ＮチャンネルＦＥＴ42_1ｂをオンにすることにより、走査電極2_1上のＥＬ素子に蓄積した電荷を放電する。同様に、走査電極2_nに接続されているＰチャンネルＦＥＴ52_nａをオフにし、ＮチャンネルＦＥＴ52_nｂをオンにすることにより、走査電極2_n上のＥＬ素子に蓄積した電荷を放電する。このようにして、上画面１ａ、下画面１ｂそれぞれの１ライン目の発光駆動が終了する。
【００２３】
この後、上画面の２ライン目である走査電極2_2、下画面の２ライン目である走査電極２

$_{n-1}$に対して、１ライン目と同様の動作を行う。
以後、同様にして、上画面１ａ、下画面１ｂの最後の走査電極$２_{n/2}$、$２_{n/2+1}$に至るまで上記動作を繰り返す。すなわち、線順次走査を行う。
（負フィールド）
スイッチング素子８１をオン、スイッチング素子８２をオフにし、データ電極駆動回路６、７の全てのデータ電極に接続されているＰチャンネルＦＥＴをオン、ＮチャンネルＦＥＴをオフにする。この時、走査電極駆動回路４、５の出力段ＦＥＴの寄生ダイオード４２_{1}ｃ、４２_{2}ｃ、…５２_{n}ｃを通して、全ての走査電極が放電される。この場合も、図３のＢで示すように、電圧供給線ＨＶＣＣ、ＨＧＮＤの電圧波形がなまってしまい、希望の電源電圧にならない。

【００２４】
なお、この負フィールドの動作においては、電圧供給線ＨＶＣＣの電圧は、接地電圧になり、電圧供給線ＨＧＮＤの電圧は（－Ｖｒ＋Ｖｍ）となる。従って、表示選択を行う行の走査電極には電圧（－Ｖｒ＋Ｖｍ）が印加される。また、データ電極側においては、正フィールドとは逆に、発光させたいデータ電極に電圧Ｖｍを印加し、発光させたくないデータ電極の電圧を接地電圧にする。

【００２５】
従って、電圧（－Ｖｒ＋Ｖｍ）が印加されている走査電極に対し、データ電極に電圧Ｖｍが印加されると、それに対するＥＬ素子に－Ｖｒの電圧が印加されＥＬ素子が発光する。また、データ電極の電圧が接地電圧であると、ＥＬ素子に、しきい値電圧より低い電圧（－Ｖｒ＋Ｖｍ）が印加されるため、ＥＬ素子は発光しない。

【００２６】
上記した正負フィールドの駆動により１サイクルの表示動作が終了し、これを繰り返し行う。
本実施形態においては、電圧供給線ＨＶＣＣ、ＨＧＮＤの電圧を用いて走査電極に走査電圧を印加するようにしているため、また上画面１ａと下画面１ｂで同じタイミングで選択されている走査電極は表示領域において上下対称となりデータ電極による配線抵抗が等しくなるため、上画面１ａと下画面１ｂで同じタイミングで印加される走査電圧は等しくなる。ＥＬパネル１での各ＥＬ素子の輝度特性が等しいとすると、上画面１ａと下画面１ｂで走査された２つの走査電極での発光輝度が等しくなる。また、上述したように、上画面１ａでの走査方向を下向きに、下画面１ｂでの走査方向を上向きにしているため、上画面１ａと下画面１ｂの境界部分において、発光輝度を揃えることができ、輝度差を低減することができる。

【００２７】
次に、上記した走査電極駆動回路４の具体的な構成について説明する。
図４に、その構成を示す。走査電極駆動回路４として、本実施形態では、μＰＤ１６３０２として市販されている走査ドライバＩＣを用いている。
この走査ドライバＩＣに用いられるシフトレジスタ４１ａ～４１ｎは、データ入力端子Ａ（又はＢ）から入力された選択信号（以下、行選択パルス信号という）を、ＣＬＫ信号により順次シフトして、$Ｓ_{1}$端子から$Ｓ_{40}$端子に向けて（又は$Ｓ_{40}$端子から$Ｓ_{1}$端子に向けて）順に出力する。この場合、Ｒ／Ｌバー（なお、バーは負論理信号を表す、以下同じ）端子がハイレベルの時には、シフト方向が$Ｓ_{1}$端子から$Ｓ_{40}$端子方向になり、Ｒ／Ｌバー端子がローレベルの時には、シフト方向が$Ｓ_{40}$端子から$Ｓ_{1}$端子方向になる。

【００２８】
本実施形態では、それぞれのシフトレジスタ４１ａ～４１ｎのＲ／Ｌバー端子をハイレベルにして、シフト方向を全て$Ｓ_{1}$端子から$Ｓ_{40}$端子方向にしている。また、１つのシフトレジスタの出力端子数が４０であるため、上段のシフトレジスタの出力端子Ｂを次段のシフトレジスタの入力端子Ａに接続して、上画面１ａの走査電極数に対応した数で出力を行うようにしている。従って、シフトレジスタ４１ａの入力端子Ａがｄａｔａｉｎ端子になり、シフトレジスタ４１ｎの入力端子Ｂがｄａｔａｏｕｔ端子になる。

【００２９】
また、本実施形態においては、ブランキング（ＢＬＫ）信号、出力イネーブル信号となるＯＥバー信号を常にローレベルにしている。
表１に、行選択パルス信号、ＢＬＫ信号、ＯＥバー信号、ＰＣバー信号（ＰチャネルＦＥＴ、ＮチャネルＦＥＴを選択する信号）、出力Ｏの真理値表を示す。なお、Ｈはハイレベル信号、Ｌはローレベル信号、×はＨレベル信号又はＬレベル信号、Ｚは全ての出力をハイインピーダンスにすることを意味している。
【００３０】
【表１】

行選択パルス信号	ＢＬＫ信号	ＯＥバー信号	ＰＣバー信号	出力Ｏ
×	×	Ｈ	×	Ｚ
Ｈ	Ｌ	Ｌ	Ｈ	Ｈ
Ｈ	Ｌ	Ｌ	Ｌ	Ｌ

図４に示す構成において、行選択パルス信号が初段のシフトレジスタ４１ａに入力されると、その行選択パルス信号が順次シフトされて出力される。図５に正フィールドでのタイミグチャートを示し、図６に負フィールドでのタイミングチャートを示す。表１の真理値表から分かるように、行選択パルス信号が出力されている期間において、ＰＣバー信号のＨ、Ｌレベルの切り換えに応じてＰチャネルＦＥＴとＮチャネルＦＥＴがオンする期間が切り換わり、それに応じた電圧が出力端子Ｏから出力される。なお、図中のＺはハイレベル期間を示し、ＰはＰチャネルＦＥＴをオンさせて充電を行っている期間を示し、ＮはＮチャネルＦＥＴをオンさせて放電を行っている期間を示す。
【００３１】
一方、走査電極駆動回路５も、上記と同様の構成であるため、その詳細構成については図示しないが、この走査電極駆動回路５においては、全てのシフトレジスタのＲ／Ｌバー端子をローレベルにして、シフト方向を全てS_{40}端子からS_1端子方向にしている。従って、上述したように、下画面１ｂの最下端の走査電極から上方向に走査電圧を順次出力することができる。
【００３２】
なお、上記実施形態においては、上画面１ａでは最上端側から下画面１ｂでは最下端側から順に走査電圧を印加するようにしたものを示したが、逆に上画面１ａでは最下端側から下画面１ｂでは最上端側から順に走査電圧を印加するようにしてもよい。この場合、分割画面の境界部分では両方とも輝度が低下しているため、その部分での輝度差を低減することができる。図７に、その場合の正負フィールドでの駆動タイミングチャート（図３に対応させたもの）を示す。
【００３３】
また、走査電極駆動回路４、５を上画面、下画面に対応させて設けるものに限らず、１つの走査電極駆動回路で、その出力線を上画面、下画面の走査電極に共通させるようにしてもよい。例えば、上画面の最上端の走査電極と下画面の最下端の走査電極に接続された出力線から走査電圧を出力するようにし、順次内側の走査電極線同士に接続された出力線か

ら走査電圧を出力するようにする。このようにすれば、上画面と下画面に対して走査方向を逆にすることができる。この場合、走査方向は上画面、下画面の境界部分から共に離れる方向としてもよい。

【００３４】

さらに、高精彩の画像表示とする場合には、走査線数が増えて走査電極間のピッチが狭くなるため、走査電極駆動回路４、５のそれぞれにおいて、偶数の走査電極を駆動する駆動回路と奇数の走査電極を駆動する駆動回路をＥＬパネル１の左右に設けるようにしてもよい。

さらに、走査電極駆動回路４、５、データ電極駆動回路６、７において、その出力段をＦＥＴにて構成するものを示したが、サイリスタ、バイポーラトランジスタ等で構成してもよい。但し、その場合には、ダイオードを設けてＥＬパネル１の充放電を行えるようにする必要がある。

【図面の簡単な説明】

【図１】本発明の一実施形態を示すＥＬ表示装置の構成図である。

【図２】ＥＬパネル１と、走査電極駆動回路４、５およびデータ電極駆動回路６、７の出力段の構成を示す図である。

【図３】正負フィールドでの動作説明に供するタイミングチャートである。

【図４】走査電極駆動回路４の具体的構成を示す構成図である。

【図５】走査電極駆動回路４の正フィールドでの動作説明に供するタイミングチャートである。

【図６】走査電極駆動回路４の負フィールドでの動作説明に供するタイミングチャートである。

【図７】本発明の他の実施形態の動作説明に供するタイミングチャートである。

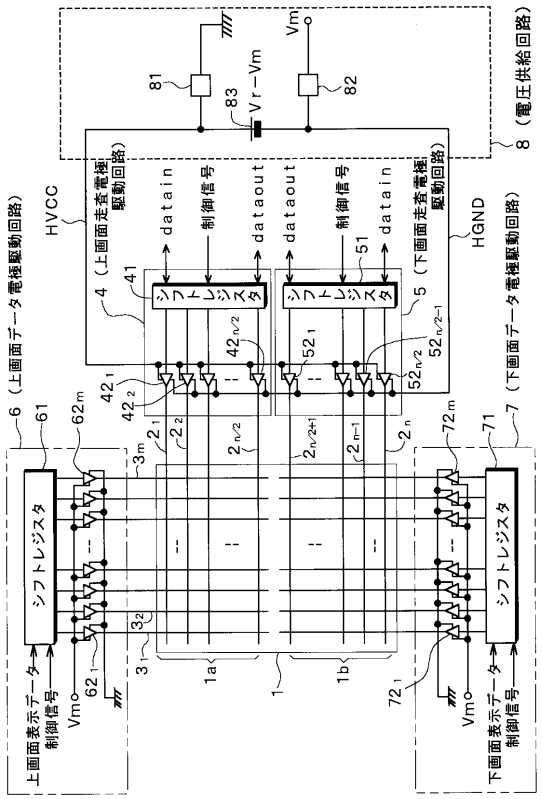
【符号の説明】

１…ＥＬパネル、2_1 ～2_n …走査電極、3_1 ～3_m …データ電極、

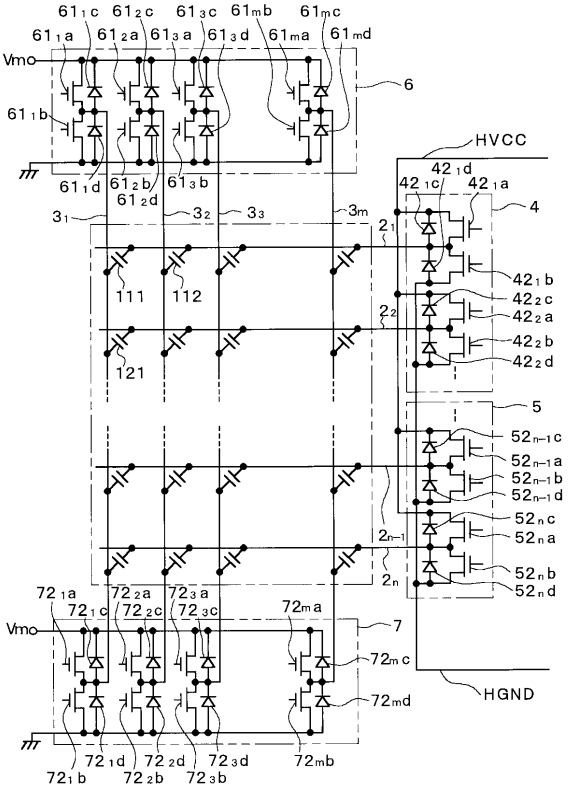
４、５…走査電極駆動回路、６、７…データ電極駆動回路、

８…電圧供給回路。

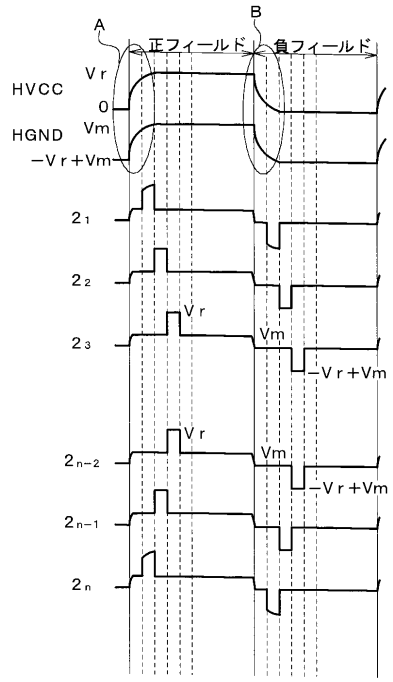
【図１】


8（電圧供給回路）
Vm
Vr−Vm
81
82
83
HVCC
HGND
4（上画面走査電極駆動回路）
5（下画面走査電極駆動回路）
datain
制御信号
dataout
dataout
制御信号
datain
シフトレジスタ
シフトレジスタ
6（上画面データ電極駆動回路）
7（下画面データ電極駆動回路）
シフトレジスタ
上画面表示データ制御信号
下画面表示データ制御信号
Vmo
1a
1
1b

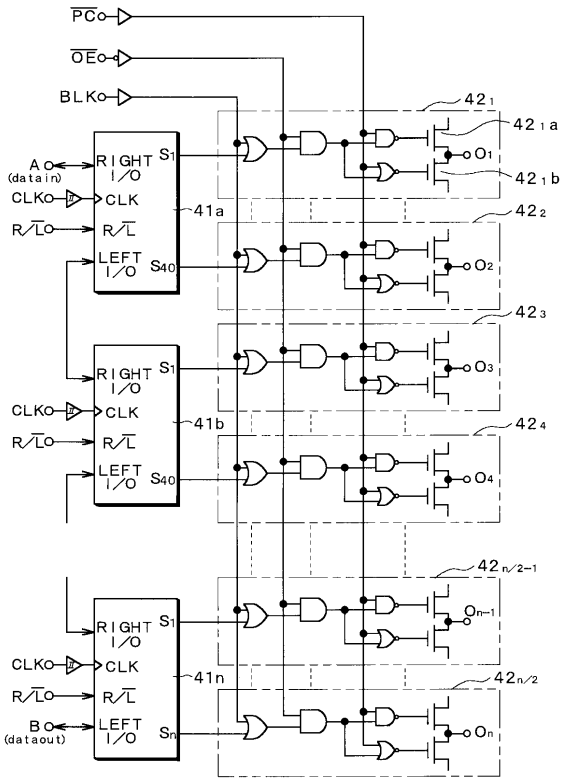
【図２】


Vmo
HVCC
HGND
6
7
111
112
121

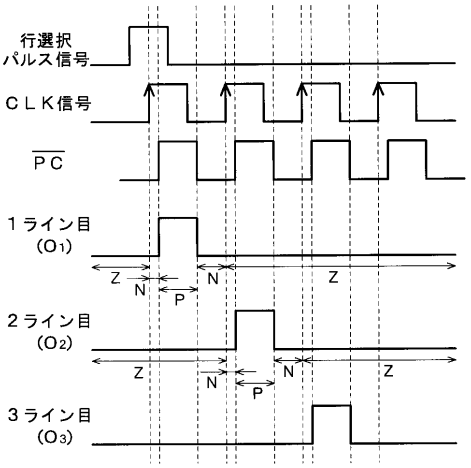
【図３】


A
B
正フィールド
負フィールド
HVCC
HGND
Vr
0
Vm
−Vr+Vm

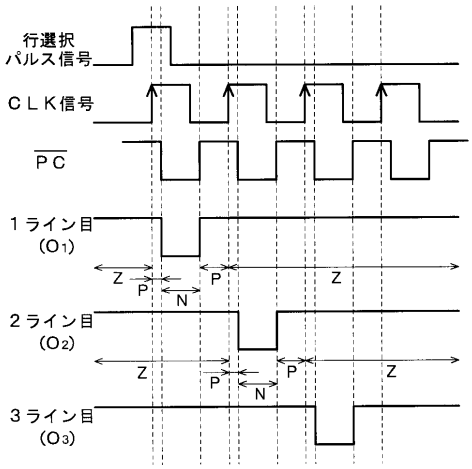
【図４】


PCo
OEo
BLKo
A (datain)
B (dataout)
CLKo
R/Lo
RIGHT I/O
LEFT I/O
CLK
R/L
41a
41b
41n

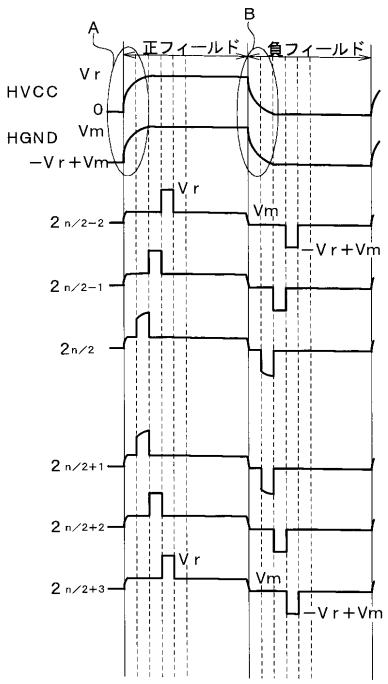
【図５】


行選択
パルス信号
ＣＬＫ信号
$\overline{PC}$
１ライン目
(O1)
２ライン目
(O2)
３ライン目
(O3)
Z
N
P

【図６】


行選択
パルス信号
ＣＬＫ信号
$\overline{PC}$
１ライン目
(O1)
２ライン目
(O2)
３ライン目
(O3)
Z
P
N

【図７】


A
B
正フィールド
負フィールド
HVCC
Vr
0
HGND
Vm
−Vr＋Vm
2n/2−2
2n/2−1
2n/2
2n/2+1
2n/2+2
2n/2+3

フロントページの続き

合議体
審判長　瀧　廣往
審判官　下中　義之
審判官　中村　直行

(56)参考文献　特開平６－１８６９２９（ＪＰ，Ａ）
特開昭６４－８１９９１（ＪＰ，Ａ）
特開平７－２７１３２７（ＪＰ，Ａ）
特開平１－３２１４７６（ＪＰ，Ａ）
特開昭６４－４０９８９（ＪＰ，Ａ）
特開平６－２７６４００（ＪＰ，Ａ）
特開昭６１－２５２５８２（ＪＰ，Ａ）
特開平２－６７５９２（ＪＰ，Ａ）
特開昭６３－１３５９９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G 3/30
G09G 3/20
H05B 33/08