

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/28

H01L 29/78

H01L 21/76

[12] 发明专利说明书

[21] ZL 专利号 96105708.4

[45] 授权公告日 2002 年 7 月 10 日

[11] 授权公告号 CN 1087492C

[22] 申请日 1996.2.21

[21] 申请号 96105708.4

[30] 优先权

[32] 1995.2.21 [33] JP [31] 32226/95

[73] 专利权人 日本电气株式会社

地址 日本东京都

[72] 发明人 松本明

[56] 参考文献

EP 0513639A2 1992.11.19 H01L29/60

JP 61224414A 1986.10.6 H01L21/28

审查员 樊晓东

[74] 专利代理机构 中国专利代理(香港)有限公司

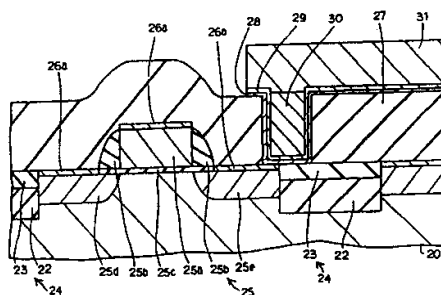
代理人 萧掬昌 张志醒

权利要求书 4 页 说明书 10 页 附图页数 8 页

[54] 发明名称 一种半导体器件及其制造工艺

[57] 摘要

一个 MIS 型场效应晶体管具有用硅化钛层(26a)覆盖的源/漏区(25e),硅化钛层与埋入硅基片(20)的被埋入置的绝缘结构 24 相接,接触孔(27a)在氧化硅的中间绝缘层 27 中形成,中间绝缘层(27)暴露一部分上氮化硅层(23)和一部分硅化钛层(26a)于该接触孔(27a),当中间绝缘层(27)被有选择地腐蚀以形成接触孔(27a),上氮化硅层(23)就作为阻蚀层,接触孔(27a)绝不会到达埋置绝缘结构(24)下面的硅基片(20)。



ISSN 1008-4274

知识产权出版社出版

权 利 要 求 书

1. 一种在半导体基片(20)上制造的半导体集成电路组件, 包括:

一个埋入上述半导体基片(20)的表面部分的埋入绝缘结构(24), 它具有由第一绝缘体形成的上层(23), 上述被埋入的绝缘结构在上述半导体结构(20)中至少形成一个有源区;

至少一个电路元件(25), 它包括一个在上述至少一个有源区中形成并与上述被埋入的绝缘结构(24)相连接的导电区(25e/26a);

一个由不同于所述第一绝缘体的第二绝缘体形成的中间绝缘层(27), 在上述半导体基片上延伸, 它具有一个接触孔(27a);

一个在上述接触孔(27a)中形成的接触构件(28/29/30), 它和上述导电区(25e/26a)电连接; 并且

一个导线当(31)布置在上述中间绝缘层上, 通过接触结构和上述导电区连接, 其特征在于,

上述中间绝缘层(27)暴露出一部分导电区和一部分被埋入的绝缘结构(24)的上层(23)于上述的接触孔(27a), 从而使上述接触结构(28/29/30)保持与上述导电区的上述部分和上述被埋入的绝缘结构的上述层的上述部分接触。

2. 一种如上述权利要求 1 所述的半导体阻件, 其中上述导电区(25e/26a)的上述部分和上述接触结构(28/29/30)彼此重叠至少 0.15 微米。

3. 一种如上述权利要求 1 所述的半导体组件, 其中上述半导体区具有一个在至少一有效工作面积中形成的杂质区(25e)和一个层压在上述杂质区(25e)上的高熔点金属硅氧化物层(26a)。

4. 如权利要求 3 所述的半导体组件, 其中上述杂质区(25e), 上述高熔点金属硅氧化物层(26a)和上述半导体基片(20)是一个用第一掺杂杂质掺杂的硅区, 而用第二掺杂杂质掺杂的钛硅化物层和一个硅层在导电类型方面与上述第一掺杂杂质相反。

5. 一种如上述权利要求 1 所述的半导体组件, 其中上述被埋入的绝缘构件(24)包括上述硅氮化物的上层(23)和安排在上述上层下面的硅氧化物的下层(22), 并且

上述中间绝缘层(27)包括硅氧化物的下层,它与上述导电区和上述埋入的绝缘结构(24)的上层(23)保持接触。

6. 一种如上述权利要求 1 所述的半导体组件,其中上述接触结构包括:

一个高熔点的硅化合物层(28),地形状地分布在上述中间绝缘层(27)的内表面,并在上述接触孔(27a)中形成一个第一槽,

一个层压在高熔点硅上的阻挡层(29),用于在上述第一凹槽中形成一个第二凹槽,并且,一个导电插片(30)填入上述第二凹槽中。

7. 一种如上述权利要求 6 所述的半导体组件,其中,所述导电区具有一个在上述至少一个有效工作面积中形成的杂质区(25e)和在上述杂质区(25e)上层压的一个第一钛硅化物层(26a),并且上述接触结构包括一个第二钛硅化物层(28),地形状分布在上述中间绝缘层(27)的内表面上,并在上述接触孔中形成一个第一凹槽,一个层压在上述第二钛硅化物上的钛氮化物层(29),用于在上述第一凹槽中形成一个第二凹槽,和一个钨插件(30),填充在上述第二凹槽之中。

8. 一种制造半导体组件的工艺,包括如下步骤

a) 准备一个半导体基片(20);

b) 形成一个埋在上述半导体基片的上述表面部分中的被埋的绝缘结构(24),它具有第一绝缘体形状的上层;

c) 形成至少一个电路元件(25),包括一个在上述半导体基片另一表面部分上形成的导电部分,该导电部分与所埋入的绝缘结构的上述上层相接;

d) 盖住上述被埋的绝缘结构(24)的上层(23),和盖住具有不同于第一绝缘体形状的中间绝缘层 27 的至少一个电路元件(25);

e) 使用在上述第一绝缘体和上述第二绝缘体之间的选择性腐蚀剂有选择地腐蚀掉上述中间绝缘层,从而形成一个接触孔(27a),上述导电区(25e/26a)的一部分和上述被埋入的绝缘结构(24)的上述上层(23)的一部分被暴露于上述的接触孔(27a);

f) 在上述接触孔(27a)中形成一个接触结构(28/29/30)从而与上述导电区(25e/26a)的上述部分和上述埋入的绝缘结构(24)的上层(23)的上述部分接触;并且

g) 形成一个导线条(31), 通过上述接触结构(28/29/30)与上述导电区(25e/26a)电连接。

9. 一种如上述权利要求 8 所述的工艺, 其中上述步骤 b) 包括子步骤有

b-1) 在上述半导体基片(20)的上述表面部分形成一个沟(21),

b-2) 沉积一个低层在被暴露的表面上, 从而使它在上述半导体基片(20)的上面从上述的沟(21)向外膨胀,

b-3) 均匀地腐蚀上述低层以及重新暴露上述半导体基片, 上述降落层的一部分被保留在上述沟(21)的底部中,

b-4) 沉淀上述第一绝缘体在上述沟中的上述降落层的上述部分(22)和上述半导体基片(20)上;

b-5) 抛光上述第一绝缘体直到上述半导体基片被再次暴露为止, 从而在上述降落层的上述部分上, 层压上述第一绝缘体的上层(23)。

10. 一种如权利要求 8 所述的工艺, 其中上述步骤 c) 包括子步骤

c-1) 在上述半导体基片(20)的另一表面部分中形成一个杂质区(25e),

c-2) 沉积一个高熔点金属层(26)在上述杂质区(25e)上,

c-3) 把与上述杂质区(25e)保持接触的上述高熔点金属层的一部分转化为一个高熔点金属硅化物层(26a), 和

c-4) 选择性地剥去上述高熔点金属层的其它部分, 以便在上述杂质区上保留高熔点金属硅化物层(26a), 上述杂质区(25e)和上述高熔点金属硅氧化物层(26a)共同形成上述导电区。

11. 如上述权利要求 8 所述的工艺, 其中上述导电区包括在上述其它表面部分中形成的杂质区和在上述杂质区(25e)上层压的第一高熔点金属硅化物层(26a),

上述步骤 f) 包括子步骤:

f-1) 按地形地在上述中间绝缘层(27)的内表面上沉积一个第二高熔点金属氧化物层(28), 以便在上述接触孔(27a)中形成一个第一凹槽,

f-2) 按地形地在上述第二高熔点金属氧化硅层上沉积一个阻挡层(29), 以便在上述第一凹槽中形成一个第二凹槽,

f-3) 在上述阻挡层上沉积一个高熔点金属层以便从上述第二凹槽膨胀, 并且

f-4) 均匀地脱去上述高熔点金属以便把高熔点金属插片 (30) 留在上述第二凹槽中。

12. 如上述权利要求 8 所述的工艺, 其中上述导电区 (25e/26a) 的上述部分被暴露于上述接触孔中至少 0.15 微米。

13. 如上述权利要求 8 所述的工艺, 其中上述第一绝缘体和上述第二绝缘体是硅氮化物和硅氧化物。

14. 如上述权利要求 10 中所述的工艺, 其中当上述中间绝缘层 (27) 被有选择地腐蚀掉以形成上述接触孔 (27a) 的时候, 上述被埋入的绝缘结构 (24) 的上层就当作一个腐蚀停止层。

15. 如上述权利要求 14 所述的工艺, 其中上述高熔点金属硅化物层 (26a) 和上述被埋入的绝缘结构 (24) 限定其上表面上的腐蚀。

说明书

一种半导体器件及其制造工艺

本发明涉及一种半导体器件及其制造工艺，特别是涉及，一种具有和埋入绝缘区共面的杂质区相通的接触孔的半导体器件及其制造工艺。

一种半导体电路器件，它具有在半导体基片上制造的电路元件，布线遍布在半导体基片上层压的中间绝缘层上。接触孔在中间绝缘层中形成，布线通过接触孔在电路元件之间形成信号通路。

制造厂逐渐增加半导体集成电路器件的集成密度，于是就使电路元件小型化。一个 MOS(金属-氧化物-半导体)型场效应晶体管，是半导体集成电路器件的典型电路元件，若干非常小的 MOS 型场效应晶体管集成在半导体基片上。源区和漏区做得很浅，高熔点的金属氧化硅层压在源区和漏区上以保持低电阻。

图 1A 到 1D，形成和层压在杂质区上的高熔点金属硅化物层相通的接触孔的现有技术工序。现有技术工艺如下。

一个 P 型硅基片 1 通过采用硅的局部氧化 LOCOS(Local Oxidation of Silicon)技术被选择性地氧化，氧化硅的厚氧化区域层 2 便生长在 P 型硅基片 1 的主表面上。厚氧化区域层 2 从 P 型硅基片 1 的主表面上凸起，形成分配给电路元件，例如 MOS 型场效应晶体管的有源区域。

虽然未示出，薄栅氧化膜就生长在该有源区域上，并且多晶硅栅极被构图在薄栅氧化膜上。侧壁隔片(未示出)，是由氧化硅形成，

并且被安排在栅电极的侧表面上。栅氧化层,多晶硅栅电极和侧壁隔片一起形成栅结构。

N型掺杂杂质被离子注入到多晶硅栅电极和有源区域中,n型源/漏区 1a 和 1b 通过热处理,以和栅极结构自对准方式形成在有源区域上。

钛靶被溅射,钛淀积在所得结构的全部表面上。钛层 3 被热处理,钛和硅和多晶硅进行反应。结果,钛层 3 部分地被转变成钛化硅 3a 和 3b。不过,钛不能和氧化硅起反应,钛部分 3c 保留在侧隔片和厚场氧化层 2 上,如图 1A 所示。

用含铵和过氧化氢的腐蚀溶液将剩余的钛 3c 腐蚀掉。钛化硅留在 n 型源和漏区 1a 和 1b,以及多晶硅栅极(未示出)上,n 型源区和漏区 1a/1b 被钛化硅层 3a 和 3b 覆盖在上面。

绝缘基片,例如氧化硅和硼磷硅玻璃,沉积在结构的整个表面,形成中间绝缘层 4,如图 1B 所示。

其后,通过平板印制技术,在中间绝缘层 4 上形成光掩模 5。光掩模 5 有一个开孔 5a,它等同于图 1c 所示的接触孔。虽然印制技术试图在合适位置 5b,即开孔 5a 正好被嵌套在 n 型源区域 1a 的位置上形成光掩模,但是光掩模 5 却常偏离合适位置 5b,开孔 5a 部分位于 n 型源区域 1a 上和部分位于在厚场氧化区域层 2 上。

使用光掩模 5,中间绝缘层就被有选择地腐蚀掉,一个接触孔 4a 就在中间绝缘层 4 中形成。钛化硅层 3a 保护 n 型源区 1a 防止腐蚀剂。不过,腐蚀剂部分地腐蚀了厚场氧化区域层 2,于是接触孔 4a 就达到厚场氧化区域层 2 下面的 P 型硅基片 1,如图 1D 所示。

当接触孔 4a 被钨片(未示出)塞住的时候,钨插件就保持和钛硅

氧化层 3a 和 P 型硅基片 1 两者接触, 而将布线条(未示出)和 P 型硅基片 1 短路。

为了防止不希望有的短路, 就需要一个合适的嵌套配合公差。当接触孔 4a 直径是 0.5 微米, 制造厂就要考虑嵌套配合公差, 并且把 n 型源区设计成至少 1.0 微米宽。

不过, 这样一个宽的杂质区会引起大的寄生电容, 从而损坏信号的传播特性。

日本未审查申请的专利公报, 61-224414 号公开了一种有效防止对准不良的接触孔结构。图 2A 和 2B 解释了该待审申请的日本专利公报所公开的第二种现有技术工艺。

第二种现有技术工艺在钛层 10 淀积以前, 与第一种现有技术工艺类似。钛层 10 层压在厚场氧化区域 11 上, n 型杂质区 12a/12b 形成在厚场氧化区域层 11 两侧上的 P 型硅基片 12 中。

钛层 10 是 50 毫微米厚, 它在摄氏温度 700 度条件下经受 10 秒钟的热处理。钛和硅反应生成钛化硅。在加热的时候, 钛化硅区 10a 和 10b 向旁边延伸至少 1 微米, 厚场氧化区域层 11 部分地被钛化硅区 10a 和 10b 覆盖。钛部分 10c 只剩下厚场氧化区域层 11 的中心部分上的那一部分, 如图 2A 所示。

剩余的钛 10c, 用含有铵和过氧化氢的腐蚀剂腐蚀掉, 钛化硅层 10a 和 10b 留在 n 型杂质区 10a/10b 和厚场氧化区域层 11 的周边区域上。所得结构被中间绝缘层 13 盖住了, 在中间绝缘层 13 上设置一个光掩模 14。通过使用光掩模 14, 中间绝缘层 13 被有选择地腐蚀掉, 一个接触孔 13a 就形成在中间绝缘层 13 之中, 如图 2B 所示。

如果光掩模 14 偏离了合适的位置 14a, 接触孔 13a 就不会正好嵌套在 n 型杂质区 12a 中。不过, 钛化硅层 10a 不让腐蚀剂侵蚀厚场氧化区域层 11, 所以不希望有的短路就不会发生。

因此, 宽的钛硅化物层 10a 消除了对准不良, 制造厂就不需要加宽 n 型杂质区 12a。窄 n 型杂质区 12a 减少了分布电容, 改进了半导体集成电路器件的信号传播特性。

但是, 第二个现有技术工艺几乎不用于下一代半导体集成电路组件中所含的小接触孔。日本专利未审查申请 61-224414 号详细地公开了一条钛化硅延伸长度和热处理时间的关系曲线, 图 3 示出了这条曲线。曲线指示我们钛化硅是迅速延伸的。当接触孔和杂质区直径为 1 微米, 宽 2-3 微米的时候, 第二现有技术工艺是可用的。不过, 如果接触小孔进一步缩小, 钛化硅就趋于桥接在两侧上的杂质区之间的厚场氧化区域上。

本发明的一个主要目的是提供一种半导体器件, 它不会由于杂质区和接触孔的对准不良而造成短路。

本发明的另一个目的是提供一种制造无短路的半导体组件的制造工艺。

为实现上述目的, 本发明提议使用埋入隔离构件作为阻蚀件。

按照本发明的一个目的, 提供一种半导体器件, 它包括: 提供接触表面的导电区; 与导电区相邻的绝缘区, 其上表面与接触表面共面; 一个与导电区电连接的接触构件, 其一部分安排在导电区上, 一部分安排在绝缘区上。

按照本发明的另一个方面, 是提供一种制造在半导体基片上的半导体集成电路器件, 它包括: 埋入半导体基片的表面部分的一

个埋入的绝缘构件，它具有第一绝缘体的上层，埋入的绝缘构件至少半导体基片中的至少一个有源区域上形成；至少一个电路元件，它包括在至少一个有源区域中形成的导电区该导电区与被埋入的绝缘构件的上层接触；一个在半导体基片上延伸的由第二绝缘物质形成的中间绝缘层，暴露导电区的一部分和埋入绝缘构件的上层的一部分于接触孔中；一个接触构件形成在接触孔中，保持与导电区的那部分和埋入的绝缘构件的上层的那一部分接触；一个导线条在中间绝缘层上延伸，通过接触构件与导电区电连接。

按照本发明的又一个方面，是提供一种制造半导体器件的工艺，它包括如下步骤：使导电区和绝缘区完全共面；形成一个接触构件以保持和导电区的一部分和绝缘区的一部分接触。

根据本发明的又一方面，提供一个制造半导体器件的工艺，它包括如下步骤：a)准备一个半导体基片；b)形成一个埋入半导体基片的表面部分的埋入绝缘构件，具有一个由第一绝缘体形成的上层；c)形成至少一个电路元件，它包括一个在半导体基片的另一个表面上形成的与埋入的绝缘构件的上层连接的导电区；d)以和第一绝缘体不同的第二绝缘体形成中间绝缘层覆盖埋入的绝缘结构的上层和至少一个电路元件；e)通过使用在第一绝缘体和第二绝缘体之间进行选择的腐蚀剂，有选择地腐蚀中间绝缘层，以形成一个接触孔，导电区的一部分和埋入的绝缘构件的上层的一部分暴露于接触孔中；f)在接触孔中形成一个接触构件，以便保持和导电区的一部分及和被埋入的绝缘构件的上层的一部分相接触；g)形成一个布线条，通过接触构件与导电区连接。

本发明半导体组件的特点和优点及其制造通过下面的结合附

图的说明就会变得十分清楚:

图 1A 至 1D 剖面图, 是表示制造半导体集成电路器件的第一个现有技术工序;

图 2A 和 2B 剖面图, 是表示制造半导体集成电路器件的第二个现有技术的工序;

图 3 曲线表示按照日本待审查申请专利公报, 61-224414 号中公开的以热处理时间与钛硅化物的延伸长度的关系图;

图 4A 至 4D 的横截面表示制造本发明半导体器件的工序;

图 5 曲线为按照在杂质区和接触孔之间的搭接长度表示的接触电阻。

图 4A 至 4F 解释制造实现本发明的 MIS(金属-绝缘体-半导体)型场效应晶体管的工艺。MIS 型场效应晶体管与其它电路元件一起形成一个集成电路。

工序从准备轻掺杂的 P 型硅基片 20 开始, 通过印刷技术, 光掩模(未示出)被提供在 P 型硅基片 20 的主表面上。光掩模暴露一个配给绝缘区的主表面的面积。被暴露的面积非均质地被腐蚀掉, 沟 21 被形成在被暴露的面积中。沟 21 深 300 毫微米。

通过化学汽相淀积法, 光掩模被剥去, 在 P 型硅基片 20 的整个表面上淀积了氧化硅厚达 400 毫微米。氧化硅填充了沟 21 并且膨胀。氧化硅层无掩模地被均匀地腐蚀掉 200 毫微米厚。结果, 氧化硅层 22 留在沟 21 中, 氧化硅层的上表面 22 自 P 型硅基片 20 开始, 深 100 毫微米。P 型硅基片 20 的主表面又重新被暴露。

其后, 通过化学汽相淀积法, 淀积 300 毫微米厚的氮化硅, 氧化硅层 22 和 P 型硅基片 20 的主表面被氮化硅盖住, 如图 4A 所示。

氮化硅层23通过化学机械抛光技术被均匀地除去,直到P型硅基片20的主表面重新暴露为止。结果,埋置的绝缘构件24就形成在沟22中,它具有一个光滑的上表面24a,上表面24a与P型硅基片20的主表面完全共面。所埋置的绝缘构件24形成了配给电路元件的有源区域。有源区域之一被分配给n沟道MIS(金属-绝缘-半导体)型场效应晶体管25。虽然n沟道MIS型晶体管25是和其它MIS型场效应晶体管一起被制造在有源区域上,为简单起见,这里只集中描述n沟道MIS型场效应晶体管25。

有源区域被热氧化,分别被薄的氧化硅层盖住。多晶硅通过化学汽相淀积法,淀积在结构,即薄氧化硅层和埋置的绝缘构件24的整个表面上。一个合适的光掩模被安排在多晶硅层上,多晶硅层被有选择地腐蚀掉,从而形成一个栅电极25a。

氧化硅被沉积在所得构件的整个表面上,氧化硅层和薄的氧化硅层被各向导性地腐蚀,由此在栅极25a的侧表面上形成边壁隔片25b并在栅极25a下面形成薄栅绝缘层25c。

N型掺杂杂质,例如砷,以离子注入到栅极25a和有源区域中去的,重掺杂的n型杂质区,以和侧壁隔片25b自对准的方式被形成在有源区域中。离子注入的砷通过热处理而被激活,重掺杂n型源/漏区25d和25e由重掺杂n型杂质区形成,所图4B所示。

其后,溅射钛靶(未示出),钛层26在所得结构的整个表面上淀积40毫微米厚。钛层26在摄氏650度被加热30秒。然后,钛和硅/多晶硅进行反应,钛层26被有选择地转化成钛硅化物区26a。不过,钛不和氧化硅和氮化硅起反应,钛区26b留在了侧壁隔片25b和埋置的绝缘构件24上,如图4c所示。

钛区 26b 被含有铵和过氧化氢的腐蚀剂腐蚀掉, 只有硅化钛区 26a 被留在重掺杂的 n 型源/漏区 25d/25e 和多晶硅栅极 25a 上, 如图 4D 所示。

在这种情况下, n 型源/漏区 25e 和在其上形成的钛化硅层 26a 联合形成一个导电区。

其后, 通过在所得结构的全部表面上使用化学汽相淀积氧化硅达 100 毫微米厚, 氧化硅层被一个 900 毫微米厚的硼磷硅玻璃盖住。硼磷硅玻璃层在摄氏 800° 下, 被进行回流 30 秒。

氧化硅层和硼磷硅玻璃层共同形成一个中间绝缘层 27。

在中间绝缘层 27 上设置一个合适的光致抗蚀掩膜(未示出), 它具有一个开孔, 相当于在中间绝缘层 27 中形成的接触孔。在这种情况下, 所形成的接触孔直径是 0.5 微米, 开孔的位置应使重掺杂的 n 型源/漏区 25e 上的钛硅化物区 26a 被暴露于 0.15 微米宽的接触孔。

使用光掩模, 中间绝缘层 27 被各向异性地腐蚀掉, 从而在内绝缘层 27 中形成接触孔 27a。氮化硅层 23 用作止蚀剂, 接触孔 27a 不能到达 P 型硅基片 20。换言之, 钛化硅层 26a 和氮化硅层 23 在其上表面终止各向异性蚀刻。

通过溅射技术, 钛化硅在结构的整个表面上淀积到 30 毫微米厚。钛化硅层 28 在被暴露的结构表面上按地形形状延伸。形成接触孔 27a 的内表层被钛化硅层 28 盖住。钛化硅层 28 保持和钛化硅区 26a 和暴露于接触孔 27a 的埋置的绝缘结构 24 的氮化硅层 23 接触。通过溅射技术, 氮化钛进一步被淀积在硅化钛层 28 上达 50 毫微米厚, 氮化钛层 29 作为一个阻挡金属层。氮化钛层 29 地形状地延伸, 并在接触孔 27a 内侧形成一个凹槽 28a。

通过化学汽相沉淀, 钨在氮化钛层 29 整个暴露表面上淀积 1.5 微米厚, 钨从凹槽 28a 膨胀出。钨层无掩模地被均匀腐蚀, 在凹槽 28a 中形成一个钨插件 30, 如图 4E 所示。

通过溅射技术, 铝和铝合金在被暴露的氮化钛层 29 的整个表面上和钨插件 30 的上表面上淀积到 500 毫微米厚, 一个合适的光掩模被安排在铝/铝合金层上。用光掩模, 连续地将铝/铝合金层, 氮化钛层 29 和钛化硅层 28 腐蚀掉, 铝条 31 由铝/铝合金层构图。铝条 31, 氮化钛条钛化硅条共同形成中间绝缘层 27 上的金属布线 31, 如图 4F 所示。

铝条 31 通过钨插件 30 和氮化钛/硅化钛条与 n 型源/漏区 25e 上与钛化硅区 26a 电连接。

在这种情况下, 钨插件 30, 氮化钛物条和钛化硅物条作为一个整体构成一个接触构件。

本发明人测量过跨接在钛化硅区 26a 上的接触电阻。接触孔 27a 直径是 0.5 微米, 本发明人改变暴露于接触孔 27a 的钛化硅区 26a 的宽度。接触电阻的变化用曲线 PL 表示, 如图 5 所示。可以认为, 对于宽度不小于 0.15 微米来说, 接触电阻是不变的。

当接触孔 27a 在中间绝缘层 27 中形成的时候, 光掩模可能偏离合适的位置。不过, 如果钛化硅层 26a 被暴露于接触孔 27a 至少 0.15 微米, 则接触电阻就不损害信号传播特性。换言之, n 型源/漏区 25e 的宽度由于本发明接触结构的优点而被缩小了。实际上, 当接触孔 27a 直径是 0.5 微米的时候, n 型源/漏区 25e 的宽度被减小到 0.5 微米, 而不会出现短路。

窄 n 型源/漏区减小了分布电容, 信号传播会进一步加快。

虽然本发明的具体实施例已如上述，很明显，对于本技术领域的技术人员来说，在不脱离本发明精神和范围的情况下，可以对其作出各种变化及修改。

例如通过本发明的工艺，一个P沟道型MIS晶体管可以被制造在n型沟槽上或n型硅基片上。

再有，双极型晶体管或其它电路元件例如，电阻器或电容器可以制造在有效工作面积上，而不和MIS型场效应晶体管25装在一起。

说明书附图

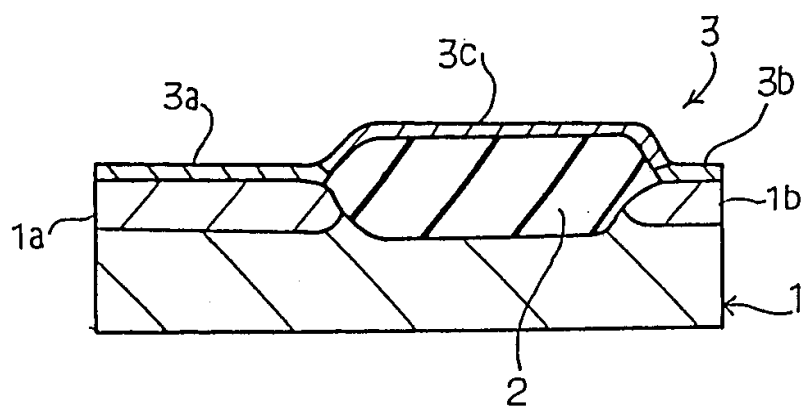


图 1A

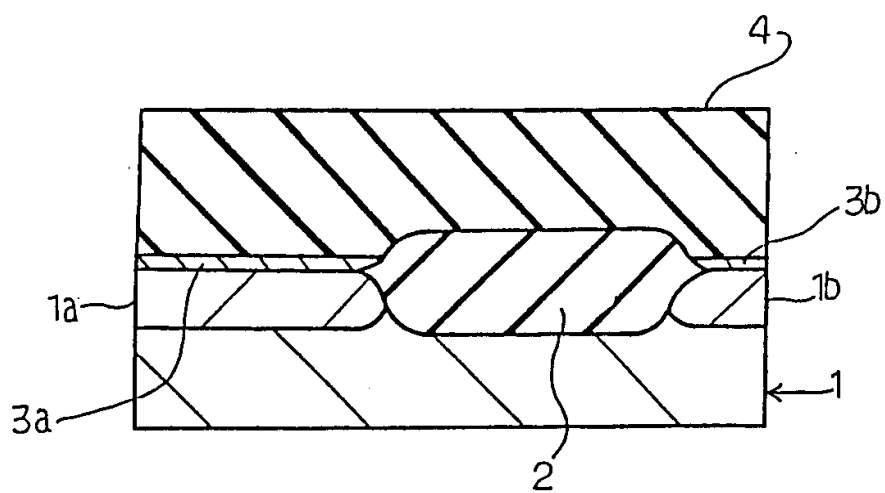


图 1B

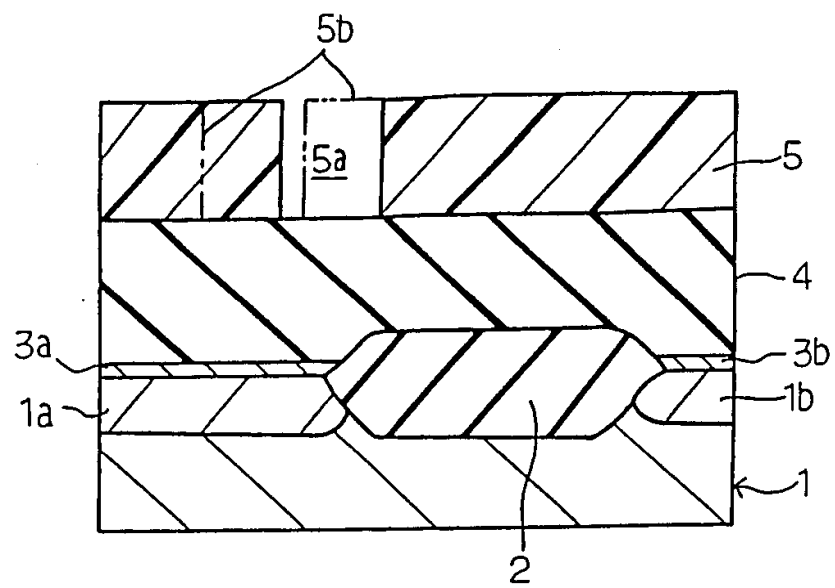


图 1C

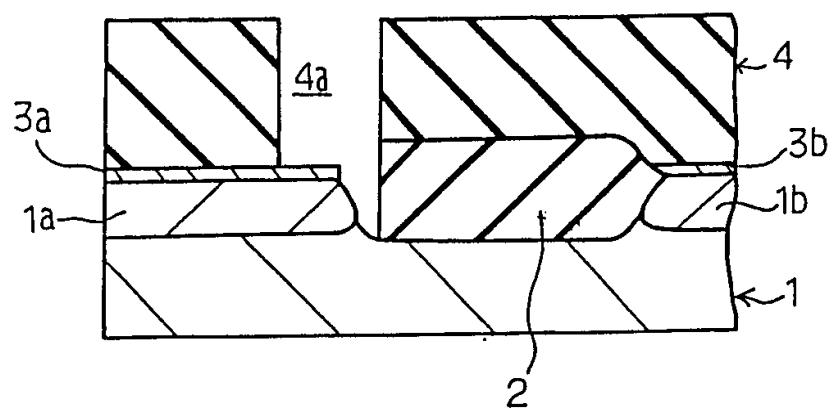


图 1D

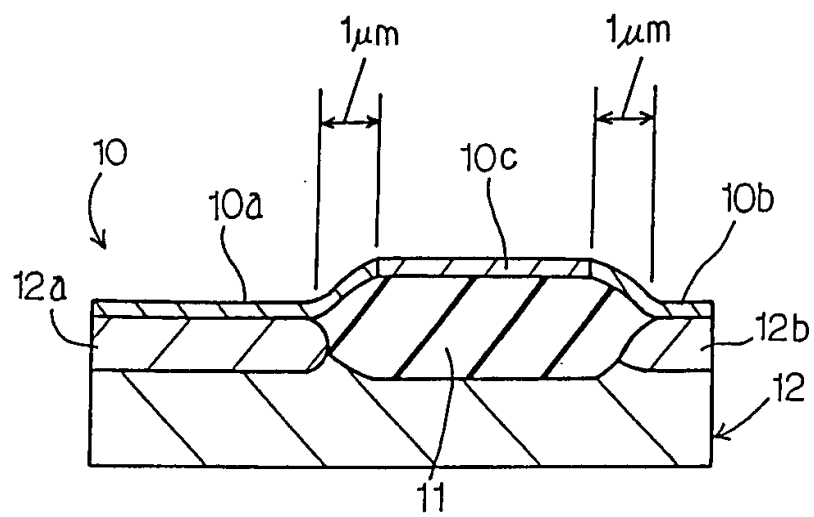


图 2A

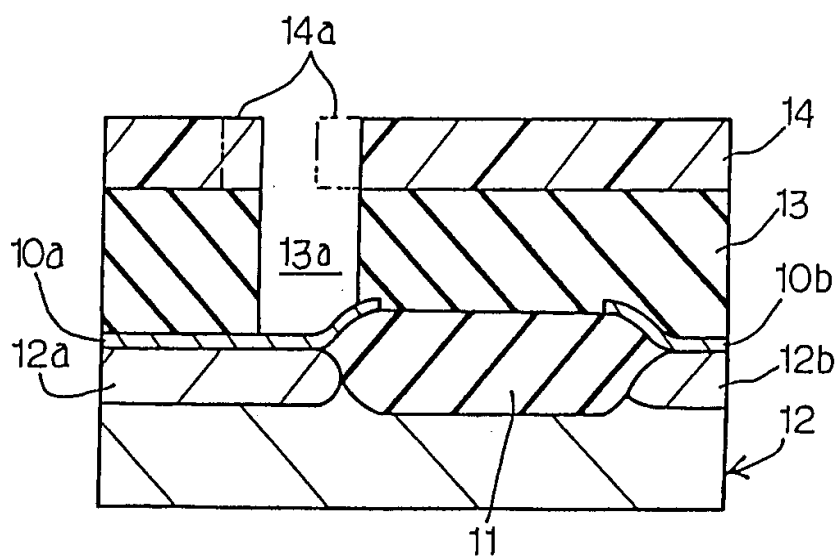


图 2B

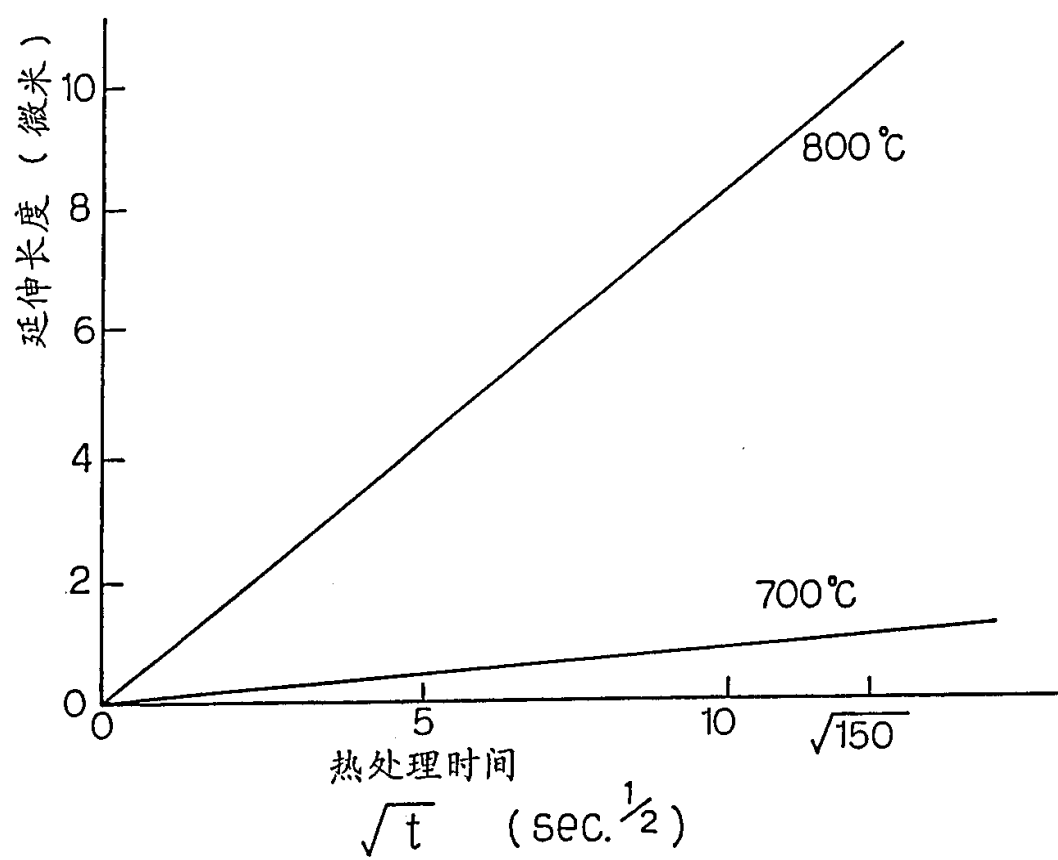


图 3

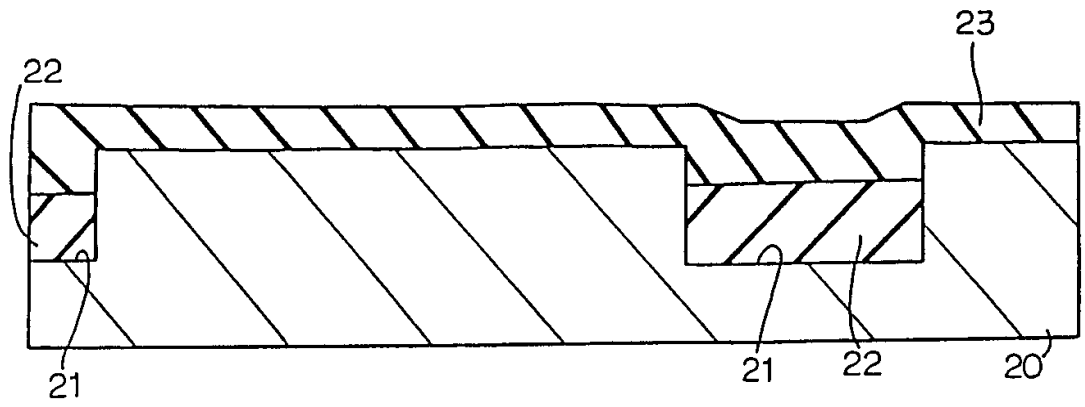


图 4A

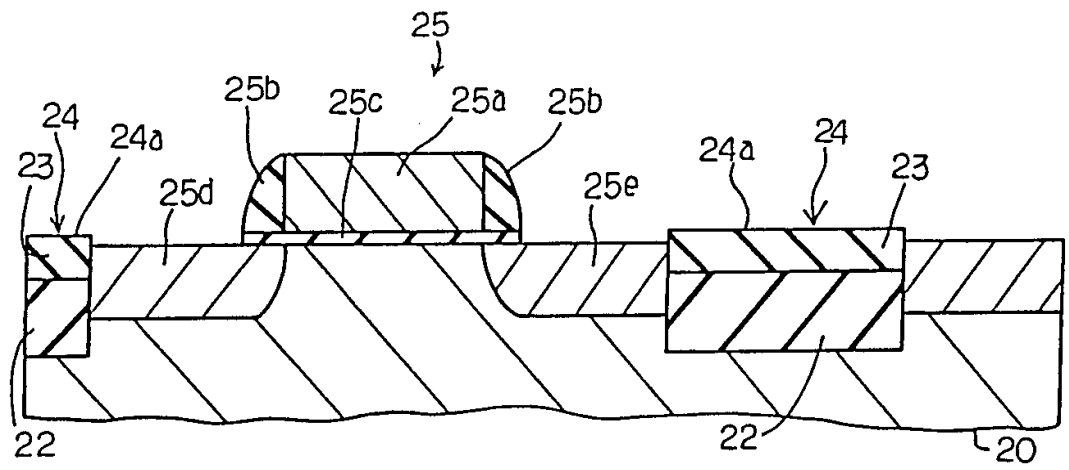


图 4B

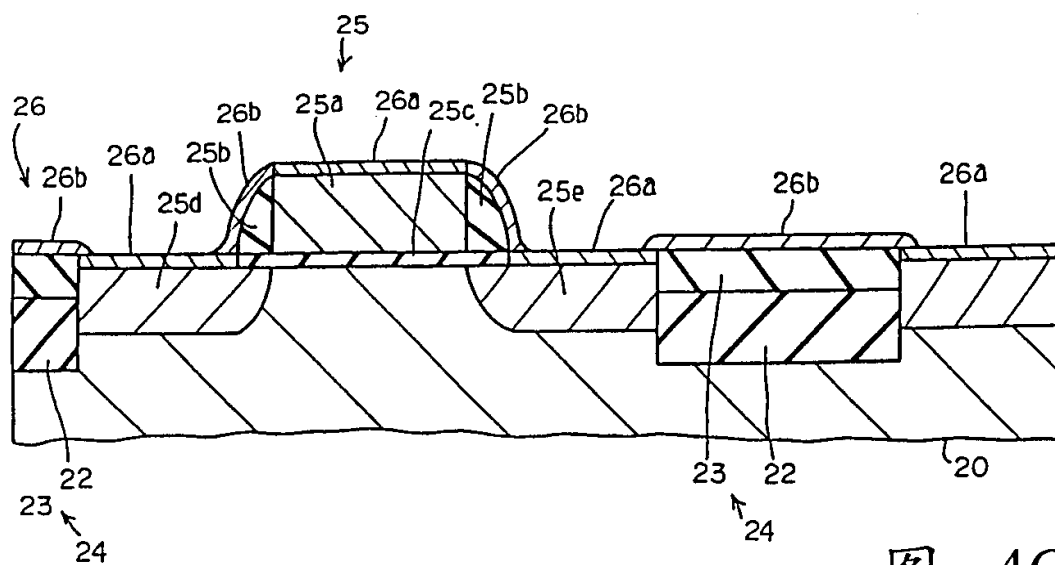


图 4C

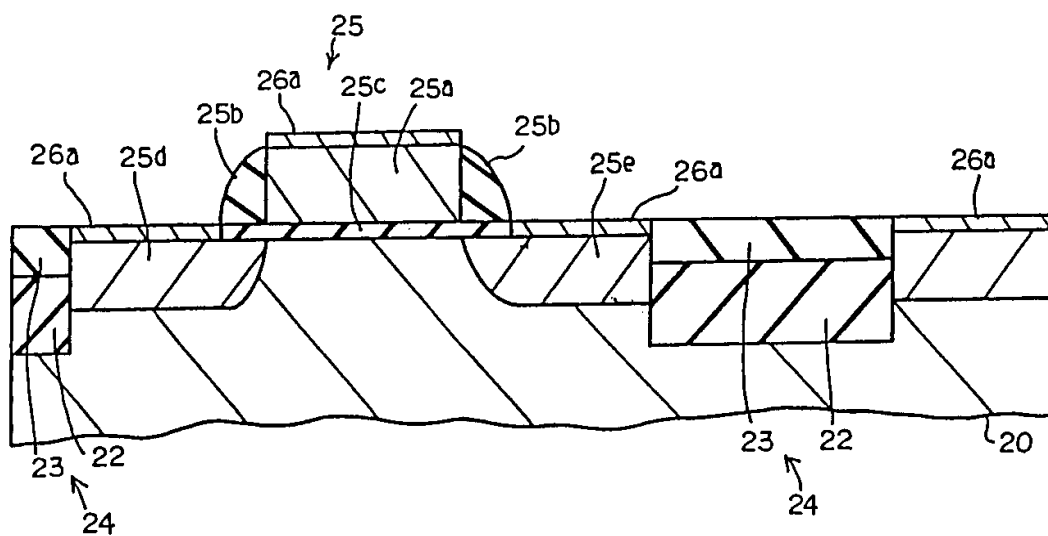
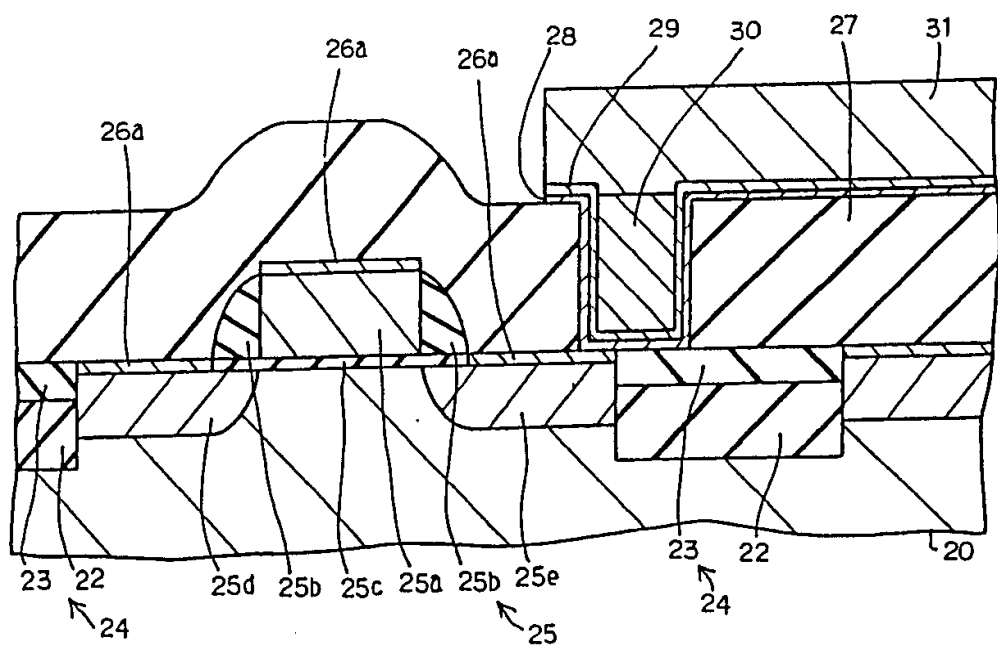
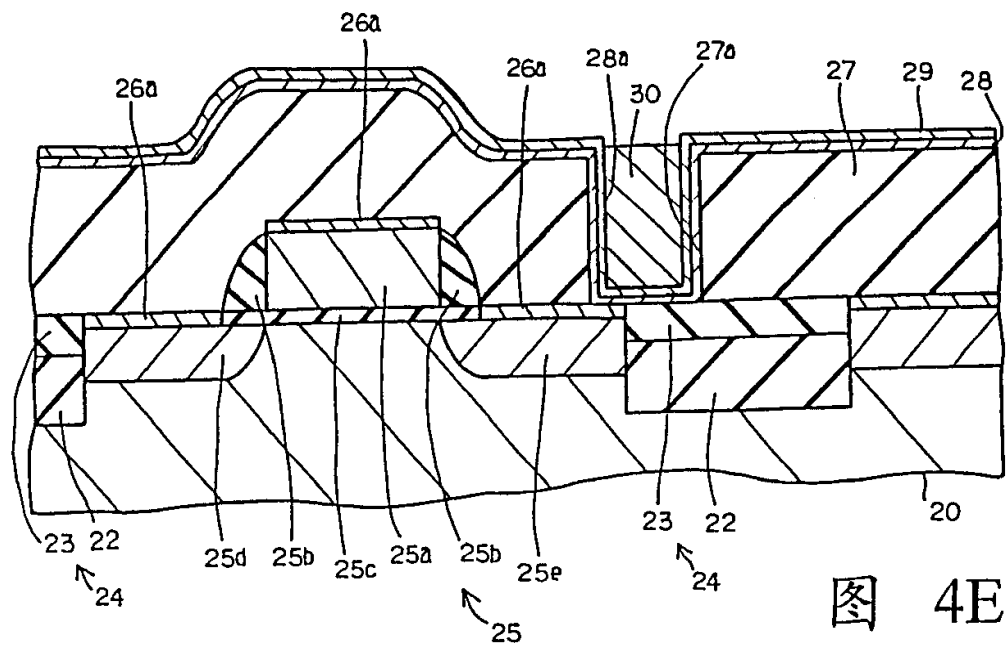


图 4D



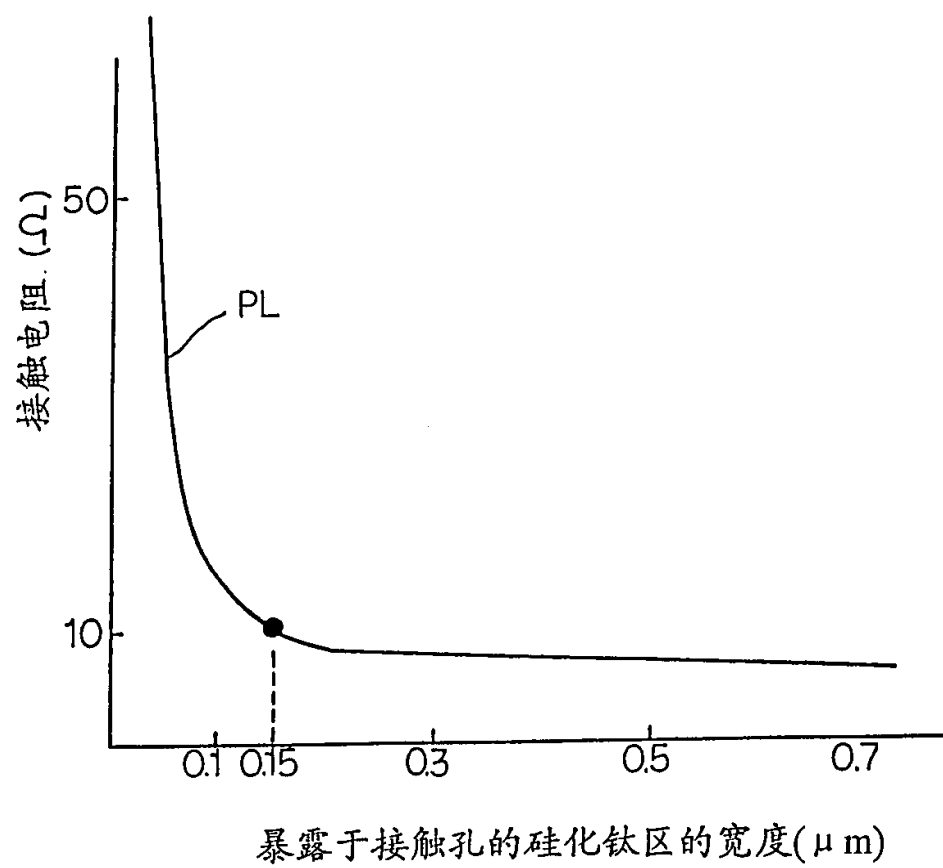


图 5