

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 12 日 (12.07.2018)



(10) 国际公布号
WO 2018/126723 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) **G11C 19/28** (2006.01)
- (21) 国际申请号: PCT/CN2017/100367
- (22) 国际申请日: 2017 年 9 月 4 日 (04.09.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710012865.3 2017 年 1 月 9 日 (09.01.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。鄂尔多斯市源盛光电有限责任
公司 (ORDOS YUANSHEG OPTOELECTRONICS
CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔
多斯市东胜区鄂尔多斯装备制造基地,
Inner Mongolia 017020 (CN)。
- (72) 发明人: 樊君 (FAN, Jun); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。

张洁 (ZHANG, Jie); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。王继
国 (WANG, Jiguo); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。李付强
(LI, Fuqiang); 中国北京市北京经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中国专利代理 (香港) 有限公司
(CHINA PATENT AGENT (H.K.) LTD.); 中国香港
特别行政区湾仔港湾道 23 号鹰君中心
22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SHIFT REGISTER UNIT CIRCUIT AND DRIVE METHOD THEREFOR, GATE DRIVE CIRCUIT, AND DISPLAY
DEVICE

(54) 发明名称: 移位寄存器单元电路及其驱动方法、栅极驱动电路和显示装置

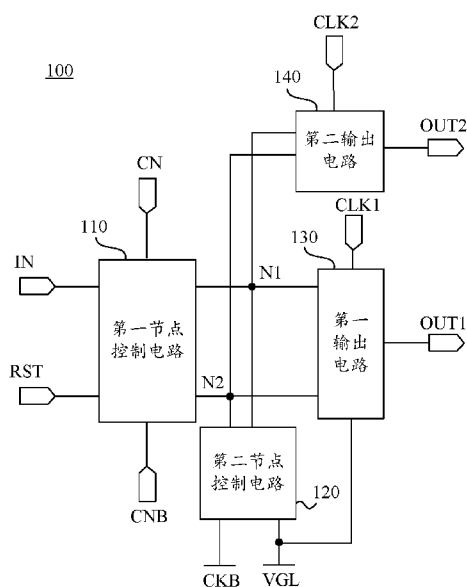


图 1

110 FIRST NODE CONTROL CIRCUIT
120 SECOND NODE CONTROL CIRCUIT
130 FIRST OUTPUT CIRCUIT
140 SECOND OUTPUT CIRCUIT

(57) Abstract: A shift register unit circuit (100), comprising a first node control circuit (110), a second node control circuit (120), and a plurality of output circuits (130, 140). Each of the plurality of output circuits (130, 140) is connected to a corresponding output end, and provides a gate drive signal to the corresponding output end. Also disclosed is a method for driving the shift register unit circuit (100), a gate drive circuit (930), and a display device (900).

(57) 摘要: 一种移位寄存器单元电路 (100), 其包括第一节点控制电路 (110)、第二节点控制电路 (120)、以及多个输出电路 (130, 140); 多个输出电路 (130, 140) 中每一个连接到相应的输出端, 并且向该相应的输出端提供栅极驱动信号。还提供了一种驱动该移位寄存器单元电路 (100) 的方法、栅极驱动电路 (930) 和显示装置 (900)。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

移位寄存器单元电路及其驱动方法、栅极驱动电路和显示装置

技术领域

本公开涉及栅极驱动信号的生成，尤其涉及一种移位寄存器单元
5 电路、驱动该移位寄存器单元电路的方法、栅极驱动电路和显示装置。

背景技术

包括级联的多个移位寄存器单元电路的移位寄存器可以作为栅极
驱动电路操作以便为显示面板中的像素阵列提供栅极驱动信号。随着
10 显示设备（例如手机、平板电脑等）越来越轻薄化，存在对于越来越
窄的屏幕边框的需求。利用传统的栅极驱动电路，一个移位寄存器单
元电路只能生成一个栅极驱动信号来驱动一行像素。因此，需要为显
示面板、尤其是对于具有高分辨率的那些显示面板提供大量的移位寄
存器单元电路，从而占用边框面积。这不利于实现窄边框。

15

发明内容

提供一种可以缓解、减轻或消除上述问题中的一个或多个的移位
寄存器单元电路将是有利的。

根据本公开的一个方面，提供了一种移位寄存器单元电路，包括：

20 第一节点控制电路，被配置成响应于来自输入端的输入脉冲有效而将
来自第一扫描电平端的有效电位供应到第一节点，响应于来自复位端
的复位脉冲有效而将来自第二扫描电平端的无效电位供应到所述第一
节点，并且响应于第二节点处于有效电位而将来自第一参考电平端的
无效电位供应到所述第一节点；第二节点控制电路，被配置成响应于
25 所述第一节点处于有效电位而将来自所述第一参考电平端的无效电位
供应到所述第二节点，并且响应于所述第一节点处于无效电位且来自
复位维持端的复位维持信号有效而将第二节点设定处于有效电位；以
及 N 个输出电路，每一个连接到相应的内部节点、相应的时钟端和相
应的输出端，所述相应的内部节点电连接到所述第一节点，N 为大于
30 或等于 2 的整数。所述 N 个输出电路中的每一个被配置成响应于所述
相应的内部节点处于有效电位而将来自所述相应的时钟端的时钟信号
供应到所述相应的输出端，响应于所述第二节点处于有效电位而将来

自所述第一参考电平端的无效电位供应到所述相应的输出端，并且响应于所述相应的输出端的电位的变化而引起所述相应的内部节点的电位的变化。

在一些实施例中，所述 N 个输出电路中的每一个包括：第一传送晶体管，具有连接到所述相应的内部节点的栅极、连接到所述相应的输出端的第一电极、以及连接到所述相应的时钟端的第二电极；第二传送晶体管，具有连接到所述第二节点的栅极、连接到所述第一参考电平端的第一电极、以及连接到所述相应的输出端的第二电极；以及输出电容器，连接在所述相应的内部节点与所述相应的输出端之间。

10 在一些实施例中，所述第一节点控制电路包括：第一晶体管，具有连接到所述输入端的栅极、连接到所述第一节点的第一电极、以及连接到所述第一扫描电平端的第二电极；第二晶体管，具有连接到所述复位端的栅极、连接到所述第二扫描电平端的第一电极、以及连接到所述第一节点的第二电极；以及第三晶体管，具有连接到所述第二节点的栅极、连接到所述第一节点的第一电极、以及连接到所述第一参考电平端的第二电极。

20 在一些实施例中，所述第二节点控制电路包括：第四晶体管，具有连接到所述第一节点的栅极、连接到所述第一参考电平端的第一电极、以及连接到所述第二节点的第二电极；第五晶体管，具有连接到所述复位维持端的栅极、连接到所述复位维持端的第一电极、以及连接到所述第二节点的第二电极；以及第一电容器，连接在所述第二节点与所述第一参考电平端之间。

在一些实施例中，所述 N 个输出电路中的每一个的所述内部节点直接连接到所述第一节点。

25 在一些实施例中，所述移位寄存器单元电路还包括 N 个第三传送晶体管，每一个具有连接到用于供应有效电位的第二参考电平端的栅极、连接到所述第一节点的第一电极、以及连接到所述 N 个输出电路中的相应一个的所述内部节点的第二电极。

30 根据本公开的另一方面，提供了一种驱动如上所述的移位寄存器单元电路的方法。所述方法包括：响应于来自所述输入端的输入脉冲有效而将来自所述第一扫描电平端的有效电位供应到所述第一节点，以使得各相应的内部节点处于有效电位；响应于各相应的内部节点处

于有效电位而将来自各相应的时钟端的时钟信号供应到各相应的输出端，其中响应于各相应的输出端的电位的变化而引起各相应的内部节点的电位的变化；响应于来自所述复位端的复位脉冲有效而将来自所述第二扫描电平端的无效电位供应到所述第一节点；响应于所述第一节点处于无效电位且来自所述复位维持端的复位维持信号有效而将所述第二节点设定处于有效电位；以及响应于所述第二节点处于有效电位而将来自所述第一参考电平端的无效电位供应到各相应的输出端。

5 在一些实施例中，所述方法还包括向所述 N 个输出电路的各相应时钟端分别供应具有相同周期和 $1/2N$ 的占空比的 N 个不同的时钟信号。
10 该 N 个时钟信号中的第 n 个相对于该 N 个时钟信号中的第 $n-1$ 个被延迟 $1/2N$ 个周期， n 为整数且 $1 < n \leq N$ 。

在一些实施例中，所述方法还包括向所述 N 个输出电路的各相应时钟端供应完全相同的时钟信号。

根据本公开的又另一方面，提供了一种栅极驱动电路，包括多个
15 级联的如上所述的移位寄存器单元电路。除所述多个移位寄存器单元电路中的第一个之外，所述多个移位寄存器单元电路中的每一个的输入端连接到相邻上一个移位寄存器单元电路的 N 个输出端中的最后一个。除所述多个移位寄存器单元电路中的最后一个之外，所述多个移位寄存器单元电路中每一个的复位端连接到相邻下一个移位寄存器单元电路的 N 个输出端中的第一个。所述多个移位寄存器单元电路中的第 $2k-1$ 个的 N 个时钟端被配置成从包括 N 条时钟线的第一组时钟线接收各自的时钟信号， k 为正整数。所述多个移位寄存器单元电路中的第 $2k$ 个的 N 个时钟端被配置成从包括 N 条时钟线的第二组时钟线接收各自的时钟信号，第一和第二组时钟线供应的各时钟信号具有相同的周
20 期，所述第二组时钟线供应的各时钟信号中的每一个相对于所述第一组时钟线供应的各时钟信号中的对应一个被延迟 $1/N$ 个周期。
25

根据本公开的再另一方面，提供了一种显示装置，包括如上所述的栅极驱动电路。

根据在下文中所描述的实施例，本公开的这些和其它方面将是清楚明白的，并且将参考在下文中所描述的实施例而被阐明。
30

附图说明

图 1 是根据本公开实施例的移位寄存器单元电路的框图；

图 2 是如图 1 所示的移位寄存器单元电路的示例电路的电路图；

图 3 是如图 1 所示的移位寄存器单元电路的另一示例电路的电路图；

5 图 4 是如图 3 所示的示例电路在第一工作模式下的时序图；

图 5 是如图 3 所示的示例电路在第二工作模式下的时序图；

图 6 是根据本公开实施例的栅极驱动电路的框图；

图 7 是如图 6 所示的栅极驱动电路在第一工作模式下的时序图；

图 8 是如图 6 所示的栅极驱动电路在第二工作模式下的时序图；

10 并且

图 9 是根据本公开实施例的显示装置的框图。

具体实施方式

将理解的是，尽管术语第一、第二、第三等等在本文中可以用来
15 描述各种元件、部件和/或部分，但是这些元件、部件和/或部分不应当由这些术语限制。这些术语仅用来将一个元件、部件或部分与另一个元件、部件或部分相区分。因此，下面讨论的第一元件、部件或部分可以被称为第二元件、部件或部分而不偏离本公开的教导。

本文中使用的术语仅出于描述特定实施例的目的并且不意图限制
20 本公开。如本文中使用的，单数形式“一个”、“一”和“该”意图也包括复数形式，除非上下文清楚地另有指示。将进一步理解的是，术语“包括”和/或“包含”当在本说明书中使用指定所述及特征、整体、步骤、操作、元件和/或部件的存在，但不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加一个或多个其他特征、
25 整体、步骤、操作、元件、部件和/或其群组。如本文中使用的，术语“和/或”包括相关联的列出项目中的一个或多个的任意和全部组合。

将理解的是，当元件被称为“连接到另一个元件”或“耦合到另一个元件”时，其可以直接连接到另一个元件或直接耦合到另一个元件，或者可以存在中间元件。相反，当元件被称为“直接连接到另一个元件”
30 或“直接耦合到另一个元件”时，没有中间元件存在。

除非另有定义，本文中使用的的所有术语（包括技术术语和科学术语）具有与本公开所属领域的普通技术人员所通常理解的相同含义。

将进一步理解的是，诸如那些在通常使用的字典中定义的之类的术语应当被解释为具有与其在相关领域和/或本说明书上下文中的含义相一致的含义，并且将不在理想化或过于正式的意义上去进行解释，除非本文中明确地如此定义。

5 下面将结合附图详细描述本公开的实施例。

图 1 是根据本公开实施例的移位寄存器单元电路 100 的框图。参考图 1，移位寄存器单元电路 100 包括第一节点控制电路 110、第二节点控制电路 120、和至少两个输出电路。为了图示和描述的方便，在图 1 中仅示出了第一输出电路 130 和第二输出电路 140。

10 第一节点控制电路 110 被配置成响应于来自输入端 IN 的输入脉冲有效而将来自第一扫描电平端 CN 的有效电位供应到第一节点 N1。第一节点控制电路 110 还被配置成响应于来自复位端 RST 的复位脉冲有效而将来自第二扫描电平端 CNB 的无效电位供应到所述第一节点 N1。第一节点控制电路 110 还被配置成响应于第二节点 N2 处于有效电位而
15 将来自第一参考电平端 VGL 的无效电位供应到所述第一节点 N1。

第二节点控制电路 120 被配置成响应于所述第一节点 N1 处于有效电位而将来自所述第一参考电平端 VGL 的无效电位供应到所述第二节点 N2。第二节点控制电路 120 还被配置成响应于所述第一节点 N1 处于无效电位且来自复位维持端 CKB 的复位维持信号有效而将第二节点
20 N2 设定处于有效电位。

第一输出电路 130 连接到内部节点 ND1（图 1 中未示出）、时钟端 CLK1 和输出端 OUT1。内部节点 ND1 电连接到所述第一节点 N1。第一输出电路 130 被配置成响应于内部节点 ND1 处于有效电位而将来自所述时钟端 CLK1 的时钟信号供应到所述输出端 OUT1。第一输出电
25 路 130 还被配置成响应于所述第二节点 N2 处于有效电位而将来自所述第一参考电平端 VGL 的无效电位供应到所述输出端 OUT1。第一输出电路 130 还被配置成响应于所述输出端 OUT1 的电位的变化而引起所述内部节点 ND1 的电位的变化。

第二输出电路 140 连接到内部节点 ND2（图 1 中未示出）、时钟端 CLK2 和输出端 OUT2。第二输出电路 140 被配置成与第一输出电路 130 类似地工作，其描述为了简单起见在此被省略。

如本文使用的术语“有效电位”是指所涉及的电路元件（例如，晶体

管)被启用所处的电位。相反,术语“无效电位”是指所涉及的电路元件被禁用所处的电位。对于 n 型晶体管而言,有效电位是高电位,并且无效电位是低电位。对于 p 型晶体管而言,有效电位是低电位,并且无效电位是高电位。

5 图 2 是如图 1 所示的移位寄存器单元电路 100 的示例电路 100A 的电路图。下面结合图 2 描述移位寄存器单元电路 100 的示例配置。

第一节点控制电路 110 包括第一晶体管 M1、第二晶体管 M2 以及第三晶体管 M3。第一晶体管 M1 具有连接到所述输入端 IN 的栅极、连接到所述第一节点 N1 的第一电极、以及连接到所述第一扫描电平端 CN 的第二电极。第二晶体管 M2 具有连接到所述复位端 RST 的栅极、连接到所述第二扫描电平端 CNB 的第一电极、以及连接到所述第一节点 N1 的第二电极。第三晶体管 M3 具有连接到所述第二节点 N2 的栅极、连接到所述第一节点 N1 的第一电极、以及连接到所述第一参考电平端 VGL 的第二电极。

15 第二节点控制电路 120 包括第四晶体管 M4、第五晶体管 M5 以及第一电容器 C1。第四晶体管 M4 具有连接到所述第一节点 N1 的栅极、连接到所述第一参考电平端 VGL 的第一电极、以及连接到所述第二节点 N2 的第二电极。第五晶体管 M5 具有连接到所述复位维持端 CKB 的栅极、连接到所述复位维持端 CKB 的第一电极、以及连接到所述第二节点 N2 的第二电极。第一电容器 C1 连接在所述第二节点 N2 与所述第一参考电平端 VGL 之间。

第一输出电路 130 包括其自己的第一传送晶体管 MT11、第二传送晶体管 MT12 和输出电容器 OC1。第一传送晶体管 MT11 具有连接到内部节点 ND1 的栅极、连接到输出端 OUT1 的第一电极、以及连接到时钟端 CLK1 的第二电极。第二传送晶体管 MT12 具有连接到所述第二节点 N2 的栅极、连接到所述第一参考电平端 VGL 的第一电极、以及连接到所述输出端 OUT1 的第二电极。输出电容器 OC1 连接在所述内部节点 ND1 与所述输出端 OUT1 之间。

第二输出电路 140 具有与第一输出电路 130 相同的配置。具体地, 25 如图 2 所示, 第一输出电路 130 包括其自己的第一传送晶体管 MT21、第二传送晶体管 MT22 和输出电容器 OC2。

在示例电路 100A 中, 第一和第二输出电路 130 和 140 的内部节点

ND1 和 ND2 直接连接到第一节点 N1。因此，各内部节点 ND1 和 ND2 的电位在任何时候都等于第一节点 N1 的电位。

图 3 是如图 1 所示的移位寄存器单元电路 100 的另一示例电路 100B 的电路图。在示例电路 100B 中，第一节点控制电路 110、第二节点控制电路 120、第一输出电路 130 和第二输出电路 140 的配置与上面关于图 2 描述的那些相同，并且为了简单起见在此被省略。

示例电路 100B 与图 2 的示例电路 100A 的不同之处在于，第一和第二输出电路 130 和 140 的内部节点 ND1 和 ND2 现在通过各自的第三传送晶体管 MT13 和 MT23 连接到第一节点 N1。如图 3 所示，第三传送晶体管 MT13 具有连接到用于供应有效电位的第二参考电平端 VGH 的栅极、连接到所述第一节点 N1 的第一电极、以及连接到内部节点 ND1 的第二电极。类似地，第三传送晶体管 MT23 具有连接到用于供应有效电位的第二参考电平端 VGH 的栅极、连接到所述第一节点 N1 的第一电极、以及连接到内部节点 ND2 的第二电极。

第三传送晶体管 MT13 和 MT23 的添加可以是有利的。具体地，当输出端 OUT1 和 OUT2 的电位从无效电位（在图 3 的示例中，低电平）被改变到有效电位（在图 3 的示例中，高电平）时，内部节点 ND1 和 ND2 的电位由于输出电容器 OC1 和 OC2 的自举效应而升高，并且第一节点 N1 的电位由于最初开启的第三传送晶体管 MT13 和 MT23 的原因也相应地升高。当第一节点 N1 的电位升高到等于第二参考电平端 VGH 所供应的有效电位时，第三传送晶体管 MT13 和 MT23 被关断，使得第一节点 N1 的电位的升高被限制。这可以避免从第一节点 N1 通过第二晶体管 M2 流到第二扫描电平端 CNB 的漏电流的潜在的增大。进一步地，由于使得第一节点 N1 与内部节点 ND1 和 ND2 不导通，由于漏电流所致的第一节点 N1 的电位的下降不会影响内部节点 ND1 和 ND2 的电位，从而保证从输出端 OUT1 和 OUT2 输出的栅极驱动信号不会恶化。这在其中漏电流显著增大的高温场景下尤为有利。

图 4 是如图 3 所示的示例电路 100B 在第一工作模式下的时序图。下面参考图 4 描述图 3 的示例电路 100B 的操作。在下文中，以 1 表示高电平，并且以 0 表示低电平。还假定：第一扫描电平端 CN 和第二参考电平端供应高电平电压，并且第二扫描电平端 CNB 和第一参考电平端 VGL 供应低电平电压。

如图 4 所示,在第一工作模式下,供应到 N 个输出电路(在该示例中, $N=2$)的 N 个时钟端 CLK1 和 CLK2 的时钟信号具有相同周期和 $1/2N$ 的占空比,并且第 n 个时钟信号相对于第 $n-1$ 个时钟信号被延迟 $1/2N$ 个周期,其中 n 为整数且 $1 < n \leq N$ 。

5 在阶段 P1, $IN=1$, $CLK1=0$, $CLK2=0$, $CKB=0$, $RST=0$ 。第一晶体管 M1 开启,并且将来自第一扫描电平端 CN 的高电平电压传送到第一节点 N1,使得第一节点 N1 被设定处于有效电位(在该示例中,高电平)。开启的第三传送晶体管 MT13 和 MT23 将第一节点 N1 的有效电位传送到内部节点 ND1 和 ND2,使得第一传送晶体管 MT11 和 MT21
10 开启。无效的时钟信号分别通过第一传送晶体管 MT11 和 MT21 被传送到输出端 OUT1 和 OUT2,使得输出端 OUT1 和 OUT2 处于无效电位(在该示例中,低电平)。

在阶段 P2, $IN=0$, $CLK1=1$, $CLK2=0$, $CKB=0$, $RST=0$ 。输出电容器 OC1 和 OC2 保持内部节点 ND1 和 ND2 处于有效电位,使得第一
15 传送晶体管 MT11 和 MT21 保持开启。有效的时钟信号从时钟端 CLK1 被传送到输出端 OUT1,使得输出端 OUT1 处于有效电位。无效的时钟信号从时钟端 CLK2 被传送到输出端 OUT2,使得输出端 OUT2 处于无效电位。由于输出电容器 OC1 的自举效应,内部节点 ND1 和第一节点 N1 的电位被进一步拉高。如上所述,当第一节点 N1 的电位升高到等
20 于第三传送晶体管 MT13 的栅极电压 VGH 时,第三传送晶体管 MT13 被关断,使得第一节点 N1 和内部节点 ND1 不导通。

在阶段 P3, $IN=0$, $CLK1=0$, $CLK2=1$, $CKB=0$, $RST=0$ 。无效的时钟信号通过开启的第一传送晶体管 MT11 从时钟端 CLK1 被传送到输出端 OUT1,使得输出端 OUT1 处于无效电位。由于输出电容器 OC1
25 的自举效应,内部节点 ND1 的电位被拉低但是仍然处于有效电位。有效的时钟信号从时钟端 CLK2 通过开启的第一传送晶体管 MT21 被传送到输出端 OUT2,使得输出端 OUT2 处于有效电位。由于输出电容器 OC2 的自举效应,内部节点 ND2 和第一节点 N1 的电位被进一步拉高。如上所述,当第一节点 N1 的电位升高到等于第三传送晶体管 MT23 的
30 栅极电压 VGH 时,第三传送晶体管 MT23 被关断,使得第一节点 N1 和内部节点 ND2 不导通。

在阶段 P4, $IN=0$, $CLK1=0$, $CLK2=0$, $CKB=1$, $RST=1$ 。第二晶

晶体管 T2 被开启, 并且将来自第二扫描电平端 CNB 的低电平电压传送到第一节点 N1, 使得第一节点 N1 被设定处于无效电位。第五晶体管 M5 被开启, 并且将来自复位维持端 CKB 的有效电位传送到第二节点 N2, 使得第二传送晶体管 MT12 和 MT22 被开启并且第一电容器 C1 被充电。来自第一参考电平端 VGL 的低电平电压被传送到输出端 OUT1 和 OUT2, 使得输出端 OUT1 和 OUT2 处于无效电位。

此后, 来自复位维持端 CKB 的复位维持信号周期性地对第一电容器 C1 充电, 从而保持第二节点 N2 处于有效电位。第二传送晶体管 MT12 和 MT22 被保持开启, 并且将来自第一参考电平端 VGL 的无效电位传送到输出端 OUT1 和 OUT2。因此, 输出端 OUT1 和 OUT2 保持处于无效电位。

图 5 是如图 3 所示的示例电路 100B 在第二工作模式下的时序图。下面参考图 5 描述图 3 的示例电路 100B 的操作。

如图 5 所示, 在第二工作模式下, 供应到 N 个输出电路 (在该示例中, N=2) 的 N 个时钟端 CLK1 和 CLK2 的时钟信号完全相同 (identical)。

在阶段 P1', IN=1, CLK1=0, CLK2=0, CKB=0, RST=0。第一晶体管 M1 开启, 并且将来自第一扫描电平端 CN 的高电平电压传送到第一节点 N1, 使得第一节点 N1 被设定处于有效电位。开启的第三传送晶体管 MT13 和 MT23 将第一节点 N1 的有效电位传送到内部节点 ND1 和 ND2, 使得第一传送晶体管 MT11 和 MT21 开启。无效的时钟信号分别通过第一传送晶体管 MT11 和 MT21 被传送到输出端 OUT1 和 OUT2, 使得输出端 OUT1 和 OUT2 处于无效电位。

在阶段 P2', IN=0, CLK1=1, CLK2=1, CKB=0, RST=0。输出电容器 OC1 和 OC2 保持内部节点 ND1 和 ND2 处于有效电位, 使得第一传送晶体管 MT11 和 MT21 保持开启。有效的时钟信号从时钟端 CLK1 被传送到输出端 OUT1, 使得输出端 OUT1 处于有效电位。有效的时钟信号从时钟端 CLK2 被传送到输出端 OUT2, 使得输出端 OUT2 处于有效电位。由于输出电容器 OC1 和 OC2 的自举效应, 内部节点 ND1 和 ND2 (以及第一节点 N1) 的电位被进一步拉高。当第一节点 N1 的电位升高到等于第三传送晶体管 MT13 和 MT23 的栅极电压 VGH 时, 第三传送晶体管 MT13 和 MT23 被关断, 使得第一节点 N1 和内部节点

ND1 和 ND2 不导通。

在阶段 P3', IN=0, CLK1=0, CLK2=0, CKB=1, RST=1。第二晶体管 T2 被开启, 并且将来自第二扫描电平端 CNB 的低电平电压传送到第一节点 N1, 使得第一节点 N1 被设定处于无效电位。第五晶体管 M5 被开启, 并且将来自复位维持端 CKB 的有效电位传送到第二节点 N2, 使得第二晶体管 MT12 和 MT22 被开启并且第一电容器 C1 被充电。来自第一参考电平端 VGL 的低电平电压被传送到输出端 OUT1 和 OUT2, 使得输出端 OUT1 和 OUT2 处于无效电位。

此后, 来自复位维持端 CKB 的复位维持信号周期性地对第一电容器 C1 充电, 从而保持第二节点 N2 处于有效电位。第二晶体管 MT12 和 MT22 被保持开启, 并且将来自第一参考电平端 VGL 的无效电位传送到输出端 OUT1 和 OUT2。因此, 输出端 OUT1 和 OUT2 保持处于无效电位。

图 6 是根据本公开实施例的栅极驱动电路 600 的框图。参考图 6, 栅极驱动电路 600 包括多个级联的移位寄存器单元电路 S1、S2、S3、S4...S4K-1、S4K (K 为正整数), 并且每个移位寄存器单元电路被图示为具有两个时钟端 CLK1 和 CLK2 和两个输出端 OUT1 和 OUT2。移位寄存器单元电路 S1、S2、S3、S4...S4K-1、S4K 一起工作以便向栅线 G[1]、G[2]、G[3]、G[4]、G[5]、G[6]、G[7]、G[8]...G[8K-3]、G[8K-2]、G[8K-1]、G[8K]提供各自的栅极驱动信号。这些移位寄存器单元电路中的每一个可以是如上所述的移位寄存器单元电路 100。更一般地, 每个移位寄存器单元电路可以被描述为具有 N 个时钟端和 N 个输出端(N 为大于或等于 2 的整数)。

如图 6 所示, 除移位寄存器单元电路 S1 之外, 所述多个移位寄存器单元电路中的每一个的输入端 IN 连接到相邻上一个移位寄存器单元电路的 N 个输出端中的最后一个(在图 6 的示例中, OUT2)。除移位寄存器单元电路 S4K 之外, 所述多个移位寄存器单元电路中每一个的复位端 RST 连接到相邻下一个移位寄存器单元电路的 N 个输出端中的第一个(在图 6 的示例中, OUT1)。所述多个移位寄存器单元电路中的第 2k-1 个(k 为正整数)的 N 个时钟端被配置成从包括 N 条时钟线的第一组时钟线(在图 6 的示例中, clk3 和 clk4)接收各自的时钟信号。所述多个移位寄存器单元电路中的第 2k 个的 N 个时钟端被配置成

从包括 N 条时钟线的第二组时钟线（在图 6 的示例中，clk1 和 clk2）接收各自的时钟信号。另外，第 4k-3 个、第 4k-2 个、第 4k-1 个和第 4k 个移位寄存器单元电路的复位维持端 CKB 分别从复位维持信号线 clkr1、clk11、clkr2 和 clk12 接收复位维持信号。

- 5 在图 6 的示例中，栅极驱动电路 600 被配置为工作在正向扫描模式下，其中起始脉冲 STV 被施加到第一个移位寄存器单元电路 S1。虽然未图示，栅极驱动电路 600 也可以被配置为工作在反向扫描模式下，其中起始脉冲被施加到最后一个移位寄存器单元电路 S4K。将理解的是，取决于扫描方向，移位寄存器单元电路的输入端 IN 和复位端 RST
- 10 可互换地使用，并且第一扫描电平端 CN 和第二扫描电平端 CNB 可互换地使用。在正向扫描模式下，第一扫描电平端 CN 供应有效电平电压，第二扫描电平端 CNB 供应无效电平电压，并且输入端 IN 和复位端 RST 被正常地使用。在反向扫描模式下，第一扫描电平端 CN 供应无效电平电压，并且第二扫描电平端 CNB 供应有效电平电压。在这种情况下，
- 15 输入端 IN 充当“复位端”，并且复位端 RST 充当“输入端”。

另外，虽然栅极驱动电路 600 被图示为包括 4 的整数倍个移位寄存器单元电路，并且每个移位寄存器单元电路被图示为具有两个时钟端和两个输出端，但是本公开不限于此。

- 图 7 是如图 6 所示的栅极驱动电路 600 在第一工作模式下的时序图。在第一工作模式下，施加到每一个移位寄存器单元电路的 N 个时钟端接收的 N 个时钟信号具有 $1/2N$ 的占空比（在该示例中， $N=2$ ），并且该 N 个时钟信号中的第 n 个（例如，clk4 或 clk2）相对于该 N 个时钟信号中的第 n-1 个（例如，clk3 或 clk1）被延迟 $1/2N$ 个周期（n 为整数且 $1 < n \leq N$ ）。
- 20

- 25 如图 7 所示，第一组时钟信号（clk3 和 clk4）和第二组时钟信号（clk1 和 clk2）具有相同的周期，并且第二组时钟信号中的每一个相对于第一组时钟信号中的对应一个被延迟 $1/N$ 个周期。例如，clk1 相对于 clk3 被延迟 $1/N$ 个周期，并且 clk2 相对于 clk4 被延迟 $1/N$ 个周期。各个移位寄存器单元电路的操作与上面关于图 4 描述的那些相同，并且为了简单起见在此被省略。结果得到的栅极驱动信号如图 7 所示。为了图示的方便，在图 7 中仅示出了前四个移位寄存器单元电路生成的栅极驱动信号 G[1]、G[2]、G[3]、G[4]、G[5]、G[6]、G[7]、G[8]。
- 30

图 8 是如图 6 所示的栅极驱动电路 600 在第二工作模式下的时序图。在第二工作模式下，施加到每一个移位寄存器单元电路的 N 个（在该示例中，N=2）时钟端接收的 N 个时钟信号完全相同。

如图 8 所示，第一组时钟信号（clk3 和 clk4）和第二组时钟信号（clk1 和 clk2）具有相同的周期，并且第二组时钟信号中的每一个相对于第一组时钟信号中的对应一个被延迟 $1/N$ 个周期。例如，clk1 相对于 clk3 被延迟 $1/N$ 个周期，并且 clk2 相对于 clk4 被延迟 $1/N$ 个周期。各个移位寄存器单元电路的操作与上面关于图 5 描述的那些相同，并且为了简单起见在此被省略。结果得到的栅极驱动信号如图 8 所示。为了图示的方便，在图 8 中仅示出了前四个移位寄存器单元电路生成的栅极驱动信号 G[1]、G[2]、G[3]、G[4]、G[5]、G[6]、G[7]、G[8]。

第二工作模式可以是有利的，因为每个移位寄存器单元电路生成的 N 个栅极驱动信号是同步的，如图 8 中所示的，这意味着 N 行像素可以被同时扫描到（被供应数据信号），并且因此提供更高的刷新速率。这可以导致改进的显示效果。

图 9 是根据本公开实施例的显示装置 900 的框图。参考图 9，显示装置 900 包括显示面板 910、时序控制器 920、栅极驱动电路 930 和数据驱动电路 940。栅极驱动电路 930 可以是上面关于图 6 所述的栅极驱动电路 600。

显示面板 910 连接至多个栅极线 GL 和多个数据线 DL。显示面板 910 基于输出图像数据 RGBD' 显示具有多个灰度的图像。栅极线 GL 可在第一方向 D1 延伸，并且数据线 DL 可在与第一方向 D1 交叉（例如，基本垂直）的第二方向 D2 延伸。显示面板 910 可包括以矩阵形式排列的多个像素（未示出）。每个像素可电连接至栅极线 GL 的对应一个栅极线和数据线 DL 的对应一个数据线。显示面板 910 可以是液晶显示面板、有机发光二极管（OLED）显示面板或其他合适类型的显示面板。

时序控制器 920 控制显示面板 910、栅极驱动电路 930 和数据驱动电路 940 的操作。时序控制器 920 从外部设备（例如，主机）接收输入图像数据 RGBD 和输入控制信号 CONT。输入图像数据 RGBD 可包括用于多个像素的多个输入像素数据。每个输入像素数据可包括用于多个像素中的对应一个的红色灰度数据 R、绿色灰度数据 G 和蓝色灰度数据 B。输入控制信号 CONT 可包括主时钟信号、数据使能信号、

垂直同步信号、水平同步信号等。时序控制器 920 基于输入图像数据 RGBD 和输入控制信号 CONT 生成输出图像数据 RGBD'、第一控制信号 CONT1 和第二控制信号 CONT2。

栅极驱动电路 930 从时序控制器 920 接收第一控制信号 CONT1。

- 5 栅极驱动电路 930 基于第一控制信号 CONT1 生成用于驱动栅极线 GL 的多个栅极信号。栅极驱动电路 930 可顺序地将多个栅极信号施加至栅极线 GL。

- 数据驱动电路 940 从时序控制器 920 接收第二控制信号 CONT2 和输出图像数据 RGBD'。数据驱动电路 940 基于第二控制信号 CONT2
10 和输出图像数据 RGBD'（例如，数字图像数据）生成多个数据电压（例如，模拟数据电压）。数据驱动电路 940 可将多个数据电压施加至数据线 DL。

- 在一些示例性实施例中，栅极驱动电路 930 和/或数据驱动电路 940 可被设置（例如，直接安装）在显示面板 910 上，或者可以借助例如
15 带式载体封装（Tape Carrier Package, TCP）连接至显示面板 910。在一些实施例中，栅极驱动电路 930 和/或数据驱动电路 940 可被集成在显示面板 910 中。

显示装置 900 的示例包括但不限于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪。

- 20 将理解的是，在各实施例中，虽然各晶体管被图示和描述为 n 型晶体管，但是 p 型晶体管是可能的。在 p 型晶体管的情况下，栅极开启电压具有低电平，并且栅极关闭电压具有高电平。在各实施例中，各晶体管可以例如是薄膜晶体管，其典型地被制作使得它们的第一电极和第二电极可互换地使用。还设想了其他实施例。

- 25 以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求

1. 一种移位寄存器单元电路，包括：

5 第一节点控制电路，被配置成响应于来自输入端的输入脉冲有效而将来自第一扫描电平端的有效电位供应到第一节点，响应于来自复位端的复位脉冲有效而将来自第二扫描电平端的无效电位供应到所述第一节点，并且响应于第二节点处于有效电位而将来自第一参考电平端的无效电位供应到所述第一节点；

10 第二节点控制电路，被配置成响应于所述第一节点处于有效电位而将来自所述第一参考电平端的无效电位供应到所述第二节点，并且响应于所述第一节点处于无效电位且来自复位维持端的复位维持信号有效而将第二节点设定处于有效电位；以及

15 N 个输出电路，每一个连接到相应的内部节点、相应的时钟端和相应的输出端，所述相应的内部节点电连接到所述第一节点，N 为大于或等于 2 的整数，

其中所述 N 个输出电路中的每一个被配置成响应于所述相应的内部节点处于有效电位而将来自所述相应的时钟端的时钟信号供应到所述相应的输出端，响应于所述第二节点处于有效电位而将来自所述第一参考电平端的无效电位供应到所述相应的输出端，并且响应于所述
20 相应的输出端的电位的变化而引起所述相应的内部节点的电位的变化。

2. 如权利要求 1 所述的移位寄存器单元电路，其中所述 N 个输出电路中的每一个包括：

25 第一传送晶体管，具有连接到所述相应的内部节点的栅极、连接到所述相应的输出端的第一电极、以及连接到所述相应的时钟端的第二电极；

第二传送晶体管，具有连接到所述第二节点的栅极、连接到所述第一参考电平端的第一电极、以及连接到所述相应的输出端的第二电极；以及

输出电容器，连接在所述相应的内部节点与所述相应的输出端之间。

30 3. 如权利要求 1 所述的移位寄存器单元电路，其中所述第一节点控制电路包括：

第一晶体管，具有连接到所述输入端的栅极、连接到所述第一节

点的第一电极、以及连接到所述第一扫描电平端的第二电极；

第二晶体管，具有连接到所述复位端的栅极、连接到所述第二扫描电平端的第一电极、以及连接到所述第一节点的第二电极；以及

第三晶体管，具有连接到所述第二节点的栅极、连接到所述第一节点的第一电极、以及连接到所述第一参考电平端的第二电极。

4. 如权利要求 1 所述的移位寄存器单元电路，其中所述第二节点控制电路包括：

第四晶体管，具有连接到所述第一节点的栅极、连接到所述第一参考电平端的第一电极、以及连接到所述第二节点的第二电极；

10 第五晶体管，具有连接到所述复位维持端的栅极、连接到所述复位维持端的第一电极、以及连接到所述第二节点的第二电极；以及

第一电容器，连接在所述第二节点与所述第一参考电平端之间。

5. 如权利要求 1 所述的移位寄存器单元电路，其中所述 N 个输出电路中的每一个的所述内部节点直接连接到所述第一节点。

15 6. 如权利要求 1 所述的移位寄存器单元电路，还包括 N 个第三传送晶体管，每一个具有连接到用于供应有效电位的第二参考电平端的栅极、连接到所述第一节点的第一电极、以及连接到所述 N 个输出电路中的相应一个的所述内部节点的第二电极。

20 7. 一种驱动如权利要求 1 至 6 中任一项所述的移位寄存器单元电路的方法，所述方法包括：

响应于来自所述输入端的输入脉冲有效而将来自所述第一扫描电平端的有效电位供应到所述第一节点，以使得各相应的内部节点处于有效电位；

25 响应于各相应的内部节点处于有效电位而将来自各相应的时钟端的时钟信号供应到各相应的输出端，其中响应于各相应的输出端的电位的变化而引起各相应的内部节点的电位的变化；

响应于来自所述复位端的复位脉冲有效而将来自所述第二扫描电平端的无效电位供应到所述第一节点；

30 响应于所述第一节点处于无效电位且来自所述复位维持端的复位维持信号有效而将所述第二节点设定处于有效电位；以及

响应于所述第二节点处于有效电位而将来自所述第一参考电平端的无效电位供应到各相应的输出端。

8. 如权利要求 7 所述的方法, 还包括向所述 N 个输出电路的各相应时钟端分别供应具有相同周期和 $1/2N$ 的占空比的 N 个不同的时钟信号, 其中该 N 个时钟信号中的第 n 个相对于该 N 个时钟信号中的第 $n-1$ 个被延迟 $1/2N$ 个周期, n 为整数且 $1 < n \leq N$ 。

5 9. 如权利要求 7 所述的方法, 还包括向所述 N 个输出电路的各相应时钟端供应完全相同的时钟信号。

10. 一种栅极驱动电路, 包括多个级联的如权利要求 1 至 6 中任一项所述的移位寄存器单元电路, 其中

除所述多个移位寄存器单元电路中的第一个之外, 所述多个移位寄存器单元电路中的每一个的输入端连接到相邻上一个移位寄存器单元电路的 N 个输出端中的最后一个;

除所述多个移位寄存器单元电路中的最后一个之外, 所述多个移位寄存器单元电路中每一个的复位端连接到相邻下一个移位寄存器单元电路的 N 个输出端中的第一个;

15 所述多个移位寄存器单元电路中的第 $2k-1$ 个的 N 个时钟端被配置成从包括 N 条时钟线的第一组时钟线接收各自的时钟信号, k 为正整数; 并且

所述多个移位寄存器单元电路中的第 $2k$ 个的 N 个时钟端被配置成从包括 N 条时钟线的第二组时钟线接收各自的时钟信号, 第一和第二组时钟线供应的各时钟信号具有相同的周期, 所述第二组时钟线供应的各时钟信号中的每一个相对于所述第一组时钟线供应的各时钟信号中的对应一个被延迟 $1/N$ 个周期。

25 11. 如权利要求 10 所述的栅极驱动电路, 其中所述栅极驱动电路被配置有第一工作模式, 其中所述多个移位寄存器单元电路中的每一个的 N 个时钟端接收的 N 个时钟信号具有 $1/2N$ 的占空比并且该 N 个时钟信号中的第 n 个相对于该 N 个时钟信号中的第 $n-1$ 个被延迟 $1/2N$ 个周期, n 为整数且 $1 < n \leq N$ 。

30 12. 如权利要求 10 所述的栅极驱动电路, 其中所述栅极驱动电路被配置有第二工作模式下, 其中所述多个移位寄存器单元电路中的每一个的 N 个时钟端接收的 N 个时钟信号完全相同。

13. 一种显示装置, 包括如权利要求 10 至 12 中任一项所述的栅极驱动电路。

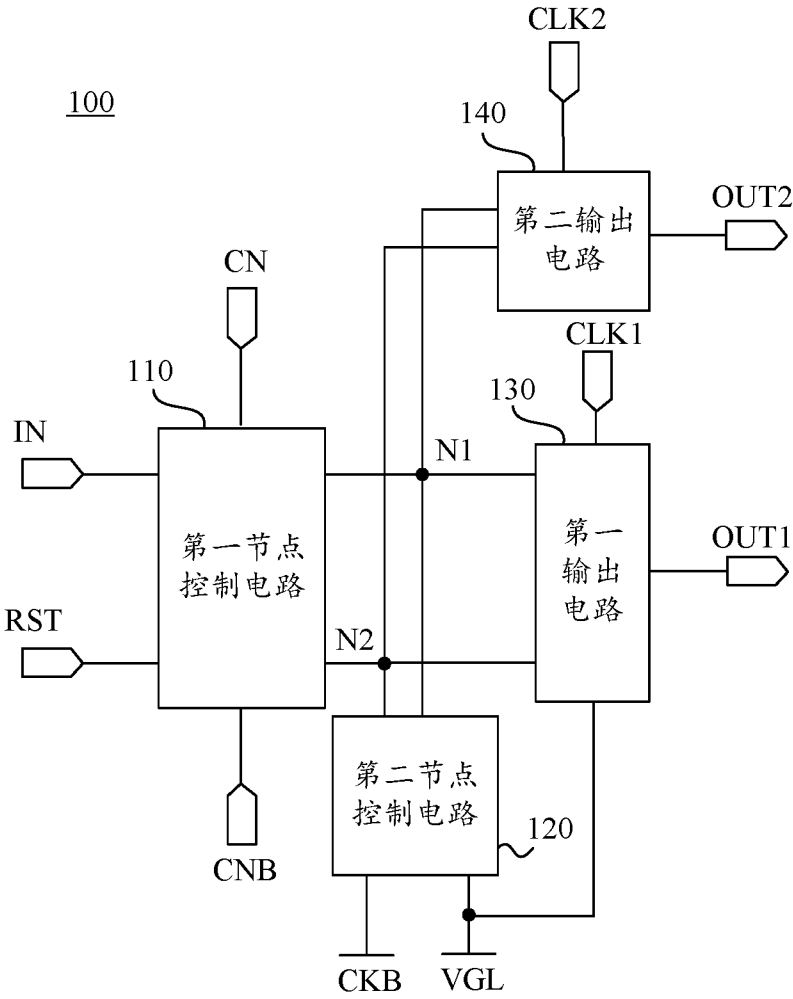


图 1

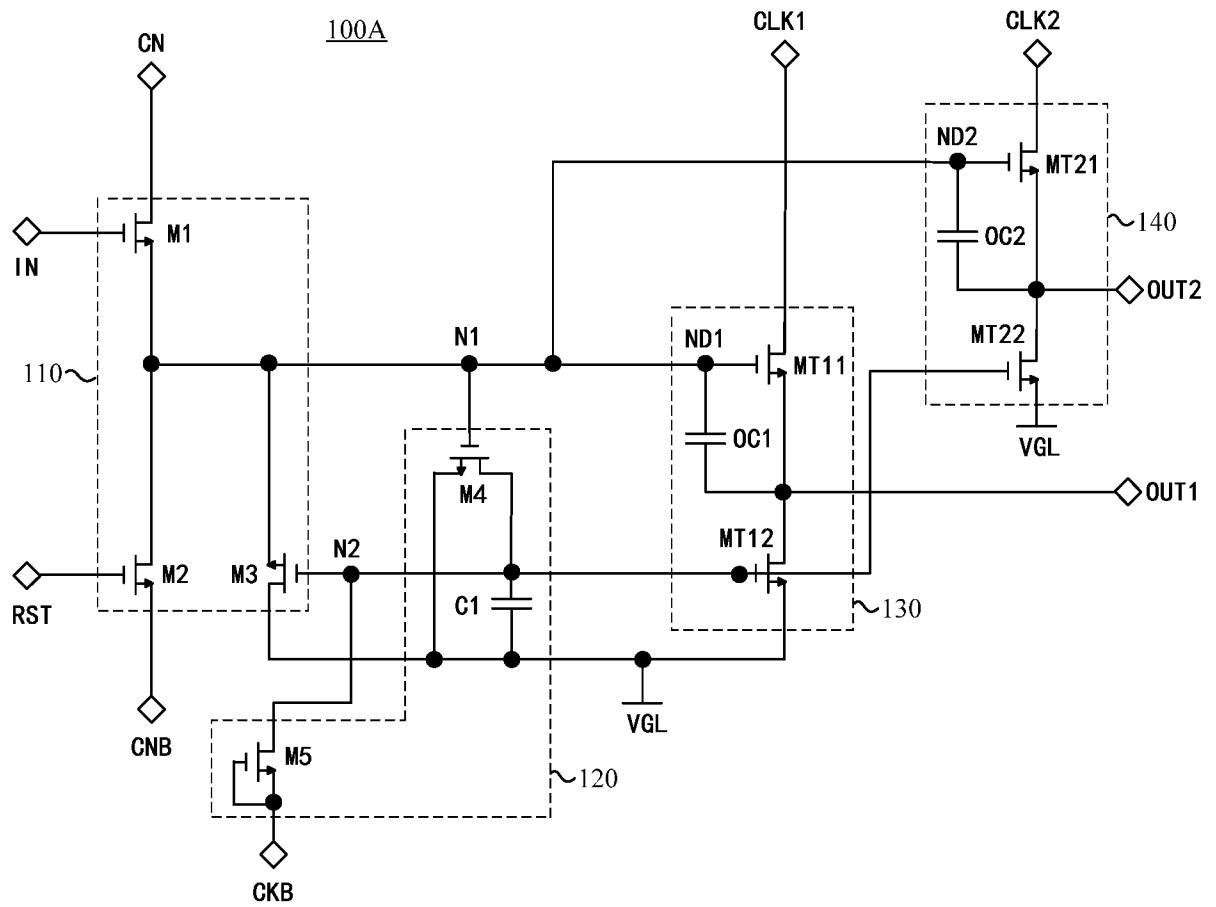


图 2

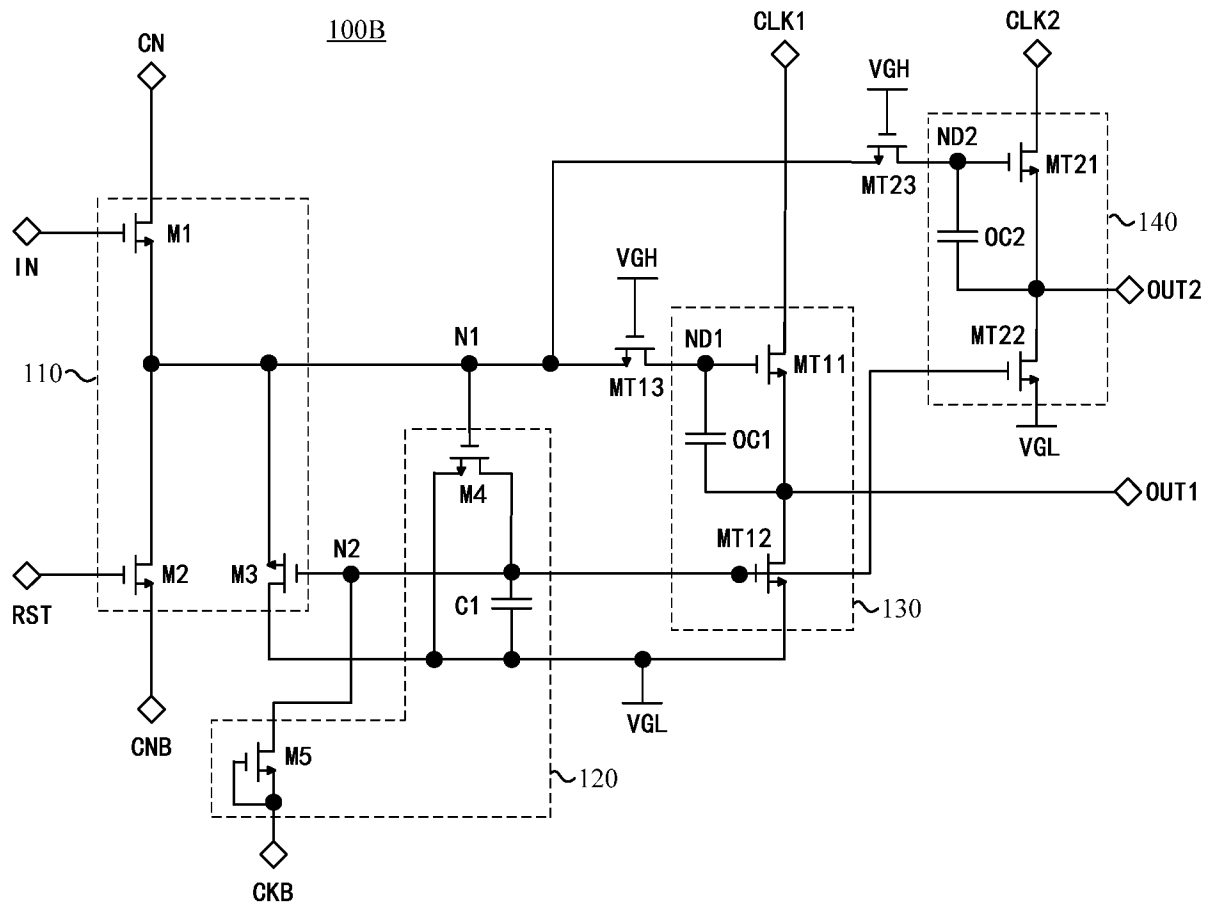


图 3

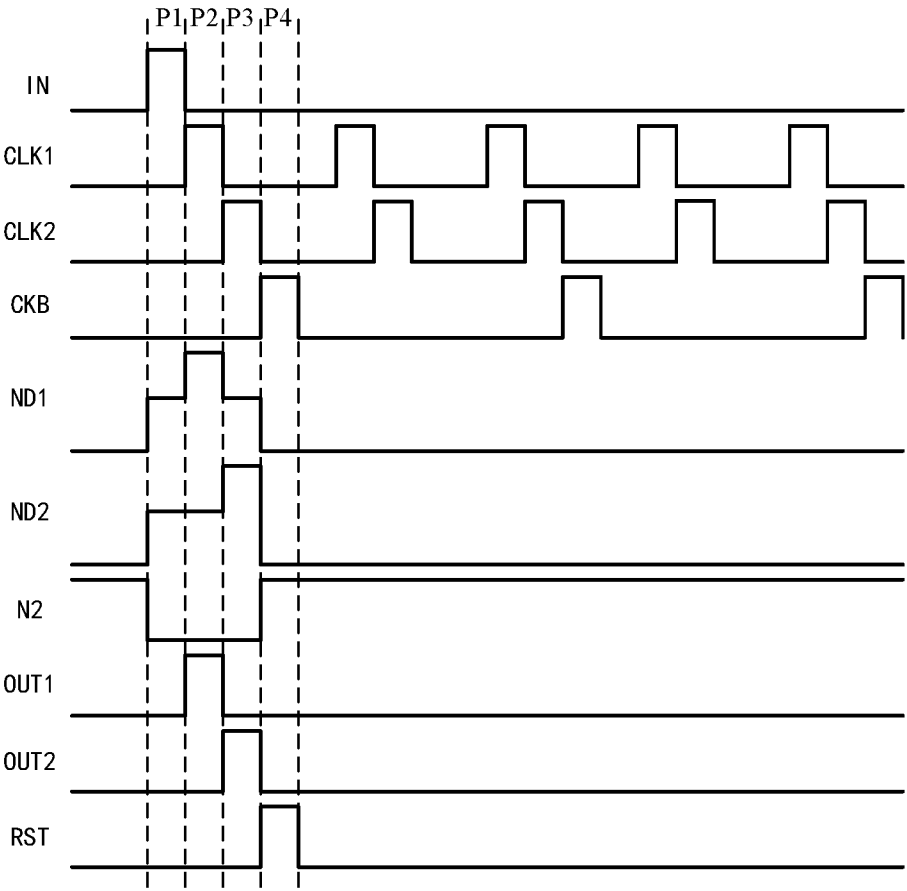


图 4

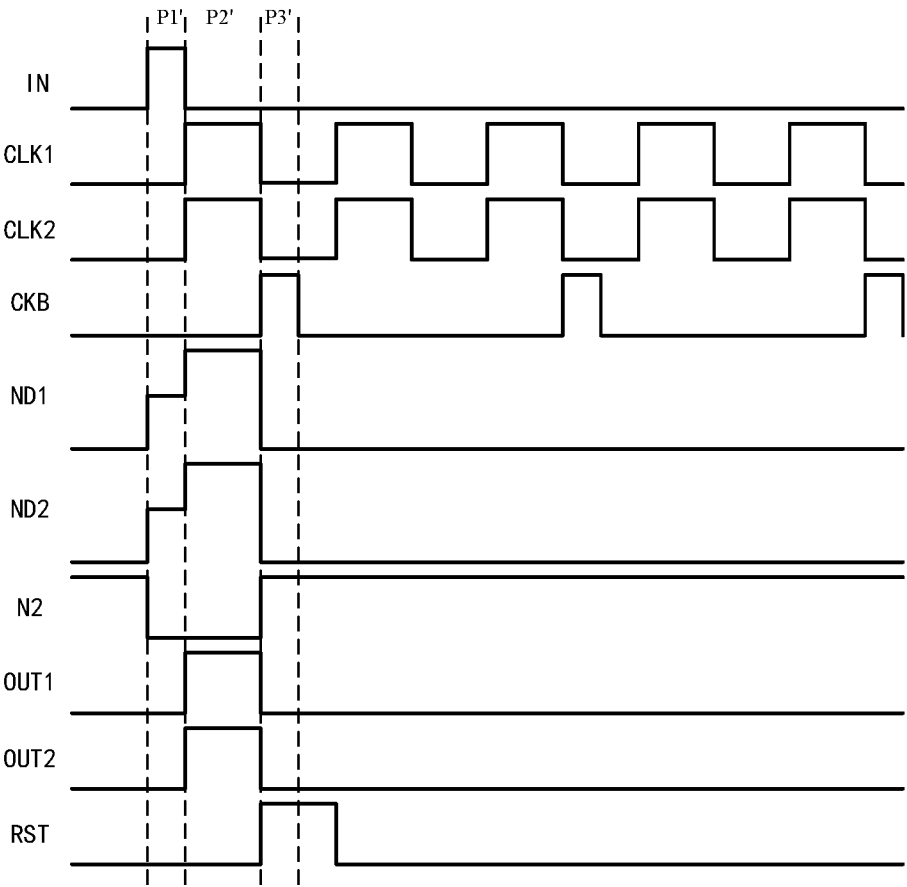


图 5

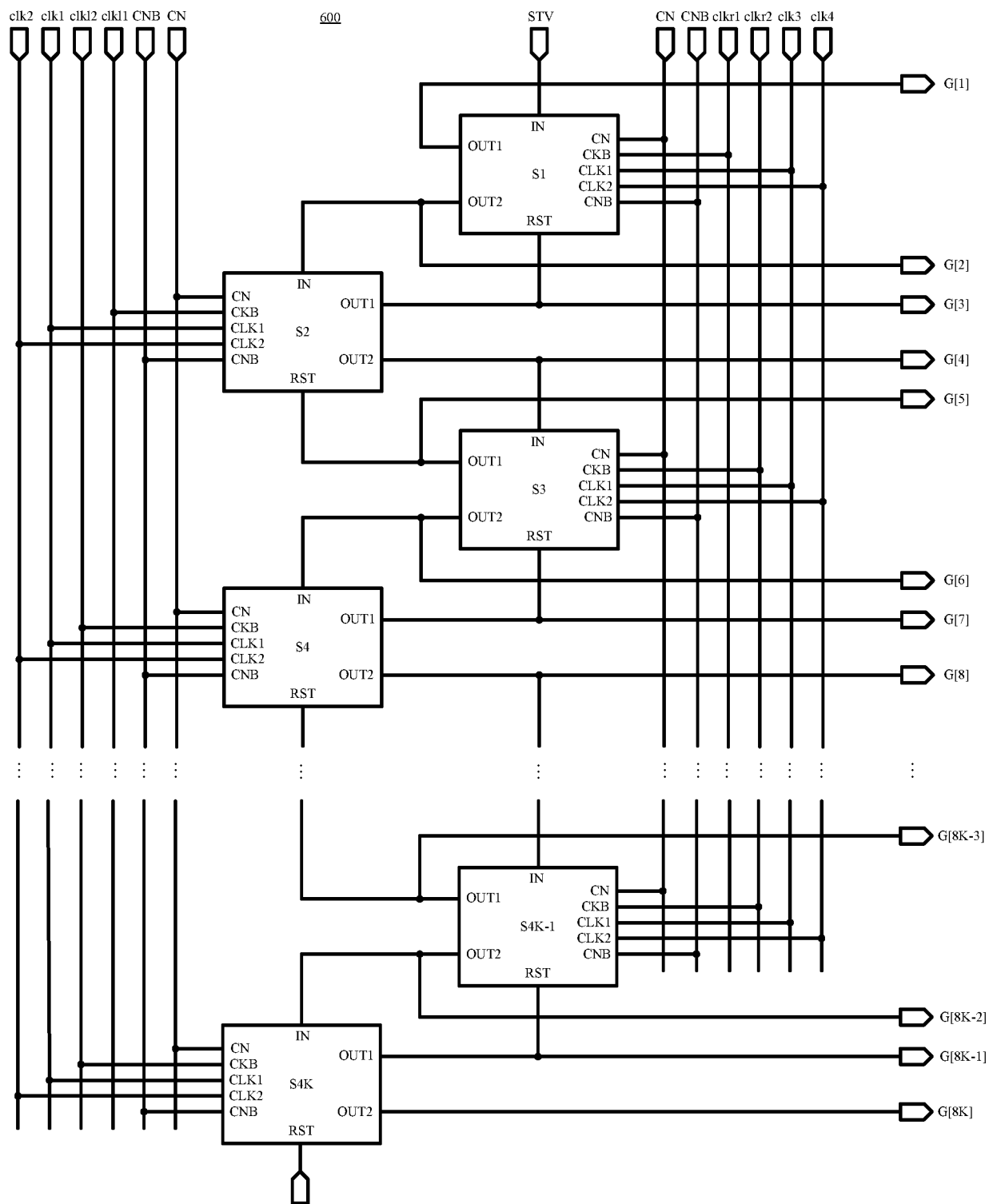


图 6

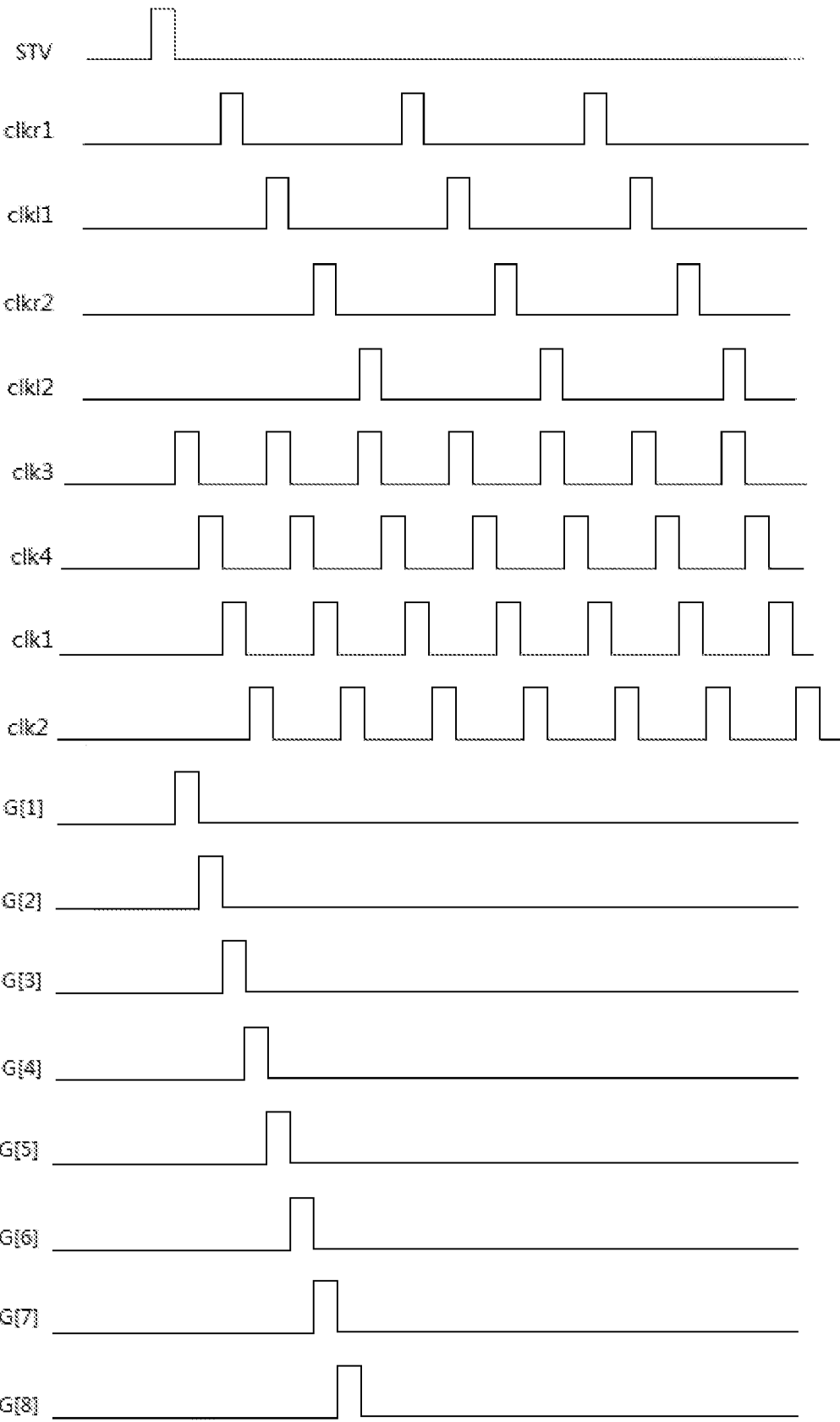


图 7

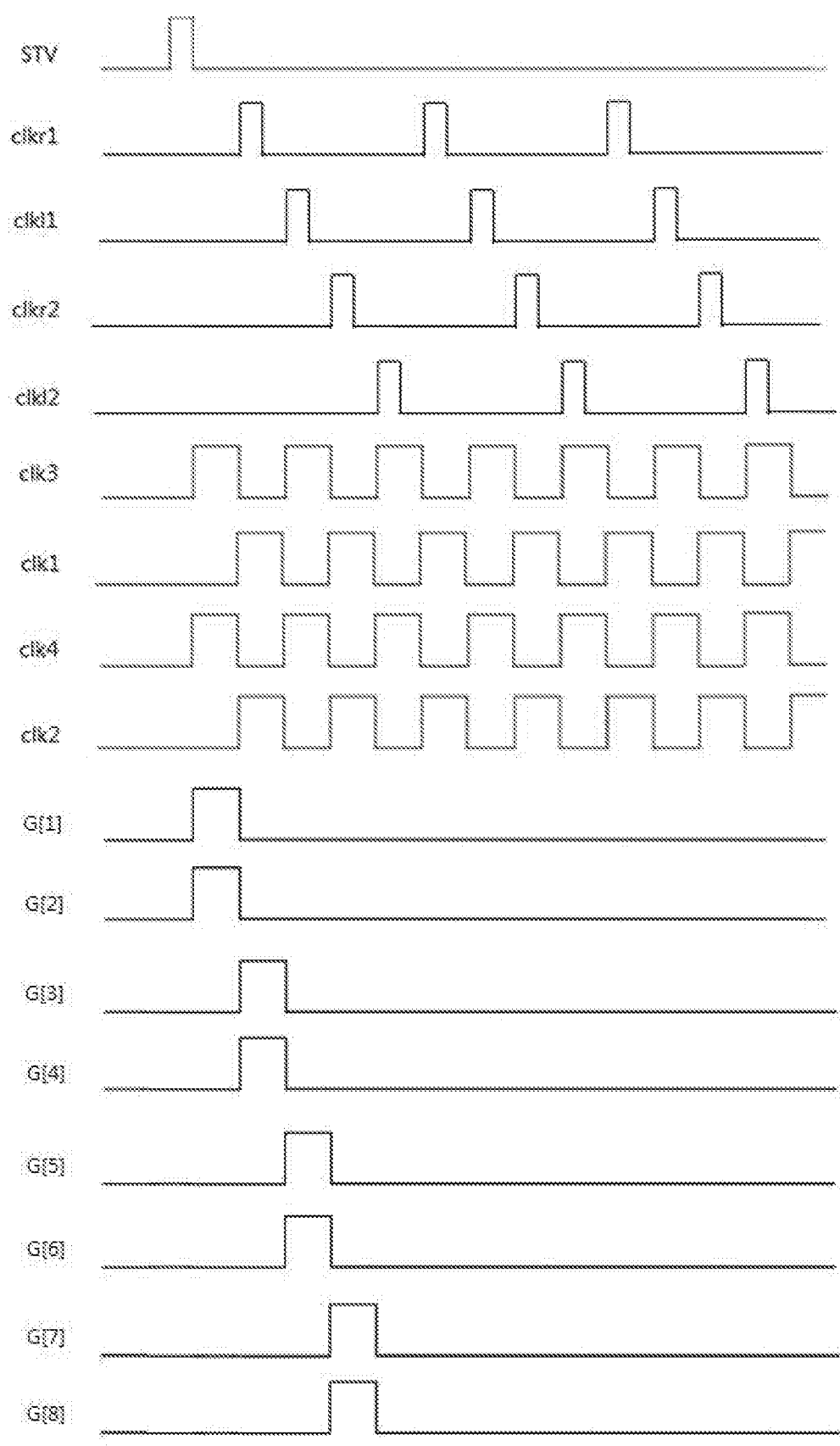


图 8

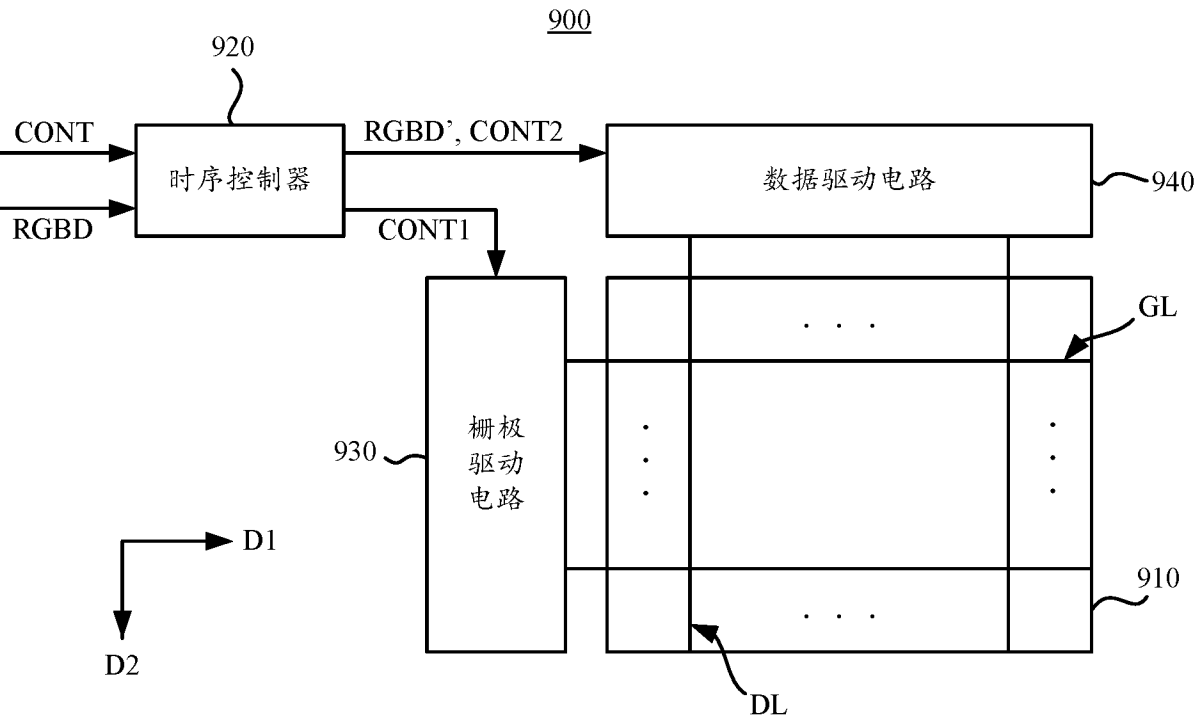


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/100367

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC: 京东方, 华星光电, 三星, 寄存, 暂存, 移位, 位移, 双输出, 多个输出, 复位, 电位, 电平, 电压, 电容, 窄边框, register?, two, double, multi +, output, reset+, voltage, level, capacit+, slim

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106601175 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 26 April 2017 (26.04.2017), claims 1-11, description, paragraphs [0057]-[0176], and figures 1-7	1-13
X	CN 105096865 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 November 2015 (25.11.2015), description, paragraphs [0002]-[0004] and [0053]-[0126], and figures 3-11	1-13
A	CN 105047228 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 November 2015 (11.11.2015), entire document	1-13
A	CN 104700805 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 June 2015 (10.06.2015), entire document	1-13
A	CN 101312019 A (WINTEK CORP.) 26 November 2008 (26.11.2008), entire document	1-13
A	CN 103345941 A (BOE TECHNOLOGY GROUP CO., LTD.) 09 October 2013 (09.10.2013), entire document	1-13

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 October 2017	Date of mailing of the international search report 28 November 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Shaowei Telephone No. (86-10) 62414085

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2017/100367

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104299583 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 21 January 2015 (21.01.2015), entire document	1-13
A	CN 105096889 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 November 2015 (25.11.2015), entire document	1-13
A	CN 102237031 A (LG DISPLAY CO., LTD.) 09 November 2011 (09.11.2011), entire document	1-13
A	KR 20150002030 A (LG DISPLAY CO., LTD.) 07 January 2015 (07.01.2015), entire document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/100367

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106601175 A	26 April 2017	None	
CN 105096865 A	25 November 2015	WO 2017020472 A1	09 February 2017
CN 105047228 A	11 November 2015	None	
CN 104700805 A	10 June 2015	WO 2016150037 A1	29 September 2016
		US 2017039971 A1	09 February 2017
		CN 104700805 B	07 September 2016
CN 101312019 A	26 November 2008	CN 101312019 B	25 August 2010
CN 103345941 A	09 October 2013	WO 2015000271 A1	08 January 2015
		US 2015077319 A1	19 March 2015
		CN 103345941 B	28 December 2016
		US 9378696 B2	28 June 2016
CN 104299583 A	21 January 2015	CN 104299583 B	17 August 2016
CN 105096889 A	25 November 2015	WO 2017036077 A1	09 March 2017
CN 102237031 A	09 November 2011	KR 20110123467 A	15 November 2011
		TW I445309 B	11 July 2014
		TW 201141064 A	16 November 2011
		US 2011273417 A1	10 November 2011
		US 8878765 B2	04 November 2014
		CN 102237031 B	09 July 2014
		KR 101373979 B1	14 March 2014
KR 20150002030 A	07 January 2015	None	

国际检索报告

国际申请号

PCT/CN2017/100367

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G 3/-; G11C 19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC: 京东方, 华星光电, 三星, 寄存, 暂存, 移位, 位移, 双输出, 多个输出, 复位, 电位, 电平, 电压, 电容, 窄边框, register?, two, double, multi+, output, reset+, voltage, level, capacit+, slim

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106601175 A (京东方科技集团股份有限公司 等) 2017年 4月 26日 (2017 - 04 - 26) 权利要求1-11, 说明书第[0057]-[0176]段、附图1-7	1-13
X	CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 说明书第[0002]-[0004], [0053]-[0126]段、附图3-11	1-13
A	CN 105047228 A (京东方科技集团股份有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 全文	1-13
A	CN 104700805 A (京东方科技集团股份有限公司 等) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-13
A	CN 101312019 A (胜华科技股份有限公司) 2008年 11月 26日 (2008 - 11 - 26) 全文	1-13
A	CN 103345941 A (京东方科技集团股份有限公司) 2013年 10月 9日 (2013 - 10 - 09) 全文	1-13

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 10月 26日

国际检索报告邮寄日期

2017年 11月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王少伟

电话号码 (86-10)62414085

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 104299583 A (京东方科技集团股份有限公司 等) 2015年 1月 21日 (2015 - 01 - 21) 全文	1-13
A	CN 105096889 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-13
A	CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011 - 11 - 09) 全文	1-13
A	KR 20150002030 A (LG DISPLAY CO., LTD.) 2015年 1月 7日 (2015 - 01 - 07) 全文	1-13

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/100367

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106601175	A	2017年 4月 26日	无			
CN	105096865	A	2015年 11月 25日	WO	2017020472	A1	2017年 2月 9日
CN	105047228	A	2015年 11月 11日	无			
CN	104700805	A	2015年 6月 10日	WO	2016150037	A1	2016年 9月 29日
				US	2017039971	A1	2017年 2月 9日
				CN	104700805	B	2016年 9月 7日
CN	101312019	A	2008年 11月 26日	CN	101312019	B	2010年 8月 25日
CN	103345941	A	2013年 10月 9日	WO	2015000271	A1	2015年 1月 8日
				US	2015077319	A1	2015年 3月 19日
				CN	103345941	B	2016年 12月 28日
				US	9378696	B2	2016年 6月 28日
CN	104299583	A	2015年 1月 21日	CN	104299583	B	2016年 8月 17日
CN	105096889	A	2015年 11月 25日	WO	2017036077	A1	2017年 3月 9日
CN	102237031	A	2011年 11月 9日	KR	20110123467	A	2011年 11月 15日
				TW	I445309	B	2014年 7月 11日
				TW	201141064	A	2011年 11月 16日
				US	2011273417	A1	2011年 11月 10日
				US	8878765	B2	2014年 11月 4日
				CN	102237031	B	2014年 7月 9日
				KR	101373979	B1	2014年 3月 14日
KR	20150002030	A	2015年 1月 7日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)