

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/3065

(11) 공개번호 특1999-0077239
(43) 공개일자 1999년10월25일

(21) 출원번호	10-1998-0705381		
(22) 출원일자	1998년07월 14일		
번역문제출일자	1998년07월 14일		
(86) 국제출원번호	PCT/JP1997/04099	(87) 국제공개번호	W0 1998/21745
(86) 국제출원출원일자	1997년11월 11일	(87) 국제공개일자	1998년05월22일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈		
	국내특허 : 아일랜드 대한민국		
(30) 우선권주장	96-320912 1996년 11월 14일 일본(JP)		
(71) 출원인	동경 엘렉트론 주식회사 히가시 데쓰로		
	일본국 도쿄도 미나토구 아카사카 5초메 3반 6고		
(72) 발명자	아카호리 다카시		
	일본국 도쿄도 하치오지시 마츠기 37-5 베어스 팔래스 401		
	이시즈카 슈이치		
	일본국 가나가와현 츄쿠이군 시로야마마치 하라주쿠 4-19-29 시로야마뉴 하 이츠 202		
	엔도 슈니치		
	일본국 가나가와현 사가미하라시 사가미하라 2-12-12 클리오 사가미하라 니 반칸 408		
	아오키 다케시		
	일본국 도쿄도 하치오지시 오와다마치 6-14-5 마이손 드 노아 오와다 430		
	히라타 다다시		
	일본국 가나가와현 사가미하라시 하시모토 3-21-2드래곤 맨션 하시모토 니반 칸 1004		
(74) 대리인	김윤배, 이범일		

심사청구 : 없음

(54) 반도체소자의 제조방법

요약

본 발명은 불소첨가 카본막(이하, 'CF막'이라 칭함)을 이용한 층간절연막의 실용화를 도모하기 위하여 CF막의 공정을 가능하게 하는 것이다.

이를 위해 본 발명에서는 CF막(4)상에 도전막, 예컨대 TiN막(41)을 형성하고, 그 위에 레지스트막(42)의 패턴을 형성한 다음, 예컨대 BCl₃가스에 의해 TiN막(41)을 에칭한다. 그 다음, O₂플라즈마를 웨이퍼 표면에 조사하면, CF막(4)을 화학에칭함과 더불어 레지스트막(42)도 에칭하지만, TiN막(41)이 마스크의 역할을 수행하기 때문에, 예정하는 홀을 형성할 수 있다. CF막(4)의 표면은 알루미늄 등에 의해서 배선이 형성되는데, TiN막(41)은 배선과 CF막(4)의 밀착층의 역할을 수행하고, 또한 배선의 일부로 된다. 마스크로서는 도전막 대신에 SiO₂ 등의 절연막을 이용하여도 된다.

대표도

도7c

명세서

기술분야

본 발명은 불소첨가 카본막을 이용한 반도체소자의 제조방법에 관한 것이다.

배경기술

반도체 디바이스의 고집적화를 도모하기 위해 패턴의 미세화, 회로의 다층화라는 공부가 진척되고 있고, 그 중 하나로서 배선을 다층화하는 기술이 있다. 다층배선구조를 취하기 위해서는 n 층째의 배선층과 $(n+1)$ 층째의 배선층의 사이를 도전층으로 접속함과 더불어, 도전층 이외의 영역에는 층간절연막이라 불리는 막막을 형성한다.

이 층간절연막의 대표적인 것으로서 SiO_2 막이 있는데, 최근 디바이스의 동작에 대해 보다 한층 고속화를 도모하기 위하여 층간절연막의 비유전율을 저하시키는 것이 요구되고 있고, 층간절연막의 재질에 대한 검토가 이루어지고 있다. 즉, SiO_2 는 비유전율이 대략 4인데, 이 보다도 비유전율이 작은 재질의 발굴에 힘을 기울이고 있다. 그 중의 하나로서 비유전율이 3.5인 SiOF 의 실현화가 진척되고 있지만, 본 발명자는 비유전율이 더욱 작은 불소첨가 카본막에 주목하고 있다.

그런데, 불소첨가 카본막에 대해서는 미지의 부분이 많고, 불소첨가 카본막 자체의 제조법도 모색하고 있는 단계인 바, 예컨대 에칭공정에 관해서 본다면, SiO_2 막의 에칭가스로서 이용되고 있던 CF_4 등의 CF계 가스에서는 에칭해야 할 막 자체가 CF계의 것이기 때문에 에칭을 행할 수 없어서 종래의 공정을 그대로 적용할 수 없다. 따라서, 불소첨가 카본막이 층간절연막으로서 적합하다고 해도 실용화를 달성하기 위해서는 많은 과제를 안고 있다.

발명의 상세한 설명

(발명의 개시)

본 발명은 그 중에서도 에칭공정에 관한 과제를 채택하여 이루어진 것으로, 불소첨가 카본막의 에칭을 가능하게 할 수 있어서 불소첨가 카본막을 이용한 층간절연막의 실용화를 주된 목적으로 하는 것이다.

본 출원의 제1발명은, 불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 레지스트막에 의해 패턴을 형성하는 공정,

그 후, 산소플라즈마에 의해 상기 절연막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 한다. 이 발명은, 구체적으로는, 예컨대 다음과 같은 공정으로 이루어진다. 에칭에 의해 절연막으로 예정하는 일부가 형성된 시점에서는 절연막상에 레지스트막이 잔존하고 있다. 산소플라즈마에 의한 불소첨가 카본막의 에칭속도와 레지스트막의 에칭속도가 서로 맞추어져 있다.

본 출원의 제2발명은, 불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 레지스트막에 의해 패턴을 형성하는 공정,

그 후, 산소플라즈마 생성용 가스 및 실란계 화합물 가스를 포함하는 처리가스를 플라즈마화하여 그 플라즈마에 의해 불소첨가 카본막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 한다.

본 출원의 제3발명은, 불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 산소플라즈마에 내성이 있는 보호막을 성막하는 공정,

그 후, 이 보호막상에 레지스트막에 의해 패턴을 형성하는 공정,

다음으로, 레지스트막의 패턴에 대응하여 노출되어 있는 보호막을 에칭하여 제거하는 공정,

그 후, 산소플라즈마에 의해 불소첨가 카본막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 한다. 이 경우, 보호막은, 예컨대 절연막이어도 좋고, 도전막이어도 좋다.

본 출원의 제4발명은, 불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 티탄질화물막을 성막하는 공정,

그 후, 이 티탄질화물막상에 레지스트막에 의해 패턴을 형성하는 공정,

다음으로, 레지스트막의 패턴에 대응하여 노출되어 있는 상기 티탄질화물막을 에칭하여 제거하는 공정,

그 후, 산소플라즈마에 의해 불소첨가 카본막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 한다.

이상에 있어서, 불소첨가 카본막의 하방측에 금속층이 형성되어 있는 경우에, 불소첨가 카본막이 에칭되어 상기 금속층이 노출된 뒤에는, 알곤 플라즈마에 의해 금속층 표면의 산화물을 제거하는 것이 바람직하다.

도면의 간단한 설명

도 1은 본 발명 방법에 의해 제조되는 반도체소자의 일부를 나타낸 설명도,

도 2는 본 발명 방법의 실시형태를 나타낸 설명도,

도 3은 본 발명 방법의 다른 실시형태를 나타낸 설명도,

도 4는 본 발명 방법과 비교한 방법의 설명도,

도 5는 본 발명 방법을 실시하기 위한 플라즈마 처리장치의 일례를 나타낸 종단 측면도,

도 6은 본 발명의 더욱 다른 실시형태를 나타낸 설명도,
 도 7은 본 발명의 더욱 다른 실시형태를 나타낸 설명도,
 도 8은 CF막의 에칭특성을 나타낸 특성도이다.

실시예

(발명을 실시하기 위한 가장 좋은 형태)

본 발명의 실시형태에서는 불소첨가 카본막(이하, 'CF막'이라 칭함)을 에칭하는 공정에 특징이 있는데, 본 발명 방법을 이용하여 제조되는 반도체소자의 구조의 일례를 도 1에 나타냈다. 1은 실리콘기판, 11은 BPSG막(SiO_2 에 P 및 B가 도프된 막), 12는 n형 반도체영역, 13은 BPSG막(11)의 스루홀(Through Hole)에 매립된, 예컨대 W(텅스텐)로 이루어진 전극으로, 이들은 회로주요부의 일부에 상당한다. 이 회로주요부상에는, 예컨대 알루미늄으로 이루어진 배선(15)이 다층으로 형성되고, 상하의 배선[15, 15(도시하지 않음)]은 층간절연막(16)에 형성된 비아 홀(Via Hole)에 매립된, 예컨대 W로 이루어진 도전층(17)에 의해 서로 접속되어 있다.

이와 같은 반도체소자를 제조함에 있어서, 층간절연막을 에칭하는 공정에 관하여 이하에 설명해 간다. 도 2a는, 예컨대 n층째의 알루미늄배선(15)이 형성된 상태를 나타내고 있고, 절연막(14)의 위에 도 2b에 나타낸 것처럼 CF막으로 이루어진 1층째의 층간절연막(16)이 형성된다. CF막은, 예컨대 CF계의 가스 및 CH계의 가스를 성막가스로 하여, 플라즈마 CVD(Chemical Vapor Deposition)법에 의해 성막할 수 있다. 예컨대, C_4F_8 가스 및 C_2H_4 가스를 이용하고, 에칭장치에도 있는 후술할 ECR(전자 사이클로트론 공명) 플라즈마 처리장치를 이용하여, 예컨대 두께 $0.7\mu\text{m}$ 로 성막한다.

이어서, 도 2c에 나타낸 바와 같이 CF막(16; 층간절연막)의 표면에 소정의 패턴으로 레지스트막(18)이 형성된다. 이 레지스트막(18)은, 예컨대 스핀 코팅법에 의해 웨이퍼 표면에 레지스트액을 도포하고, 노광, 현상공정을 거쳐서 형성한다. 레지스트의 재료로서는 아지드 화합물, 폴리비닐페놀, 메타크릴산 화합물, 노보락 수지, 폴리스틸렌계 수지와 같은 유기재료가 이용된다.

그 후, 웨이퍼 표면에 O_2 플라즈마(산소플라즈마)를 조사하여 CF막(16)을 에칭한다. CF막(16)에 O_2 플라즈마가 닿으면, O_2 의 활성종이 C-F결합 및 C-C결합을 절단하여 CO 혹은 CO_2 로 되어 비산함과 더불어, F에 있어서도 F_2 등으로 되어 비산한다. 이와 같이 하여, CF막(16)이 O_2 플라즈마에 의해 화학적으로 에칭되어 간다.

그런데, 레지스트막(18)은 유기계 재료이기 때문에 O_2 플라즈마에 의해 역시 화학적으로 에칭에 의해 제거되어 버린다. 따라서, CF막(16)의 에칭과 레지스트막(18)의 에칭에 의한 제거가 동시에 진행되는데, 레지스트막(18)이 모두 에칭에 의해 제거되기 전에, CF막(16)의 표면으로부터 알루미늄배선(15)까지의 에칭이 종료되면, 도 2d에 나타낸 바와 같이 예정하는 비아 홀(19)이 형성된다. 이를 위해서는 레지스트막(18)의 에칭에 의한 제거속도와 CF막(16)의 에칭속도를 미리 파악하여 레지스트막(18)의 막 두께를 설정하면 좋다.

레지스트막(18)의 에칭에 의한 제거속도와 CF막(16)의 에칭속도가 동일하다면, CF막(16)의 표면이 평탄하게 된다. 일반적으로는, 레지스트막(18)을 제거한 다음에 층간절연막의 표면을 평탄화하기 위하여 CMP 등으로 불리는 기계적 연마공정이 행하여지지만, 이 경우에는 CMP공정이 불필요하게 된다는 이점이 있다. 레지스트막의 에칭에 의한 제거속도와 CF막의 에칭속도가 다른 경우에는 예정하는 홀이 형성되기 전에(알루미늄 표면까지 에칭되기 전에) 레지스트막(18)이 전부 제거되지 않도록 하는 것이 바람직하다. 홀이 형성된 때에 레지스트막(18)이 남아 있으면, 그 후 레지스트막(18)의 에칭 종료시점을, 예컨대 CO 나 CO_2 의 발광량의 변화에 기초하여 검출함으로써, CF막의 막 두께를 변동시키는 일 없이 레지스트막의 제거 및 홀의 형성을 행할 수 있다.

본 발명의 다른 실시형태에서는, 도 3에 나타낸 바와 같이 O_2 가스와 실란계 가스, 예컨대 SiH_4 , Si_2H_6 가스를 이용하여 CF막의 에칭을 행한다. 도 3은 이와 같은 에칭의 모양을 나타낸 도면으로, 에칭과 동시에 홀(19)의 측벽에 SiH_4 와 O_2 의 반응에 의해 SiO_2 로 이루어진 보호막(19a)이 형성되어, 측벽의 에칭이 억제된다.

O_2 가스만에 의해 에칭을 행하는 경우, 도 4에 나타낸 바와 같이 락부(19)의 측벽도 에칭되어 횡방향으로 부푸는 보잉이라 불리는 상태로 되기 때문에, 높은 어스펙트비의 락부(19)를 에칭하는 것이 곤란하다고 생각된다. 따라서, 이 수법에 의하면, 어스펙트비가 높은 비아 홀이나 스루 홀의 에칭을 행할 수 있다. 이 경우, O_2 가스에 대한 실란계 가스의 비율이 크면 보호막(19a)이 지나치게 성장하여 락부(19)의 형상이 나빠지기 때문에, 에칭조건 등에 따라 실란계 가스의 혼합비를 설정하는 것이 필요하다. 이 방법은 후술할 절연막이나 도전막을 CF막의 표면에 형성하는 방법과 조합하여 실시해도 좋다.

본 발명의 방법은, 예컨대 도 5에 나타낸 플라즈마 처리장치에 의해 실시할 수 있다. 이 장치는 알루미늄 등에 의해 형성된 진공용기(2)를 갖추고 있고, 이 진공용기(2)는 상방에 위치하여 플라즈마를 발생시키는 통 형상의 플라즈마실(21)과, 그 하방에 연통되어 연결되고 플라즈마실(21)보다는 구경이 큰 통 형상의 처리실(22)로 이루어진다. 한편, 이 진공용기(2)는 접지되어 제로(zero)전위로 되어 있다.

이 진공용기(2)의 상단은 개구되어 이 부분에 마이크로파를 투과하는 부재, 예컨대 석영 등의 재료로 형성된 투과창(23)이 기밀하게 설치되어 있는 바, 진공용기(2)내의 진공상태를 유지하도록 되어 있다. 이 투과창(23)의 바깥쪽에는, 예컨대, 2.45GHz의 플라즈마 발생용 고주파 공급수단으로서의 고주파 전원부(24)에 접속된 도파관(25)이 설치되어 있고, 고주파 전원부(24)에서 발생된 마이크로파(M)를 도파관(25)으로 안내하여 투과창(23)으로부터 플라즈마실(21)내로 도입할 수 있도록 되어 있다. 플라즈마실(21)을

구획하는 측벽에는, 예컨대 그 둘레방향을 따라 균등하게 배치된 플라즈마 가스 노즐(26)이 설치되어 있다.

또한, 플라즈마실(21)을 구획하는 측벽의 외주에는 이것에 접근시켜서 자계형성수단으로서 예컨대 링 형상의 주전자코일(27; 主電磁 Coil)이 배치됨과 더불어 성막실(22)의 하방측에는 링 형상의 보조전자코일(28)이 배치되어, 플라즈마실(21)로부터 처리실(22)에 걸쳐서 위에서 아래로 향하는 자계, 예컨대 875가우스의 자계(B)를 형성할 수 있도록 되어 있어서 ECR 플라즈마 조건이 만족되고 있다. 한편, 전자코일 대신에 영구자석을 이용하여도 좋다.

이와 같이 플라즈마실(21)내에 주파수가 제어된 마이크로파(M)와 자계(B)를 형성함으로써, 이들의 상호작용에 의해 상기 ECR 플라즈마가 발생한다. 이 때, 상기 주파수로 상기 도입가스에 공명작용이 생겨서 플라즈마가 높은 밀도로 형성되게 된다. 즉, 이 장치는 전자 사이클로트론 공명(ECR) 플라즈마 처리장치를 구성하게 된다.

재치대(3)는, 예컨대 알루미늄제의 본체(31)상에 히터(32)를 내장한 세라믹스체(33)를 갖추고 있고, 재치면은 정전척(靜電 Chuck)으로 구성되어 있다. 더욱이, 재치대(3)의 본체(31)에는 웨이퍼(10)에 이온을 끌어들이기 위한 바이어스 전압을 인가하도록, 예컨대 고주파 전원부(34)가 접속되어 있다. 바이어스 전압의 전극은, 예컨대 정전척의 전극과 겸용하고 있다. 그리고, 또한 진공용기(2)의 저부에는 배기관(35)이 접속되어 있다. 한편, 30은 성막처리를 행할 때에 이용되는 링 형상의 성막가스 공급부이다.

다음으로, 상술한 장치를 이용하여 피처리체인 웨이퍼(10)에 대하여 에칭을 행하는 방법에 대해 설명한다. 우선, 진공용기(2)의 측벽에 설치된 도시하지 않은 게이트 밸브를 열어서 도시하지 않은 반송암에 의해 웨이퍼(10)를 도시하지 않은 로드 록(Load Lock)실로부터 반입하여 재치대(3)상에 놓는다.

이어서, 이 게이트밸브를 닫아서 내부를 밀폐한 다음, 배기관(35)으로 내부 분위기를 배출하여 소정의 진공도까지 진공상태로 만들고, 플라즈마 가스 노즐(26)로부터 플라즈마실(21)내로 O_2 가스를 도입함과 더불어 성막가스 공급부(30)로부터 실란계 가스, 예컨대 SiH_4 가스를 도입한다. 그리고, 진공용기(2)내를 소정의 프로세스 압력으로 유지하고, 또한 고주파 전원부(34)에 의해 재치대(3)에 13.56MHz의 바이어스 전압을 인가한다.

플라즈마 발생용 고주파 전원부(24)로부터의 2.45GHz의 고주파(마이크로파)는 도파관(25)을 통해 반송되어 진공용기(2)의 천정부에 도달하고, 그곳의 투과창(23)을 투과하여 마이크로파(M)가 플라즈마실(21)내로 도입된다. 이 플라즈마실(21)내에는 전자코일(27, 28)에 의해 발생된 자계(B)가 상방으로부터 하방을 향하여, 예컨대 875가우스의 강도로 인가되고 있는 바, 이 자계(B)와 마이크로파(M)의 상호작용으로 $E(\text{전계}) \times B(\text{자계})$ 를 유발하여 전자 사이클로트론 공명이 생기며, 이 공명에 의해 O_2 가스가 플라즈마화되고, 또한 고밀도화 된다.

플라즈마실(21)로부터 처리실(22)내로 유입된 플라즈마 흐름은 바이어스 전압에 의해 웨이퍼(10)로 인입되어, 웨이퍼(10)의 표면의 에칭이 행해진다.

여기에서, 본 발명자는 도 5에 나타난 플라즈마 처리장치를 이용하여, C_4F_8 가스 및 C_2H_4 가스를 성막가스로 하고, 또한 Ar 가스를 플라즈마 가스로 하여 웨이퍼(10)상에 CF막을 형성함과 더불어, 레지스트 처리장치 및 노광장치를 이용하여, 아지드 화합물계의 레지스트막에 의해 CF막상에 패턴을 형성한 것을 준비했다. 이 웨이퍼에 대해 상기 플라즈마 처리장치를 이용하여 O_2 가스를 플라즈마 가스노즐(26)로부터 100sccm의 유량으로 공급한 바, 폭 $0.3\mu m$, 어스펙트비 1의 홀을 형성할 수 있었고, 레지스트막도 동시에 에칭할 수 있었다. 단, 프로세스 압력을 0.2Pa, 마이크로파 전력을 2500W, 바이어스 전력을 1500W, 재치대(3)의 표면온도를 270℃로 설정했다.

또한, SiH_4 가스를 2sccm 공급한 것 이외에는 마찬가지로 하여 에칭을 행한 바, 어스펙트비 2의 홀을 양호한 형상으로 형성할 수 있었다.

다음으로, 본 발명의 다른 실시형태에 대해 설명한다. 이 실시형태에서는 도 6a에 나타난 것처럼, 예컨대 두께(D)가 8000Å인 CF막(4)의 표면에, 예컨대 두께가 300Å인 도전막, 예컨대 TiN막(41; 티탄질화물막)을 형성한다. 이 TiN막(41)은, 예컨대 Ti를 타겟으로 하고, Ar가스와 N_2 가스를 이용하여 반응성 스퍼터링을 행함으로써 성막할 수 있다.

이어서, 상기 TiN막(41)의 표면에 레지스트막(42)에 의해 마스크를 형성한다(도 6b). 한편, 이 도 6에서는 CF막의 부풀어 오름에 대해서는 생략하고 있다. 그 후, TiN막(41)을 도 6c에 나타난 것처럼, 예컨대 BCl_3 가스의 플라즈마에 의해 CF막(4)의 표면까지 에칭을 행한다. 이 에칭은, 예컨대 이미 설명한 플라즈마 처리장치로 행할 수 있다. 그런 다음, O_2 플라즈마를 웨이퍼 표면에 조사하면, CF막(4)이 에칭되고, 또한 레지스트막(42)도 에칭에 의해 제거된다(도 6d).

레지스트막(42)이 제거된 후에는 TiN막(41)이 마스크의 역할을 하고, 패턴에 대응하는 CF막(4)의 영역만이 에칭되어, 예정하는 비아 홀이나 스루 홀을 형성할 수 있다(도 7a). CF막의 에칭이 종료되어 알루미늄배선의 표면이 노출되면, O_2 가스로부터 Ar가스로 전환하여 Ar이온에 의한 스퍼터 에칭에 의해 알루미늄배선 표면의 산화물을 제거한다(도 7b). 그 후, 홀을 예컨대 텅스텐(W) 등의 금속(43)에 의해 매립하여 접속층을 형성함과 더불어, 예컨대 제2층패의 배선을 형성한다(도 7c). 홀의 매립이나 배선의 형성은 알루미늄을 이용하여 스퍼터링에 의해 행하여도 된다.

이와 같은 방법에 의하면, TiN막(41)이 소위 하드 마스크의 역할을 하므로, 레지스트막 및 CF막 양쪽이 O_2 플라즈마에 대해 내성이 없더라도 CF막의 에칭을 행할 수 있다. 또한, CF막의 에칭중에 레지스트막(42)이 제거되므로, 다음 공정의 O_2 애싱에 의한 레지스트막(42)의 제거공정이 불필요하게 된다. 그리고, 텅스텐 층이나 알루미늄층을 CF막상에 형성함에 있어서, TiN막(41)이 그대로 이들 금속층과 CF막을 밀착시키는 밀착층의 역할을 수행하므로 어떠한 나쁜 영향을 끼치는 것이 없고, 일부러 제거할 필요도 없다. 한편,

TiN막(41)의 불필요한 부분은 배선을 형성할 때, 결국 금속층을 에칭할 때에 동시에 제거할 수 있다.

절연막의 표면에 금속층을 형성하는 경우에는 원래 밀착층이 필요하여, 종래부터 TiN이 사용되고 있으므로, 하드 마스크로서 TiN을 이용하는 방법은 밀착층도 동시에 형성하므로 유효한 방법이다. 더욱이, TiN은 도전층이기 때문에, 층간절연막쪽에 포함되는 것이 아니라 배선의 일부로 간주할 수 있으므로, 층간절연막의 비유전율이 높게 되는 것을 억제할 수 있다. 더욱이, 또한 알루미늄배선이 단선되어도 배선의 하지에 있는 TiN막에 의해 도전로가 확보되어, 소자의 동작불량을 방지할 수 있다. 도전막으로서는 TiN 이외에, Al, W, Ti, TiW, TiWN, 폴리실리콘 등을 이용할 수 있다.

이상에 있어서 본 발명에서는 하드 마스크로서 도전막 대신에 절연막을 이용해도 된다. 절연막의 재료로서는, 예컨대 SiO_2 , SiOF 혹은 Si_3N_4 등을 이용할 수 있다. 이 경우, 절연막을 에칭하는 공정(이미 설명한 도 6c에 상당하는 공정)은, 예컨대 CF_4 가스를 이용하는 바, 불소 라디칼에 의해 절연막이 에칭된다.

하드 마스크는 층간절연막의 일부가 되기 때문에 그대로 남겨서 다음 공정, 예컨대 알루미늄이나 텅스텐의 매립공정을 행하여도 좋지만, 예컨대 HF액에 의한 웨트 에칭에 의해 절연막 전부를 제거하도록 해도 좋다. 절연막을 하드 마스크로 이용하는 경우, 그 두께는 예컨대 $100\text{\AA}$ 이상이면 하드 마스크의 기능을 완수하지만, 소자층에 남는 경우에는 두께가 지나치게 크면 이 절연막을 포함한 층간절연막의 총 비유전율이 크게 되어 버리므로, CF막 두께의 1/3정도 이하가 바람직하다고 생각된다.

도 8은 O_2 플라즈마와 NF_3 플라즈마를 이용하여, 도 5에 나타낸 장치에 의해 CF막의 에칭특성을 조사한 결과로서, 이 도면으로부터도 CF막의 에칭을 행함에 있어 O_2 플라즈마가 유효하다는 것을 이해할 수 있다.

산업상이용가능성

이상과 같이 본 발명에 의하면, CF막의 패턴에칭을 행할 수 있어서, 예컨대 CF막을 이용한 층간절연막의 실용화를 도모할 수 있다.

(57) 청구의 범위

청구항 1

불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 레지스트막에 의해 패턴을 형성하는 공정,

그 후, 산소플라즈마에 의해 상기 절연막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 2

제1항에 있어서, 에칭에 의해 절연막으로 예정하는 일부가 형성된 시점에서는, 절연막상에 레지스트막이 잔존하고 있는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3

제1항에 있어서, 산소플라즈마에 의한 불소첨가 카본막의 에칭속도와 레지스트막의 에칭속도가 서로 맞추어져 있는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4

불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 레지스트막에 의해 패턴을 형성하는 공정,

그 후, 산소플라즈마 생성용 가스 및 실란계 화합물 가스를 포함하는 처리가스를 플라즈마화하여 그 플라즈마에 의해 불소첨가 카본막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 5

불소첨가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,

이어서, 상기 절연막상에 산소플라즈마에 내성이 있는 보호막을 성막하는 공정,

그 후, 이 보호막상에 레지스트막에 의해 패턴을 형성하는 공정,

다음으로, 레지스트막의 패턴에 대응하여 노출되어 있는 보호막을 에칭하여 제거하는 공정,

그 후, 산소플라즈마에 의해 불소첨가 카본막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 6

제5항에 있어서, 보호막은 절연막인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 7

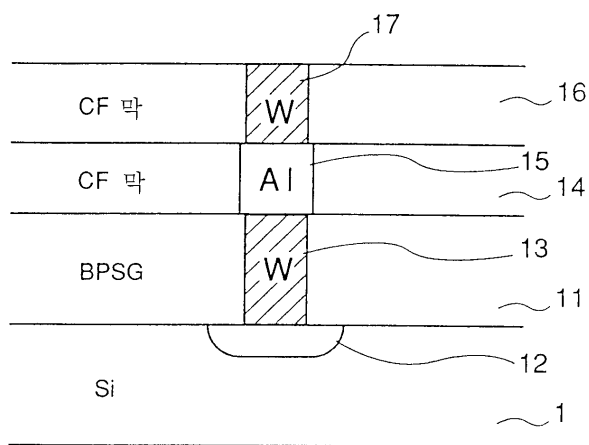
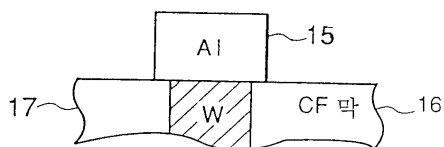
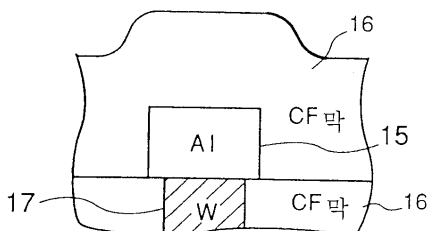
제5항에 있어서, 보호막은 도전막인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 8

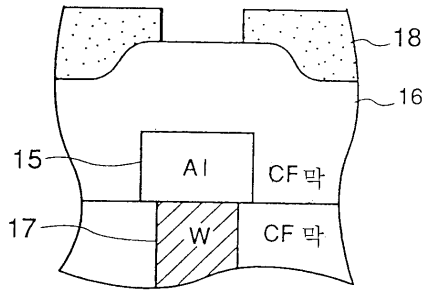
불소침가 카본막으로 이루어진 절연막을 피처리체상에 성막하는 공정과,
 이어서, 상기 절연막상에 티탄질화물막을 성막하는 공정,
 그 후, 이 티탄질화물막상에 레지스트막에 의해 패턴을 형성하는 공정,
 다음으로, 레지스트막의 패턴에 대응하여 노출되어 있는 상기 티탄질화물막을 에칭하여 제거하는 공정,
 그 후, 산소플라즈마에 의해 불소침가 카본막을 에칭하면서 레지스트막을 제거하는 공정을 포함하는 것을
 특징으로 하는 반도체소자의 제조방법.

청구항 9

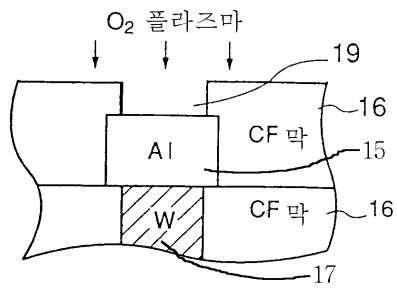
제1항 내지 제8항중 어느 한 항에 있어서, 불소침가 카본막의 하방측에는 금속층이 형성되고, 불소침가 카본막이 에칭되어 상기 금속층이 노출된 뒤에는, 알곤 플라즈마에 의해 금속층 표면의 산화물을 제거하는 것을 특징으로 하는 반도체소자의 제조방법.

도면**도면1****도면2a****도면2b**

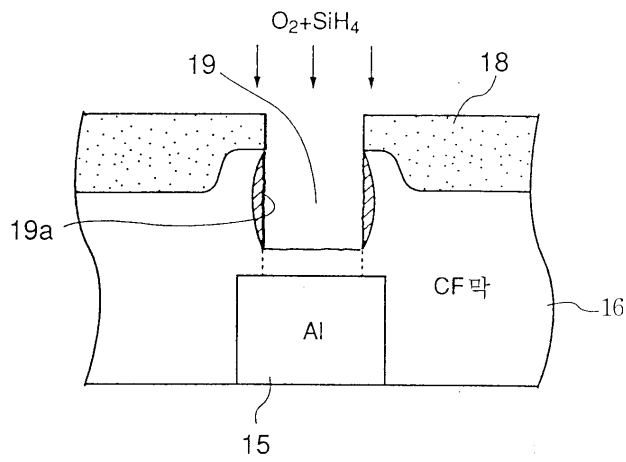
도면2c



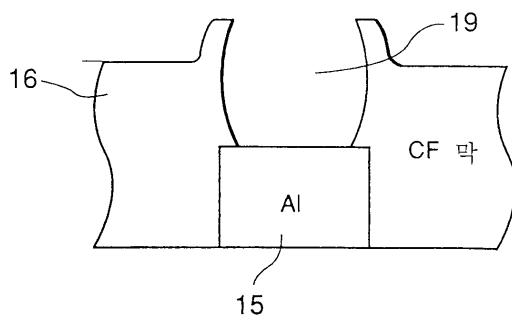
도면2d



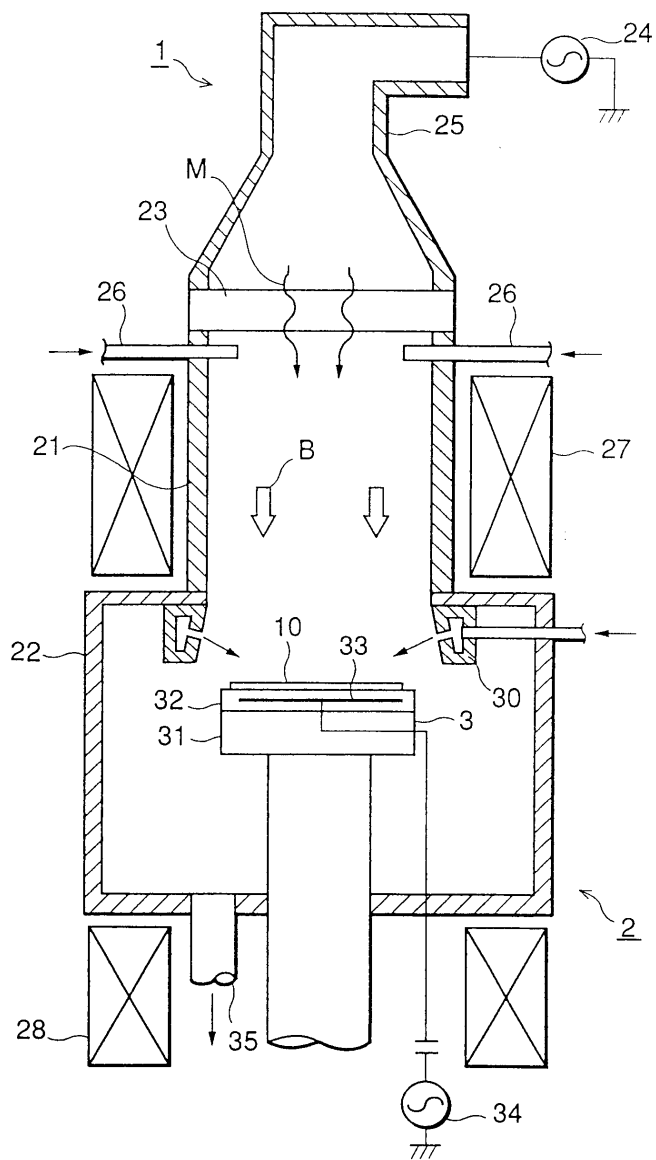
도면3



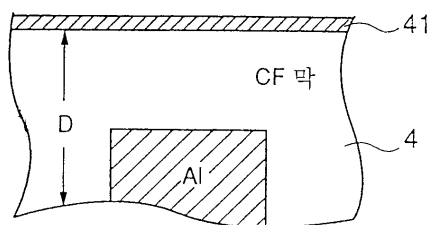
도면4



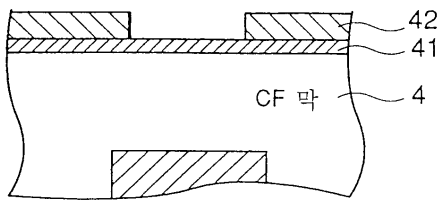
도면5



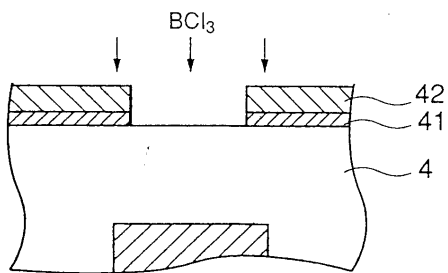
도면6a



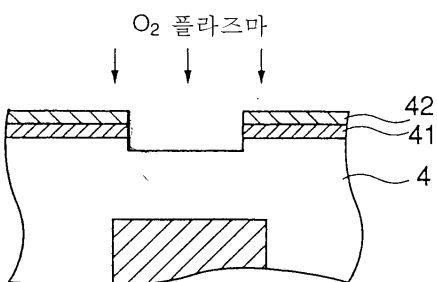
도면6b



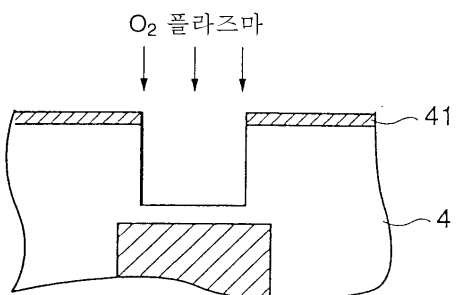
도면6c



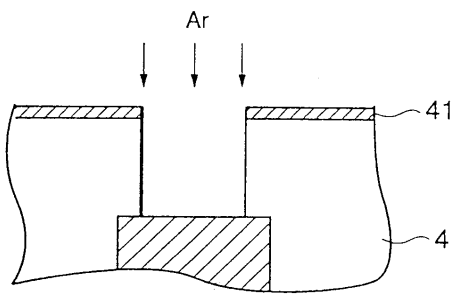
도면6d



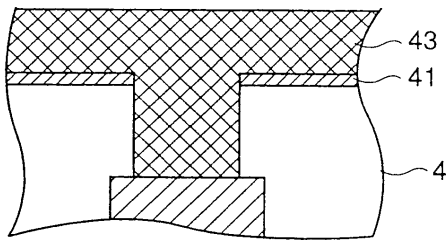
도면7a



도면7b



도면7c



도면8

