



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0027164
 (43) 공개일자 2015년03월11일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01)
 (21) 출원번호 10-2014-7036930
 (22) 출원일자(국제) 2013년06월06일
 심사청구일자 2014년12월30일
 (85) 번역문제출일자 2014년12월30일
 (86) 국제출원번호 PCT/JP2013/065743
 (87) 국제공개번호 WO 2013/183726
 국제공개일자 2013년12월12일
 (30) 우선권주장
 JP-P-2012-129399 2012년06월06일 일본(JP)

(71) 출원인
가부시키가이샤 고베 세이코쇼
 일본 효고켄 고베시 주오쿠 와키노하마 가이간도
 오리 2초메 2방 4고
 (72) 발명자
고토 히로시
 일본 6512271 효고켄 고베시 니시쿠 다카츠카다이
 1초메 5방 5고 가부시키가이샤 고베 세이코쇼 고
 베 소고 기쥬츠 겐큐쇼 내
미키 아야
 일본 6512271 효고켄 고베시 니시쿠 다카츠카다이
 1초메 5방 5고 가부시키가이샤 고베 세이코쇼 고
 베 소고 기쥬츠 겐큐쇼 내
 (뒷면에 계속)
 (74) 대리인
장수길, 성재동

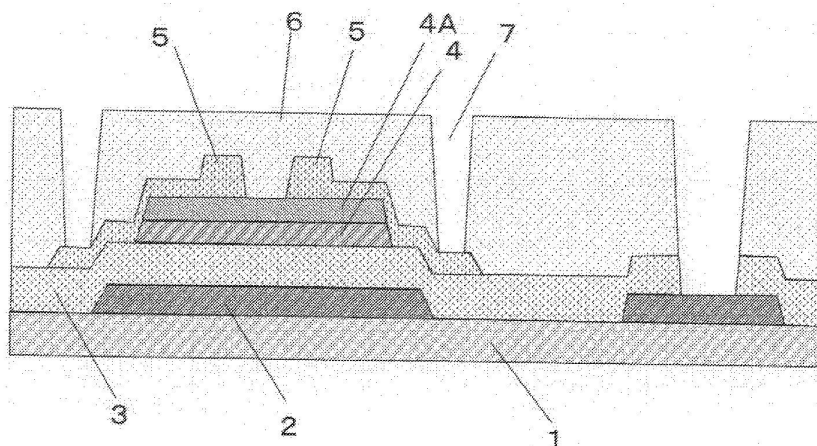
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **박막 트랜지스터**

(57) 요약

이동도가 양호하며, 스트레스 내성도 우수함과 함께, 웨트 에칭 특성도 양호한 산화물 반도체층을 갖는 박막 트랜지스터를 제공한다. 본 발명의 박막 트랜지스터는, 기판 위에 적어도 게이트 전극, 게이트 절연막, 산화물 반도체층, 소스-드레인 전극 및 보호막을 이 순서로 갖는 박막 트랜지스터로서, 상기 산화물 반도체층은, 제1 산화물 반도체층(IGZO)과, 제2 산화물 반도체층(IZTO)을 갖는 적층체이며, 상기 제2 산화물 반도체층은, 상기 게이트 절연막 위에 형성되어 있음과 함께, 상기 제1 산화물 반도체층은, 상기 제2 산화물 반도체층과 상기 보호막의 사이에 형성되어 있으며, 또한 상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량은, Ga: 5% 이상, In: 25% 이하(0%를 포함하지 않음), Zn: 35 내지 65% 및 Sn: 8 내지 30%이다.

대표도



(72) 발명자

기시 도모야

일본 6512271 효고켄 고베시 니시쿠 다카츠키다이
1초메 5방 5고 가부시키키가이샤 고베 세이코쇼 고베
소고 기쥬츠 켄큐쇼 내

히로세 겐타

일본 6512271 효고켄 고베시 니시쿠 다카츠키다이
1초메 5방 5고 가부시키키가이샤 고베 세이코쇼 고베
소고 기쥬츠 켄큐쇼 내

모리타 신야

일본 6512271 효고켄 고베시 니시쿠 다카츠키다이
1초메 5방 5고 가부시키키가이샤 고베 세이코쇼 고베
소고 기쥬츠 켄큐쇼 내

구기미야 도시히로

일본 6512271 효고켄 고베시 니시쿠 다카츠키다이
1초메 5방 5고 가부시키키가이샤 고베 세이코쇼 고베
소고 기쥬츠 켄큐쇼 내

특허청구의 범위

청구항 1

기판 위에 적어도 게이트 전극, 게이트 절연막, 산화물 반도체층, 에치 스톱퍼층, 소스-드레인 전극, 및 상기 소스-드레인 전극을 보호하는 보호막을 이 순서로 갖는 박막 트랜지스터로서,

상기 산화물 반도체층은,

In, Ga, Zn, Sn 및 O로 구성되는 제1 산화물 반도체층과,

In, Zn, Sn 및 O로 구성되는 제2 산화물 반도체층을 갖는 적층체임과 함께,

상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량(원자%, 이하 동일 함)은,

In: 25% 이하(0%를 포함하지 않음),

Ga: 8.0 내지 30%,

Zn: 30.0 내지 65%, 및

Sn: 5 내지 30%인 것을 특징으로 하는, 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량은,

In: 20% 이하(0%를 포함하지 않음),

Ga: 15 내지 30%,

Zn: 35 내지 65%, 및

Sn: 8 내지 30%인, 박막 트랜지스터.

청구항 3

제1항 또는 제2항에 있어서,

상기 제2 산화물 반도체층은, 상기 게이트 절연막 위에 형성되어 있음과 함께,

상기 제1 산화물 반도체층은, 상기 제2 산화물 반도체층과 상기 에치 스톱퍼층의 사이에 형성되어 있는, 박막 트랜지스터.

청구항 4

제1항 또는 제2항에 있어서,

상기 제2 산화물 반도체층의 두께가 0.5nm 이상인, 박막 트랜지스터.

청구항 5

제1항 또는 제2항에 기재된 박막 트랜지스터를 구비한, 표시 장치.

명세서

기술분야

본 발명은 액정 디스플레이나 유기 EL 디스플레이 등의 표시 장치에 사용되는 박막 트랜지스터(TFT)에 관한 것이다.

[0001]

배경 기술

- [0002] 아몰퍼스(비정질) 산화물 반도체는, 범용의 아몰퍼스 실리콘(a-Si)에 비하여 높은 캐리어 이동도(전계 효과 이동도라고도 함. 이하, 단순히 「이동도」라 하는 경우가 있음)를 갖고, 광학 밴드 갭이 크고, 저온에서 성막할 수 있기 때문에 대형·고해상도·고속 구동이 요구되는 차세대 디스플레이나, 내열성이 낮은 수지 기판 등에의 적용이 기대되고 있다.
- [0003] 산화물 반도체를 박막 트랜지스터의 반도체층으로서 사용하는 경우, 캐리어 농도(이동도)가 높을 뿐만 아니라, TFT의 스위칭 특성(트랜지스터 특성, TFT 특성)이 우수한 것이 요구된다. 즉, (1) 온 전류[게이트 전극과 드레인 전극에 정(正)전압을 가하였을 때의 최대 드레인 전류]가 높고, (2) 오프 전류[게이트 전극에 부(負)전압을, 드레인 전압에 정전압을 각각 가하였을 때의 드레인 전류]가 낮고, (3) S값(Subthreshold Swing, 서브쓰레홀드 스윙, 드레인 전류를 1 자릿수 올리는 데 필요한 게이트 전압)이 낮고, (4) 임계값(드레인 전극에 정전압을 가하고, 게이트 전압에 정부 어느 하나의 전압을 가하였을 때 드레인 전류가 흐르기 시작하는 전압이며, 임계값 전압이라고도 함)이 시간적으로 변화하지 않고 안정적이며(기판 면 내에서 균일한 것을 의미함), 또한, (5) 이동도가 높은 것 등이 요구된다.
- [0004] 이와 같은 특성을 갖는 산화물 반도체로서, 인듐, 갈륨, 아연 및 산소로 이루어지는 아몰퍼스 산화물 반도체(In-Ga-Zn-O, 이하 「IGZO」라 하는 경우가 있음)가 범용되고 있다(특허문헌 1, 비특허문헌 1, 비특허문헌 2).
- [0005] 또한 IGZO보다 높은 이동도를 갖는 재료로서, 인듐, 아연, 주석 및 산소로 이루어지는 아몰퍼스 산화물 반도체(In-Zn-Sn-O, 이하 「IZTO」라 하는 경우가 있음)가 사용되고 있다(특허문헌 2).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 특허 제4568828호 공보
(특허문헌 0002) 일본 특허공개 제2008-243928호 공보

비특허문헌

- [0007] (비특허문헌 0001) 고체 물리, VOL44, P621(2009)
(비특허문헌 0002) Nature, VOL432, P488(2004)

발명의 내용

해결하려는 과제

- [0008] 상기 산화물 반도체층을 사용한 박막 트랜지스터는, 또한 전압 인가나 광 조사 등의 스트레스에 대한 내성(스트레스 인가 전후의 임계값 전압의 변화량이 적은 것)이 우수한 것이 요구된다. 예를 들어, 게이트 전극에 전압을 계속해서 인가했을 때나, 광 흡수가 시작되는 청색대를 계속해서 조사했을 때, 박막 트랜지스터의 게이트 절연막과 반도체층 계면에 차지가 트랩되고, 반도체층 내부의 전하의 변화로부터, 임계값 전압이 부(負)측으로 대폭 변화(시프트)하고, 이에 의해, TFT의 스위칭 특성이 변화하는 것이 지적되고 있다. 또한 액정 패널 구동 시나, 게이트 전극에 부 바이어스를 가하여 화소를 점등시킬 때 등에 액정 셀로부터 누설된 광이 TFT에 조사되지만, 이 광이 TFT에 스트레스를 주어 화상 얼룩이나 특성 열화의 원인으로 된다. 실제로 박막 트랜지스터를 사용할 때, 광 조사나 전압 인가에 의한 스트레스에 의해 스위칭 특성이 변화하면, 표시 장치 자체의 신뢰성 저하를 초래한다.
- [0009] 또한, 유기 EL 디스플레이에 있어서도 마찬가지로, 발광층으로부터의 누설 광이 반도체층에 조사되고, 임계값 전압 등의 값이 변동된다는 문제가 발생한다.
- [0010] 이와 같이 특히 임계값 전압의 시프트는, TFT를 구비한 액정 디스플레이나 유기 EL 디스플레이 등의 표시 장치 자체의 신뢰성 저하를 초래하기 때문에, 스트레스 내성의 향상이 강하게 요망되고 있다.

- [0011] 또한 산화물 반도체층과, 그 위에 소스-드레인 전극을 구비한 박막 트랜지스터 기판을 제작할 때, 상기 산화물 반도체층이 웨트 에칭액 등의 약액에 대하여 높은 특성(웨트 에칭 특성)을 갖는 것도 요구된다. 구체적으로는, TFT 제작 시의 각 공정에 있어서, 사용되는 웨트 에칭액의 종류도 서로 다르기 때문에, 상기 산화물 반도체층에는 이하의 2가지 특성이 요구된다.
- [0012] (가) 산화물 반도체층은, 산화물 반도체 가공용 웨트 에칭액에 대하여 우수한 가용성을 가질 것
- [0013] 즉, 산화물 반도체층을 가공할 때 사용되는 옥살산 등의 유기산계 웨트 에칭액에 의해, 상기 산화물 반도체층이 적절한 속도로 에칭되어, 잔사 없이 패터닝할 수 있는 것이 요구된다.
- [0014] (나) 산화물 반도체층은, 소스-드레인 전극용 웨트 에칭액에 대하여 불용성일 것
- [0015] 즉, 산화물 반도체층 위에 성막되는 소스-드레인 전극용 배선막을 가공할 때 사용되는 웨트 에칭액(예를 들어 인산, 질산, 아세트산 등을 포함하는 무기산)에 의해, 소스-드레인 전극은 적절한 속도로 에칭되지만, 상기 산화물 반도체층의 표면(백 채널)층이 상기 웨트 에칭액에 의해 깎이거나, 대미지가 발생하여 TFT 특성이나 스트레스 내성이 저하되지 않도록 하는 것이 요구된다.
- [0016] 웨트 에칭액에 의한 에칭의 정도(에칭 속도)는, 웨트 에칭액의 종류에 따라서도 상이하지만, 전술한 IZTO는, 옥살산 등의 웨트 에칭액에 대하여 우수한 가용성을 갖지만[즉, 상기 (가)의 산화물 반도체층 가공 시의 웨트 에칭성이 우수함], 무기산계 웨트 에칭액에 대한 가용성도 높고, 무기산계 웨트 에칭액에 의해 극히 용이하게 에칭되어 버린다. 그로 인해, 소스-드레인 전극의 웨트 에칭액에 의한 가공 시에, IZTO막이 소실되어 TFT의 제작이 곤란하거나, TFT 특성 등이 저하된다는 문제가 있다[즉, 상기 (나)의 소스-드레인 전극 가공 시의 웨트 에칭 내성이 떨어짐]. 이러한 문제를 해결하기 위해, 소스-드레인 전극용 에칭액으로서, IZTO를 에칭하지 않은 약액(NH₄F와 H₂O₂의 혼합액)을 사용하는 것도 검토되고 있지만, 상기 약액의 수명은 짧고, 불안정하므로 양산성이 떨어진다.
- [0017] 전술한 (나)의 소스-드레인 전극의 웨트 에칭에 수반하는 TFT 특성 등의 저하는, 특히, 도 1에 도시한 바와 같은 에치 스톱퍼층을 갖지 않는 백 채널 에치(BCE) 구조의 TFT에서 보인다.
- [0018] 즉, 산화물 반도체를 사용한 보텀 게이트 박막 트랜지스터의 구조는, 도 1에 도시한, 에치 스톱퍼층을 갖지 않는 백 채널 에치형(BCE형)과, 도 2에 도시한, 에치 스톱퍼층(8)을 갖는 에치 스톱형(ESL형)의 2종류로 크게 구별된다.
- [0019] 도 2에 있어서의 에치 스톱퍼층(8)은, 소스-드레인 전극(5)에 에칭을 실시할 때 산화물 반도체층(4)이 대미지를 받아 트랜지스터 특성이 저하되는 것을 방지할 목적으로 형성되는 것이다. 도 2에 의하면, 소스-드레인 전극 가공 시에 산화물 반도체층 표면의 대미지가 적기 때문에, 양호한 TFT 특성이 얻어지기 쉽다. 상기 에치 스톱퍼층으로서, 일반적으로 SiO₂ 등의 절연막이 사용된다.
- [0020] 이에 반하여, 도 1에서는, 에치 스톱퍼층을 갖지 않기 때문에, 공정 수를 간략화할 수 있어 생산성이 우수하다. 즉, 제조 방법에 따라서는 에칭 시에 에치 스톱퍼층을 형성하지 않아도 산화물 반도체층(4)에 대미지를 주지 않는 경우도 있고, 예를 들어 리프트 오프법에 의해 소스-드레인 전극(5)을 가공하는 경우에는 산화물 반도체층(4)에의 대미지가 없기 때문에 에치 스톱퍼층은 불필요하며, 그 경우에는, 도 1의 BCE형이 사용된다. 또는, 에치 스톱퍼층 없이도 양호한 TFT 특성을 발휘할 수 있도록 개발된 특별한 웨트 에칭액을 사용하는 경우, 도 1의 BCE형을 사용할 수 있다.
- [0021] 전술한 바와 같이 박막 트랜지스터의 제작 비용 저감이나 공정 간략화의 관점에서는, 에치 스톱퍼층을 갖지 않는 도 1의 BCE형의 사용이 권장되지만, 전술한 웨트 에칭 시의 문제가 강하게 우려된다. 물론, 도 2의 ESL형에 있어서도, 웨트 에칭액의 종류에 따라서는, 상기 문제가 발생할 우려가 있다.
- [0022] 본 발명은 상기 사정을 감안하여 이루어진 것으로, 그 목적은, 에치 스톱퍼층을 갖지 않는 BCE형의 박막 트랜지스터에 있어서, 높은 전계 효과 이동도를 유지하면서, 광이나 바이어스 스트레스 등에 대하여 임계값 전압의 변화량이 작고 스트레스 내성이 우수함과 함께, (가) 산화물 반도체 가공용 웨트 에칭액에 대해서는 우수한 가용성을 갖고, (나) 소스-드레인 전극을 패터닝할 때 사용되는 웨트 에칭액에 대하여 우수한 내성을 갖는 반도체층용 산화물을 구비한 박막 트랜지스터를 제공하는 데 있다.
- [0023] 또한 에치 스톱퍼층을 갖는 ESL형의 박막 트랜지스터에 있어서도, 높은 전계 효과 이동도를 유지하면서, 스트레스 내성이 우수함과 함께, (가) 산화물 반도체 가공용 웨트 에칭액에 대해서는 우수한 가용성을 갖는 반도체층

용 산화물을 구비한 박막 트랜지스터를 제공하는 데 있다.

과제의 해결 수단

- [0024] 상기 과제를 해결할 수 있는 본 발명에 따른 박막 트랜지스터는, 기판 위에 적어도 게이트 전극, 게이트 절연막, 산화물 반도체층, 소스-드레인 전극, 및 상기 소스-드레인 전극을 보호하는 보호막을 이 순서로 갖는 박막 트랜지스터로서, 상기 산화물 반도체층은, In, Ga, Zn, Sn 및 O로 구성되는 제1 산화물 반도체층과, In, Zn, Sn 및 O로 구성되는 제2 산화물 반도체층을 갖는 적층체이며, 상기 제2 산화물 반도체층은, 상기 게이트 절연막 위에 형성되어 있음과 함께, 상기 제1 산화물 반도체층은, 상기 제2 산화물 반도체층과 상기 보호막의 사이에 형성되어 있으며, 또한 상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량(원자%, 이하 동일함)은, In: 25% 이하(0%를 포함하지 않음), Ga: 5% 이상, Zn: 35 내지 65%, 및 Sn: 8 내지 30%인 것임에 요지를 갖는다.
- [0025] 상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량은, In: 20% 이하(0%를 포함하지 않음), Ga: 15% 이상, 50% 미만, Zn: 35 내지 65% 및 Sn: 8 내지 30%인 것이 바람직하다.
- [0026] 상기 제1 산화물 반도체층의 소스-드레인 전극용 웨트 에칭액에 대한 에칭 레이트는, 상기 소스-드레인 전극의 에칭 레이트의 1/2 이하인 것이 바람직하다.
- [0027] 또한 본 발명에 따른 박막 트랜지스터는, 기판 위에 적어도 게이트 전극, 게이트 절연막, 산화물 반도체층, 소스-드레인 전극, 에치 스톱퍼층, 및 상기 소스-드레인 전극을 보호하는 보호막을 이 순서로 갖는 박막 트랜지스터로서, 상기 산화물 반도체층은, In, Ga, Zn, Sn 및 O로 구성되는 제1 산화물 반도체층과, In, Zn, Sn 및 O로 구성되는 제2 산화물 반도체층을 갖는 적층체임과 함께, 상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량(원자%, 이하 동일함)은 In: 25% 이하(0%를 포함하지 않음), Ga: 8.0% 이상, Zn: 30.0 내지 65% 및 Sn: 5 내지 30%임에 요지를 갖는다.
- [0028] 상기 제1 산화물 반도체층 중, 산소를 제외한 전체 금속 원소에 대한 각 금속 원소의 함유량은, In: 20% 이하(0%를 포함하지 않음), Ga: 15% 이상, 50% 미만, Zn: 35 내지 65% 및 Sn: 8 내지 30%인 것이 바람직하다.
- [0029] 또한 상기 제2 산화물 반도체층은, 상기 게이트 절연막 위에 형성되어 있음과 함께, 상기 제1 산화물 반도체층은, 상기 제2 산화물 반도체층과 상기 에치 스톱퍼층의 사이에 형성되어 있는 것이 바람직하다.
- [0030] 또한 제2 산화물 반도체층의 두께가 0.5nm 이상인 것도 바람직하다.
- [0031] 본 발명에는 상기 박막 트랜지스터를 구비한 표시 장치도 포함된다.

발명의 효과

- [0032] 본 발명에 의하면, 에치 스톱퍼층을 갖지 않는 BCE형의 박막 트랜지스터에 있어서, 이동도가 높고, 박막 트랜지스터의 스위칭 특성 및 스트레스 내성(광 조사 및 부 바이어스 인가 전후의 임계값 전압의 시프트량이 적은 것)이 우수함과 함께, 우수한 웨트 에칭 특성, 즉, (가) 산화물 반도체 가공용 웨트 에칭액에 대해서는 우수한 가용성을 갖고(우수한 웨트 에칭성), (나) 소스-드레인 전극용 웨트 에칭액에 대해서는 우수한 내성(우수한 웨트 에칭 내성)을 갖는 반도체층용 산화물을 구비한 박막 트랜지스터를 제공할 수 있었다.
- [0033] 또한 에치 스톱퍼층을 갖는 ESL형의 박막 트랜지스터에 있어서도, 이동도가 높고, 박막 트랜지스터의 스위칭 특성 및 스트레스 내성(광 조사 및 부 바이어스 인가 전후의 임계값 전압의 시프트량이 적은 것)이 우수함과 함께, 우수한 웨트 에칭 특성, 즉, (가) 산화물 반도체 가공용 웨트 에칭액에 대해서는 우수한 가용성(우수한 웨트 에칭성)을 갖는 반도체층용 산화물을 구비한 박막 트랜지스터를 제공할 수 있었다.

도면의 간단한 설명

- [0034] 도 1은, 종래의 산화물 반도체층(단층)을 구비한 박막 트랜지스터(BCE형)를 설명하기 위한 개략 단면도이다.
- 도 2는, 종래의 산화물 반도체층(단층)을 구비한 박막 트랜지스터(ESL형)를 설명하기 위한 개략 단면도이다.
- 도 3은, 본 발명에 사용되는 산화물 반도체층으로서 제2 산화물 반도체층(기관측에서 볼 때 하층)과 제1 산화물 반도체층의 적층체(기관측에서 볼 때 상층)를 구비한 박막 트랜지스터(BCE형)를 설명하기 위한 개략 단면도이다.
- 도 4는, 본 발명에 사용되는 산화물 반도체층으로서 제2 산화물 반도체층(기관측에서 볼 때 하층)과 제1 산화물

반도체층의 적층체(기관층에서 볼 때 상층)를 구비한 박막 트랜지스터(ESL형)를 설명하기 위한 개략 단면도이다.

도 5는, 본 발명에 사용되는 산화물 반도체층으로서 제2 산화물 반도체층(기관층에서 볼 때 상층)과 제1 산화물 반도체층의 적층체(기관층에서 볼 때 하층)를 구비한 박막 트랜지스터(ESL형)를 설명하기 위한 개략 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 발명자들은, IZTO(「제2 산화물 반도체층」이라 표기하는 경우가 있음)와, 소정의 조성으로 이루어지는 In, Ga, Zn, Sn 및 O(이하, 「IGZTO」라 표기하는 경우가 있음)로 구성되는 산화물(이하, 「제1 산화물 반도체층」이라 표기하는 경우가 있음)을 적층시켜서 산화물 반도체층을 구성하면, 소기의 목적이 달성되는 것을 알아내고, 본 발명을 완성하였다.
- [0036] 본 명세서에 있어서 「스트레스 내성이 우수한」이라 함은, 후기하는 실시예에 기재된 방법으로, 시료에 백색광을 조사하면서, 게이트 전극에 부 바이어스를 계속해서 인가하는 스트레스 인가 시험을 2시간 행하였을 때, 스트레스 인가 시험 전후의 임계값 전압(V_{th})의 시프트량 ΔV_{th} (절댓값)가 IZTO 단층의 ΔV_{th} 이하인 것을 의미한다.
- [0037] 본 명세서에 있어서 「웨트 에칭 특성이 우수한」이라 함은, 에치 스톱퍼층을 갖지 않는 BCE형의 경우에는, 하기 (가) 웨트 에칭성이 우수한 것, 및 (나) 웨트 에칭 내성이 우수한 것을 만족함을 의미하며, 에치 스톱퍼층을 갖는 ESL형의 경우에는, 하기 (가) 웨트 에칭성이 우수한 것을 만족함을 의미한다. 또한, 이하에서는, 웨트 에칭성과 웨트 에칭 내성을 「웨트 에칭 특성」이라 총칭하는 경우가 있다.
- [0038] (가) 산화물 반도체 가공용 웨트 에칭액에 대하여 우수한 가공성을 갖는 것(웨트 에칭성이 우수함). 즉, 산화물 반도체층을 가공할 때 사용되는 옥살산 등의 유기산계 웨트 에칭액에 의해, 본 발명의 적층 구조를 갖는 산화물 반도체층의 제1, 제2 산화물 반도체층이 거의 동일 정도(0.1 내지 4배)의 에칭 레이트로 에칭되어, 잔사 없이 패터닝할 수 있음을 의미한다.
- [0039] (나) 소스-드레인 전극을 웨트 에칭액으로 패터닝하였을 때, 소스-드레인 전극은 에칭되지만, 산화물 반도체층은 상기 웨트 에칭액에 대하여 불용성임을 의미한다(웨트 에칭 내성이 우수함). 본 명세서에서는, 측정의 간편화를 위해, 후기하는 실시예에 나타내는 바와 같이, 기관에 산화물 반도체층을 성막하고, 소스-드레인 전극용 웨트 에칭액으로 패터닝하였을 때의 에칭 속도를 측정하고 있으며, 이때의 제1 산화물 반도체층의 에칭 속도가 소스-드레인 전극의 에칭 속도의 1/2 이하이면, 소스-드레인 전극용 웨트 에칭액에 대하여 웨트 에칭 내성이 우수하다고 평가한다. 상기 범위의 에칭 속도를 갖는 것은, 산화물 반도체층이 상기 웨트 에칭액에 의해 에칭되기 어렵기 때문에, 산화물 반도체층의 표면(백 채널)층이 상기 웨트 에칭액에 의해 깎이거나, 대미지가 발생하여 TFT 특성이나 스트레스 내성이 저하되지 않는다.
- [0040] 이하, 본 발명에 도달한 경위를 설명하면서, 본 발명에 대하여 상세히 설명한다.
- [0041] 상기한 바와 같이 IZTO는 이동도가 높은 산화물 반도체층으로서 범용되고 있다. 특히 IZTO는 IGZO보다도 높은 이동도를 갖는 재료이지만, 스트레스 내성이 IGZO보다도 낮아, 안정성이 저하될 가능성이 있기 때문에, 디스플레이의 대형화, 고속 구동화에 대응한 더 높은 스트레스 내성이 요구되고 있다.
- [0042] 따라서 본 발명자들은, 산화물 반도체층으로서 유용한 IZTO의 스트레스 내성을 향상시키기 위해서, 다양하게 검토를 거듭해 왔다.
- [0043] 그 결과, IZTO를 SiO_2 , Al_2O_3 , HfO_2 등의 절연체로 구성되어 있는 보호막(BCE형의 경우), 혹은 에치 스톱퍼층(ESL형의 경우)(이하, 이들을 통합하여 「산화물계 절연체」라 하는 경우가 있음)에 접촉시키는 구조로 한 경우, IZTO와 산화물계 절연체의 계면은, 이종 재료의 접촉에 기인하여 상기 계면에 산소 결합에 의한 포획 준위가 형성되기 쉽다는 사실을 알 수 있었다.
- [0044] 따라서 본 발명에서는, IZTO로 이루어지는 제2 산화물 반도체층과, 산화물계 절연체의 사이에 IGZTO로 이루어지는 제1 산화물 반도체층을 개재시켜서, 산화물 반도체층을 제1, 제2 산화물 반도체층의 적층 구조로 하였다.
- [0045] 즉, 본 발명에서는, 산화물계 절연체와 제2 산화물 반도체층의 사이에, 제2 산화물 반도체층의 보호층으로서 제1 산화물 반도체층을 형성하였다. 그로 인해, 제2 산화물 반도체층이, 산화물계 절연체와 직접 접촉하지 않게

되어, 상기 산소 결손에 기인하는 포획 준위의 형성을 억제할 수 있다.

[0046] 또한, 제1 산화물 반도체층과 제2 산화물 반도체층은 Ga의 유무의 점에서 구성 원소는 엄밀하게는 다르지만, Ga를 제외한 원소는 중복되어 있기 때문에, 제1 산화물 반도체층의 구성 원소의 비율을 적절하게 제어함으로써, 제1 산화물 반도체층과 제2 산화물 반도체층의 접촉 계면에서의 포획 준위의 형성을 억제할 수 있다. 그 결과, 제2 산화물 반도체층의 계면 구조가 안정화하고, 고이동도를 유지하면서, 스트레스 내성이 향상된다고 생각된다.

[0047] 또한 제1 산화물 반도체층은, 산화물계 절연체와의 계면에서 산소 결손을 발생시키기 어려울 뿐만 아니라, 산화물 반도체층 전체의 이동도는 제2 산화물 반도체층에서 충분히 확보할 수 있기 때문에, 산화물 반도체층 전체의 이동도 등의 TFT 특성을 거의 저감시키는 일은 없다.

[0048] 또한 본 발명에서는, 상기 적층 구조에 의해 산화물 반도체층의 웨트 에칭 특성을 개선할 수 있었다. 즉, BCE형, ESL형 모두 (가) 본 발명의 산화물 반도체층은, 산화물 반도체 가공용 웨트 에칭액에 대하여 우수한 가용성을 갖는다(웨트 에칭성이 우수함). 산화물 반도체층을 적층 구조로 하면, 금속의 종류나 함유량의 상이에 기인하여 배선 패턴을 형성할 때, 제1 층과 제2 층에서 사이드 에칭량이 상이하여 원하는 형상으로 패터닝할 수 없게 되는 등의 문제가 발생한다. 그러나 본 발명에서는, 제1 산화물 반도체층과 제2 산화물 반도체층의 성분 조성, 및 조성비를 적절하게 제어함으로써, 제1 산화물 반도체층과 제2 산화물 반도체층의 에칭 레이트를 동등하게 할 수 있다.

[0049] 또한 BCE형의 경우, (나) 본 발명의 제1 산화물 반도체층은, 소스-드레인 전극용 웨트 에칭액에 대하여 불용성이 높다(웨트 에칭 내성이 우수함). 본 발명의 제1 산화물 반도체층은, 무기산계 웨트 에칭액에 의해 에칭되기 어렵기 때문에, 산화물 반도체층의 표면(백 채널)층이 상기 웨트 에칭액에 의해 깎이거나, 대미지가 발생하여 TFT 특성이나 스트레스 내성이 저하되지 않는다.

[0050] 제1 산화물 반도체층을 구성하는 각 금속 원소(In, Ga, Zn, Sn)의 함유량[제1 산화물 반도체층 중에 포함되는 전체 금속 원소에 대한 비율(산소를 제외함), 이하 동일함]은 제2 산화물 반도체층의 종류나 조성비, 이동도, 캐리어 밀도, 웨트 에칭 특성 등을 고려하여 결정하면 된다.

[0051] In: BCE형, ESL형 모두 25% 이하(0%를 포함하지 않음)

[0052] In은, 산화물 반도체층의 저항 저감에 유효한 원소이다. 이러한 효과를 유효하게 발현시키기 위해서는, BCE형, ESL형의 어느 경우나, 바람직하게는 1% 이상, 보다 바람직하게는 3% 이상, 더 바람직하게는 5% 이상이다. 한편, In 함유량이 너무 많으면 스트레스 내성이 저하되는 경우가 있기 때문에, 제2 산화물 반도체층이 어느 경우나 In 함유량은, 25% 이하, 바람직하게는 23% 이하, 보다 바람직하게는 20% 이하이다.

[0053] Ga: 에치 스톱퍼층을 갖지 않는 BCE형의 경우에는 5% 이상, 에치 스톱퍼층을 갖는 ESL형의 경우에는 8.0% 이상

[0054] Ga은, 산소 결손의 발생을 억제하고, 스트레스 내성 향상에 유효한 원소이다. 이러한 효과를 유효하게 발현시키기 위해서는, 에치 스톱퍼층을 갖지 않는 BCE형의 경우, Ga 함유량을 5% 이상, 바람직하게는 10% 이상, 보다 바람직하게는 15% 이상으로 한다. 한편, 에치 스톱퍼층을 갖는 ESL형의 경우, Ga 함유량을 8.0% 이상, 바람직하게는 10% 이상, 보다 바람직하게는 12% 이상, 더 바람직하게는 15% 이상으로 한다. Ga 함유량이 너무 많으면, 제1 산화물 반도체층을 형성하기 위한 스퍼터링 타깃 자체가 고저항화한다. 이 고 Ga 스퍼터링 타깃을 사용하여 성막을 행하면, 정상적으로 DC 방전(직류 방전)을 할 수 없게 되는 경우가 있다. 따라서 Ga 함유량은 50% 미만으로 하는 것이 바람직하다. 또한 제1 산화물 반도체층에 있어서, 전자의 전도 패스를 담당하고 있는 In이나 Sn의 함유량이 상대적으로 저하되고, 결과적으로 이동도가 저하되는 경우가 있다. 따라서 Ga 함유량은, 보다 바람직하게는 40% 이하, 더 바람직하게는 30% 이하, 보다 더 바람직하게는 20% 이하이다.

[0055] Zn: 에치 스톱퍼층을 갖지 않는 BCE형의 경우에는 35 내지 65%, 에치 스톱퍼층을 갖는 ESL형의 경우에는 30.0 내지 65%

[0056] Zn은, 웨트 에칭 레이트에 영향을 미치는 원소이며, Zn이 너무 적으면 산화물 반도체 가공용 웨트 에칭액을 사용한 경우의 웨트 에칭성이 나빠진다. 또한 Zn이 너무 적으면 아몰퍼스 구조가 불안정해지고, TFT가 스위칭 동작하지 않게 되는 경우가 있다. 따라서 BCE형의 경우, Zn 함유량은 35% 이상, 바람직하게는 40% 이상, 보다 바람직하게는 45% 이상이다. 또한 ESL형의 경우, Zn 함유량은 30.0% 이상, 바람직하게는 35% 이상, 보다 바람직하게는 40% 이상이다. Zn 함유량이 너무 많으면, 산화물 반도체 가공용 웨트 에칭액에 대한 웨트 에칭 레

이트가 너무 빨라져서 원하는 패턴 형상으로 하는 것이 곤란해진다. 또한 산화물 반도체층이 결정화되거나, In 이나 Sn 등의 함유량이 상대적으로 감소하여 스트레스 내성이 악화되는 경우가 있다. 따라서 Zn 함유량은 65% 이하, 바람직하게는 60% 이하이다.

[0057] Sn: 에치 스톱층을 갖지 않는 BCE형의 경우에는 8 내지 30%, 에치 스톱층을 갖는 ESL형의 경우에는 5 내지 30%

[0058] Sn은, 이동도 향상, 웨트 에칭 내성 향상에 유효한 원소이다. Sn 함유량이 너무 적으면 이동도가 악화되거나, 웨트 에칭 속도가 증가하여, 소스-드레인 전극을 웨트 에칭할 때, 산화물 반도체층을 구성하는 박막의 막 두께 감소나 표면의 대미지 증가를 초래하기 때문에, TFT 특성의 저하를 초래한다. 또한 산화물 반도체 가공용 웨트 에칭액에 대한 웨트 에칭성이 나빠지는 경우도 있다. 따라서, BCE형의 경우, Sn 함유량은 8% 이상, 바람직하게는 10% 이상, 보다 바람직하게는 12% 이상이다. 또한 ESL형의 경우, Sn 함유량은 5% 이상, 바람직하게는 8% 이상, 보다 바람직하게는 10% 이상이다. Sn 함유량이 너무 많으면, 스트레스 내성이 저하됨과 함께, 산화물 반도체 가공용 웨트 에칭액에 대한 웨트 에칭 레이트가 저하되는(웨트 에칭성이 저하되는) 경우가 있다. 특히 산화물 반도체 가공용 웨트 에칭액으로서 범용되는 옥살산 등의 유기산에 불용으로 되고, 산화물 반도체층의 가공을 할 수 없게 된다. 따라서 에치 스톱층을 갖지 않는 BCE형의 경우, Sn 함유량은 30% 이하, 바람직하게는 28% 이하, 보다 바람직하게는 25% 이하로 한다. 한편, 에치 스톱층을 갖는 ESL형의 경우, Sn 함유량은 30% 이하, 바람직하게는 25% 이하, 보다 바람직하게는 23% 이하, 더 바람직하게는 20% 이하이다.

[0059] BCE형, ESL형 모두 제1 산화물 반도체층의 바람직한 조성으로서, 상기 각 금속 원소의 밸런스를 고려하고, 원하는 특성이 유효하게 발휘되도록, 적절한 범위를 설정하는 것이 바람직하다.

[0060] 본 발명의 제2 산화물 반도체층을 구성하는 금속 원소(In, Zn, Sn)의 각 금속 간의 비율은, 이들 금속을 포함하는 산화물이 아몰퍼스상을 갖고, 또한, 반도체 특성을 나타내는 범위이면 특별히 한정되지 않는다. 다만 상기한 바와 같이 첨가하는 금속 원소의 함유량(원자%)에 따라서는, 이동도나 웨트 에칭 특성에 악영향을 미치기 때문에, 적절히 조정하는 것이 바람직하다. 예를 들어 웨트 에칭 시의 에칭 레이트는 제1 산화물 반도체층과 제2 산화물 반도체층에서 거의 동일한 정도로 하는 것이 바람직하기 때문에, 에칭 레이트비가 거의 동일 정도(에칭 레이트비로 0.1 내지 4배)로 되도록 성분 조성을 조정하면 된다.

[0061] 본 발명의 제2 산화물 반도체층의 두께는, BCE형, ESL형 모두, 특별히 한정되지 않지만, 제2 산화물 반도체층이 너무 얇으면, 기판 면 내의 특성(이동도, S값, Vth 등의 TFT 특성)에 편차가 발생할 우려가 있다. 따라서, 특성의 편차를 충분히 억제하는 관점에서는, 제2 산화물 반도체층의 두께를 0.5nm 이상, 보다 바람직하게는 5nm 이상, 더 바람직하게는 10nm 이상으로 하는 것이 바람직하다. 한편, 너무 두꺼우면 산화물 반도체층의 가공성이 나빠지거나, 성막이나 에칭에 시간을 필요로 하여 생산 비용이 증가하는 경우가 있기 때문에, 바람직하게는 100nm 이하, 보다 바람직하게 50nm 이하로 하는 것이 바람직하다. 또한, 제2 산화물 반도체층의 두께를, 제1 산화물 반도체층의 두께와 동등 이하로 하는 경우에는, 또한 30nm 이하, 보다 바람직하게는 20nm 이하, 특히 10nm 이하로 할 수도 있다.

[0062] 또한 제1 산화물 반도체층의 두께도 BCE형, ESL형 모두 특별히 한정되지 않지만, 제1 산화물 반도체층의 두께가 너무 얇으면 상기 제1 산화물 반도체층을 형성한 효과가 충분히 발휘되지 않는 경우가 있기 때문에, 바람직하게는 20nm 이상, 보다 바람직하게는 30nm 이상으로 하는 것이 바람직하다. 한편, 너무 두꺼우면 이동도가 저하될 우려가 있으므로, 바람직하게는 50nm 이하, 보다 바람직하게는 40nm 이하로 하는 것이 바람직하다.

[0063] 제2 산화물 반도체층과 제1 산화물 반도체층의 합계의 막 두께는, BCE형, ESL형 모두, 상기 범위 내에서 적절히 조합하면 되지만, 산화물 반도체층 전체의 막 두께가 너무 두꺼워지면 생산 비용이 증가하거나, 박막 트랜지스터의 박형화를 저해하게 되기 때문에, 바람직하게는 100nm 이하, 보다 바람직하게는 50nm 이하이다. 합계 막 두께의 하한은, 상기 각 산화물 반도체층의 효과를 발휘할 수 있을 정도의 막 두께를 채용하면 된다.

[0064] 다음으로 본 발명의 제1 산화물 반도체층(IGZTO)과 제2 산화물 반도체층(IZTO)의 적층 구조의 바람직한 실시 형태에 대하여 설명한다.

[0065] 우선, 종래예에서는 도 1(에치 스톱층 없음: BCE형), 도 2(에치 스톱층 있음: ESL형)에 도시한 바와 같이 IZTO로 이루어지는 제2 산화물 반도체층(4)(단층)으로 구성되어 있으며, 제2 산화물 반도체층(4)이 보호막(6)(도 1), 또는 에치 스톱층(8)(도 2) 및 게이트 절연막(3)과 직접 접촉하는 구성이었다.

[0066] 도 3은 본 발명의 BCE형의 바람직한 실시 형태의 일례이다. 제2 산화물 반도체층(4)(IZTO)은 보호막(6)과의 계면에서 산소 결손에 의한 포획 준위를 형성하기 쉽기 때문에, 제1 산화물 반도체층(4A)(IGZTO)을 제2 산화물 반

도체층(4)(IZTO)과 보호막(6)의 사이에 형성함으로써, 산소 결손에 의한 문제나 소스-드레인 전극용 웨트 에칭 액으로부터 제2 산화물 반도체층을 보호하는 것도 가능하다.

[0067] 도시예에서는, 제1 산화물 반도체층(4A)이 보호막(6)과 직접 접촉하도록 구성되어 있지만, 제1 산화물 반도체층(4A)과 보호막(6)의 사이에 다른 층을 개재시킬 수도 있다.

[0068] 도 4는 본 발명의 ESL형의 바람직한 실시 형태의 다른 일례이다. 제1 산화물 반도체층(4A)은, 제2 산화물 반도체층(4)과 에치 스톱퍼층(8)의 사이에 형성되어 있다. 도시예에서는, 제1 산화물 반도체층(4A)이 에치 스톱퍼층(8)과 직접 접촉하도록 구성되어 있지만, 제1 산화물 반도체층(4A)과 에치 스톱퍼층(8)의 사이에 다른 층을 개재시킬 수도 있다. 제2 산화물 반도체층(4)(IZTO)은 에치 스톱퍼층(8)과의 계면에서 산소 결손에 의한 포획 준위를 형성하기 쉽기 때문에, 제1 산화물 반도체층(4A)(IGZTO)을 제2 산화물 반도체층(4)(IZTO)과 에치 스톱퍼층(8)의 사이에 형성함으로써, 이러한 문제를 해소할 수 있다. 또한 제2 산화물 반도체층(4)은 이동도가 높기 때문에, 에치 스톱퍼층(8)측이 아니라, 전류가 많이 흐르는 게이트 절연막(3)측에 배치함으로써, 고이동도를 실현할 수 있다.

[0069] 도 5는 본 발명의 ESL형의 바람직한 다른 실시 형태의 일례이다(제1, 제2 산화물 반도체층의 적층 순서가 도 4와 반대의 구성). 제1 산화물 반도체층(4A)은, 제2 산화물 반도체층(4)과 게이트 절연막(3)의 사이에 형성되어 있다. 도시예에서는 제1 산화물 반도체층(4A)이 게이트 절연막(3)과 직접 접촉하도록 구성되어 있지만, 상기와 마찬가지로, 사이에 다른 층을 개재시킬 수도 있다. 제1과 제2 산화물 반도체층의 적층 구조를 상기 제1 적층 구조(도 4)와 반대로 하여도, 제2 산화물 반도체층과 제1 산화물 반도체층의 계면에서의 산소 결손 등을 억제할 수 있다. 또한 이동도에 영향을 미치는 Ga를 포함하지 않는 제2 산화물 반도체층(IZTO)이면, 제2 산화물 반도체층을 에치 스톱퍼층측에 배치하여도 고이동도를 실현할 수 있다.

[0070] ESL 구조의 경우, 게이트 절연막(3)과 에치 스톱퍼층(8) 중 적어도 어느 한쪽(바람직하게는 후기하는 바와 같이 에치 스톱퍼층)과 제2 산화물 반도체층(4)의 사이에 제1 산화물 반도체층(4A)을 형성함으로써, 스트레스 내성 향상 효과를 얻을 수 있다.

[0071] 다음으로 본 발명의 산화물 반도체층의 제조 방법에 대하여 설명한다.

[0072] 상기 IZTO로 이루어지는 제2 산화물 반도체층과 IGZTO로 이루어지는 제1 산화물 반도체층은, 스퍼터링법에 의해 스퍼터링 타깃(이하 「타깃」이라 하는 경우가 있음)을 사용하여 성막하는 것이 바람직하다. 스퍼터링법에 의하면, 성분이나 막 두께의 막 면내 균일성이 우수한 박막을 용이하게 형성할 수 있다. 또한, 도포법 등의 화학적 성막법에 의해 산화물을 형성하여도 된다.

[0073] 스퍼터링법에 사용되는 타깃으로서, 전술한 원소를 포함하고, 원하는 산화물과 동일한 조성의 스퍼터링 타깃을 사용하는 것이 바람직하고, 이에 의해, 조성 어긋남이 적어 원하는 성분 조성의 박막을 형성할 수 있다. 구체적으로는 제2 산화물 반도체층을 성막하는 타깃으로서, In, Zn 및 Sn으로 구성되는 산화물 타깃(IZTO 타깃)을 사용할 수 있다.

[0074] 또한 제1 산화물 반도체층을 성막하는 타깃으로서, In, Ga, Zn 및 Sn으로 구성되는 산화물 타깃(IGZTO 타깃)을 사용할 수 있다.

[0075] 또는, 조성이 서로 다른 2개의 타깃을 동시 방전하는 코-스퍼터법(Co-Sputter법)을 이용하여 성막하여도 된다. 또는 상기 원소의 적어도 2종 이상을 포함하는 혼합물의 산화물 타깃을 사용할 수도 있다.

[0076] 상기 타깃은, 예를 들어 분말 소결법에 의해 제조할 수 있다.

[0077] 제2 산화물 반도체층과 제1 산화물 반도체층을 스퍼터링법에 의해 성막하는 경우, 진공 상태를 유지한 채 연속적으로 성막하는 것이 바람직하다. 제2 산화물 반도체층과 제1 산화물 반도체층을 성막할 때 대기 중에 폭로하면, 공기 중의 수분이나 유기 성분이 박막 표면에 부착되어 오염(품질 불량)의 원인으로 되기 때문이다.

[0078] 상기 타깃을 사용하여 스퍼터링법에 의해 성막하는 경우, 스퍼터링 성막 시에 박막 중으로부터 이탈하는 산소를 보간하고, 산화물 반도체층의 밀도를 가능한 한 높게(바람직하게는 6.0g/cm³ 이상) 하기 위해서는, 성막 시의 가스압, 산소 첨가량(산소의 분압), 스퍼터링 타깃에의 투입 파워, 기관 온도, T-S 간 거리(스퍼터링 타깃과 기관의 거리) 등을 적절하게 제어하는 것이 바람직하다.

[0079] 구체적으로는, 예를 들어 하기 스퍼터링 조건에 따라 성막하는 것이 바람직하다.

[0080] 상기 타깃을 사용하여 스퍼터링하는 데 있어서는, 기관 온도를 대략, 실온 내지 200℃ 정도로 제어하고, 산소

첨가량을 적절하게 제어하여 행하는 것이 바람직하다.

- [0081] 산소 첨가량은, 반도체로서 동작을 나타내도록, 스퍼터링 장치의 구성이나 타깃 조성 등에 따라 적절하게 제어하면 되지만, 대략 반도체 캐리어 농도가 10^{15} 내지 10^{16} cm^{-3} 로 되도록 산소량을 첨가하는 것이 바람직하다.
- [0082] 또한 스퍼터링 성막 시의 가스압, 스퍼터링 타깃에의 투입 파워, T-S 간 거리(스퍼터링 타깃과 기판의 거리) 등을 적절하게 제어하여, 산화물 반도체층의 밀도를 조정하는 것이 바람직하다. 예를 들어 성막 시의 전체 가스압은, 스퍼터 원자거리의 산란이 억제되기 때문에 낮을수록 좋고, 치밀(고밀도)한 막을 성막할 수 있다. 바람직한 가스압은 대략 1 내지 3mTorr의 범위 내인 것이 바람직하다. 또한 투입 파워도 높을수록 좋고, 대략 200W 이상으로 설정하는 것이 권장된다.
- [0083] 또한 산화물 반도체층의 밀도는, 성막 후의 열처리 조건에 의해서도 영향을 받기 때문에, 성막 후의 열처리 조건도 적절하게 제어하는 것이 바람직하다. 성막 후의 열처리는, 예를 들어 대기 분위기하 또는 수증기 분위기하에서, 대략 250 내지 400°C에서 10분 내지 3시간 정도 행하는 것이 바람직하다. 이러한 열처리는 예를 들어 TFT의 제조 과정에 있어서의 열 이력에 있어서도 제어하는 것이 가능하다. 예를 들어 프리 어닐 처리(산화물 반도체층을 웨트 에칭한 후의 패터닝 후의 열처리)를 행함으로써 밀도를 높일 수 있다.
- [0084] 본 발명에는, 상기 산화물을 TFT의 반도체층(산화물 반도체층)으로서 구비한 TFT도 포함된다. 상기 TFT는, 상기 산화물 반도체층이 제2 산화물 반도체층과 제1 산화물 반도체층의 적층 구조를 구비하고 있으면 되며, 게이트 절연막을 포함하여 다른 구성에 대해서는 특별히 한정되지 않는다. 예를 들어 기판 위에, 게이트 전극, 게이트 절연막, 상기 산화물 반도체층, 소스 전극, 드레인 전극(소스 전극과 드레인 전극은 통합하여, 소스-드레인 전극이라 하는 경우가 있음) 및 보호막(BCE형), 에치 스톱층을 형성하는 경우에는, 또한 에치 스톱층(ESL형)을 적어도 갖고 있으면 되고, 그 구성은 통상 사용되는 것이면 특별히 한정되지 않는다. 또한 보호막은, 도면에 있어서도 도시된 바와 같이 소스-드레인 전극의 상측에 형성되지만, 게이트 절연막, 상기 산화물 반도체층, 소스-드레인 전극을 보호하는 취지로 형성되는 것이다.
- [0085] 이하, 도 3을 참조하면서, 에치 스톱층을 갖지 않는 BCE형 TFT의 제조 방법 실시 형태를 설명한다. 도 3 및 이하의 제조 방법은, 본 발명의 바람직한 실시 형태의 일례를 나타내는 것이며, 이에 한정되는 취지는 아니다. 예를 들어 도 3에는, 보텀 게이트형 구조의 TFT를 나타내고 있지만 이에 한정되지 않으며, 산화물 반도체층 위에 게이트 절연막과 게이트 전극을 순서대로 구비하는 톱 게이트형의 TFT여도 된다.
- [0086] 도 3에서는, 기판(1) 위에 게이트 전극(2) 및 게이트 절연막(3)이 형성되고, 그 위에 제2 산화물 반도체층(4)이 형성되어 있다. 제2 산화물 반도체층(4) 위에는 제1 산화물 반도체층(4A)이 형성되고, 또한 그 위에는 소스-드레인 전극(5)이 형성되고, 그 위에 보호막(절연막)(6)이 형성되며, 콘택트 홀(7)을 통해 투명 도전막(도시생략)이 드레인 전극(5)에 전기적으로 접속되어 있다.
- [0087] 기판(1) 위에 게이트 전극(2) 및 게이트 절연막(3)을 형성하는 방법은 특별히 한정되지 않으며, 통상적으로 이용되는 방법을 채용할 수 있다. 또한, 게이트 전극(2) 및 게이트 절연막(3)의 종류도 특별히 한정되지 않으며, 범용되고 있는 것을 사용할 수 있다. 예를 들어 게이트 전극으로서, 전기 저항률이 낮은 Al이나 Cu의 금속이나, 내열성이 높은 Mo, Cr, Ti 등의 고용점 금속이나, 이 합금을 바람직하게 사용할 수 있다. 또한, 게이트 절연막(3)으로서, 실리콘 질화막(SiN), 실리콘 산화막(SiO₂), 실리콘 산질화막(SiON) 등이 대표적으로 예시된다. 그 밖에, Al₂O₃이나 Y₂O₃ 등의 산화물이나, 이들을 적층한 것을 사용할 수도 있다.
- [0088] 계속해서 산화물 반도체층[기판측으로부터 순서대로 제2 산화물 반도체층(4), 제1 산화물 반도체층(4A)]을 형성한다. 제2 산화물 반도체층(4)도 IZTO 타깃을 사용한 DC 스퍼터링법 또는 RF 스퍼터링법에 의해 성막할 수 있다. 마찬가지로 제1 산화물 반도체층(4A)은, 제1 산화물 반도체층(4A)을 구성하는 IGZTO 타깃을 사용한 DC 스퍼터링법 또는 RF 스퍼터링법에 의해 성막할 수 있다.
- [0089] 제2 산화물 반도체층(4), 제1 산화물 반도체층(4A)을 순차적으로, 진공 일환으로 연속 성막하는 것이 바람직하다. 이때, 제1 산화물 반도체를 상기한 조성을 만족하도록 제어하면, 스퍼터링 레이트가 향상됨과 함께 웨트 에칭 특성도 향상된다.
- [0090] 산화물 반도체층을 웨트 에칭한 후, 패터닝한다. 패터닝의 직후에, 산화물 반도체층의 막질 개선을 위해 열처리(프리 어닐)를 행하는 것이 바람직하며, 이에 의해, 트랜지스터 특성의 온 전류 및 전계 효과 이동도가 상승하고, 트랜지스터 성능이 향상되게 된다. 프리 어닐 조건으로서, 예를 들어 온도: 약 250 내지 400°C, 시간:

약 10분 내지 1시간 등을 들 수 있다.

- [0091] 프리 어닐의 후, 소스-드레인 전극(5)을 형성한다. 소스-드레인 전극(5)의 종류는 특별히 한정되지 않으며, 범용되고 있는 것을 사용할 수 있다. 예를 들어 게이트 전극과 마찬가지로 Mo이나 Al, Cu 등의 금속 또는 합금을 사용하여도 된다.
- [0092] 소스-드레인 전극(5)의 형성 방법으로서, 예를 들어 마그네트론 스퍼터링법에 의해 금속 박막을 성막한 후, 포토리소그래피에 의해 패터닝하고, 웨트 에칭을 행하여 전극을 형성할 수 있다.
- [0093] 다음으로, 산화물 반도체층(4A), 소스-드레인 전극(5) 위에 보호막(6)을 CVD(Chemical Vapor Deposition)법에 의해 성막한다. 보호막(6)은 SiO₂이나 SiON, SiN 등이 사용된다. 또한, 스퍼터링법을 이용하여 보호막(6)을 형성하여도 된다. 산화물 반도체층(4A)의 표면은, CVD에 의한 플라즈마 대미지에 의해 용이하게 도통화되어 버리기 때문에(아마도 제1 산화물 반도체 표면에 생성되는 산소 결손이 전자 도너로 되기 때문이라 추정됨), 보호막(6)의 성막 전에 N₂O 플라즈마 조사를 행하여도 된다. N₂O 플라즈마의 조사 조건은, 예를 들어 하기 문헌에 기재된 조건을 채용하면 된다.
- [0094] J. Park 외, Appl. Phys. Lett., 1993, 053505(2008)
- [0095] 다음으로, 통상의 방법에 기초하여, 콘택트 홀(7)을 통해 투명 도전막을 드레인 전극(5)에 전기적으로 접속한다. 투명 도전막 및 드레인 전극의 종류는 특별히 한정되지 않으며, 통상적으로 이용되는 것을 사용할 수 있다. 드레인 전극으로서, 예를 들어 전술한 소스-드레인 전극에서 예시한 것을 사용할 수 있다.
- [0096] 이하, 도 4를 참조하면서, 에치 스토퍼층을 갖는 ESL형 TFT의 제조 방법의 실시 형태를 설명한다. 도 4 및 이하의 제조 방법은, 본 발명의 바람직한 실시 형태의 일례를 나타내는 것이며, 이에 한정되는 취지는 아니다. 예를 들어 도 4에는, 보텀 게이트형 구조의 TFT를 나타내고 있지만 이에 한정되지 않고, 산화물 반도체층 위에 게이트 절연막과 게이트 전극을 순서대로 구비하는 톱 게이트형의 TFT여도 된다. 톱 게이트형 TFT에 있어서도, 제2 산화물 반도체층과 에치 스토퍼층의 사이에 제1 산화물 반도체층을 개재시키면 된다.
- [0097] 도 4에서는, 기관(1) 위에 게이트 전극(2) 및 게이트 절연막(3)이 형성되고, 그 위에 제2 산화물 반도체층(4)이 형성되어 있다. 제2 산화물 반도체층(4) 위에는 제1 산화물 반도체층(4A)이 형성되고, 또한 그 위에는 에치 스토퍼층(8), 소스-드레인 전극(5)이 형성되고, 그 위에 보호막(절연막)(6)이 형성되며, 콘택트 홀(7)을 통해 투명 도전막(도시생략)이 드레인 전극(5)에 전기적으로 접속되어 있다.
- [0098] 기관(1) 위에 게이트 전극(2) 및 게이트 절연막(3)을 형성하는 방법은 특별히 한정되지 않으며, 통상적으로 이용되는 방법을 채용할 수 있다. 또한, 게이트 전극(2) 및 게이트 절연막(3)의 종류도 특별히 한정되지 않으며, 범용되고 있는 것을 사용할 수 있다. 예를 들어 게이트 전극으로서, 전기 저항률이 낮은 Al이나 Cu의 금속이나, 내열성이 높은 Mo, Cr, Ti 등의 고용점 금속이나, 이들 합금을 바람직하게 사용할 수 있다. 또한, 게이트 절연막(3)으로서, 실리콘 질화막(SiN), 실리콘 산화막(SiO₂), 실리콘 산질화막(SiON) 등이 대표적으로 예시된다. 그 밖에, Al₂O₃이나 Y₂O₃ 등의 산화물이나, 이들을 적층한 것을 사용할 수도 있다.
- [0099] 계속해서 산화물 반도체층[기관층으로부터 순서대로 제2 산화물 반도체층(4), 제1 산화물 반도체층(4A)]을 형성한다. 제2 산화물 반도체층(4)도 IZTO 타깃을 사용한 DC 스퍼터링법 또는 RF 스퍼터링법에 의해 성막할 수 있다. 마찬가지로 제1 산화물 반도체층(4A)은, 제1 산화물 반도체층(4A)을 구성하는 IGZTO 타깃을 사용한 DC 스퍼터링법 또는 RF 스퍼터링법에 의해 성막할 수 있다.
- [0100] 제2 산화물 반도체층(4), 제1 산화물 반도체층(4A)을 순차적으로, 진공 일환으로 연속 성막하는 것이 바람직하다. 이때, 제1 산화물 반도체층을 상기한 조성을 만족하도록 제어하면, 스퍼터링 레이트가 향상됨과 함께 웨트 에칭 특성도 향상된다.
- [0101] 산화물 반도체층을 웨트 에칭한 후, 패터닝한다. 패터닝의 직후에, 산화물 반도체층의 막질 개선을 위해 열처리(프리 어닐)를 행하는 것이 바람직하며, 이에 의해, 트랜지스터 특성의 온 전류 및 전계 효과 이동도가 상승하고, 트랜지스터 성능이 향상하게 된다. 프리 어닐 조건으로서, 예를 들어 온도: 약 250 내지 400℃, 시간: 약 10분 내지 1시간 등을 들 수 있다.
- [0102] 프리 어닐의 후, 에치 스토퍼층(8)을 형성한다. 에치 스토퍼층(8)은 일반적으로 SiO₂ 등의 절연막이 사용된다. 에치 스토퍼층(8)을 형성하지 않고, 소스-드레인 전극(5)을 형성하면, 소스-드레인 전극(5)에 에칭을 실시할 때

산화물 반도체층이 대미지를 받아 트랜지스터 특성이 저하될 우려가 있다. 에치 스토퍼층(8)의 종류는 특별히 한정되지 않으며, 범용되고 있는 것을 사용하면 되고, 예를 들어 보호막과 마찬가지로, SiO₂ 등으로 형성하면 된다.

[0104] *소스-드레인 전극(5)의 종류는 특별히 한정되지 않으며, 범용되고 있는 것 사용할 수 있다. 예를 들어 게이트 전극과 마찬가지로 Mo이나 Al, Cu 등의 금속 또는 합금을 사용하여도 된다. 전극의 형성은 스퍼터링법이 널리 이용된다.

[0105] 소스-드레인 전극(5)의 형성 방법으로서, 예를 들어 마그네트론 스퍼터링법에 의해 금속 박막을 성막한 후, 포토리소그래피에 의해 패터닝하고, 웨트 에칭을 행하여 전극을 형성할 수 있다.

[0106] 다음으로, 산화물 반도체층(4A), 소스-드레인 전극(5) 위에 보호막(6)을 CVD(Chemical Vapor Deposition)법에 의해 성막한다. 보호막(6)은 SiO₂이나 SiON, SiN 등이 사용된다. 또한, 스퍼터링법을 이용하여 보호막(6)을 형성하여도 된다.

[0107] 다음으로, 통상의 방법에 기초하여, 콘택트 홀(7)을 통해 투명 도전막을 드레인 전극(5)에 전기적으로 접속한다. 투명 도전막 및 드레인 전극의 종류는 특별히 한정되지 않으며, 통상적으로 이용되는 것을 사용할 수 있다. 드레인 전극으로서, 예를 들어 전술한 소스-드레인 전극에서 예시한 것을 사용할 수 있다.

[0108] 실시예

[0109] 이하, 실시예를 들어 본 발명을 보다 구체적으로 설명하지만, 본 발명은 본디 하기 실시예에 의해 제한을 받는 것이 아니라, 상기·후기의 취지에 적합할 수 있는 범위에서 적당히 변경을 가하여 실시하는 것도 물론 가능하며, 그들은 모두 본 발명의 기술적 범위에 포함된다.

[0110] 실시예 1(BCE형)

[0111] (스트레스 내성의 평가)

[0112] 산화물 반도체층을 갖는 TFT(도 1, 3)를 제작하고, 스트레스 내성을 평가하였다.

[0113] 우선, 유리 기판(1)(코닝사 제조 이글 XG, 직경 100mm×두께 0.7mm) 위에 게이트 전극(2)으로서 Mo 박막을 100nm 및 게이트 절연막(3)으로서 SiO₂(200nm)를 순차적으로 성막하였다. 게이트 전극(2)은 순 Mo의 스퍼터링 타깃을 사용하고, DC 스퍼터(스퍼터)법에 의해, 성막 온도: 실온, 성막 파워: 300W, 캐리어 가스: Ar, 가스압: 2mTorr, Ar 가스 유량: 20sccm에서 성막하였다. 또한, 게이트 절연막(3)은 플라즈마 CVD법을 이용하고, 캐리어 가스: SiH₄와 N₂O의 혼합 가스, 성막 파워: 100W, 성막 시의 가스압: 133Pa, 성막 온도: 320℃에서 성막하였다.

[0114] 다음으로, 표 1에 나타내는 조성 및 구조의 산화물 반도체층을, 산화물 반도체층의 조성에 따른 조성을 갖는 산화물 스퍼터링 타깃을 사용하여 하기 조건의 스퍼터링법에 의해 소정의 막 두께로 성막하였다.

[0115] 구체적으로는 표 1 중, No. 1(종래예)은 도 1의 구성예이며, 상기 산화물 반도체층(4)으로서 아몰퍼스 IZTO의 산화물 반도체층[In:Zn:Sn(원자%비)=20:56.7:23.3, 단층]을 게이트 절연막(3) 위에 성막하였다[제1 산화물 반도체층(4A)은 성막하지 않음].

[0116] No. 2는 도 3의 구성예이며, 게이트 절연막(3) 위에 제2 산화물 반도체층(4)(IZTO: 원자%비는 No. 1과 동일함)을 성막하고 나서, 제1 산화물 반도체층(4A)[In: Ga: Zn: Sn(원자%비)=21.1:16.7:53.3:8.9]을 성막하였다.

[0117] 산화물 반도체층을 구성하는 제2 산화물 반도체층(4)과 제1 산화물 반도체층(4A)의 성막은 도중에 챔버를 대기 개방하지 않고, 연속적으로 성막을 행하였다.

[0118] 이와 같이 하여 얻어진 산화물 반도체층 중의 금속 원소의 각 함유량은, XPS(X-ray Photoelectron Spectroscopy)법에 의해 분석하였다. 제1, 제2 산화물 반도체층의 금속 원소 함유량은, 성막에 사용한 산화물 스퍼터링 타깃 중의 금속 원소의 함유량과 조성비는 동일하였다.

[0119] 제2 산화물 반도체층(4), 제1 산화물 반도체층(4A)의 성막은 모두 DC 스퍼터링법을 이용하여 성막하였다. 스퍼터링에 사용한 장치는 알박사 제조 「CS-200」이며, 스퍼터링 조건은 이하와 같다.

[0120] 기판 온도: 실온

- [0121] 가스압: 1mTorr
- [0122] 산소 분압: $O_2/(Ar+O_2) \times 100=4\%$
- [0123] 성막 파워 밀도: $2.55W/cm^2$
- [0124] 상기와 같이 하여 산화물 반도체층을 성막한 후, 포토리소그래피 및 웨트 에칭에 의해 패터닝을 행하였다. 웨트 에칭액으로서, 간토카가쿠사 제조 「ITO-07N」을 사용하였다. 이때, 제1과 제2 산화물 반도체층의 사이에 웨트 에칭 레이트 차에 의한 현저한 단차는 없으며, TFT 디바이스로서 산화물 반도체층을 적정하게 웨트 에칭할 수 있었음을 확인하였다.
- [0125] 산화물 반도체층을 패터닝한 후, 막질을 향상시키기 위해 프리 어닐 처리를 행하였다. 프리 어닐은, 대기 분위기하 350℃에서 1시간 행하였다.
- [0126] 다음으로, 순 Mo을 사용하고, 리프트 오프법에 의해 소스-드레인 전극(5)을 형성하였다. 구체적으로는 포토레지스트를 사용하여 패터닝을 행한 후, Mo 박막을 DC 스퍼터링법에 의해 성막(막 두께는 100nm)하였다. 소스-드레인 전극용 Mo 박막의 성막 조건은 상기 게이트 전극과 동일하게 하였다. 그 후, 포토리소그래피 및 웨트 에칭에 의해 패터닝하였다. 웨트 에칭액에는, 나가세 캄텍스사 제조 「AC101」을 사용하였다. 구체적으로는 혼산 에칭액(AC101:순수=1:0.75)를 사용하여 액온을 실온으로 유지하면서 패터닝을 확실하게 행하고, 또한 소스-드레인 전극의 단락을 방지하기 위해, 막 두께에 대하여 20% 상당의 오버 에칭을 행하였다. 계속해서, 아세톤액 내에서 초음파 세정기에 걸어 불필요한 포토레지스트를 제거하고, TFT의 채널 길이를 10 μ m, 채널 폭을 25 μ m로 하였다.
- [0127] 이와 같이 하여 소스-드레인 전극(5)을 형성한 후, 그 위에 산화물 반도체층을 보호하는 보호막(6)을 형성하였다. 보호막(6)으로서, SiO₂(막 두께 100nm)과 SiN(막 두께 150nm)의 적층막(합계 막 두께 350nm)을 사용하였다. 상기 SiO₂ 및 SiN의 형성은, 삼코사 제조 「PD-220NL」을 사용하고, 플라즈마 CVD법을 이용하여 행하였다. 본 실시예에서는, N₂O 가스에 의해 플라즈마 처리를 행한 후, SiO₂막 및 SiN막을 순차 형성하였다. SiO₂막의 형성에는 N₂O 및 SiH₄의 혼합 가스를 사용하고, SiN막의 형성에는 SiH₄, N₂, NH₃의 혼합 가스를 사용하였다. 어느 경우나 성막 파워를 100W, 성막 온도를 150℃로 하였다.
- [0128] 다음으로 포토리소그래피 및 드라이 에칭에 의해, 보호막(6)에 트랜지스터 특성 평가용 프로빙을 위한 콘택홀(7)을 형성하였다.
- [0129] 이와 같이 하여 얻어진 각 TFT에 대하여, 이하와 같이 하여 광 조사와 부 바이어스 스트레스 인가 후의 스트레스 내성을 평가하였다.
- [0130] 본 실시예에서는, 게이트 전극에 부 바이어스를 가하면서 광(백색광)을 조사하는 스트레스 인가 시험을 행하였다. 스트레스 인가 조건은 이하와 같다. 광의 파장으로서, 산화물 반도체의 밴드 겹에 가깝고, 트랜지스터 특성이 변동하기 쉬운 400nm 정도를 선택하였다.
- [0131] 게이트 전압: -20V
- [0132] 기관 온도: 60℃
- [0133] 광 스트레스
- [0134] 파장: 400nm
- [0135] 조도(TFT에 조사되는 광의 강도): 0.1 μ W/cm²
- [0136] 광원: OPTOSUPPLY사 제조 LED(ND 필터에 의해 광량을 조정)
- [0137] 스트레스 인가 시간: 2시간
- [0138] 본 실시예에서는, 2시간의 스트레스 인가에 있어서의 임계값 전압의 변동값을 임계값 전압 시프트량 ΔV_{th} 로 하고, TFT 특성에 있어서의 스트레스 내성의 지표로 하였다. 실시예 1에서는 ΔV_{th} (절댓값)이 12.25V 이하(No. 1의 ΔV_{th} 이하의 값)인 경우를 합격(판정: ○)으로 하였다.

표 1

시료 No.	반도체층 구조 (제1 산화물 반도체층/제2 산화물 반도체층)	구성도	ΔV_{th} (V)	판정
1	IZTO(40nm)	도 1	12.25	-
2	IGZTO(20nm) / IZTO (20nm)	도 3	9.50	O

[0139]

[0140]

No. 1은 종래예(도 1)이며, 스트레스 인가 개시 후, 임계값 전압은 부측으로 크게 시프트하고 있으며, 2시간 경과 후의 임계값 전압의 변화량(ΔV_{th})은 12.25V였다. 한편, No. 2(도 3)에서는 스트레스 인가 시간 2시간 경과 후의 임계값 전압의 변화량은 No. 1의 값을 하회하고 있으며, 종래예와 비교하여 양호한 스트레스 내성을 나타내었다.

[0141]

실시예 2(BCE형)

[0142]

(웨트 에칭 특성의 평가)

[0143]

웨트 에칭 특성을 평가하기 위해 산화물 반도체층을 적층 구조로 하지 않고, 제1, 제2 산화물 반도체층, 순 Mo막의 각각에 대하여, 산화물 반도체 가공용 에칭액 또는 소스-드레인 전극용 에칭액을 사용하였을 때의 에칭 레이트를 측정하였다. 그리고, 산화물 반도체 가공용 에칭액에 대한 웨트 에칭성(제1 산화물 반도체층과 제2 산화물 반도체층의 에칭 레이트 차), 소스-드레인 전극용 에칭액에 대한 웨트 에칭 내성(제1 산화물 반도체층과 순 Mo막의 에칭 레이트 차)을 평가하였다.

[0144]

본 발명의 적층 구조에 사용하는 제1 산화물 반도체층에 대하여, 이하와 같이 하여 시료를 제작하고, 웨트 에칭 특성을 평가하였다.

[0145]

실시예 1과 마찬가지로 하여 유리 기판에 게이트 전극(Mo), 게이트 절연막(SiO_2)을 순차 성막하였다. 다음으로 In_2O_3 , Ga_2O_3 , ZnO 및 SnO_2 의 4개의 타깃을 기판의 주위에 배치하고, 정지하고 있는 기판에 제1 산화물 반도체층

(막 두께 40nm)을 상기 실시예 1의 제1 산화물 반도체층의 스퍼터링 조건과 동일한 조건의 스퍼터링법으로 성막하였다.

- [0146] 이와 같은 성막 방법에 의하면, IGZTO의 조성비를 기판 위의 위치에 따라 바꿀 수 있다. 즉, 타깃으로부터 멀어짐에 따라서 막 내의 타깃 구성 원소의 비율이 저하된다. 예를 들어 SnO₂ 타깃에 가까운 위치에서는, 조성은 In:Ga:Zn:Sn=13.9:9.6:55.8:20.7로 되지만(표 2의 No. 9), 기판 중앙에서는 In:Ga:Zn:Sn=5.6:39.8:38.9:15.7로 된다(No. 6). 또한 ZnO 타깃에 가까운 위치에서는 In:Ga:Zn:Sn=6.0:15.0:73.0:6.0으로 된다(No. 5).
- [0147] 또한, 이러한 성막 방법은 종래부터 최적의 조성비를 조사하는 방법으로서 확립되어 있다.
- [0148] 또한 제2 산화물 반도체층에 상당하는 IZTO[In:Zn:Sn(원자%비)=20:56.7:23.3], 상기 소스-드레인 전극에 상당하는 순 Mo막도 마찬가지로 하여 시료를 각각 제작하고(성막 조건은 각각 실시예 1과 동일함), 각 웨트 에칭액에 대한 웨트 에칭 특성을 조사하였다.
- [0149] 상기 각 시료의 웨트 에칭 특성은, (가) 산화물 반도체 가공용 웨트 에칭액 [간토카카쿠사 제조 「ITO-07N」, 액은: 실온] 내에, 상기 시료를 침지하여 에칭을 행하였다. 에칭 전후의 산화물 반도체층의 막 두께 변화(깍임량)를 측정하고, 에칭 시간과의 관계에 기초하여, 에칭 속도를 산출하였다.
- [0150] 또한 (나) 소스-드레인 전극용 웨트 에칭액[나가세 캠펙스사 제조 「AC101」 과 순수의 혼산 에천트(AC101:순수=1:0.75), 액은: 실온] 내에, 상기 시료를 침지하여 에칭을 행하고, 마찬가지로 하여 에칭 속도를 산출하였다.
- [0151] 또한, 산화물 반도체 가공용 웨트 에칭액에 대한 제2 반도체층에 상당하는 IZTO막의 에칭 레이트는 49nm/분이었다. 또한 소스-드레인 전극용 웨트 에칭액에 대한 소스-드레인 전극에 상당하는 순 Mo막의 에칭 레이트는 300nm/분이었다.
- [0152] 제1 산화물 반도체층에 상당하는 IGZTO막과 제2 산화물 반도체층에 상당하는 IZTO막의 에칭 레이트비가 0.1 내지 4배인 경우, (가) 산화물 반도체 가공용 웨트 에칭액에 대한 웨트 에칭성이 양호(○)하다고 평가하고, 상기 에칭 레이트비가 상기 범위 밖인 경우를 불량(×)이라 평가하였다.
- [0153] 또한 제1 산화물 반도체층의 에칭 레이트가 순 Mo막의 에칭 레이트에 대하여 1/2 이하이면, (나) 소스-드레인 전극용 웨트 에칭액에 대한 웨트 에칭 내성이 양호(○)하다고 평가하고, 1/2 초과인 경우를 상기 웨트 에칭 내성이 불량(×)이라 평가하였다.
- [0154] (스트레스 내성의 평가)
- [0155] 또한, 표 2의 각 시료의 조성비를 갖는 타깃을 사용하고, 제1 산화물 반도체층을 성막한 이외에는, 상기 실시예 1의 제조 방법에 기초하여 TFT(도 3: BCE형)를 제작하여, 상기 실시예 1과 동일한 기준으로 스트레스 내성을 시험하였다. 또한, 실시예 2에서는, 임계값 전압의 변화가 8.0V 이하인 경우를 스트레스 내성이 양호하다고 평가하였다.
- [0156] (종합 평가)
- [0157] 상기 웨트 에칭 특성, 및 스트레스 내성의 결과에 기초하여 하기 기준으로 판정하였다.
- [0158] ○: 스트레스 내성 $\Delta V_{th} \leq 8.0V$, 또한
- [0159] 웨트 에칭 특성
- [0160] (가) 산화물 반도체층용 에칭액: ○ 평가
- [0161] (나) 소스-드레인 전극용 웨트 에칭액: ○ 평가
- [0162] ×: 상기 ○ 평가 이외
- [0163] 또한, 상기 「 $\Delta V_{th} \leq 8.0V$ 」는, 제2 산화물 반도체층 단층의 경우와 비교하여 스트레스 내성이 양호하다고 평가할 수 있는 기준이다.

표 2

시료 No.	In(%)	Ga (%)	Zn (%)	Sn (%)	ΔVth (V)	산화물 반도체 가공용 에칭액 IZTO에 대한 비	소스-드레인 전극용 에칭액 Mo에 대한 비	판정
1	1.9	57.9	34.1	6.2	8.25	x	x	x
2	3.4	49.5	36.8	10.2	4.25	o	o	o
3	3.2	46.4	47.1	8.3	3.75	o	o	o
4	2.9	42.7	47.7	6.7	11.00	x	x	x
5	6.0	13.0	73.0	6.0	6.00	o	o	x
6	5.6	38.8	38.9	15.7	6.50	o	o	o
7	16.6	16.8	47.2	19.4	6.50	o	o	o
8	3.0	49.5	38.3	9.3	3.75	o	o	o
9	13.9	9.8	55.8	20.7	7.70	o	o	o
10	24.0	8.0	55.0	12.0	4.50	o	o	o

[0164]

[0165]

No. 2, 3, 6 내지 10은, 본 발명의 제1 산화물 반도체층에 포함되는 성분 조성을 규정의 범위 내에서 제어한 예이며, 우수한 스트레스 내성과 에칭 특성을 갖고 있었다.

[0166]

No. 1은, Zn 및 Sn의 함유량이 적은 예이다. Zn 함유량이 적은 No. 1에서는, IZTO에 대해서는 에칭 속도가 느렸기 때문에, 산화물 반도체 가공용 웨트 에칭액에 대한 웨트 에칭성이 나빴다. 또한 Sn이 적었기 때문에, 소스-드레인 전극용 웨트 에칭액에 대하여 제1 산화물 반도체층이 용출되어 버렸다.

[0167]

No. 4는, Sn 함유량이 적은 예이다. No. 1과 동일하게, Sn이 적었기 때문에, 소스-드레인 전극용 웨트 에칭액에 대하여 제1 산화물 반도체층이 용출되어 버렸다.

[0168]

No. 5는, 제1 산화물 반도체층의 Zn 함유량이 많고, Sn이 적은 예이다. Zn 함유량이 많기 때문에, IZTO보다도 제1 산화물 반도체층의 에칭 속도가 빨랐다. 또한 Sn이 적었기 때문에, 소스-드레인 전극용 웨트 에칭액에 대하여 제1 산화물 반도체층이 용출되어 버렸다.

[0169]

실시예 3(ESL형)

[0170]

산화물 반도체층을 갖는 TFT(도 2, 도 4, 도 5)를 제작하고, 스트레스 내성을 평가하였다.

[0171]

우선, 유리 기판(1)(코닝사 제조 이글 XG, 직경 100mm×두께 0.7mm) 위에 게이트 전극(2)으로서 Mo 박막을 100

nm, 및 게이트 절연막(3)으로서 SiO₂(200nm)를 순차 성막하였다. 게이트 전극(2)은 순 Mo의 스퍼터링 타깃을 사용하고, DC 스퍼터링법에 의해, 성막 온도: 실온, 성막 파워: 300W, 캐리어 가스: Ar, 가스압: 2mTorr, Ar 가스 유량: 20sccm에서 성막하였다. 또한, 게이트 절연막(3)은 플라즈마 CVD법을 이용하고, 캐리어 가스: SiH₄와 N₂O의 혼합 가스, 성막 파워: 100W, 성막 시의 가스압: 133Pa, 성막 온도: 320℃에서 성막하였다.

[0172] 다음으로, 표 3에 나타내는 조성 및 구조의 산화물 반도체층을, 산화물 반도체층의 조성에 따른 조성을 갖는 산화물 스퍼터링 타깃을 사용하여 하기 조건의 스퍼터링법에 의해 소정의 막 두께로 성막하였다.

[0173] 구체적으로는 표 3 중, No. 1(종래예)은 도 2의 구성예이며, 상기 산화물 반도체층(4)으로서 아몰퍼스 IZTO의 산화물 반도체층[In:Zn:Sn(원자%비)=20:56.7:23.3, 단층]을 게이트 절연막(3) 위에 성막하였다[제1 산화물 반도체층(4A)은 성막하고 있지 않음].

[0174] No. 2 내지 5는 도 4의 구성예이며, 게이트 절연막(3) 위에 제2 산화물 반도체층(4)(IZTO:원자%비는 No. 1과 동일함)을 성막하고 나서, 제1 산화물 반도체층(4A)(원자%비 In:Ga:Zn:Sn=21.1:16.7:53.3:8.9)을 성막하였다.

[0175] No. 6은 도 5의 구성예이며, 게이트 절연막(3) 위에 제1 산화물 반도체층(4A)(IGZTO:원자%비는 No. 2 내지 5와 동일함)을 성막하고 나서, 제2 산화물 반도체층(4)(원자%비는 No. 1과 동일함)을 성막하였다.

[0176] No. 7(종래예)은 도 2의 구성예이며, 상기 산화물 반도체층(4)으로서, 상기 No. 1과 성분 조성이 서로 다른 아몰퍼스 IZTO의 산화물 반도체층(원자%비 In:Zn:Sn=30:49.6:20.4, 단층)을 게이트 절연막(3) 위에 성막하였다 [제1 산화물 반도체층(4A)은 성막하고 있지 않음].

[0177] 또한 No. 8 내지 19는 도 4의 구성예이며, 게이트 절연막(3) 위에 제2 산화물 반도체층(4)(IZTO:원자%비는 No. 7과 동일함)을 성막하고 나서, 표 3에 나타내는 성분 조성의 제1 산화물 반도체층(4A)을 성막하였다.

[0178] No. 2 내지 6 및 8 내지 19의 산화물 반도체층을 구성하는 제2 산화물 반도체층(4)과 제1 산화물 반도체층(4A)의 성막은 도중에 챔버를 대기 개방하지 않고, 연속적으로 성막을 행하였다. 또한 이와 같이 하여 얻어진 산화물 반도체층 중의 금속 원소의 각 함유량은, XPS(X-ray Photoelectron Spectroscopy)법에 의해 분석하였다. 제1, 제2 산화물 반도체층의 금속 원소 함유량은, 성막에 사용한 산화물 스퍼터링 타깃 중의 금속 원소의 함유량과 조성비가 동일하였다.

[0179] 제2 산화물 반도체층(4), 제1 산화물 반도체층(4A)의 성막은 모두 DC 스퍼터링법을 이용하여 성막하였다. 스퍼터링에 사용한 장치는 알박사 제조 「CS-200」이며, 스퍼터링 조건은 이하와 같다.

[0180] 기판 온도: 실온

[0181] 가스압: 1mTorr

[0182] 산소 분압: O₂/(Ar+O₂)×100=4%

[0183] 성막 파워 밀도: 2.55W/cm²

[0184] 상기한 바와 같이 하여 산화물 반도체층을 성막한 후, 포토리소그래피 및 웨트 에칭에 의해 패터닝을 행하였다. 웨트 에칭트액으로서, 간토카카쿠사 제조 「ITO-07N」을 사용하였다. 이때, 제1과 제2 산화물 반도체층의 사이에 웨트 에칭 레이트 차에 의한 현저한 단차는 없으며, TFT 디바이스로서 산화물 반도체층을 적정하게 웨트 에칭할 수 있었음을 확인하였다.

[0185] 산화물 반도체층을 패터닝한 후, 막질을 향상시키기 위해 프리 어닐 처리를 행하였다. 프리 어닐은, 대기 분위기하 350℃에서 1시간 행하였다.

[0186] 다음으로 에치 스톱퍼층(8)으로서, 플라즈마 CVD법을 이용하여 채널층(산화물 반도체층) 위에 실리콘 산화막(SiO₂)을 100nm 성막하였다. 구체적으로는, 기판 온도: 200℃, 성막 파워: 100W, 캐리어 가스: SiH₄와 N₂O의 혼합 가스를 사용하여 성막하였다. 또한, 에치 스톱퍼층(8)은, 게이트 절연막과 동일한 장치를 사용하여 성막하였다.

[0187] 다음으로, 순 Mo를 사용하고, 리프트 오프법에 의해 소스-드레인 전극(5)을 형성하였다. 구체적으로는 포토레지스트를 사용하여 패터닝을 행한 후, Mo 박막을 DC 스퍼터링법에 의해 성막(막 두께는 100nm)하였다. 소스-드레인 전극용 Mo 박막의 성막 조건은 상기 게이트 전극과 동일하게 하였다. 계속해서, 아세톤액 내에서 초음파

세정기에 걸어 불필요한 포토레지스트를 제거하고, TFT의 채널 길이를 10 μm , 채널 폭을 25 μm 로 하였다.

[0188] 이와 같이 하여 소스-드레인 전극(5)을 형성한 후, 그 위에 보호막(6)을 형성하였다. 보호막(6)으로서, SiO₂ (막 두께 100nm)와 SiN(막 두께 150nm)의 적층막(합계 막 두께 350nm)을 형성하였다. 상기 SiO₂ 및 SiN의 형성은, 삼코사제 「PD-220NL」을 사용하고, 플라즈마 CVD법을 이용하여 행하였다. 본 실시예에서는, N₂O 가스에 의해 플라즈마 처리를 행한 후, SiO₂막 및 SiN막을 순차 형성하였다. SiO₂막의 형성에는 N₂O 및 SiH₄의 혼합 가스를 사용하고, SiN막의 형성에는 SiH₄, N₂, NH₃의 혼합 가스를 사용하였다. 어느 경우나 성막 파워를 100W, 성막 온도를 150℃로 하였다.

[0189] 다음으로 포토리소그래피 및 드라이 에칭에 의해, 보호막(6)에 트랜지스터 특성 평가용 프로빙을 위한 콘택트홀(7)을 형성하였다.

[0190] 이와 같이 하여 얻어진 각 TFT에 대하여, 이하와 같이 하여 광 조사와 부 바이어스 스트레스 인가 후의 스트레스 내성을 평가하였다.

[0191] 본 실시예에서는, 게이트 전극에 부 바이어스를 가하면서 광(백색광)을 조사하는 스트레스 인가 시험을 행하였다. 스트레스 인가 조건은 이하와 같다. 광의 파장으로서, 산화물 반도체의 밴드 갭에 가깝고, 트랜지스터 특성이 변동하기 쉬운 400nm 정도를 선택하였다.

[0192] 게이트 전압: -20V

[0193] 기판 온도: 60℃

[0194] 광 스트레스

[0195] 파장: 400nm

[0196] 조도(TFT에 조사되는 광의 강도): 0.1 $\mu\text{W}/\text{cm}^2$

[0197] 광원: OPTOSUPPLY사 제조 LED(ND 필터에 의해 광량을 조정)

[0198] 스트레스 인가 시간: 2시간

[0199] 본 실시예에서는, 2시간의 스트레스 인가에 있어서의 임계값 전압의 변동값을 임계값 전압 시프트량 ΔV_{th} 로 하고, TFT 특성에 있어서의 스트레스 내성의 지표로 하였다. 그리고 No. 2 내지 6에서는, ΔV_{th} (절댓값)이 4.00V 이하(No. 1의 ΔV_{th} 이하의 값)인 것을 합격(판정: ○)으로 하고, 상기 ΔV_{th} 가 4.00 초과인 것을 불합격(판정: ×)으로 하였다. 또한, No. 8 내지 19에서는, ΔV_{th} (절댓값)이 5.50V 이하(No. 7의 ΔV_{th} 이하의 값)인 것을 합격(판정: ○)으로 하고, 상기 ΔV_{th} 가 5.50V 초과인 것을 불합격(판정: ×)으로 하였다.

표 3

시료 No.	제1 산화물 반도체층					제2 산화물 반도체층					구성도	ΔV_{th} (V)	판정
	In (at%)	Ga (at%)	Zn (at%)	Sn (at%)	막 두께 (nm)	In (at%)	Zn (at%)	Sn (at%)	막 두께 (nm)				
1	-	-	-	-	0	-	-	-	-	40	도 2	4.00	-
2	-	-	-	-	35	-	-	-	-	5	도 4	0.75	○
3	-	-	-	-	30	-	-	-	-	10	도 4	0.75	○
4	21.1	16.7	53.3	8.9	20	20	56.7	23.3	20	20	도 4	0.50	○
5	-	-	-	-	10	-	-	-	-	30	도 4	2.25	○
6	-	-	-	-	10	-	-	-	-	30	도 5	0.75	○
7	-	-	-	-	0	-	-	-	-	40	도 2	5.50	-
8	-	-	-	-	10	-	-	-	-	30	도 4	5.00	○
9	19.5	44.6	24.2	11.8	20	-	-	-	-	20	도 4	3.75	○
10	-	-	-	-	30	-	-	-	-	10	도 4	2.25	○
11	-	-	-	-	10	-	-	-	-	30	도 4	6.75	×
12	14	33	38	15	20	30	49.6	20.4	20	20	도 4	5.25	○
13	-	-	-	-	30	-	-	-	-	10	도 4	4.75	○
14	-	-	-	-	10	-	-	-	-	30	도 4	7.25	×
15	15	23	44	18	20	-	-	-	-	20	도 4	6.25	×
16	-	-	-	-	30	-	-	-	-	10	도 4	5.25	○
17	-	-	-	-	10	-	-	-	-	30	도 4	8.50	×
18	17	17	47	19	20	-	-	-	-	20	도 4	6.75	×
19	-	-	-	-	30	-	-	-	-	10	도 4	5.50	○

[0200]

[0201]

No. 1은 종래예(도 2)이며, 스트레스 인가 개시 후, 임계값 전압은 부측으로 크게 시프트하고 있으며, 2시간 경과 후의 임계값 전압의 변화량(ΔV_{th})은 4.00V였다. 한편, No. 2 내지 5(도 4), 및 No. 6(도 5)에서는 스트레스 인가 시간 2시간 경과 후의 임계값 전압의 변화량은 No. 1의 값을 하회하고 있으며, 종래예와 비교하여 양호한 스트레스 내성을 나타내었다.

[0202]

또한 No. 7 내지 19는, No. 1 내지 6의 제2 산화물 반도체층(In이 20%)보다도, In 함유량이 높은 In을 30% 포함하는 IZTO를, 제2 산화물 반도체층에 사용한 예이다. No. 7은 종래예(도 2)이며, 스트레스 인가 개시 후, 임계값 전압은 부측으로 크게 시프트하고 있으며, 2시간 경과 후의 임계값 전압의 변화량(ΔV_{th})은 5.50V였다. 이에 반하여, 제1 산화물 반도체층과 제2 산화물 반도체층을 적층시키면, 상기 No. 7보다도 ΔV_{th} 는 작아지는 즉, 스트레스 내성이 향상되는 경향이 있음을 알 수 있다.

[0203]

또한, 제1 산화물 반도체 조성만으로 작성한 박막 트랜지스터의 스트레스 내성(ΔV_{th})은, Ga를 15% 이상 첨가함으로써 개선되지만, 이 제1 산화물 반도체층에, 제2 산화물 반도체층을 적층시키면, 스트레스 내성은, 제2 산화물 반도체의 영향을 받아서 변화한다.

[0204]

No. 8 내지 19의 결과로부터, 제2 산화물 반도체층으로서, No. 1 내지 6의 제2 산화물 반도체층보다도 In 함유량이 많은 In 30%의 IZTO를 적층시키는 경우, 제1 산화물 반도체층의 조성에 있어서, Ga량을 33% 이상으로 높

이면, ΔV_{th} 가 작아지게 되기 쉬운, 즉, 더 우수한 스트레스 내성이 얻어지기 쉽다는 사실을 알 수 있다.

- [0205] 또한, No. 1과 No. 7(모두 제2 산화물 반도체층을 단층으로서 형성)의 비교나, 제1 산화물 반도체층의 조성·막 두께가 유사한 No. 3 내지 5(제2 산화물 반도체층이 In을 20% 포함하는 IZTO)와 No. 17 내지 19(제2 산화물 반도체층이 In을 30% 포함하는 IZTO)의 비교로부터, 제2 산화물 반도체의 조성이 보다 In 리치(30%)인 경우(상기 No. 7이나, 상기 No. 17 내지 19), ΔV_{th} 가 커지는 경향이 있음을 알 수 있다.
- [0206] 또한 No. 8 내지 19의 결과로부터, 제2 산화물 반도체의 조성이 보다 In 리치인 경우, 제1 산화물 반도체의 막 두께가 제2 산화물 반도체의 막 두께와 동등 이상인 쪽이, ΔV_{th} 는 작아지는 경향이 있음을 알 수 있다.
- [0207] 이 결과로부터, 제2 산화물 반도체로서 In 리치의 IZTO를 사용하는 경우, 제1 산화물 반도체층의 Ga 함유량은 33% 이상(전술한 바와 같이, 정상적인 성막을 고려하여 Ga 함유량의 상한은 50at% 미만이 바람직함), 또한, 제1 산화물 반도체의 막 두께는 제2 산화물 반도체의 막 두께와 동등 이상이 바람직하다는 사실을 알 수 있다.
- [0208] 실시예 4(ESL형)
- [0209] (웨트 에칭 특성의 평가)
- [0210] 웨트 에칭 특성을 평가하기 위해 산화물 반도체층을 적층 구조로 하지 않고, 제1, 제2 산화물 반도체층에 대하여 각각의 에칭 레이트를 측정하고, 산화물 반도체 가공용 에칭액에 대한 웨트 에칭성(제1 산화물 반도체층과 제2 산화물 반도체층의 에칭 레이트 차)을 평가하였다.
- [0211] 본 발명의 적층 구조에 사용하는 제1 반도체층에 대하여, 이하와 같이 하여 시료를 제작하고, 웨트 에칭 특성을 평가하였다.
- [0212] 실시예 3과 마찬가지로 하여 유리 기판에 게이트 전극(Mo), 게이트 절연막(SiO_2)을 순차 성막하였다. 다음으로 In_2O_3 , Ga_2O_3 , ZnO, 및 SnO_2 에 4개의 타깃을 기판의 주위에 배치하고, 정지하고 있는 기판에 제1 산화물 반도체층(막 두께 40nm)을 상기 실시예 3의 제1 산화물 반도체층의 스퍼터링 조건과 동일한 조건의 스퍼터링법으로 성막하였다.
- [0213] 이와 같은 성막 방법에 의하면, IGZTO의 조성비를 기판 위의 위치에 따라 바꿀 수 있다. 즉, 타깃으로부터 멀어짐에 따라서 막 내의 타깃 구성 원소의 비율이 저하된다. 예를 들어 SnO_2 타깃에 가까운 위치에서는, 조성은 In:Ga:Zn:Sn=3.6:52.7:29.7:14.0으로 되지만(표 4의 No. 1), 기판 중앙에서는 In:Ga:Zn:Sn=5.0:35.3:49.1:10.6으로 된다(No. 10). 또한 ZnO 타깃에 가까운 위치에서는 In:Ga:Zn:Sn=10.6:13.0:60.8:15.5로 된다(No. 15).
- [0214] 또한, 이러한 성막 방법은 종래부터 최적의 조성비를 조사하는 방법으로서 확립되어 있다.
- [0215] 또한 제2 산화물 반도체층에 상당하는 IZTO[In:Zn:Sn(원자%비)=20:56.7:23.3]를 기판 위에 제작하고(성막 조건은 실시예 3의 제2 산화물 반도체층과 동일함), 상기 No. 1 내지 16과 마찬가지로 하여 웨트 에칭 특성을 조사하였다.
- [0216] 상기 각 시료의 웨트 에칭 특성은, (가) 산화물 반도체 가공용 웨트 에칭액 [간토카가쿠사 제조 「ITO-07N」, 액온: 실온] 내에, 상기 시료를 침지하여 에칭을 행하였다. 에칭 전후의 산화물 반도체층의 막 두께 변화(절삭량)를 측정하고, 에칭 시간과의 관계에 기초하여, 에칭 속도를 산출하였다.
- [0217] 또한, 산화물 반도체 가공용 웨트 에칭액에 대한 제2 반도체층에 상당하는 IZTO막의 에칭 레이트는 49nm/분이었다.
- [0218] 제1 산화물 반도체층에 상당하는 IGZTO막(No. 1 내지 16)과 제2 산화물 반도체층에 상당하는 IZTO막의 에칭 레이트비가 0.1 내지 4배인 경우, (가) 산화물 반도체 가공용 웨트 에칭액에 대한 웨트 에칭성이 양호(○)하다고 평가하고, 상기 에칭 레이트비가 상기 범위 밖인 경우를 불량(×)이라 평가하였다.
- [0219] (스트레스 내성의 평가)
- [0220] 또한, 표 4의 각 시료의 조성비를 갖는 타깃을 사용하여 제1 산화물 반도체층을 성막한 이외에는, 상기 실시예 3의 제조 방법에 기초하여 TFT(도 4: ESL 구조의 경우)를 제작하고, 상기 실시예 3과 동일한 기준으로 스트레스 내성을 평가하였다. 또한, 임계값 전압의 변화가 4.0V 이하인 경우를 스트레스 내성이 양호하다고 평가하였다.
- [0221] (종합 평가)

[0222] 상기 웨트 에칭 특성 및 스트레스 내성의 결과에 기초하여 하기 기준으로 평가하였다.

[0223] ○: 스트레스 내성 $\Delta V_{th} \leq 4.0V$, 또한

[0224] 웨트 에칭 특성 ○ 평가

[0225] ×: 상기 ○ 평가 이외

[0226] 또한, 상기 「 $\Delta V_{th} \leq 4.0V$ 」는, 제2 산화물 반도체층 단층의 경우와 비교하여 스트레스 내성이 양호하다고 평가할 수 있는 기준이다.

표 4

시료No.	In (at%)	Ga (at%)	Zn (at%)	Sn (at%)	ΔV_{th} (V)	산화물 반도체 기공용 예정액	
						IZTO에 대한 비	판정
1	3.6	52.7	29.7	14.0	2.50	×	×
2	3.4	49.5	36.8	10.2	2.50	○	○
3	3.2	46.4	42.1	8.3	1.00	○	○
4	5.8	41.4	31.8	21.0	2.75	×	×
5	5.7	40.5	36.5	17.3	2.50	○	○
6	5.3	37.9	43.9	13.0	1.25	○	○
7	16.6	16.8	47.2	19.4	0.50	○	○
8	13.9	9.6	55.8	20.7	1.75	○	○
9	21.1	16.7	53.3	8.9	2.75	○	○
10	5.0	35.3	49.1	10.6	0.75	○	○
11	4.3	30.5	57.4	7.8	2.75	○	○
12	7.8	26.8	49.6	15.7	0.50	○	○
13	7.7	12.4	69.4	10.4	4.50	×	×
14	12.5	15.3	48.6	23.5	2.00	○	○
15	10.6	13.0	60.8	15.5	3.75	○	○
16	24.0	7.9	55.0	12.0	4.50	○	×

[0227]

[0228] No. 2, 3, 5 내지 12, 14, 15는 본 발명의 제1 산화물 반도체층에 포함되는 성분 조성을 규정의 범위 내에서 제어한 예이며, 우수한 스트레스 내성과 웨트 에칭 특성을 갖고 있었다.

[0229] No. 1은, Zn 함유량이 적은 예이다. Zn 함유량이 적은 No. 1에서는, 에칭 속도가 느렸기 때문에, 웨트 에칭 특성이 나빴다.

[0230] No. 13은, Zn 함유량이 많은 예이며, IZTO로 이루어지는 제2 산화물 반도체층보다도, 제1 산화물 반도체층의 에칭 레이트가 너무 빨랐기 때문에, 사이드 에칭이 커지게 되어, 원하는 형상으로 패터닝할 수 없었다.

[0231] No. 16은, 제1 산화물 반도체층에 포함되는 Ga 함유량이 규정을 하회하는 예이며, IZTO로 이루어지는 제2 산화

물 반도체층과의 에칭 레이트비는 양호하였지만, 스트레스 내성이 불충분하였다.

[0232]

본 출원은, 2012년 6월 6일에 출원된 일본 특허출원 제2012-129399호에 기초하는 우선권의 이익을 주장하는 것이다. 2012년 6월 6일에 출원된 일본 특허출원 제2012-129399호 명세서의 전체 내용이, 본 출원에 참고를 위해 인용된다.

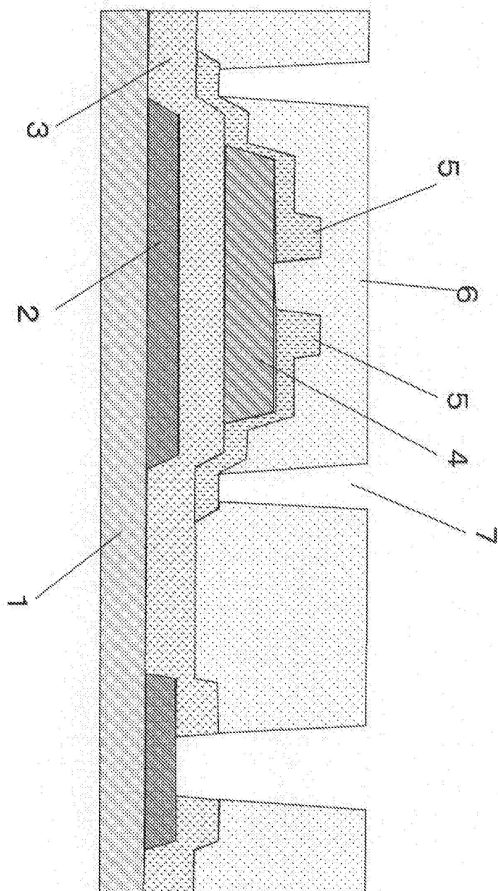
부호의 설명

[0233]

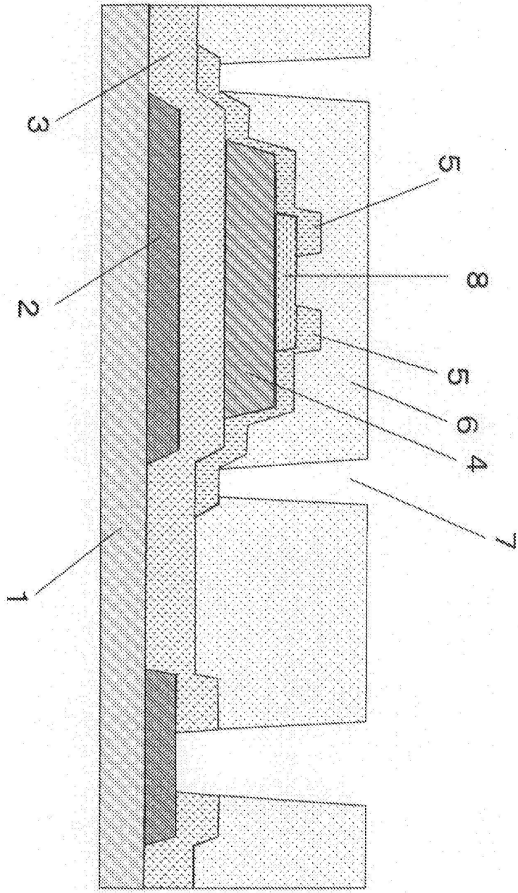
- 1: 기판
- 2: 게이트 전극
- 3: 게이트 절연막
- 4: 제2 산화물 반도체층
- 4A: 제1 산화물 반도체층
- 5: 소스-드레인 전극
- 6: 보호막(절연막)
- 7: 콘택트 홀
- 8: 에치 스톱퍼층

도면

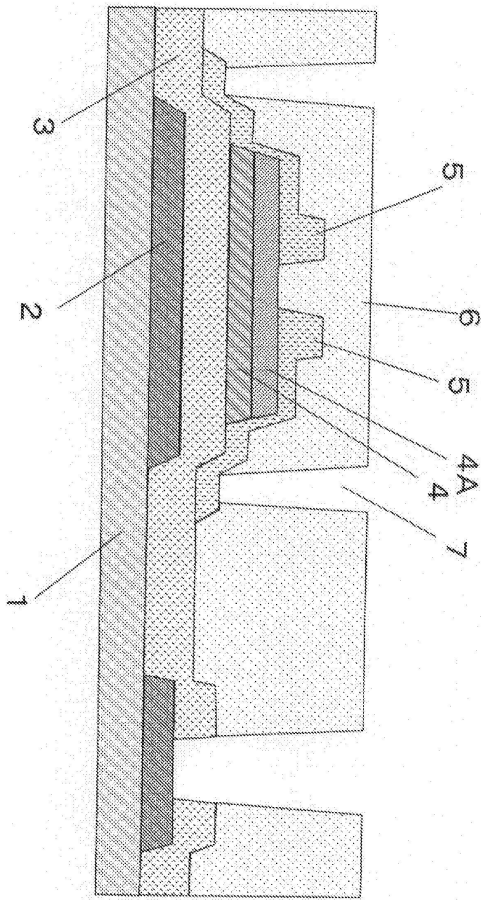
도면1



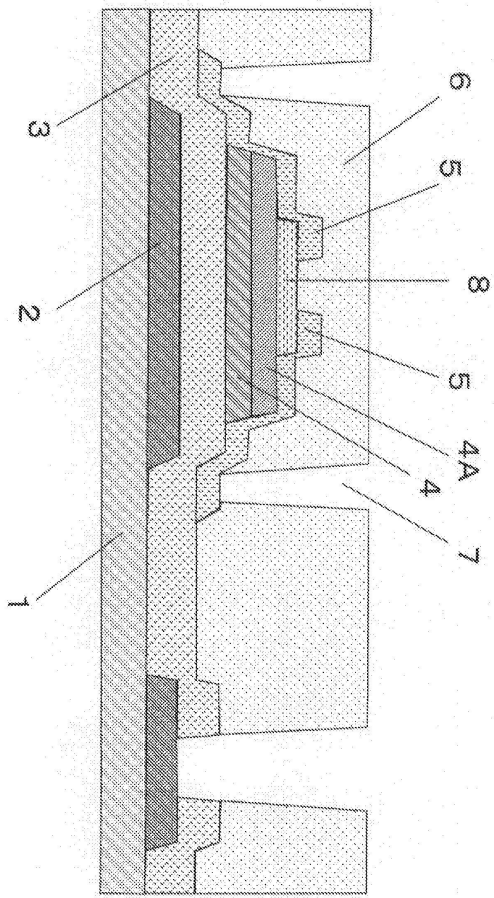
도면2



도면3



도면4



도면5

