

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6077773号
(P6077773)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

(51) Int.Cl.		F I			
HO 1 L 23/36	(2006.01)	HO 1 L 23/36		D	
HO 1 L 23/40	(2006.01)	HO 1 L 23/40		F	
HO 1 L 25/07	(2006.01)	HO 1 L 25/04		C	
HO 1 L 25/18	(2006.01)				

請求項の数 25 (全 41 頁)

(21) 出願番号	特願2012-160165 (P2012-160165)	(73) 特許権者	000116024
(22) 出願日	平成24年7月19日 (2012.7.19)		ローム株式会社
(65) 公開番号	特開2014-22579 (P2014-22579A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成26年2月3日 (2014.2.3)	(74) 代理人	100083806
審査請求日	平成27年7月10日 (2015.7.10)		弁理士 三好 秀和
前置審査		(72) 発明者	大嶽 浩隆
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	原田 貴志

最終頁に続く

(54) 【発明の名称】 パワーモジュール半導体装置

(57) 【特許請求の範囲】

【請求項 1】

セラミック基板と、
前記セラミック基板の表面上に配置された第1銅プレート層と、
前記第1銅プレート層上に配置された接合層と、
前記第1銅プレート層上に配置され、前記接合層を介して前記第1銅プレート層と接続された金属板と、
前記金属板上に配置された第1半導体デバイスと、
前記第1半導体デバイス上に配置された第1柱状電極と
を備え、
前記金属板は、それが無い場合と比較して、熱抵抗が低くなる厚さで前記第1柱状電極の厚みよりも薄く、且つ、前記第1半導体デバイスに近づくにつれて断面積が小さくなることを特徴とするパワーモジュール半導体装置。

【請求項 2】

接合温度を T_{jmax} 、ケース温度を T_c 、発熱量を $P_{th}(W)$ として、実質的な熱抵抗 $R_{th}(\text{ } / W)$ を次式で表し、

$$R_{th}(\text{ } / W) = (T_{jmax} - T_c) / P_{th}$$

前記金属板の厚さを $TH1$ 、熱伝導率を λ 、前記金属板と前記第1半導体デバイスとの接合面積を S として、 $R_{th}(\text{ } / W)$ が $0.31(\text{ } / W)$ 以下であり、前記金属板の厚さ $TH1$ は、

TH1 0.31 (/ W) S

を満足することを特徴とする請求項 1 に記載のパワーモジュール半導体装置。

【請求項 3】

前記金属板は、平面視で前記第 1 半導体デバイスよりも面積が大きいことを特徴とする請求項 1 または 2 に記載のパワーモジュール半導体装置。

【請求項 4】

前記第 1 半導体デバイスは複数配置され、前記金属板は、前記複数の第 1 半導体デバイス間の対向領域のすくなくとも一部に熱干渉抑制用の溝部を有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のパワーモジュール半導体装置。

【請求項 5】

前記溝部は、前記第 1 銅プレート層表面まで貫通していることを特徴とする請求項 4 に記載のパワーモジュール半導体装置。

【請求項 6】

前記第 1 半導体デバイスは複数配置され、前記金属板は、前記複数の第 1 半導体デバイス毎に個別に配置されることを特徴とする請求項 1 に記載のパワーモジュール半導体装置。

【請求項 7】

前記接合層は、金属粒子接合層であることを特徴とする請求項 1 に記載のパワーモジュール半導体装置。

【請求項 8】

前記金属粒子接合層は、一部が酸化防止膜で覆われていることを特徴とする請求項 7 に記載のパワーモジュール半導体装置。

【請求項 9】

前記接合層は、固相拡散層であることを特徴とする請求項 1 に記載のパワーモジュール半導体装置。

【請求項 10】

前記金属粒子接合層は、導電性粒子を含むペースト層を焼成して形成されたことを特徴とする請求項 7 または 8 に記載のパワーモジュール半導体装置。

【請求項 11】

前記導電性粒子は、金属微粒子であることを特徴とする請求項 10 に記載のパワーモジュール半導体装置。

【請求項 12】

前記金属微粒子は、銀ナノ粒子、金ナノ粒子、ニッケルナノ粒子または銅ナノ粒子のいずれかであることを特徴とする請求項 11 に記載のパワーモジュール半導体装置。

【請求項 13】

前記第 1 銅プレート層の第 1 パターン上に前記第 1 半導体デバイスに隣接して配置された第 1 ダイオードを備えることを特徴とする請求項 1 に記載のパワーモジュール半導体装置。

【請求項 14】

前記第 1 柱状電極上に配置され、かつ前記第 1 ダイオードのアノード電極に接続された第 1 上面板電極を備えることを特徴とする請求項 13 に記載のパワーモジュール半導体装置。

【請求項 15】

前記第 1 銅プレート層の第 3 パターン上に配置された第 2 半導体デバイスを備えることを特徴とする請求項 1 に記載のパワーモジュール半導体装置。

【請求項 16】

前記第 3 パターン上に前記第 2 半導体デバイスに隣接して配置された第 2 ダイオードを備えることを特徴とする請求項 15 に記載のパワーモジュール半導体装置。

【請求項 17】

前記第 2 半導体デバイス上に配置された第 2 柱状電極を備えることを特徴とする請求項

10

20

30

40

50

1 6 に記載のパワーモジュール半導体装置。

【請求項 1 8】

前記第 2 柱状電極の厚さは、前記第 1 半導体デバイス上に配置された第 1 柱状電極の厚さと異なることを特徴とする請求項 1 7 に記載のパワーモジュール半導体装置。

【請求項 1 9】

前記第 2 柱状電極上に配置され、かつ前記第 2 ダイオードのアノード電極に接続された第 2 上面板電極を備えることを特徴とする請求項 1 7 に記載のパワーモジュール半導体装置。

【請求項 2 0】

前記金属板は、CuMo 若しくは Cu で形成されることを特徴とする請求項 1 ~ 1 8 のいずれか 1 項に記載のパワーモジュール半導体装置。

10

【請求項 2 1】

前記セラミック基板は、Al₂O₃、AlN、SiN、AlSiC、若しくは少なくとも表面が絶縁性の SiC で形成されることを特徴とする請求項 1 ~ 2 0 のいずれか 1 項に記載のパワーモジュール半導体装置。

【請求項 2 2】

前記第 1 柱状電極および前記第 2 柱状電極は、CuMo 若しくは Cu であることを特徴とする請求項 1 7 に記載のパワーモジュール半導体装置。

【請求項 2 3】

第 1 上面板電極および前記第 2 上面板電極は、CuMo 若しくは Cu であることを特徴とする請求項 1 9 に記載のパワーモジュール半導体装置。

20

【請求項 2 4】

前記パワーモジュール半導体装置は、トランスファモールド樹脂により被覆されることを特徴とする請求項 1 ~ 2 3 のいずれか 1 項に記載のパワーモジュール半導体装置。

【請求項 2 5】

前記第 1 半導体デバイスおよび前記第 2 半導体デバイスは、SiC 系、GaN 系、若しくは AlN 系のいずれかのパワーデバイスであることを特徴とする請求項 1 5 に記載のパワーモジュール半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、パワーモジュール半導体装置に関し、特に、薄型 SiC パワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置に関する。

【背景技術】

【0002】

現在多くの研究機関において、シリコンカーバイド (SiC: Silicon Carbide) デバイスの研究開発が行われている。SiC パワーデバイスの特徴として、従来の Si パワーデバイスよりも優れた低オン抵抗、高速スイッチングおよび高温動作などを挙げることができる。

【0003】

40

絶縁ゲートバイポーラトランジスタ (IGBT: Insulated Gate Bipolar Transistor) などの従来の Si パワーデバイスでは、動作可能な温度範囲が 150 程度までである。

【0004】

しかしながら、SiC パワーデバイスでは、理論的に、約 600 まで動作可能である。

【0005】

従来の Si パワーモジュールでは、Si パワーデバイスのロスが相対的に大きく、発熱の問題から大きなパワーを出力することができない。大きなパワーを出力することができない分、パワーモジュールの熱抵抗は大きくても許容できるため、反りの影響を考慮してパワーモジュールを厚く形成しているが、そのためにパワーモジュールの小型化に限界が

50

あった。

【0006】

S i C パワーモジュールでは、S i C デバイスのロスが相対的に小さいため、大電流を導通可能であり、かつ高温動作が容易となったが、それを許容するための薄型パワーモジュールの設計は必須である。

【0007】

これらのS i C パワーデバイスのパッケージには、ケース型が採用されている。

【0008】

一方、トランスファモールドによって樹脂封止された半導体装置についても開示されている（例えば、特許文献1参照。）。 10

【0009】

また、ソース電極に対してワイヤボンディング技術を適用するS i C パワーデバイスの構造も開示されている（例えば、特許文献2参照。）。 10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2005-183463号公報

【特許文献2】特開2007-305962号公報

【発明の概要】

【発明が解決しようとする課題】 20

【0011】

従来のS i パワーモジュールでは、S i デバイスの規格化オン抵抗が大きいため、抵抗低減のためにチップサイズを大きくしなくてはならず、モジュール全体の面積も大きかった。そのため、モジュールの反りが起こりやすく、この反りを抑えるために、内蔵する基板が厚くなり、モジュール全体の厚さも設計上厚くなっていた。また、高温時にS i デバイスが熱暴走する性質から、高温動作は不可能であった。

【0012】

S i C パワーモジュールでは、小型化の点で薄型パワーモジュールが求められている。S i C パワーモジュールでは、S i C デバイスのチップ面積が小さくなるために、熱抵抗が下がりやすく、また、高温動作も求められるため、薄型パワーモジュールの部材の反りが問題となる。 30

【0013】

また、従来の半導体モジュールでは、内蔵する部材が多く、サイズ縮小が不十分であった。また、システムに実装するとき端子の配置が最適化されていないため、省スペース化できなかった。また、ボンディングワイヤと内蔵する部材間のショートを回避するために、上面板電極と基板間の厚みを大きくする必要があり、サイズ縮小が不十分であった。

【0014】

一方、S i I G B T と比較して、S i C M O S F E T (Metal-Oxide-Semiconductor Field Effect Transistor) は規格化オン抵抗を1/10程度に低減可能であるが、同じ値の規格化オン抵抗を有するように、S i I G B T の1/10の大きさのチップを有するS i C M O S F E T を形成すると、熱抵抗 $R_{th}(/ W)$ の観点からは、S i C の熱伝導率がS i より高いといっても4倍程度なので、S i C M O S F E T は放熱上の問題が生じ動作上不利である。 40

【0015】

放熱上の問題を解決するために、半導体チップ上に柱構造電極を配置し、放熱性を強化する構造も提案されているが、片面冷却タイプのモジュールでは、放熱への寄与は十分ではない。

【0016】

一方、両面冷却タイプのモジュールは、冷却性能は高性能であるが、生産性が悪く、また製造上高価である。 50

【 0 0 1 7 】

本発明者は、特に熱抵抗が高くなり易いSiCモジュールにとって、チップ裏面（モジュール裏面）側の熱抵抗低減が必要であることを見出した。

【 0 0 1 8 】

本発明の目的は、薄型SiCパワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 9 】

上記目的を達成するための本発明の一態様によれば、セラミック基板と、前記セラミック基板の表面上に配置された第1銅プレート層と、前記第1銅プレート層上に配置された接合層と、前記第1銅プレート層上に配置され、前記接合層を介して前記第1銅プレート層と接続された金属板と、前記金属板上に配置された第1半導体デバイスと、前記半導体デバイス上に配置された第1柱状電極とを備え、前記金属板は、それがない場合と比較して、熱抵抗が低くなる厚さで前記第1柱状電極の厚みよりも薄く、且つ、前記第1半導体デバイスに近づくにつれて断面積が小さくなるパワーモジュール半導体装置が提供される。

10

【発明の効果】

【 0 0 2 0 】

本発明によれば、薄型SiCパワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置を提供することができる。

20

【図面の簡単な説明】

【 0 0 2 1 】

【図1】第1の実施の形態に係るパワーモジュール半導体装置の模式的断面構造図。

【図2】比較例に係るパワーモジュール半導体装置の模式的断面構造図。

【図3】第1の実施の形態の変形例1に係るパワーモジュール半導体装置の模式的平面パターン構成図。

【図4】図3のI-I線に沿う模式的断面構造図。

【図5】第1の実施の形態の変形例2に係るパワーモジュール半導体装置の模式的平面パターン構成図。

【図6】図5のII-II線に沿う模式的断面構造図。

30

【図7】第1の実施の形態の変形例3に係るパワーモジュール半導体装置の模式的断面構造図。

【図8】第1の実施の形態の変形例4に係るパワーモジュール半導体装置の模式的断面構造図。

【図9】第1の実施の形態の変形例5に係るパワーモジュール半導体装置の模式的平面パターン構成図。

【図10】図9のIII-III線に沿う模式的断面構造図。

【図11】第1の実施の形態の変形例6に係るパワーモジュール半導体装置の模式的断面構造図。

【図12】第1の実施の形態の変形例7に係るパワーモジュール半導体装置の模式的平面パターン構成図。

40

【図13】(a)第1の実施の形態に係るパワーモジュール半導体装置において、金属板内における熱伝導の広がりを説明するための模式的平面パターン構成図、(b)図13(a)のIV-IV線に沿う模式的断面構造図。

【図14】(a)第1の実施の形態に係るパワーモジュール半導体装置において、挿入する金属板の厚さ TH_1 と熱抵抗 $R_{th}(/ W)$ との関係のシミュレーション結果を示す図、(b)図14(a)のシミュレーションに用いた第1の実施の形態に係るパワーモジュール半導体装置の模式的断面構造図。

【図15】第1の実施の形態の変形例8に係るパワーモジュール半導体装置の模式的断面構造図。

50

【図16】第1の実施の形態の変形例9に係るパワーモジュール半導体装置の模式的断面構造図。

【図17】第1の実施の形態の変形例10に係るパワーモジュール半導体装置の模式的断面構造図。

【図18】(a)第1の実施の形態に係るパワーモジュール半導体装置の製造方法の一工程において、塗布された金属粒子接合層として銀ナノペーストを加圧する前の状態を示す模式的断面図、(b)加圧後の銀ナノペーストの状態を示す模式的断面図。

【図19】第1の実施の形態に係るパワーモジュール半導体装置の製造方法に適用する固相拡散接合工程の説明であって、(a)2つの金属材料が互いに対向した様子を示す模式的断面構造図、(b)2つの金属材料が互いに対向して接触し、高圧下で、接触界面が変形した様子を示す模式的断面構造図、(c)接触界面が完全に消失し、1つの境界面のみが形成された様子を示す模式的断面構造図、(d)原子拡散によって、境界面が除去されてシームレスな固相拡散接合が形成された様子を示す模式的断面構造図。

【図20】第1の実施の形態に係るパワーモジュール半導体装置に適用する半導体デバイスの例であって、SiC MOSFETの模式的断面構造図。

【図21】第1の実施の形態に係るパワーモジュール半導体装置に適用する半導体デバイスの例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFETの模式的断面構造図。

【図22】第2の実施の形態に係るパワーモジュール半導体装置であって、ツーインワンモジュールの模式的鳥瞰構成図。

【図23】第2の実施の形態に係るパワーモジュール半導体装置であって、ツーインワンモジュールにおいて、樹脂層を形成前の模式的鳥瞰構成図。

【図24】第2の実施の形態に係るパワーモジュール半導体装置に適用する上面板電極の模式的平面パターン構成図。

【図25】第2の実施の形態に係るパワーモジュール半導体装置であって、ツーインワンモジュールにおいて、上面板電極を形成前の模式的鳥瞰構成図。

【図26】第2の実施の形態に係るパワーモジュール半導体装置であって、ツーインワンモジュールの模式的平面パターン構成図。

【図27】図26のV-V線に沿う模式的断面構造図。

【図28】図26のV-V線に沿う別の模式的断面構造図。

【図29】図26のV-V線に沿う他の模式的断面構造図。

【図30】図26のV-V線に沿うさらに別の模式的断面構造図。

【図31】第2の実施の形態に係るパワーモジュール半導体装置であって、ツーインワンモジュールの模式的裏面外観構成図。

【図32】第2の実施の形態に係るパワーモジュール半導体装置であって、ツーインワンモジュールの模式的回路表現図。

【図33】第2の実施の形態に係るパワーモジュール半導体装置を用いて構成した3相交流インバータの模式的回路構成図。

【図34】3相交流インバータを駆動するために第2の実施の形態に係るパワーモジュール半導体装置を3個並列に配置した模式的平面構成図。

【図35】第2の実施の形態に係るパワーモジュール半導体装置において、信号端子を折り曲げた模式的鳥瞰構成図。

【図36】第2の実施の形態に係るパワーモジュール半導体装置を3個並列に配置し、3相交流インバータを駆動する模式的平面構成図。

【図37】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールの模式的回路表現図。

【図38】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールの詳細回路表現図。

【図39】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールの模式的鳥瞰構成図。

10

20

30

40

50

【図40】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールにおいて、樹脂層を形成前の模式的鳥瞰構成図。

【図41】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールにおいて、上面板電極を形成前の模式的鳥瞰構成図。

【図42】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールの模式的平面パターン構成図。

【図43】第3の実施の形態に係るパワーモジュール半導体装置であって、ワンインワンモジュールの模式的裏面外観構成図。

【図44】図42のVI-VI線に沿う模式的断面構造図。

【図45】図42のVI-VI線に沿う別の模式的断面構造図。

10

【図46】図42のVI-VI線に沿う他の模式的断面構造図。

【図47】図42のVI-VI線に沿うさらに別の模式的断面構造図。

【発明を実施するための形態】

【0022】

次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

20

【0023】

又、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

【0024】

[第1の実施の形態]

第1の実施の形態に係るパワーモジュール半導体装置1の模式的断面構造は、図1に示すように表される。また、比較例に係るパワーモジュール半導体装置1aの模式的断面構造は、図2に示すように表される。

30

【0025】

第1の実施の形態に係るパワーモジュール半導体装置1は、図1に示すように、セラミック基板10と、セラミック基板10の表面上に配置された第1銅プレート層10aと、第1銅プレート層10a上に配置された接合層21bと、第1銅プレート層10a上に配置され、接合層21bを介して第1銅プレート層10aと接続された金属板21と、金属板21上に配置された半導体デバイスQとを備える。

【0026】

一方、比較例に係るパワーモジュール半導体装置1aは、図2に示すように、セラミック基板10と、セラミック基板10の表面上に配置された第1銅プレート層10aと、第1銅プレート層10a上に配置された半田層3bと、第1銅プレート層10a上に配置され、半田層3bを介して第1銅プレート層10aと接続された半導体デバイスQとを備える。

40

【0027】

第1の実施の形態に係るパワーモジュール半導体装置1において、金属板21は、図1に示すように、台形状を備え、金属板21上に半導体デバイスQが搭載される部分の面積S1に対して、金属板21が第1銅プレート層10と接する部分の面積S2は、 $S2 > S1$ の関係が成り立つ。

【0028】

一方、比較例に係るパワーモジュール半導体装置1aにおいては、図2に示すように、セラミック基板10上に半導体デバイスQが搭載される部分の面積は、S1のみである

50

。

【0029】

第1の実施の形態に係るパワーモジュール半導体装置1においては、金属板21を図1に示すような形状に形成することによって、半導体デバイスQからセラミック基板10への熱拡散効果を増大することができる。

【0030】

また、半導体デバイスQからセラミック基板10への熱拡散において、セラミック基板10を跨ぐ際の熱伝導有効面積を拡大することができる。

【0031】

第1の実施の形態に係るパワーモジュール半導体装置1において、金属板21は、それが 10
がない場合（比較例）と比較して、熱抵抗 R_{th} が低くなる厚さ $TH1$ に設定される。ここで、熱抵抗 R_{th} が低くなる厚さ $TH1$ については、後述する（図14）。

【0032】

尚、半導体デバイスQは、金属板21と半田層3bを介して接続される。

【0033】

また、第1の実施の形態に係るパワーモジュール半導体装置1は、図1に示すように、半導体デバイスQ上に半田層3aを介して配置された柱状電極20と、柱状電極20上に配置された上面板電極22とを備える。

【0034】

また、第1の実施の形態に係るパワーモジュール半導体装置1は、図1に示すように、 20
トランスファモールド樹脂12により被覆される。

【0035】

また、第1の実施の形態に係るパワーモジュール半導体装置1において、接合層21bは、例えば、金属粒子接合層で形成可能である。ここで、金属粒子接合層は、導電性粒子を含むペースト層を焼成して形成可能である。また、導電性粒子は、金属微粒子であっても良い。更に詳細には、金属微粒子は、銀ナノ粒子、金ナノ粒子、ニッケルナノ粒子または銅ナノ粒子のいずれかで形成可能である。

【0036】

また、接合層21bは、例えば、固相拡散層で形成可能である。固相拡散層については、後述する（図19、図20および図21）。 30

【0037】

金属板21は、CuMo若しくはCuで形成可能である。

【0038】

セラミック基板20は、 Al_2O_3 、AlN、SiN、AlSiC、若しくは少なくとも表面が絶縁性のSiCで形成されていても良い。

【0039】

柱状電極20は、CuMo若しくはCuで形成されていても良い。

【0040】

上面板電極22は、CuMo若しくはCuで形成されていても良い。

【0041】

半導体デバイスQは、SiC系、GaN系、若しくはAlN系のいずれかのパワーデバイスで形成可能である。具体的に、半導体デバイスQ1・Q2は、例えば、SiCMOSFET、半導体デバイスD1・D2は、SBD（Schottky Barrier Diode）で構成可能である。 40

【0042】

尚、半導体デバイスQ1・Q2同士、半導体デバイスD1・D2同士は、必ずしも隣接している必要はなく、熱抵抗を加味して、適宜配置替えをしても良い。

【0043】

（変形例1）

第1の実施の形態の変形例1に係るパワーモジュール半導体装置1の模式的平面パター 50

ン構成は図3に示すように表され、図3のI-I線に沿う模式的断面構造は、図4に示すように表される。

【0044】

第1の実施の形態の変形例1に係るパワーモジュール半導体装置1において、半導体デバイスQ1・Q2・D1・D2は、図3に示すように、複数の金属板21₁・21₂・21₃・21₄上にそれぞれ配置されている。ここで、金属板21₁・21₂の断面形状は、図4に示すように、矩形形状を有する。金属板21₃・21₄の断面形状も、図示は省略するが、同様に矩形形状を有する。

【0045】

半導体デバイスQ1・Q2・D1・D2は複数配置され、金属板21₁・21₂・21₃・21₄は、複数の半導体デバイスQ1・Q2・D1・D2毎に個別に配置されている。すなわち、金属板21₁・21₂・21₃・21₄は、完全に個別に分かれていても良い。

10

【0046】

金属板21₁・21₂・21₃・21₄は、図3に示すように、平面視で半導体デバイスQ1・Q2・D1・D2よりも面積が大きく構成されている。

【0047】

半導体デバイスQ1・Q2・D1・D2のチップ面積よりも大きな金属板21₁・21₂・21₃・21₄を使用することによって、半導体デバイスQ1・Q2・D1・D2からセラミック基板10への熱拡散効果を増大することができる。

【0048】

また、半導体デバイスQ1・Q2・D1・D2からセラミック基板10への熱拡散において、SiN、AlSiCなどで形成されるセラミック基板10を跨ぐ際の熱伝導有効面積を拡大することができる。

20

【0049】

第1の実施の形態の変形例1に係るパワーモジュール半導体装置1は、図3および図4に示すように、半導体デバイスQ1・Q2上に配置された柱状電極20₁・20₂を備えていても良い。

【0050】

また、第1の実施の形態の変形例1に係るパワーモジュール半導体装置1は、図3および図4に示すように、第1銅プレート層10aのパターン上に半導体デバイスQ1・Q2に隣接して配置されたダイオードD1・D2を備えていても良い。

30

【0051】

また、第1の実施の形態の変形例1に係るパワーモジュール半導体装置1は、図3および図4に示すように、柱状電極20₁・20₂上に配置された上面板電極22を備えていても良い。

【0052】

金属板21₁・21₂・21₃・21₄は、CuMo若しくはCuで形成可能である。

【0053】

また、セラミック基板20は、Al₂O₃、AlN、SiN、AlSiC、若しくは少なくとも表面が絶縁性のSiCで形成されていても良い。

40

【0054】

柱状電極20₁・20₂は、CuMo若しくはCuで形成されていても良い。

【0055】

上面板電極22は、CuMo若しくはCuで形成されていても良い。

【0056】

半導体デバイスQ1・Q2は、SiC系、GaN系、若しくはAlN系のいずれかのパワーデバイスで形成可能である。具体的に、半導体デバイスQ1・Q2は、例えば、SiCMOSFET、半導体デバイスD1・D2は、SBDで構成可能である。

【0057】

(変形例2)

50

第 1 の実施の形態の変形例 2 に係るパワーモジュール半導体装置 1 の模式的平面パターン構成は、図 5 に示すように表され、図 5 の I I - I I 線に沿う模式的断面構造は、図 6 に示すように表される。

【 0 0 5 8 】

第 1 の実施の形態の変形例 2 に係るパワーモジュール半導体装置 1 は、図 5 および図 6 に示すように、半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 は、共通の金属板 2 1 上に配置されている。ここで、金属板 2 1 の断面形状は、図 6 に示すように、矩形形状を有する。

【 0 0 5 9 】

金属板 2 1 は、図 5 に示すように、平面視で半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 よりも面積が大きく構成されている。

10

【 0 0 6 0 】

半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 のチップ面積よりも大きな金属板 2 1 を使用することによって、半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 からセラミック基板 1 0 への熱拡散効果を増大することができる。

【 0 0 6 1 】

また、半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 からセラミック基板 1 0 への熱拡散において、セラミック基板 1 0 を跨ぐ際の熱伝導有効面積を拡大することができる。その他の構成は、第 1 の実施の形態の変形例 1 と同様である。

【 0 0 6 2 】

(変形例 3)

20

第 1 の実施の形態の変形例 3 に係るパワーモジュール半導体装置 1 の模式的断面構造は、図 7 に示すように表される。変形例 3 に係るパワーモジュール半導体装置 1 は、変形例 1 と同様の平面パターン構成を備えるため、図 7 は、図 3 (変形例 1) の I - I 線に沿う模式的断面構造に対応している。

【 0 0 6 3 】

半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 は、図 3 および図 7 に示すように、複数の金属板 2 1₁ ・ 2 1₂ ・ 2 1₃ ・ 2 1₄ 上にそれぞれ配置されている。ここで、金属板 2 1₁ ・ 2 1₂ の断面形状は、図 7 に示すように、台形形状を有する。金属板 2 1₃ ・ 2 1₄ の断面形状も、図示は省略するが、同様に台形形状を有する。

【 0 0 6 4 】

30

金属板 2 1₁ ・ 2 1₂ ・ 2 1₃ ・ 2 1₄ は、図 3 に示すように、平面視で半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 よりも面積が大きく構成されている。

【 0 0 6 5 】

半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 のチップ面積よりも大きな金属板 2 1₁ ・ 2 1₂ ・ 2 1₃ ・ 2 1₄ を使用することによって、半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 からセラミック基板 1 0 への熱拡散効果を増大することができる。

【 0 0 6 6 】

また、半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 からセラミック基板 1 0 への熱拡散において、SiN, AlSiC など形成されるセラミック基板 1 0 を跨ぐ際の熱伝導有効面積を拡大することができる。その他の構成は、第 1 の実施の形態の変形例 1 と同様である。

40

【 0 0 6 7 】

(変形例 4)

第 1 の実施の形態の変形例 4 に係るパワーモジュール半導体装置 1 の模式的断面構造は、図 8 に示すように表される。変形例 4 に係るパワーモジュール半導体装置 1 は、変形例 2 と同様の平面パターン構成を備えるため、図 8 は、図 5 (変形例 2) の I I - I I 線に沿う模式的断面構造に対応している。

【 0 0 6 8 】

半導体デバイス Q 1 ・ Q 2 ・ D 1 ・ D 2 は、図 5 および図 8 に示すように、共通の金属板 2 1 上に配置されている。ここで、金属板 2 1 の断面形状は、図 8 に示すように、台形

50

形状を有する。

【0069】

金属板21は、図5に示すように、平面視で半導体デバイスQ1・Q2・D1・D2よりも面積が大きく構成されている。

【0070】

半導体デバイスQ1・Q2・D1・D2のチップ面積よりも大きな金属板21を使用することによって、半導体デバイスQ1・Q2・D1・D2からセラミック基板10への熱拡散効果を増大することができる。

【0071】

また、半導体デバイスQ1・Q2・D1・D2からセラミック基板10への熱拡散において、セラミック基板10を跨ぐ際の熱伝導有効面積を拡大することができる。その他の構成は、第1の実施の形態の変形例1と同様である。

10

【0072】

(変形例5)

第1の実施の形態の変形例5に係るパワーモジュール半導体装置の模式的平面パターン構成は、図9に示すように表され、図9のIII-III線に沿う模式的断面構造は、図10に示すように表される。

【0073】

第1の実施の形態の変形例5に係るパワーモジュール半導体装置1は、図9および図10に示すように、半導体デバイスQ1・Q2は、共通の金属板21上に配置されている。ここで、金属板21の断面形状は、図10に示すように、台形形状を有し、一部に熱干渉抑制用の溝部21Gを有する。また、溝部21Gも台形形状を有する。

20

【0074】

すなわち、第1の実施の形態の変形例5に係るパワーモジュール半導体装置1は、図9および図10に示すように、金属板21上に半導体デバイスQ1・Q2は複数配置され、金属板21は、複数の半導体デバイスQ1・Q2間の対向領域のすくなくとも一部に熱干渉抑制用の溝部21Gを有する。

【0075】

図10に示すように、第1の実施の形態の変形例5に係るパワーモジュール半導体装置1において、金属板21の厚さTH1に対して、熱干渉抑制用の溝部21Gの深さは、TH2であり、 $TH1 \geq TH2$ が成立する。

30

【0076】

ここで、 $TH2 = TH1$ の場合には、溝部21Gは、第1銅プレート層10aの表面まで貫通していることになる。

【0077】

すなわち、溝部21Gは、銅プレート層10aの表面まで貫通していても良い。

【0078】

金属板21は、図9に示すように、平面視で半導体デバイスQ1・Q2よりも面積が大きく構成されている。

【0079】

半導体デバイスQ1・Q2のチップ面積よりも大きな金属板21を使用することによって、半導体デバイスQ1・Q2からセラミック基板10への熱拡散効果を増大することができる。

40

【0080】

また、半導体デバイスQ1・Q2からセラミック基板10への熱拡散において、セラミック基板10を跨ぐ際の熱伝導有効面積を拡大することができる。

【0081】

また、金属板21に熱干渉抑制用の溝部21Gを形成することによって、半導体デバイスQ1・Q2間の熱干渉を抑制することができる。その他の構成は、第1の実施の形態の変形例1と同様である。

50

【 0 0 8 2 】

(変形例 6)

第 1 の実施の形態の変形例 6 に係るパワーモジュール半導体装置の模式的断面構造は、図 1 1 に示すように表される。模式的平面パターン構成は、図 9 と同様に表され、図 1 1 は、図 9 の I I I - I I I 線に沿う模式的断面構造に対応する。

【 0 0 8 3 】

半導体デバイス Q 1 ・ Q 2 は、図 9 および図 1 1 に示すように、共通の金属板 2 1 上に配置されている。ここで、金属板 2 1 の断面形状は、図 1 1 に示すように、矩形形状を有する。

【 0 0 8 4 】

すなわち、第 1 の実施の形態の変形例 6 に係るパワーモジュール半導体装置 1 は、図 9 および図 1 1 に示すように、金属板 2 1 上に半導体デバイス Q 1 ・ Q 2 は複数配置され、金属板 2 1 は、複数の半導体デバイス Q 1 ・ Q 2 間の対向領域のすくなくとも一部に熱干渉抑制用の溝部 2 1 G を有する。また、溝部 2 1 G も矩形形状を有する。

【 0 0 8 5 】

金属板 2 1 に熱干渉抑制用の溝部 2 1 G を形成することによって、半導体デバイス Q 1 ・ Q 2 間の熱干渉を抑制することができる。その他の構成は、第 1 の実施の形態の変形例 5 と同様である。

【 0 0 8 6 】

(変形例 7)

第 1 の実施の形態の変形例 7 に係るパワーモジュール半導体装置の模式的平面パターン構成は、図 1 2 に示すように表される。

【 0 0 8 7 】

第 1 の実施の形態の変形例 7 に係るパワーモジュール半導体装置 1 においては、金属板 2 1 上に半導体デバイス Q 1 ・ Q 2 は複数配置され、金属板 2 1 は、半導体デバイス Q 1 の周辺部に熱干渉抑制用の溝部 2 1 G を有する。

【 0 0 8 8 】

金属板 2 1 に熱干渉抑制用の溝部 2 1 G を形成することによって、半導体デバイス Q 1 ・ Q 2 間の熱干渉を抑制することができる。その他の構成は、第 1 の実施の形態の変形例 5 と同様である。

【 0 0 8 9 】

(金属板内における熱伝導の広がり)

第 1 の実施の形態に係るパワーモジュール半導体装置 1 において、金属板 2 1 内における熱伝導の広がりを説明するための模式的平面パターン構成は、図 1 3 (a) に示すように表され、図 1 3 (a) の I V - I V 線に沿う模式的断面構造は、図 1 3 (b) に示すように表される。図 1 3 においては、相対的に小さなチップ寸法を有する半導体デバイス S Q と、相対的に大きなチップ寸法を有する半導体デバイス L Q が金属板 2 1 上に配置される例が示されている。半導体デバイス S Q のチップ寸法は、例えば X S x Y S 、半導体デバイス L Q のチップ寸法は、例えば X L x Y L である。

【 0 0 9 0 】

金属板 2 1 の厚さを T H 1 として、熱伝導の広がり、相対的に大きなチップ寸法を有する半導体デバイス L Q では、例えば 3 Y L であるのに対して、相対的に小さなチップ寸法を有する半導体デバイス S Q では、例えば 7 Y S である。

【 0 0 9 1 】

図 1 3 (a) および図 1 3 (b) から明らかなように、相対的に大きなチップ寸法を有する半導体デバイス L Q に比べ、相対的に小さなチップ寸法を有する半導体デバイス S Q の方が、熱伝導の広がり効果が大きい。

【 0 0 9 2 】

第 1 の実施の形態に係るパワーモジュール半導体装置 1 においては、熱伝導率の悪いセラミック基板 1 0 を伝熱する前に、金属板 2 1 において熱伝導有効面積を拡大することが

10

20

30

40

50

でき、相対的に小さなチップ寸法を有する半導体デバイスS Qをマルチチップで、並列（平行）に配置する構造が適している。

【0093】

また、第1の実施の形態の変形例5～7に係るパワーモジュール半導体装置1においては、金属板21に熱干渉抑制用の溝部21Gを形成することによって、半導体デバイス間の熱干渉を抑制することができることから、このような溝部21Gを有する構造は、小チップをマルチ 平行に配置する構造に適している構造である。

【0094】

（シミュレーション結果）

第1の実施の形態に係るパワーモジュール半導体装置において、挿入する金属板の厚さTH1と熱抵抗 $R_{th}(\text{ / }W)$ との関係のシミュレーション結果は図14(a)に示すように表される。また、図14(a)のシミュレーションに用いたパワーモジュール半導体装置の模式的断面構造は、図14(b)に示すように表される。接合層21bの厚さを t_1 としている。

10

【0095】

図14(a)において、曲線Aは、金属板21が存在しかつ金属板21下の接合層21bとして厚さ $t_1 = 0.05\text{ mm}$ の半田層を有する場合である。曲線Bは、金属板21が存在しかつ金属板21下の接合層21bとして厚さ $t_1 = 0.1\text{ mm}$ の半田層を有する場合である。破線Cは、 $TH1 = 0$ 、すなわち、金属板21が存在しない場合であり、熱抵抗 $R_{th} = 0.31(\text{ / }W)$ である。曲線Dは、金属板21が存在しかつ金属板21下の接合層21bとして固相拡散接合を適用する場合である。

20

【0096】

図14(a)から明らかなように、曲線Dの固相拡散接合を適用する場合は最も熱抵抗 $R_{th}(\text{ / }W)$ を低減可能である。

【0097】

接合温度を T_{jmax} 、ケース温度を T_c 、発熱量を $P_{th}(W)$ とすると、実質的な熱抵抗 $R_{th}(\text{ / }W)$ は次式で表される。すなわち、

$$R_{th}(\text{ / }W) = (T_{jmax} - T_c) / P_{th} \quad (1)$$

金属板21の厚さを $TH1$ 、熱伝導率を λ 、金属板21と半導体デバイスとの接合面積を S とすると、熱抵抗 $R_{th}(\text{ / }W)$ は次式でも表すことができる。すなわち、

30

$$R_{th}(\text{ / }W) = TH1 / S \quad (2)$$

第1の実施の形態に係るパワーモジュール半導体装置においては、接合層21bの形成方法に合わせて適切な厚さ $TH1$ の金属板21を挿入することで、熱抵抗 $R_{th}(\text{ / }W)$ を低減可能である。

【0098】

セラミック基板10上の銅プレート層（銅箔）10aと金属板21との接合層21bに銀ナノ粒子接合層や固相拡散層を使用することによって、接合部分の熱抵抗寄与を限界まで低減化可能である。さらに、溝部21Gの存在で、チップ間の熱干渉を抑制可能であり、効果的に実効的な熱抵抗の低減を図ることができる。

【0099】

40

第1の実施の形態に係るパワーモジュール半導体装置においては、金属板21を挿入することによって、パワーモジュールの部品点数の増大、軽量化の妨げ、パワーモジュール厚の増加などのデメリットが存在するが、セラミック基板領域の熱抵抗の低減という大きなメリットを得ることができる。

【0100】

尚、このシミュレーションは、隣接したチップとの熱干渉を無視しているため、金属板21の厚さ $TH1$ は、隣接する発熱体からの熱干渉に応じて適切に効果のある厚さに変更すると良い。

【0101】

（変形例8）

50

第 1 の実施の形態の変形例 8 に係るパワーモジュール半導体装置 1 の模式的断面構造は、図 15 に示すように表される。

【 0 1 0 2 】

第 1 の実施の形態の変形例 8 に係るパワーモジュール半導体装置 1 は、図 7 に示した変形例 3 に係るパワーモジュール半導体装置 1 において、金属板 2 1₁ の厚さ TH 1₁ と金属板 2 1₂ の厚さ TH 1₂ が異なる例を示す。このような場合には、柱状電極 2 0₁ と柱状電極 2 0₂ の高さを調整することによって、上面板電極 2 2 をセラミック基板 1 0 に対して平行に配置することができる。

【 0 1 0 3 】

すなわち、第 1 の実施の形態の変形例 8 に係るパワーモジュール半導体装置 1 においては、マルチチップの半導体デバイス Q を搭載する金属板 2 1 の厚さが異なっても良く、このような場合には、マルチチップの半導体デバイス Q 上の柱状電極 2 0 の高さを調整することによって、上面板電極 2 2 をセラミック基板 1 0 に対して平行に配置することができる。その他の構成は、第 1 の実施の形態の変形例 3 と同様である。

【 0 1 0 4 】

(変形例 9)

第 1 の実施の形態の変形例 9 に係るパワーモジュール半導体装置 1 の模式的断面構造は、図 16 に示すように表される。

【 0 1 0 5 】

第 1 の実施の形態の変形例 9 に係るパワーモジュール半導体装置 1 においては、半導体デバイス Q 1 ・ Q 2 上に配置される柱状電極 2 0₁ ・ 2 0₂ が半導体デバイス Q 1 ・ Q 2 から上面板電極 2 2 方向にテーパ状に広がった台形形状を備える。

【 0 1 0 6 】

第 1 の実施の形態の変形例 9 に係るパワーモジュール半導体装置 1 においては、台形形状の金属板 2 1₁ ・ 2 1₂ に加えて、柱状電極 2 0₁ ・ 2 0₂ が半導体デバイス Q 1 ・ Q 2 から上面板電極 2 2 方向にテーパ状に広がった台形形状を備えるため、変形例 3 に比べて、更に上面板電極 2 2 方向への熱放散を良好にすることができる。の他の構成は、第 1 の実施の形態の変形例 3 と同様である。

【 0 1 0 7 】

(変形例 10)

第 1 の実施の形態の変形例 10 に係るパワーモジュール半導体装置 1 の模式的断面構造は、図 17 に示すように表される。

【 0 1 0 8 】

第 1 の実施の形態の変形例 10 に係るパワーモジュール半導体装置 1 においても、半導体デバイス Q 1 ・ Q 2 上に配置される柱状電極 2 0₁ ・ 2 0₂ が半導体デバイス Q 1 ・ Q 2 から上面板電極 2 2 方向にテーパ状に広がった台形形状を備える。

【 0 1 0 9 】

第 1 の実施の形態の変形例 10 に係るパワーモジュール半導体装置 1 においては、矩形形状の金属板 2 1₁ ・ 2 1₂ に加えて、柱状電極 2 0₁ ・ 2 0₂ が半導体デバイス Q 1 ・ Q 2 から上面板電極 2 2 方向にテーパ状に広がった台形形状を備えるため、変形例 1 に比べて、更に上面板電極 2 2 方向への熱放散を良好にすることができる。その他の構成は、第 1 の実施の形態の変形例 1 と同様である。

【 0 1 1 0 】

(銀ナノペーストおよびその焼結体)

第 1 の実施の形態およびその変形例 1 ~ 10 に係るパワーモジュール半導体装置 1 において、接合層 2 1 b は、導電性粒子を含むペースト材料を焼成して形成可能である。ペースト材料の焼成温度は、例えば、約 200 ~ 400 である。

【 0 1 1 1 】

導電性粒子は、金属微粒子であり、例えば、銀粒子、金粒子またはニッケルや銅粒子などである。

10

20

30

40

50

【 0 1 1 2 】

例えば、金属微粒子として銀粒子を適用する場合、銀粒子の濃度は、例えば、約 8 0 質量% ~ 約 9 5 質量% である。また、銀ナノ粒子の場合の平均粒径は、約 1 0 n m ~ 約 1 0 0 n m 程度である。

【 0 1 1 3 】

銀ナノペーストは、例えば、粒径約 3 0 n m ~ 約 1 0 0 n m の銀ナノ粒子を所定の溶媒に拡散させたものである。溶媒としては、例えばテルピネオール等の極性溶媒、テトラデカン等の炭化水素系溶媒、水系溶媒、ケトン系溶媒等が適用される。

【 0 1 1 4 】

銀ナノ粒子は、核としての銀の微粒子の表面を、有機化合物等で構成されるシェル（有機殻）で覆った構成となっている。これにより、溶媒における分散性を向上させると共に、銀の微粒子の酸化を防ぐことができる。また、焼成処理を行う前工程において、銀ナノペーストから成るペースト層を加圧して、シェルを破砕することにより、銀の微粒子の密度を高めることができ、焼結体としての金属粒子接合層の緻密性を向上させることができる。具体的な加圧の仕方については、図 1 8 を参照して後述する。

【 0 1 1 5 】

また、第 1 の実施の形態およびその変形例 1 ~ 1 0 に係るパワーモジュール半導体装置 1 においては、例えば、銀ナノ粒子の濃度が約 8 0 質量% ~ 約 9 5 質量% の比較的高濃度の銀ナノペーストを用いても良い。焼成によって析出される金属銀を緻密にして良好な導電性および接合性を確保するためである。

【 0 1 1 6 】

また、第 1 の実施の形態およびその変形例 1 ~ 1 0 に係るパワーモジュール半導体装置 1 においては、銀ナノペーストから成るペースト層の焼成温度は、例えば、約 2 0 0 ~ 4 0 0 程度である。

【 0 1 1 7 】

この焼成処理により、高融点の金属銀（融点約 9 6 0 ）が析出して、接合層 2 1 b を形成する。この結果、接合層 2 1 b を介して、金属板 2 1 と銅プレート層 1 0 a との間が強固に接合される。

【 0 1 1 8 】

しかも、この接合層 2 1 b は、金属銀（A g）と同等の特性を発揮することから、電氣的に低抵抗（1 0 0 で、約 2.08×10^{-8} [m]）で、優れた熱伝導率（1 0 0 で、約 1 5 0 W / m K）を有し、融点約 9 6 0 という高い耐熱性を備えている。この熱伝導率の数値は、半田層の熱伝導率約 3 0 W / m K ~ 約 6 0 W / m K に比べて十分に高い値である。

【 0 1 1 9 】

したがって、S i C デバイスを例えば約 4 0 0 近くの高温で駆動した場合であっても、接合部が溶融することが無く、デバイス特性の信頼性、実装時の信頼性を向上することができる。

【 0 1 2 0 】

第 1 の実施の形態およびその変形例 1 ~ 1 0 に係るパワーモジュール半導体装置 1 の製造方法の一工程において、塗布された金属粒子接合層として銀ナノペーストを加圧する前の状態は、図 1 8 (a) に示すように模式的に表され、加圧後の銀ナノペーストの状態は、図 1 8 (b) に示すように模式的に表される。

【 0 1 2 1 】

図 1 8 (a) において、各銀ナノ粒子 2 2 0 は、有機化合物等で構成されるシェル（有機殻）2 0 0 a で被覆された形態で、例えば、テルピネオール等の溶媒 2 0 0 中において拡散した状態となっている。

【 0 1 2 2 】

この状態からペースト層 1 8 0 を上下方向から圧力 P を加えて圧縮すると、図 1 8 (b) に示す状態に変化する。即ち、有機化合物等で構成されるシェル 2 0 0 a が加圧によ

10

20

30

40

50

て破碎され、各銀ナノ粒子220が密着した状態となる。これにより、ペースト層180の厚さは、L1からL2に縮まった状態となる。

【0123】

金属粒子による接合層21bを形成するペースト層180の塗布には、マスクおよびスキージ（ヘラ部材）を用いたスクリーン印刷の手法が適用される。

【0124】

また、ペースト層180の厚さは、例えば約10 μm ～約50 μm とされる。なお、金属粒子による接合層21bの厚さは、焼成時の収縮によりペースト層180の厚さの半分程度となる。即ち、例えばペースト層180の厚さが約50 μm の場合に、焼成後の金属粒子による接合層21bの厚さは約20 μm ～約30 μm 程度となることが実験により確認されている。

10

【0125】

加圧および加熱工程

第1の実施の形態およびその変形例1～10において、金属粒子接合層21b（加熱・加圧前は、ペースト層180）を挟んで、セラミック基板10上に金属板21を載置し、その状態で、プレス加工機にセットして圧力を加える。

【0126】

この際の圧力は、例えば、約2MPa～約30MPaとされる。これにより、ペースト層180は、図18(a)の状態から図18(b)のように、各銀ナノ粒子220が密着した状態となる。

20

【0127】

尚、上記の加圧工程では、加圧と加熱を同時に行うために、所定のベーキング装置などによってパワーモジュール半導体装置1全体を約200～約400で所定時間にわたって加熱する。

【0128】

これにより、ペースト層180が焼成され、金属銀が析出して金属粒子接合層21bが形成される。

【0129】

この金属銀から成る金属粒子接合層21bは、金属板21とセラミック基板10間を強固に接合し、セラミック基板10の上に金属板21が電氣的に接合される。

30

【0130】

第1の実施の形態およびその変形例1～10によれば、銀ナノペーストを塗布して焼成するという簡易な工程により高い耐熱性を備えた接合を形成することができる。

【0131】

また、第1の実施の形態およびその変形例1～10によれば、銀ナノペーストの焼結体である金属銀によって金属粒子接合層を形成することにより、金属粒子接合層21bの耐熱性、熱伝導性等を高めることができ、SiC系FET、GaN系FETなどの半導体デバイス等に適したパワーモジュール半導体装置1を提供することができる。

【0132】

また、第1の実施の形態およびその変形例1～10によれば、金属粒子接合層は金属銀で形成され、鉛(Pb)を用いることが無いので、鉛フリーとなり公害対策に資することができる。

40

【0133】

第1の実施の形態およびその変形例1～10によれば、低コストで高い耐熱性を有するパワーモジュール半導体装置およびその製造方法を提供することができる。

【0134】

（固相拡散接合工程）

第1の実施の形態およびその変形例1～10に係るパワーモジュール半導体装置1において、金属板21をセラミック基板10上の銅プレート層10a上に形成するには、材料同士を固相拡散接合技術を用いて接合すれば、接合剤による特性悪化を除くことができる

50

。この場合、固相拡散接合技術に適した表面処理（表面メッキ）などを行っていることも必要である。

【0135】

第1の実施の形態およびその変形例1～10に係るパワーモジュール半導体装置1において、半導体デバイスは、マルチチップ構成を採用していても良い。すなわち、例えば、約5mm角の半導体デバイスチップを電流容量に応じて、複数個配置しても良い。

【0136】

金属板21の裏面上およびセラミック基板10上の銅プレート層10aの表面上には、銀(Ag)、金(Au)、チタン(Ti)、ニッケル(Ni)などを形成しても良い。すなわち、金属板21の裏面には、Ag、Au、Ti、Niなどからなる金属層を、めっき技術、スパッタリング技術若しくは真空蒸着技術などを用いて形成し、同様に、セラミック基板10上の銅プレート層10aの表面上にAg、Au、Ti、Niなどからなる金属層を、めっき技術、スパッタリング技術若しくは真空蒸着技術などを用いて形成し、両者の間で、固相拡散により接合層21bを形成しても良い。

10

【0137】

例えば、金属板21は、例えば、低CTEの電極材料CuMo、若しくは高熱伝導率で高電気伝導率の電極材料Cuで形成可能である。なお、固相拡散接合層を形成するには、加熱工程と同時に加圧する。接合部に加圧する圧力は、約1MPa以上約100MPa以下であり、加熱温度は、約200以上約350以下であることが望ましい。

【0138】

20

第1の実施の形態およびその変形例1～10に係るパワーモジュール半導体装置1の製造方法に適用する固相拡散接合工程の説明であって、2つの金属材料M1・M2が互に対向した様子を示す模式的断面構造は、図19(a)に示すように表され、2つの金属材料M1・M2が互に対向して接触し、高圧下で、接触界面BFが塑性変形した様子を示す模式的断面構造は、図19(b)に示すように表され、接触界面BFが完全に消失し、1つの境界面BSのみが形成された様子を示す模式的断面構造は、図19(c)に示すように表され、原子拡散によって、境界面BSが除去されてシームレスな固相拡散接合が形成された様子を示す模式的断面構造は、図19(d)に示すように表される。

【0139】

(a)まず、図19(a)に示すように、2つの金属材料M1・M2を互に対向して近接させる。

30

【0140】

(b)次に、2つの金属材料M1・M2を互に対向して接触させ、例えば、約1MPa以上約100MPa以下の高い圧力を印加すると、図19(b)に示すように、接触界面BFが塑性変形する。

【0141】

(c)次に、上記の高圧下において、加熱工程を実施すると、図19(c)に示すように、接触界面BFが完全に消失し、1つの境界面BSのみが形成される。このときの加熱温度は、例えば、約200以上約350以下である。

【0142】

40

(d)さらに上記の高圧下において、加熱工程を実施し続けると、図19(d)に示すように、原子拡散によって、2つの金属材料M1・M2の境界面BSが除去されてシームレスな固相拡散接合が形成される。

【0143】

固相拡散接合工程における温度プロファイル例および圧力プロファイル例は、図20に示すように表される。図20の例では、初期状態において、圧力を約90MPa印加し、この圧力を保持したままで、約5分以内で、常温から350まで昇温する。その後、約20分間にわたり約90MPaの圧力と、約350の加熱温度を保持させる。その後、約25分間で、圧力を約90MPaから大気圧まで降下させると共に、加熱温度を約350から約200まで降下する。その後、約25分間で、加熱温度を約200から常

50

温まで降下する。図20から明らかなように、加圧・加熱プロセス時間は、約1時間で終了しており、プロセス時間の短縮化が実現されている。

【0144】

第1の実施の形態およびその変形例1~10に係るパワーモジュール半導体装置において適用されるセラミック基板10は、表面および裏面に金属層10a・10bを形成した構造を備えている。ここで、金属層10a・10bは、DBC(Direct Bonding Copper)基板、DBA(Direct Brazed Aluminum)若しくはAMB(Active Metal Brazed, Active Metal Bond)基板などの実装基板の表面上のCu電極やAl電極で形成されていても良い。特に、AMB基板は、ロウ付けで形成されるため、クッション効果が大きく、温度変化による応力を吸収し易いため、高温動作に適している。

10

【0145】

また、基板の平坦性が要求される場合には、セラミック基板10の代わりに、シリコンウェハなどの半導体基板も適用可能である。

【0146】

(半導体デバイスの構成例)

第1の実施の形態およびその変形例1~10に係るパワーモジュール半導体装置1に適用する半導体デバイス100の例として、SiC MOSFETの模式的断面構造は、図20に示すように、n⁻高抵抗層からなる半導体基板26と、半導体基板26の表面側に形成されたpベース領域28と、pベース領域28の表面に形成されたソース領域30と、pベース領域28間の半導体基板26の表面上に配置されたゲート絶縁膜32と、ゲート絶縁膜32上に配置されたゲート電極38と、ソース領域30およびpベース領域28に接続されたソース電極34と、半導体基板26の表面と反対側の裏面に配置されたn⁺ドレイン領域24と、n⁺ドレイン領域24に接続されたドレインパッド電極36とを備える。

20

【0147】

図20では、半導体デバイス100は、プレーナゲート型nチャネル縦型SiC MOSFETで構成されているが、トレンチゲート型nチャネル縦型SiC MOSFETなどで構成されていても良い。

【0148】

また、第1の実施の形態およびその変形例1~10に係るパワーモジュール半導体装置1に適用する半導体デバイス100には、SiC MOSFETの代わりに、GaN系FETなどを適用することもできる。

30

【0149】

第1の実施の形態およびその変形例1~10に係るパワーモジュール半導体装置1に適用する半導体デバイス100には、SiC系、GaN系、若しくはAlN系のいずれかのパワーデバイスを適用可能である。

【0150】

更には、第1の実施の形態およびその変形例1~10に係るパワーモジュール半導体装置1に適用する半導体デバイス100には、バンドギャップエネルギーが、例えば、1.1eV~8eVの半導体を用いることができる。

40

【0151】

第1の実施の形態およびその変形例1~10に係るパワーモジュール半導体装置1に適用する半導体デバイス100の例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFETの模式的断面構造は、図21に示すように表される。ゲートパッド電極GPは、ゲート絶縁膜32上に配置されたゲート電極38に接続され、ソースパッド電極SPは、ソース領域30およびpベース領域28に接続されたソース電極34に接続される。

【0152】

また、ゲートパッド電極GPおよびソースパッド電極SPは、図21に示すように、半導体デバイス100の表面を覆うパッシベーション用の層間絶縁膜44上に配置される。

50

尚、ゲートパッド電極 G P およびソースパッド電極 S P の下方の半導体基板 2 6 内には、図 2 1 の構成例では、図示を省略しているが、図 2 0 或いは、図 2 1 の中央部と同様に、微細構造のトランジスタ構造が形成されていても良い。

【 0 1 5 3 】

さらに、図 2 1 に示すように、中央部のトランジスタ構造においても、パッシベーション用の層間絶縁膜 4 4 上にソースパッド電極 S P が延在して配置されていても良い。

【 0 1 5 4 】

第 1 の実施によれば、薄型 S i C パワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置を提供することができる。

【 0 1 5 5 】

[第 2 の実施の形態]

(半導体装置の構成)

第 2 の実施の形態に係るパワーモジュール半導体装置 1 であって、ツーインワンモジュール (2 in 1 Module) の模式的鳥瞰構成は、図 2 2 に示すように表される。

【 0 1 5 6 】

また、樹脂層 1 2 を形成前の模式的鳥瞰構成は、図 2 3 に示すように表される。

【 0 1 5 7 】

第 2 の実施の形態に係るパワーモジュール半導体装置 1 は、図 2 2 および図 2 3 に示すように、樹脂層 1 2 に被覆されたセラミック基板 1 0 の第 1 の辺に配置された正側電源入力端子 P および負側電源入力端子 N と、第 1 の辺に隣接する第 2 の辺に配置された信号端子群 S 1 ・ G 1 ・ T 1 と、第 1 の辺に対向する第 3 の辺に配置された出力端子 O およびサーミスタ接続端子 B 1 ・ B 2 と、第 2 の辺に対向する第 4 の辺に配置された信号端子群 S 2 ・ G 2 ・ T 2 とを備える。ここで、信号端子群 S 1 ・ G 1 ・ T 1 は、図 3 2 に示す半導体デバイス Q 1 のソースセンス端子・ゲート信号端子・電流センス端子に対応し、信号端子群 S 2 ・ G 2 ・ T 2 は、図 3 2 に示す半導体デバイス Q 4 のソースセンス端子・ゲート信号端子・電流センス端子に対応する。また、負側電源入力端子 N は、第 1 電源入力端子に対応し、正側電源入力端子 P は、第 2 電源入力端子に対応する。

【 0 1 5 8 】

また、第 2 の実施の形態に係るパワーモジュール半導体装置 1 に適用する上面板電極 2 2₁ ・ 2 2₄ の模式的平面パターン構成は、図 2 4 に示すように表される。

【 0 1 5 9 】

さらに、上面板電極 2 2₁ ・ 2 2₄ を形成前の模式的鳥瞰構成は、図 2 5 に示すように表される。

【 0 1 6 0 】

第 2 の実施の形態に係るパワーモジュール半導体装置 1 であって、ツーインワンモジュールの模式的平面パターン構成は、図 2 6 に示すように表され、図 2 6 の V - V 線に沿う模式的断面構造は、図 2 7 に示すように表される。

【 0 1 6 1 】

図 2 5 においては、煩雑となるため詳細構造は省略されているが、図 2 6 および図 2 7 から明らかなように、半導体デバイス Q 4 ・ D I 4 は、金属板 2 1₄ 上に配置されている。同様に、半導体デバイス Q 1 ・ D I 1 は、金属板 2 1₄ 上に配置されている。図 2 7 に示す例では、金属板 2 1₄ は、断面が矩形形状を有し、しかもセラミック基板 1 0 上に完全に分離されて配置されている。

【 0 1 6 2 】

また、図 2 6 の V - V 線に沿う別の模式的断面構造は、図 2 8 に示すように表される。図 2 8 に示す例では、金属板 2 1₄ は、断面が台形形状を有し、しかもセラミック基板 1 0 上に完全に分離されて配置されている。

【 0 1 6 3 】

図 2 6 の V - V 線に沿う他の模式的断面構造は、図 2 9 に示すように表される。図 2 9 に示す例では、金属板 2 1 は、断面が台形形状を有し、金属板 2 1 上に半導体デバイス Q

10

20

30

40

50

4・Q4・DI4は複数配置され、金属板21は、複数の半導体デバイスQ4・Q4・DI4間の対向領域のすくなくとも一部に熱干渉抑制用の溝部21Gを有する。また、溝部21Gも断面が台形形状を有する。

【0164】

図26のV-V線に沿うさらに別の模式的断面構造は、図30に示すように表される。図30に示す例では、金属板21は、断面が矩形形状を有し、金属板21上に半導体デバイスQ4・Q4・DI4が配置され、金属板21は、半導体デバイスQ4・Q4・DI4間の対向領域のすくなくとも一部に熱干渉抑制用の溝部21Gを有する。また、溝部21Gも断面が矩形形状を有する。

【0165】

図29および図30の例では、金属板21に熱干渉抑制用の溝部21Gを形成することによって、半導体デバイスQ4・Q4・DI4間の熱干渉を抑制することができる。

【0166】

第2の実施の形態に係るパワーモジュール半導体装置1であって、ツーインワンモジュールの模式的裏面外観構成は、図31に示すように表される。セラミック基板10の裏面上に配置される第2銅プレート層10bは、ヒートスプレッドとして機能する。

【0167】

また、第2の実施の形態に係るパワーモジュール半導体装置1であって、ツーインワンモジュールの模式的回路表現は、図32に示すように表される。

【0168】

第2の実施の形態に係るパワーモジュール半導体装置1は、ツーインワンモジュールの構成を備える。すなわち、2個のMOSFETQ1・Q4が1つのモジュールに内蔵されている。

【0169】

ツーインワンモジュールの片側には、一例として4チップ(MOSTランジスタ×3、ダイオード×1)搭載可能であり、それぞれのSiCMOSFETQ1・Q4は、3個まで並列接続可能である。ここで、SiCMOSFETQ1・Q4は例えば、約5mm×約5mmのサイズを有する。

【0170】

第2の実施の形態に係るパワーモジュール半導体装置1は、図22～図27に示すように、SiCTPM(Transfer mold Power Module)において、上面板電極22₁・22₄とセラミック基板10上の電極パターン(E P・D(K4))とを電氣的に接続する柱状接続電極18₀・18_nの役割を兼用する負側電源入力端子N・出力端子Oを備える。負側電源入力端子N・出力端子Oはパワー端子として作用する。柱状接続電極18₀には、図23に示すように、柱状延長電極25が接続されていても良い。

【0171】

第2の実施の形態に係るパワーモジュール半導体装置1は、図22～図27に示すように、信号端子群(G1・S1・T1)・(G4・S4・T4)若しくは正側電源入力端子P・負側電源入力端子N・出力端子Oのいずれかがパッケージモジュールの4辺の全辺(全側面)から出ている構造において、対向する辺の信号端子群(G1・S1・T1)・(G4・S4・T4)が互い違いに配置される。

【0172】

また、第2の実施の形態に係るパワーモジュール半導体装置1において、上面板電極22₁・22₄は、図26に示すように、半導体デバイスのチップ上から延伸したボンディングワイヤの直上には覆い被さらないように配置される。

【0173】

第2の実施の形態に係るパワーモジュール半導体装置1においては、上面板電極22₁・22₄とセラミック基板10上の電極パターン(E P・D(K4))とを電氣的に接続する柱状接続電極18₀・18_nの役割を兼用する負側電源入力端子N・出力端子Oを備えることにより、部材点数を削減することができ、パワーモジュールサイズの縮小化し、パ

10

20

30

40

50

ワーモジュールのパワー密度の向上化を図ることができる。その結果、製造コストの削減を図ることができる。

【0174】

また、第2の実施の形態に係るパワーモジュール半導体装置1においては、対向する辺の信号端子群(G1・S1・T1)・(G4・S4・T4)が互い違いに配置されることにより、3相インバータを組む場合など、パワーモジュールを並列に並べた際、信号端子群(G1・S1・T1)・(G4・S4・T4)同士が当たらないため、パワーモジュールサイズの省スペース化を図ることができる。

【0175】

また、第2の実施の形態に係るパワーモジュール半導体装置1においては、上面板電極22₁・22₄は、半導体デバイスのチップ上から延伸したボンディングワイヤの直上には覆い被さらないように配置されることにより、柱状接続電極18_o・18_n、柱状延長電極25、柱状電極20₁・20₄の設計がボンディングワイヤの存在に制限されなくなるため、上面板電極22₁・22₄が、半導体デバイスQ1・Q4のチップ上から延伸したボンディングワイヤの直上に配置される構造に比べ、柱状接続電極18_o・18_n、柱状延長電極25、柱状電極20₁・20₄の高さを相対的に薄く設定可能である。この結果、パワーモジュールを構成する部材の低コスト化を図ることができる。

【0176】

第2の実施の形態に係るパワーモジュール半導体装置1においては、構成部材の数が低減化され、その結果としてチップ数を増加することができる。

【0177】

各部材の接合構造の形成には、半田接合、金属粒子接合、固相拡散接合、液相拡散(TLP: Transient Liquid Phase)接合などの技術を適用可能である。

【0178】

出力端子Oは、MOSFETQ1を介して正側電源入力端子Pに接続され、MOSFETQ4を介して負側電源入力端子Nに接続される。ここで、出力端子Oは、柱状接続電極18_o・柱状延長電極25を兼用しており、負側電源入力端子Nは、柱状接続電極18_nを兼用している。

【0179】

正側電源入力端子Pは、柱状電極構造を備えず、直接第3パターンD(K1)に接続されている。ここで、正側電源入力端子Pも負側電源入力端子Nと同様に、柱状電極構造を兼用していても良い。

【0180】

第2の実施の形態に係るパワーモジュール半導体装置1は、図22～図30に示すように、セラミック基板10と、セラミック基板10の表面上に配置された第1銅プレート層10aの第1パターンD(K4)と、第1パターンD(K4)上に配置された半導体デバイスQ4と、第1パターンD(K4)上に配置された第1柱状接続電極18_oと、第1柱状接続電極18_oに接続された出力端子Oとを備える。

【0181】

また、第1銅プレート層10aの第2パターンEPと、第2パターンEP上に配置された第2柱状接続電極18_nと、第2柱状接続電極18_nに接続された負側電源入力端子Nとを備えていても良い。

【0182】

また、第1柱状接続電極18_oは、第1パターンD(K4)上に配置された柱状延長電極25を備えていても良い。特に、第1柱状接続電極18_oが配置される第1パターンD(K4)部分は、幅が狭く形成されるため、抵抗値が上昇しやすい。この抵抗値は、半導体デバイスQ4のドレインと出力端子Oとの間に配置されるため、半導体デバイスQ4のドレインに接続される寄生直列抵抗および寄生直列インダクタンスとなる。第1パターンD(K4)上に柱状延長電極25を配置することにより、このような寄生直列抵抗および寄生直列インダクタンスを低減化することができる。

10

20

30

40

50

【0183】

また、半導体デバイスQ4上に配置された第1柱状電極20₄を備えていても良い。

【0184】

また、第1パターンD(K4)上に半導体デバイスQ4に隣接して配置された第1ダイオードD4を備えていても良い。

【0185】

また、第1柱状電極20₄上に配置され、かつ第1ダイオードD4のアノード電極A4に接続された第1上面板電極22₁を備えていても良い。

【0186】

また、第1銅プレート層10aの第3パターンD(K1)上に配置された半導体デバイスQ1を備えていても良い。

10

【0187】

また、第3パターンD(K1)上に半導体デバイスQ1に隣接して配置された第2ダイオードD1を備えていても良い。

【0188】

また、半導体デバイスQ1上に配置された第2柱状電極20₁を備えていても良い。

【0189】

また、第2柱状電極20₁上に配置され、かつ第2ダイオードD1のアノード電極A1に接続された第2上面板電極22₄を備えていても良い。

【0190】

第1上面板電極22₁および第2上面板電極22₄は、図23および図24に示すように、平面視で内側の角部に湾曲凹状のL字構造を有することが望ましい。ボンディングワイヤとの接触を回避しつつ、かつ電気的な抵抗を低減するためである。特に、図24に示すように、L字構造の角部と湾曲部との最小距離は、W1に設定されている。

20

【0191】

また、第2の実施の形態に係るパワーモジュール半導体装置1は、第3パターンD(K1)に接続された正側電源入力端子Pを備えていても良い。

【0192】

また、第2の実施の形態に係るパワーモジュール半導体装置1は、図26に示すように、セラミック基板10の第4辺に配置され、半導体デバイスQ4に第1ボンディングワイヤ群を介して接続された第1信号端子群(S4・G4・T4)と、セラミック基板10の第4辺に対向する第2辺に配置され、半導体デバイスQ1に第2ボンディングワイヤ群を介して接続された第2信号端子群(S1・G1・T1)とを備える。ここで、第1信号端子群(S4・G4・T4)と第2信号端子群(S1・G1・T1)は、互い違いに配置される。

30

【0193】

また、第1信号端子群(S4・G4・T4)および第2信号端子群(S1・G1・T1)は、図23、図25および図26に示すように、L字構造を備えていても良い。

【0194】

さらに、図23、図25および図26に示すように、セラミック基板10の厚み方向から見た平面視で、第1上面板電極22₁は、半導体デバイスQ4から延伸した第1ボンディングワイヤ群の直上には覆い被さらないように配置され、第2上面板電極22₄は、半導体デバイスQ1から延伸した第2ボンディングワイヤ群の直上には覆い被さらないように配置されている。

40

【0195】

また、上面板電極22₁・22₄がL字構造になることで、寄生インダクタンスが増加するが、この背反事項への対策として、上面板電極22₁・22₄の断面積を広げるための延長部を別途設けても良い。ここで、延長部は、上面板電極22₁・22₄の幅若しくは厚みを増すための構成を備える。

【0196】

50

信号端子群 (G1・S1・T1)・(G4・S4・T4) をL字に形成することによって、3チップのMOSトランジスタからのボンディングワイヤの配線を短距離でかつクロス配置無しで配置することが可能となり、さらに、上面板電極22₁・22₄は、半導体デバイスQ1・Q4のチップ上から延伸したボンディングワイヤの直上には覆い被さらないように配置可能となる。

【0197】

また、図23、図25および図26に示すように、半導体デバイスQ4、第1ダイオードD4、第1上面板電極22₄および第1信号端子群(S4・G4・T4)と、半導体デバイスQ1、第2ダイオードD1、第2上面板電極22₄および第2信号端子群(S1・G1・T1)は、セラミック基板10の厚み方向から見た平面視で、セラミック基板10

10

【0198】

また、図27～図30に示すように、出力端子O、負側電源入力端子N、第1上面板電極22₁および第2上面板電極22₄は、面一に配置可能である。

【0199】

第1銅プレート層10aの第1パターンD(K4)は、セラミック基板10の表面上に配置されている。半導体デバイスQ4は、第1パターンD(K4)上に配置されている。第2銅プレート層10bは、セラミック基板10の裏面上に配置されている。第1柱状電極20₄は、半導体デバイスQ4上に配置されている。樹脂層12は、セラミック基板10の表面上に、第1銅プレート層10a、半導体デバイスQ1・Q4、ダイオードD1・D4、上面板電極22₁・22₄、柱状電極20₁・20₄、柱状接続電極18_o・18_n、柱状延長電極25などを被覆し、セラミック基板10の裏面上に、第2銅プレート層10bを被覆して配置されている。

20

【0200】

第2の実施の形態に係るパワーモジュール半導体装置1において、半導体デバイスQ1・Q4は、例えば、SiC MOSFETで形成され、ダイオードD1・4は、例えば、SiC SBDで形成されている。また、セラミック基板10上のサーミスタ接続端子B1・B2間には、サーミスタが接続され、第2の実施の形態に係るパワーモジュール半導体装置1の温度検出に利用される。

【0201】

例えば、セラミック基板10は、Al₂O₃、AlN、SiN、AlSiC、若しくは少なくとも表面が絶縁性のSiCなどで形成されていても良い。

30

【0202】

また、樹脂層12は、トランスファモールド樹脂で形成されていても良い。樹脂層12は、エポキシ系樹脂若しくはシリコン系樹脂で形成されていても良い。

【0203】

半導体デバイスQ1・Q4の複数のチップは、セラミック基板10の表面上に、セラミック基板10の厚み方向から見た平面視で離間した位置に配置され、樹脂層12により樹脂モールドされている。

【0204】

また、柱状接続電極18_o・18_nは、CTEの値が相対的に小さい電極材料、例えば、CuMo、Cuなどで形成されていても良い。

40

【0205】

上面板電極22₁・22₄部分は、CTEの値が相対的に小さい電極材料、例えば、CuMo、Cuなどで形成されていても良い。

【0206】

ソース柱状電極20₁・20₄部分は、CTEの値が相対的に小さい電極材料、例えば、CuMo、Cuなどで形成されていても良い。

【0207】

線熱膨張係数(CTE:Coefficient of Thermal Expansion)の値が同等である同じ大

50

長さの材料を比較すると、発生応力は、ヤング率の値が大きい材料の方が大きくなる。このため、ヤング率×CTEの数値が、より小さい材料を選定することによって、発生応力の値の小さな部材を達成することができる。

【0208】

CuMoは、このような利点を有している。また、CuMoは、Cuには劣るが、電気抵抗率も相対的に低い。

【0209】

ここで、上面板電極22₁・22₄間の表面に沿った離隔距離は、沿面距離と呼ばれる。沿面距離の値は、例えば、約6mmである。

【0210】

パワーモジュール半導体装置1の小型・軽量化のための第1の手段として、SiCMOSFETを使用して、チップを小型化することができる。SiCMOSFETでは、規格化オン抵抗がSiMOSFETの約1/10である。このため、同じオン抵抗を有するデバイスを比較すると、SiCMOSFETのチップ面積は、SiMOSFETの約1/10となる。

【0211】

パワーモジュール半導体装置1の小型・軽量化のための第2の手段として、セラミック基板の薄型化を図ることができる。一般に使用されているセラミック基板としてAlNでは、曲げ強度が小さく、薄くすると割れてしまう。また、熱抵抗や電気抵抗改善の目的で接着する銅箔の厚さを厚くすると、熱サイクル試験で剥れてしまうため、信頼性を確保することが難しい。したがって、セラミック基板としてSiNを使用することが望ましい。SiNのメリットとして、曲げ強度が大きく、薄くしても割れにくいという特徴がある。一方、デメリットとして、SiNは熱伝導率がAlNよりも悪く、CTEがAlNよりも大きい。ここで、具体的な数値例をあげると、AlNの曲げ強度は、約400GPaであるのに対して、SiNの曲げ強度は、約850GPaである。一方、SiNの熱伝導率は、約35W/mKであるのに対して、AlNの熱伝導率は、約170W/mKである。また、SiNのCTEは、約850ppm/°Cであるのに対して、AlNのCTEは、約5.7ppm/°Cである。

【0212】

(半導体装置を適用した応用例)

次に、図33を参照して、第2の実施の形態に係るパワーモジュール半導体装置1を用いて構成した3相交流インバータについて説明する。

【0213】

図33に示すように、3相交流インバータは、ゲートドライブ部50と、ゲートドライブ部50に接続されたパワーモジュール部52と、3相交流モータ部54とを備える。パワーモジュール部52は、3相交流モータ部54のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。ここで、ゲートドライブ部50は、図33では、SiCMOSFETQ1・Q4に接続されているが、図示は省略するが、同様に、SiCMOSFETQ2・Q5、およびQ3・Q6にも接続されている。

【0214】

パワーモジュール部52は、蓄電池(E)46の接続されたコンバータ48が接続されたプラス端子(+)とマイナス端子(-)間に、インバータ構成のSiCMOSFETQ1・Q4、Q2・Q5、およびQ3・Q6が接続されている。さらに、SiCMOSFETQ1~Q6のソース・ドレイン間には、ダイオードD1~D6がそれぞれ逆並列に接続されている。

【0215】

第2の実施の形態に係るパワーモジュール半導体装置1では、図33のU相部分に対応する単相インバータの構造について説明されていたが、V相、W相に対応しても同様に形成して、3相パワーモジュール部52を形成することもできる。

【0216】

10

20

30

40

50

第2の実施の形態に係るパワーモジュール半導体装置1では、第1信号端子群(G4・S4・T4)および第2信号端子群(G1・S1・T1)は、セラミック基板10の厚み方向に折り曲げた構成を備えていても良い。

【0217】

また、第2の実施の形態に係るパワーモジュール半導体装置1では、パワーモジュール半導体装置は、複数個並列に配置されていても良い。

【0218】

(3相交流インバータ駆動)

3相交流インバータを駆動するために第2の実施の形態に係るパワーモジュール半導体装置1を3個並列に配置した模式的平面構成は、図34に示すように表される。

10

【0219】

また、第2の実施の形態に係るパワーモジュール半導体装置1において、信号端子を折り曲げた模式的鳥瞰構成は、図35に示すように表される。また、第2の実施の形態に係るパワーモジュール半導体装置1を3個並列に配置し、3相交流インバータを駆動する模式的回路構成は、図36に示すように表される。

【0220】

第2の実施の形態に係るパワーモジュール半導体装置1においては、信号端子(G1・S1・T1)・(G4・S4・T4)若しくは正側電源入力端子P・負側電源入力端子N・出力端子Oのいずれかがパッケージモジュールの4辺の全辺(全側面)から出ている構造において、対向する辺の信号端子(G1・S1・T1)・(G4・S4・T4)が互い

20

違いに配置されているため、図34に示すように、パワーモジュール半導体装置1を並列配置した場合の占有面積を縮小化可能となる。さらに、図35に示すように、信号端子(G1・S1・T1)・(G4・S4・T4)を折り曲げることによって、図34および図36に示すように、パワーモジュール半導体装置1を並列配置した場の占有面積を縮小化可能となる。このため、装置全体の省スペース化、小型化を図ることができる。

【0221】

第2の実施の形態に係るパワーモジュール半導体装置1に適用する半導体デバイス100(Q)の例として、SiC MOSFETの模式的断面構造は、図20と同様に表される。図20では、半導体デバイス100は、プレーナゲート型nチャネル縦型SiC MOSFETで構成されているが、トレンチゲート型nチャネル縦型SiC MOSFET

30

などで構成されていても良い。

【0222】

また、第2の実施の形態に係るパワーモジュール半導体装置1に適用する半導体デバイス100(Q)には、SiC MOSFETの代わりに、GaN系FETなどを適用することもできる。

【0223】

第2の実施の形態に係るパワーモジュール半導体装置1に適用する半導体デバイス100には、SiC系、GaN系、若しくはAlN系のいずれかのパワーデバイスを適用可能である。

【0224】

第2の実施の形態に係るパワーモジュール半導体装置1に適用する半導体デバイス100の例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFETの模式的断面構造は、図21と同様に表される。

40

【0225】

第2の実施によれば、ツーインワン薄型SiCパワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置を提供することができる。

【0226】

[第3の実施の形態]

第3の実施の形態に係るパワーモジュール半導体装置2であって、ワンインワンモジュール(1 in 1 Module)の模式的回路表現は、図37に示すように表される。また、第2

50

の実施の形態に係るパワーモジュール半導体装置 2 であって、ワンインワンモジュールの詳細回路表現は、図 3 8 に示すように表される。

【 0 2 2 7 】

第 3 の実施の形態に係るパワーモジュール半導体装置 2 は、ワンインワンモジュールの構成を備える。すなわち、1 個の MOS F E T Q が 1 つのモジュールに内蔵されている。一例として 6 チップ (M O S トランジスタ × 6) 搭載可能であり、それぞれの MOS F E T Q は、6 個まで並列接続可能である。尚、6 チップの内、一部をダイオード D I 用として搭載することも可能である。

【 0 2 2 8 】

図 3 7 には、M O S F E T Q に逆並列接続されるダイオード D I が示されている。M O S F E T Q の主電極は、ドレイン端子 D T およびソース端子 S T で表される。

10

【 0 2 2 9 】

さらに詳細には、図 3 8 に示すように、M O S F E T Q に並列にセンス用 M O S F E T Q s が接続される。センス用 M O S F E T Q s は、M O S F E T Q と同一チップ内に、微細トランジスタとして形成されている。なお、第 1 の実施の形態においても半導体デバイス Q 1 ・ Q 4 には、センス用 M O S F E T Q s が同一チップ内に、微細トランジスタとして形成されている。

【 0 2 3 0 】

第 3 の実施の形態に係るパワーモジュール半導体装置 2 は、図 3 9 に示すように、樹脂層 1 2 に被覆されたセラミック基板 1 0 の第 1 の辺に配置されたドレイン端子 D T およびソース端子 S T と、第 1 の辺に対向の辺に配置された信号端子群 S S ・ G ・ C S ・ B 1 ・ B 2 とを備える。ここで、信号端子群 S S ・ G ・ C S は、の半導体デバイス Q のソースセンス端子・ゲート信号端子・電流センス端子に対応し、信号端子群 B 1 ・ B 2 は、サーミスタ接続端子に対応する。ここで、ソース端子 S T は、第 1 電源入力端子に対応し、ドレイン端子 D T は、第 2 電源入力端子に対応する。

20

【 0 2 3 1 】

また、樹脂層 1 2 を形成前の模式的鳥瞰構成は、図 4 0 に示すように表される。

【 0 2 3 2 】

さらに、上面板電極 2 2 を形成前の模式的鳥瞰構成は、図 4 1 に示すように表される。

【 0 2 3 3 】

また、第 3 の実施の形態に係るパワーモジュール半導体装置 2 であって、ワンインワンモジュールの模式的平面パターン構成は、図 4 2 に示すように表され、図 4 2 の V I - V I 線に沿う模式的断面構造は、図 4 4 に示すように表される。

30

【 0 2 3 4 】

図 4 1 においては、煩雑となるため詳細構造は省略されているが、図 4 2 および図 4 4 から明らかなように、複数の半導体デバイス Q は、それぞれ別々の金属板 2 1 上に配置されている。

【 0 2 3 5 】

図 4 4 に示す例では、金属板 2 1 は、断面が矩形形状を有し、しかもセラミック基板 1 0 上に完全に分離されて配置されている。

40

【 0 2 3 6 】

また、図 4 2 の V I - V I 線に沿う別の模式的断面構造は、図 4 5 に示すように表される。図 4 5 に示す例では、複数の金属板 2 1 は、断面が台形形状を有し、しかもセラミック基板 1 0 上に完全に分離されて配置されている。

【 0 2 3 7 】

図 4 2 の V I - V I 線に沿う他の模式的断面構造は、図 4 6 に示すように表される。図 4 6 に示す例では、金属板 2 1 は、断面が台形形状を有し、金属板 2 1 上に半導体デバイス Q が複数配置され、金属板 2 1 は、複数の半導体デバイス Q 間の対向領域のすくなくとも一部に熱干渉抑制用の溝部 2 1 G を有する。また、溝部 2 1 G も断面が台形形状を有する。

50

【0238】

図42のVI-VI線に沿うさらに別の模式的断面構造は、図47に示すように表される。図47に示す例では、金属板21は、断面が矩形形状を有し、金属板21上に半導体デバイスQが複数配置され、金属板21は、複数の半導体デバイスQ間の対向領域のすくなくとも一部に熱干渉抑制用の溝部21Gを有する。また、溝部21Gも断面が矩形形状を有する。

【0239】

図46および図47の例では、金属板21に熱干渉抑制用の溝部21Gを形成することによって、複数の半導体デバイスQ間の熱干渉を抑制することができる。

【0240】

また、第3の実施の形態に係るパワーモジュール半導体装置2であって、ワンインワンモジュールの模式的裏面外観構成は、図43に示すように表される。セラミック基板10の裏面上に配置される第2銅プレート層10bは、ヒートスプレッドとして機能する。

【0241】

第3の実施の形態に係るパワーモジュール半導体装置2は、図39~図47に示すように、SiC TPMにおいて、上面板電極22とセラミック基板10上の電極パターンEPとを電気的に接続する柱状接続電極18_nの役割を兼用する負側電源入力端子Nを備える。また、ドレイン端子DTとセラミック基板10上の電極パターンDとを電気的に接続する柱状接続電極18_pの役割を兼用するドレイン端子DTを備える。ソース端子ST・ドレイン端子DTはパワー端子として作用する。

【0242】

第3の実施の形態に係るパワーモジュール半導体装置2においては、上面板電極22とセラミック基板10上の電極パターンEPとを電気的に接続する柱状接続電極18_nの役割を兼用するソース端子STと、ドレイン端子DTとセラミック基板10上の電極パターンDとを電気的に接続する柱状接続電極18_pの役割を兼用するドレイン端子DTとを備えることにより、部材点数を削減することができ、パワーモジュールサイズの縮小化し、パワーモジュールのパワー密度の向上化を図ることができる。その結果、製造コストの削減を図ることができる。

【0243】

第3の実施の形態に係るパワーモジュール半導体装置2においては、構成部材が低減化され、その結果としてチップ数を増加することができる。

【0244】

各部材の接合構造の形成には、半田接合、金属粒子接合、固相拡散接合、液相拡散接合などの技術を適用可能である。

【0245】

第3の実施の形態に係るパワーモジュール半導体装置2は、図39~図47に示すように、セラミック基板10と、セラミック基板10の表面上に配置された第1銅プレート層10aの第1パターンDと、第1パターンD上に配置された半導体デバイスQと、第1パターンD上に配置された第1柱状接続電極18_pと、第1柱状接続電極18_pに接続されたドレイン端子DTとを備える。

【0246】

また、第1銅プレート層10aの第2パターンEPと、第2パターンEP上に配置された第2柱状接続電極18_nと、第2柱状接続電極18_nに接続されたソース端子STとを備えていても良い。

【0247】

また、半導体デバイスQ上に配置された柱状電極20を備えていても良い。

【0248】

また、ここで、図示は省略されているが、第1パターンD上に半導体デバイスQに隣接して配置された第1ダイオードDIを備えていても良い。さらに、場合によっては、第1パターンD上には、すべてのチップにダイオードDIが配置されていても良い。

10

20

30

40

50

【0249】

また、柱状電極20上に配置された上面板電極22を備えていても良い。

【0250】

また、図示は省略されているが、柱状電極20上に配置され、かつダイオードDIのアンロード電極Aに接続された上面板電極22を備えていても良い。

【0251】

上面板電極22は、図40に示すように、平面視で内側の角部に湾曲凹状のL字構造を有することが望ましい。電気的な抵抗を低減するためである。

【0252】

第3の実施の形態に係るパワーモジュール半導体装置2においても、半導体デバイスQは、例えば、SiC MOSFETで形成され、ダイオードDIは、例えば、SiC SBDで形成される。また、セラミック基板10上のサーミスタ接続端子B1・B2間には、サーミスタが接続され、第3の実施の形態に係るパワーモジュール半導体装置2の温度検出に利用される。

10

【0253】

その他の構成は、第2の実施の形態に係るパワーモジュール半導体装置1と同様であるため、重複説明は省略する。

【0254】

第3の実施の形態に係るパワーモジュール半導体装置2に適用する半導体デバイス100(Q)の例として、SiC MOSFETの模式的断面構造は、図20と同様に表される。図20では、半導体デバイス100は、プレーナゲート型nチャネル縦型SiC MOSFETで構成されているが、トレンチゲート型nチャネル縦型SiC MOSFETなどで構成されていても良い。

20

【0255】

また、第3の実施の形態に係るパワーモジュール半導体装置2に適用する半導体デバイス100(Q)には、SiC MOSFETの代わりに、GaN系FETなどを適用することもできる。

【0256】

第3の実施の形態に係るパワーモジュール半導体装置2に適用する半導体デバイス100には、SiC系、GaN系、若しくはAlN系のいずれかのパワーデバイスを適用可能である。

30

【0257】

第3の実施の形態に係るパワーモジュール半導体装置2に適用する半導体デバイス100の例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFETの模式的断面構造は、図21と同様に表される。

【0258】

第3の実施によれば、ワンインワン薄型SiCパワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置を提供することができる。

【0259】

以上説明したように、本発明によれば、薄型SiCパワーモジュールの熱抵抗を改善可能なパワーモジュール半導体装置を提供することができる。

40

【0260】

[その他の実施の形態]

上記のように、第1～第3の実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなる。

【0261】

このように、本発明はここでは記載していない様々な実施の形態などを含む。

【産業上の利用可能性】

50

【 0 2 6 2 】

本発明のパワーモジュール半導体装置は、SiCパワー半導体モジュール、インテリジェントパワーモジュールなどパワーデバイス全般に利用可能であり、特に、小型・軽量化が求められている分野、車載・太陽電池・産業機器・民生機器向けのインバータ、コンバータなど幅広い応用分野に適用可能である。

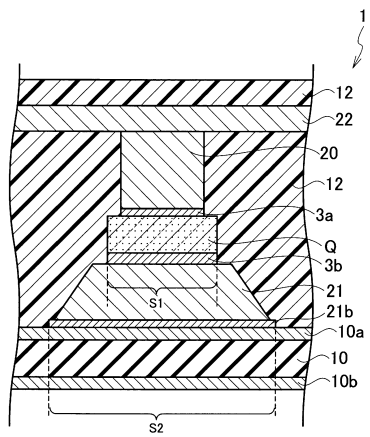
【 符号の説明 】

【 0 2 6 3 】

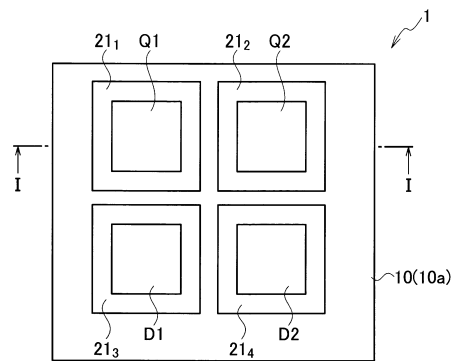
1、1 a、2 ...	パワーモジュール半導体装置	
3 a、3 b ...	半田層	
1 0 ...	セラミック基板	10
1 0 a、1 0 b ...	銅プレート層	
1 2 ...	樹脂層	
1 8 _o 、1 8 _n 、1 8 _p 、1 8 _n ...	柱状接続電極	
2 0、2 0 ₁ 、2 0 ₄ ...	柱状電極	
2 1、2 1 ₁ 、2 1 ₂ 、2 1 ₃ 、2 1 ₄ ...	金属板	
2 1 b ...	接合層	
2 1 G ...	溝部	
2 2、2 2 ₁ 、2 2 ₄ ...	上面板電極	
2 4 ...	n ⁺ ドレイン領域	
2 5 ...	柱状延長電極	20
2 6 ...	半導体基板	
2 8 ...	pベース領域	
3 0 ...	ソース領域	
3 2 ...	ゲート絶縁膜	
3 4 ...	ソース電極	
3 6 ...	ドレイン電極	
3 8 ...	ゲート電極	
4 4 ...	層間絶縁膜	
4 6 ...	蓄電池 (E)	
4 8 ...	コンバータ	30
5 0 ...	ゲートドライブ部	
5 2 ...	パワーモジュール部	
5 4 ...	三相モータ部	
1 0 0、Q、Q 1 ~ Q 6 ...	半導体デバイス (SiC MOSFET、半導体チップ)	
1 8 0 ...	ペースト層	
2 0 0 ...	溶媒	
2 0 0 a ...	シエル	
2 2 0 ...	銀ナノ粒子	
D 1 ~ D 6、D I ...	ダイオード	
G P ...	ゲートパッド電極	40
S P ...	ソースパッド電極	
P ...	正側電源入力端子 (第 2 電源入力端子)	
N ...	負側電源入力端子 (第 1 電源入力端子)	
D T ...	ドレイン端子 (第 2 電源入力端子)	
S T ...	ソース端子 (第 1 電源入力端子)	
O、U、V、W ...	出力端子	
G、G 1、G 4 ...	ゲート信号端子	
S 1、S 4、S S ...	ソースセンス端子	
C S、T 1、T 4 ...	電流センス端子	
B 1、B 2 ...	サーミスタ接続端子	50

- A 1、A 4 ... アノード電極
- K 1、K 4 ... カソード電極
- D、D (K 1)、D (K 4) ... ドレイン電極パターン
- E P ... 接地パターン
- T H 1、T H 1₁、T H 1₂ ... 金属板の厚さ
- T H 2 ... 溝部の深さ

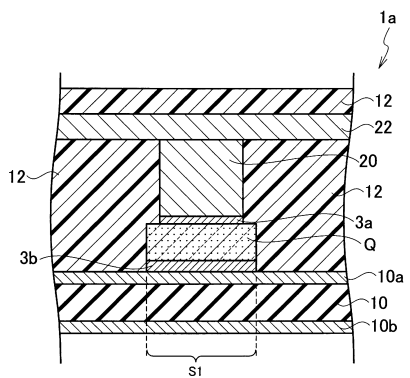
【 図 1 】



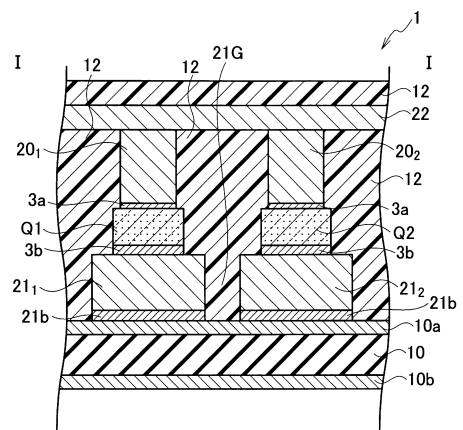
【 図 3 】



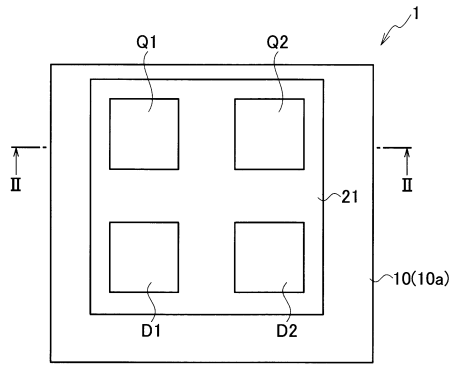
【 図 2 】



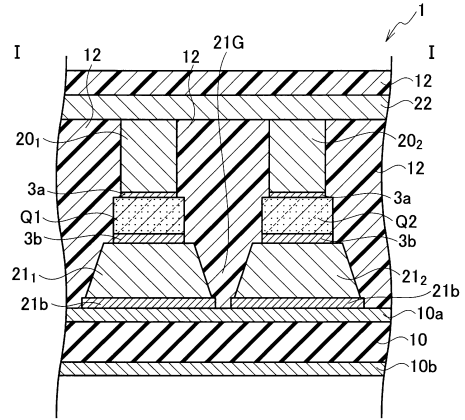
【 図 4 】



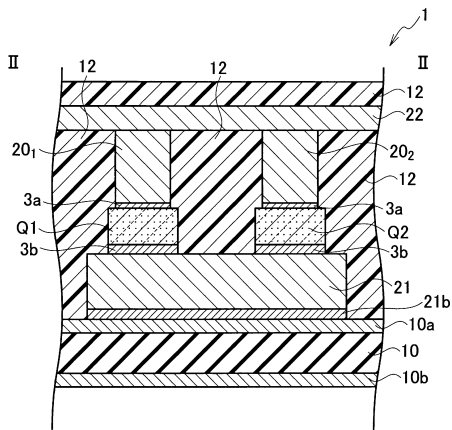
【 図 5 】



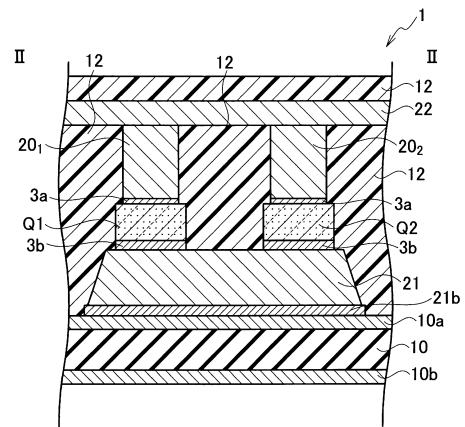
【 図 7 】



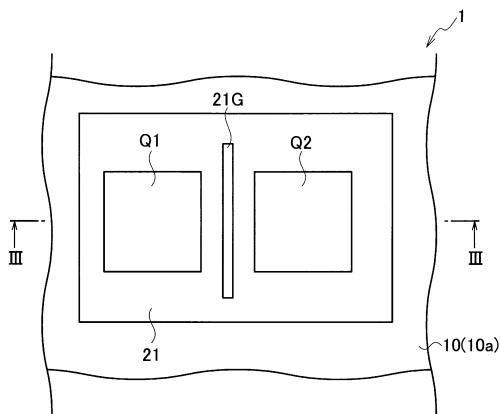
【 図 6 】



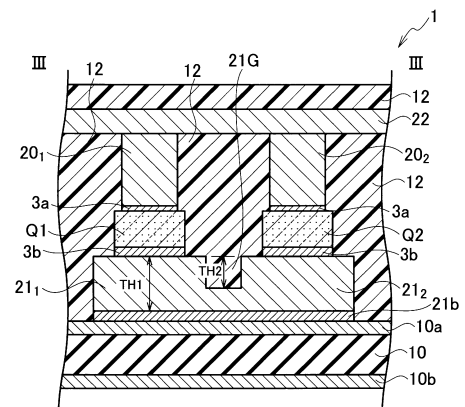
【 図 8 】



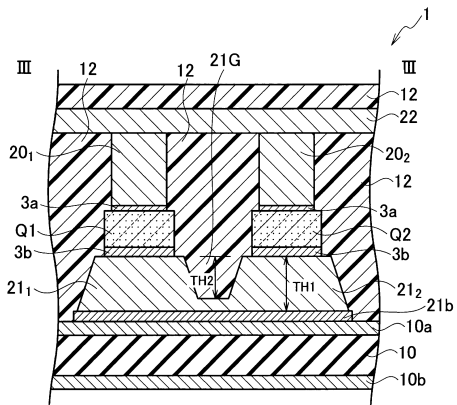
【 図 9 】



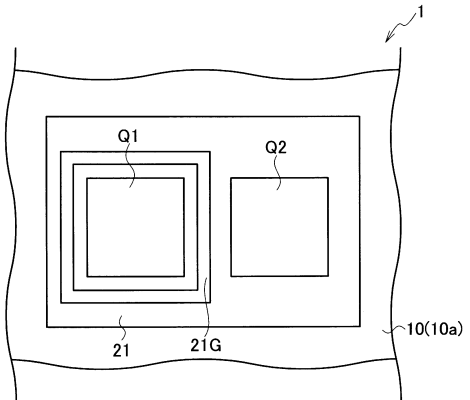
【 図 1 1 】



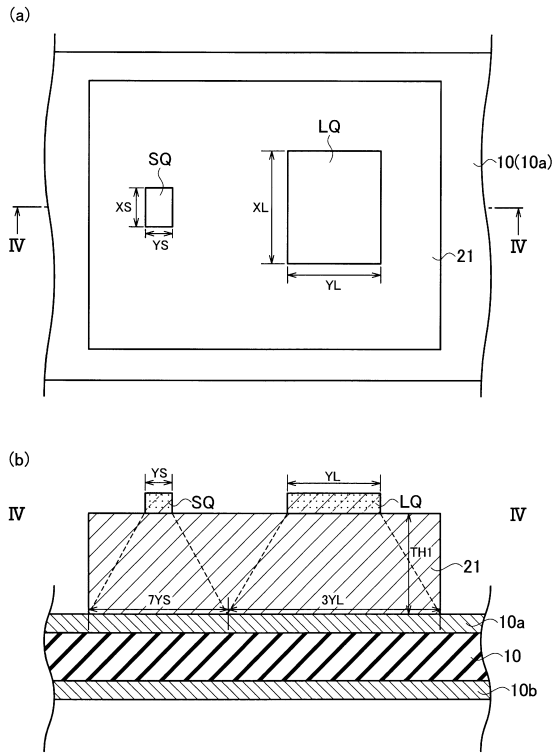
【 図 1 0 】



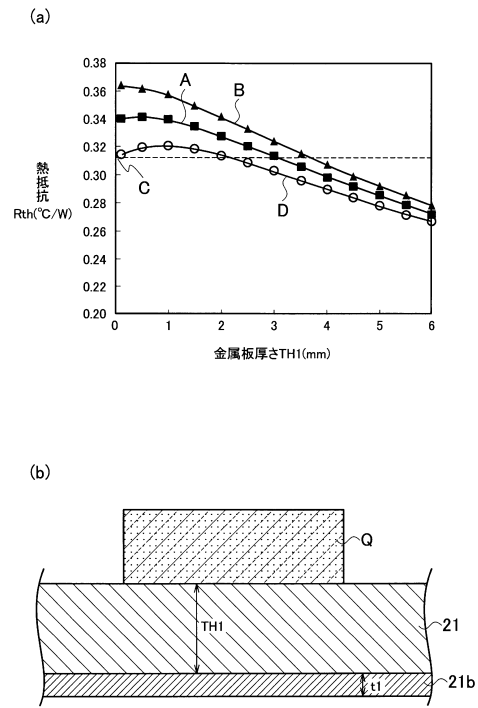
【 図 1 2 】



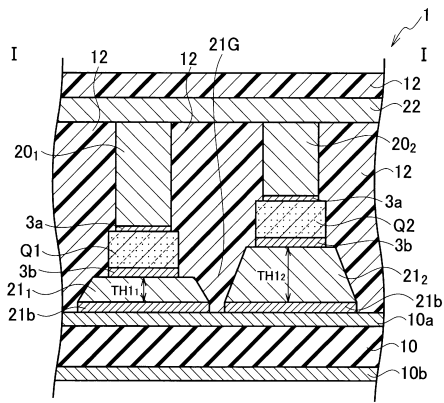
【図13】



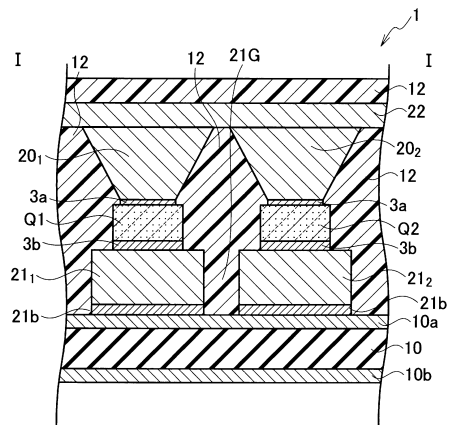
【図14】



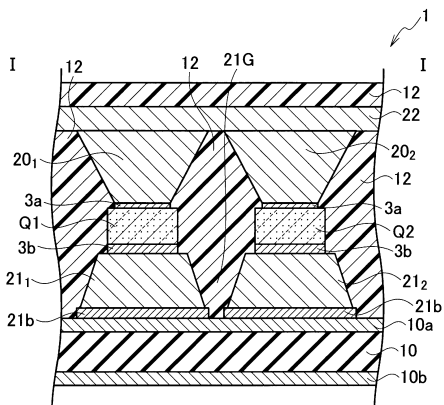
【図15】



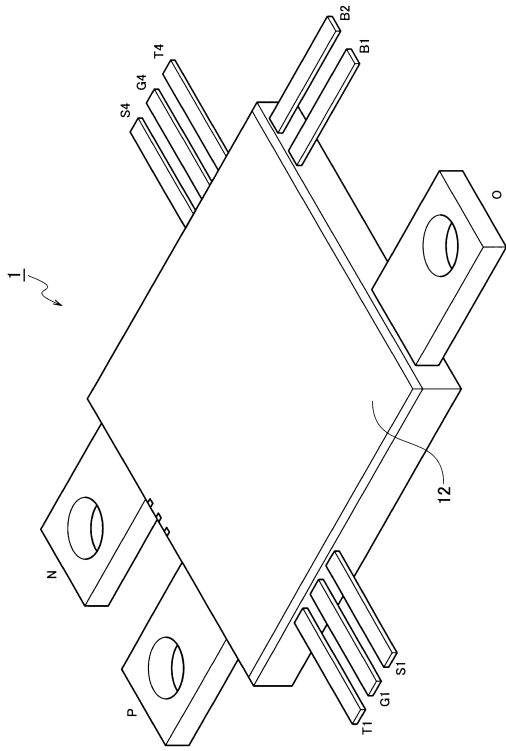
【図17】



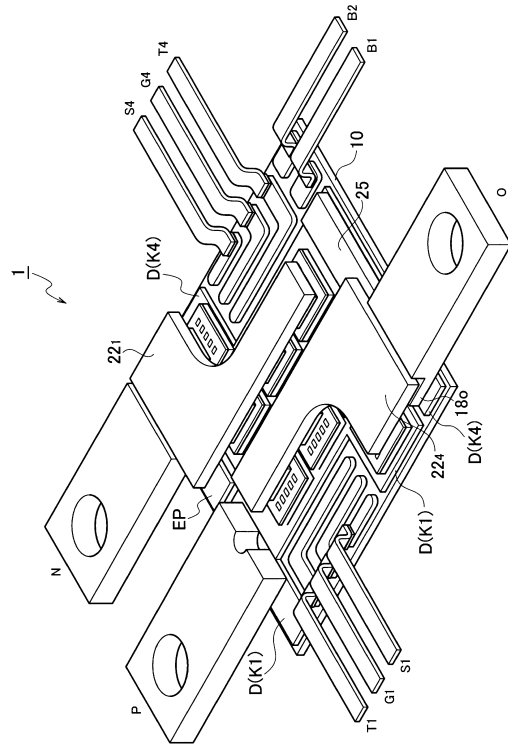
【図16】



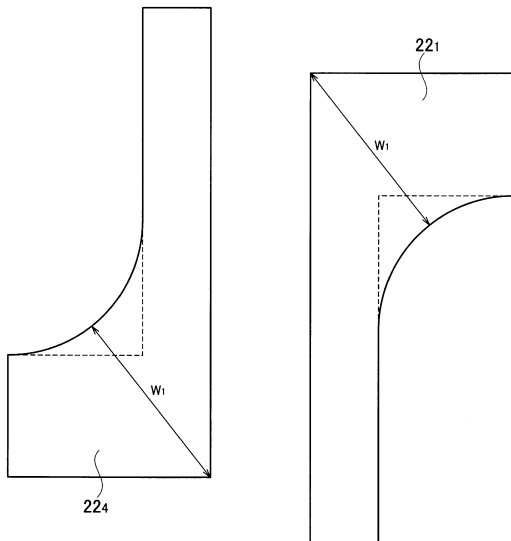
【 図 2 2 】



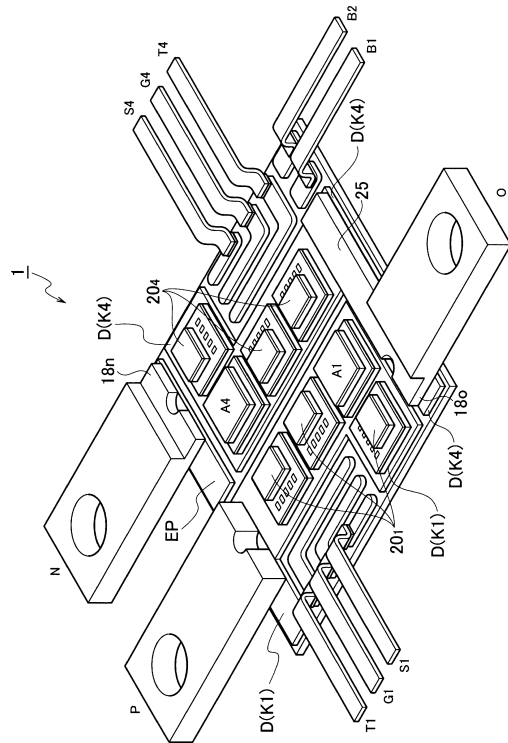
【 図 2 3 】



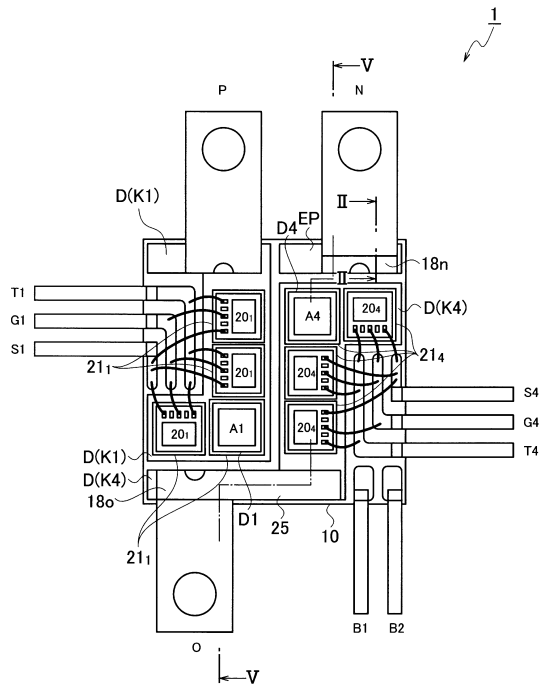
【 図 2 4 】



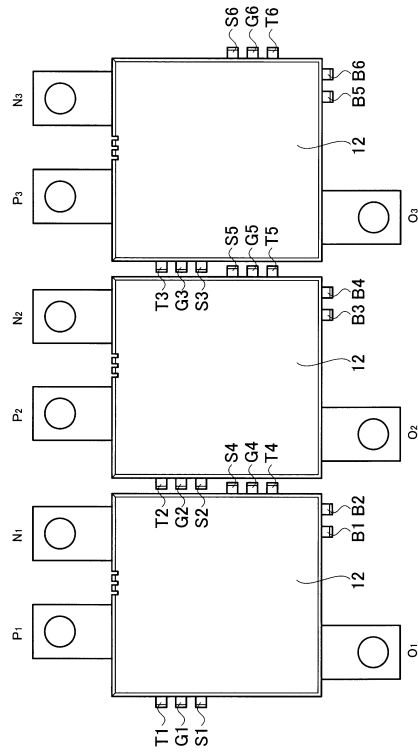
【 図 2 5 】



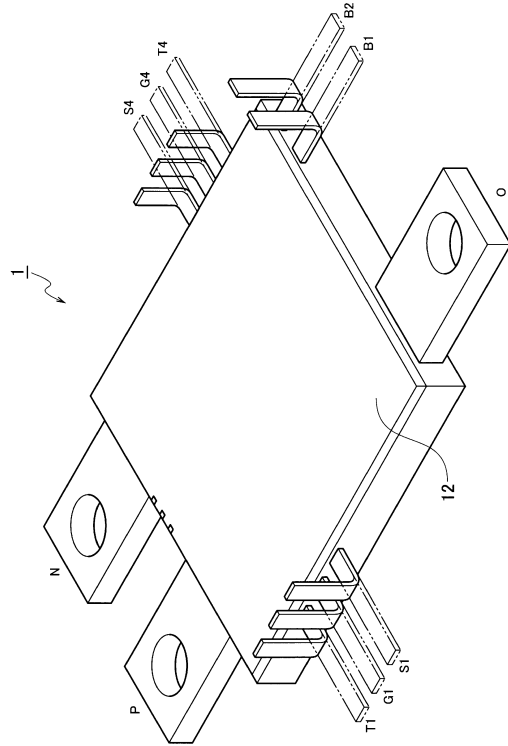
【 26 】



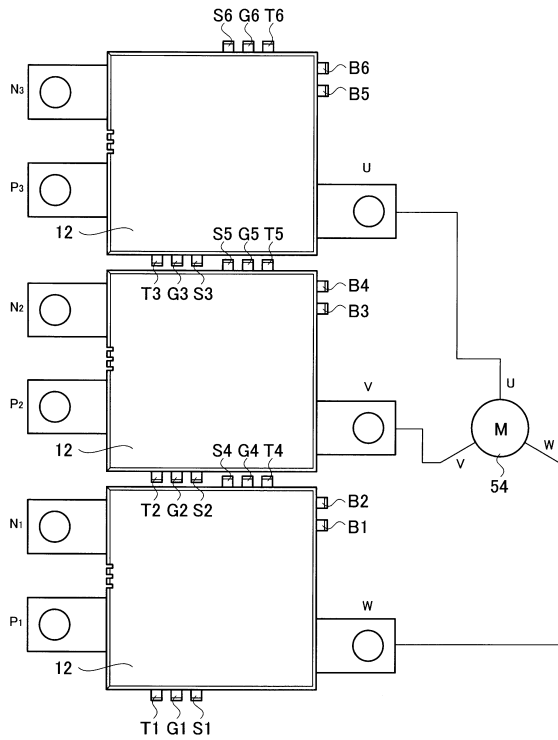
【 3 4 】



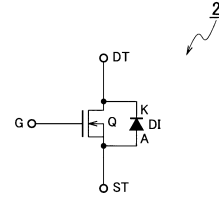
【 3 5 】



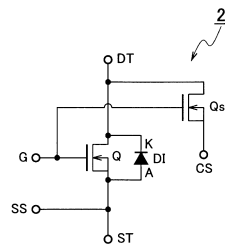
【 3 6 】



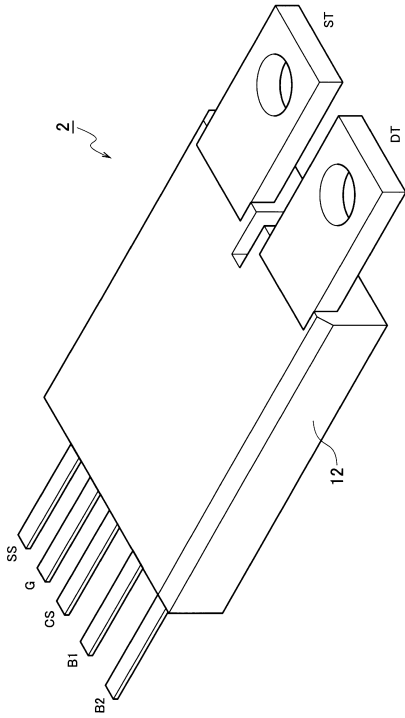
【 3 7 】



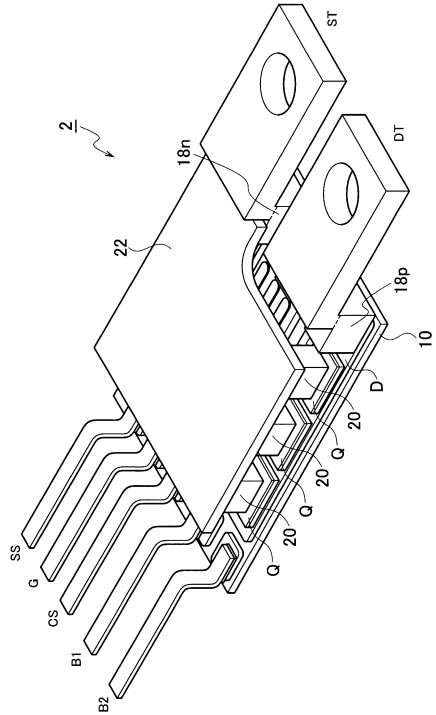
【 3 8 】



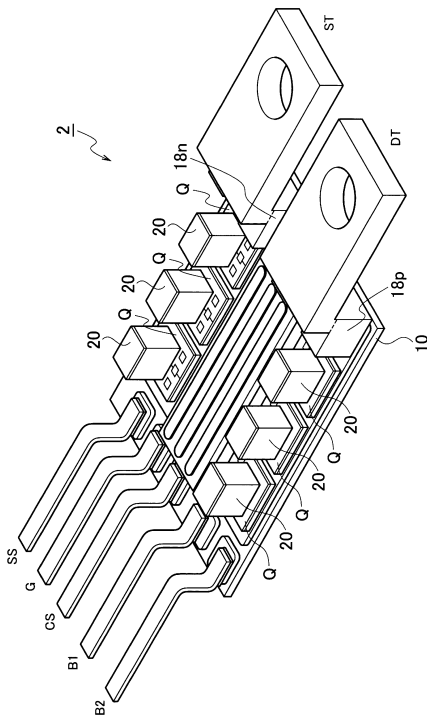
【 図 3 9 】



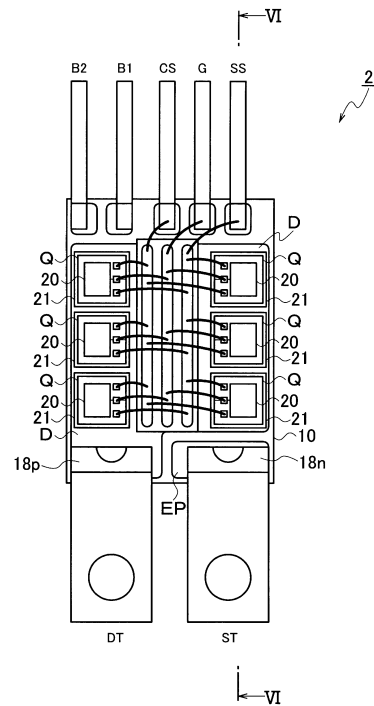
【 図 4 0 】



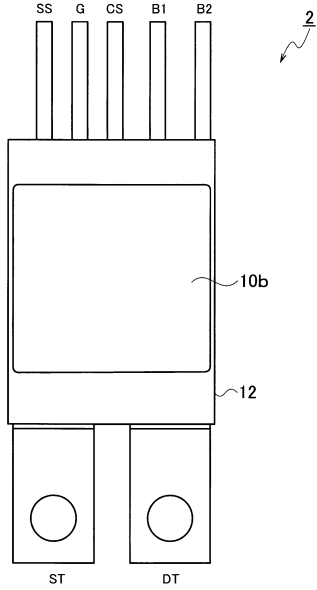
【 図 4 1 】



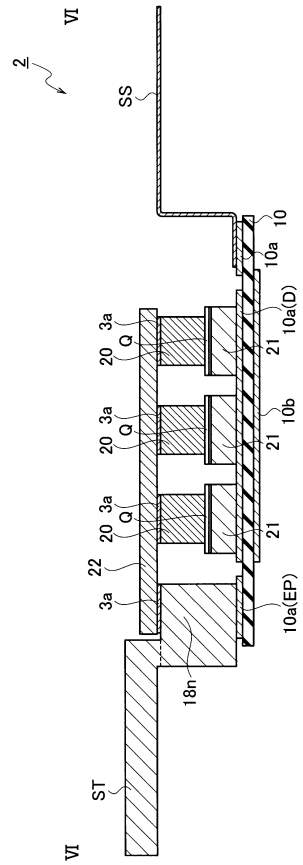
【 図 4 2 】



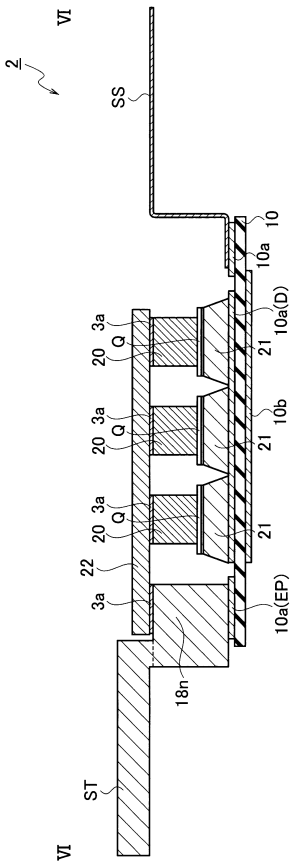
【 図 4 3 】



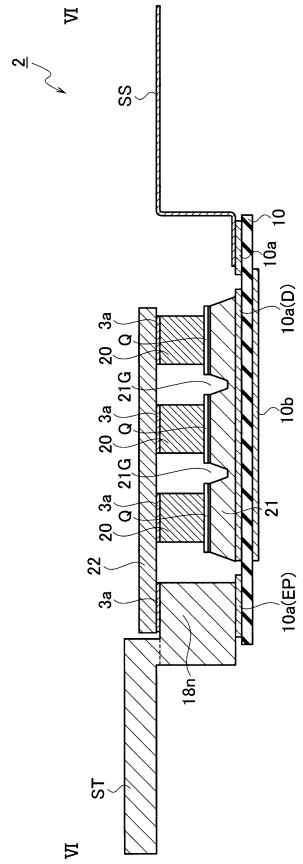
【 図 4 4 】



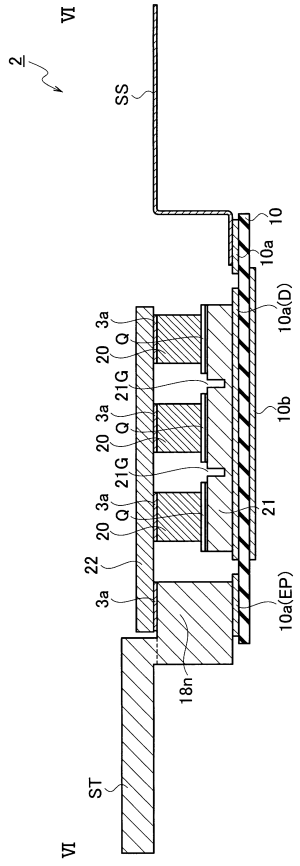
【 図 4 5 】



【 図 4 6 】



【 図 47 】



フロントページの続き

- (56)参考文献 特開2002-246515(JP,A)
特開2008-194707(JP,A)
特開2006-352080(JP,A)
国際公開第2012/042907(WO,A1)
特開2010-067650(JP,A)
特開2007-305962(JP,A)
特開2008-124158(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/36
H01L 23/40
H01L 25/07
H01L 25/18