

(51) 国際特許分類:
H01L 33/00 (2006.01)

(21) 国際出願番号: PCT/JP2008/000744

(22) 国際出願日: 2008 年 3 月 26 日(26.03.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): 国立大学法人広島大学(HIROSHIMA UNIVERSITY) [JP/JP]; 〒7398511 広島県東広島市鏡山一丁目 3 番 2 号 Hiroshima (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 横山新(YOKOYAMA, Shin) [JP/JP]; 〒7398527 広島県東広島市鏡山一丁目 4 番 2 号国立大学法人広島大学ナノデバイス・システム研究センター内 Hiroshima (JP). 雨宮嘉照(AMEMIYA, Yoshiteru) [JP/JP]; 〒7398527 広島県東広島市鏡山一丁目 4 番 2 号国立大学法人広島大学ナノデバイス・システム研究センター内 Hiroshima (JP).

(74) 代理人: 松山隆夫(MATSUYAMA, Takao); 〒5300004 大阪府大阪市北区堂島浜 1 丁目 4 番 1

6 号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

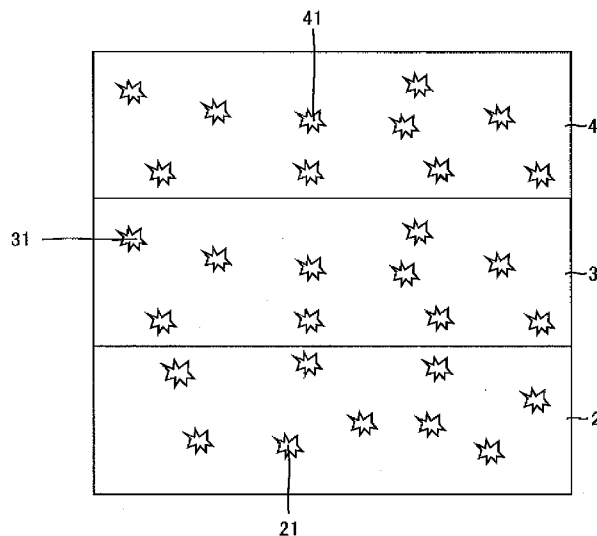
添付公開書類:

— 国際調査報告(条約第 21 条(3))

(54) Title: LIGHT-EMITTING ELEMENT AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 発光素子およびその製造方法

[図2]



(57) Abstract: A light-emitting element comprises an n-type silicon thin film (2), a silicon thin film (3), and a p-type silicon thin film (4). The silicon thin film (3) is formed in contact with the n-type silicon thin film (2). The p-type silicon thin film (4) is formed in contact with the silicon thin film (3). The n-type silicon thin film (2), the silicon thin film (3), and the p-type silicon thin film (4) form a pin conjunction. The n-type silicon thin film (2) comprises a plurality of quantum dots (21) composed of n-type Si. The silicon thin film (3) comprises a plurality of quantum dots (31) composed of p-type Si. The p-type silicon thin film (4) comprises a plurality of quantum dots (41) composed of p-type Si. An electron is injected from an n-type silicon thin film (2) side, a positive hole is injected from a p-type silicon thin film (4) side, and consequently light is emitted at the silicon nitride film (3).

(57) 要約: 発光素子は、n 型シリコン薄膜(2)と、シリコン薄膜(3)と、p 型シリコン薄膜(4)とを備える。シリコン薄膜(3)は、n 型シリコン薄膜(2)に接して形成され、p 型シリコン薄膜(4)は、シリコン薄膜(3)に接して形成され、n 型シリコン薄膜(2)、シリコン薄膜(3)および p 型シリコン薄膜(4)は、pin 接合を形成する。n 型シリコン薄膜(2)は、n 型 Si からなる複数の量子ドット(21)を含む。シリコン薄膜(3)は、p 型 Si からなる複数の量子ドット(31)を含む。p 型シリコン薄膜(4)は、p 型 Si からなる複数の量子ドット(41)を含む。n 型シリコン薄膜(2)側から電子を注入し、p 型シリコン薄膜(4)側から正孔を注入することによって、シリコン窒化膜(3)で発光する。

i からなる複数の量子ドット(21)を含む。シリコン薄膜(3)は、p 型 Si からなる複数の量子ドット(31)を含む。p 型シリコン薄膜(4)は、p 型 Si からなる複数の量子ドット(41)を含む。n 型シリコン薄膜(2)側から電子を注入し、p 型シリコン薄膜(4)側から正孔を注入することによって、シリコン窒化膜(3)で発光する。

明 細 書

発光素子およびその製造方法

技術分野

[0001] この発明は、発光素子およびその製造方法に関し、特に、量子ドットを用いた発光素子およびその製造方法に関するものである。

背景技術

[0002] 従来、半導体島構造（量子ドット）を用いた半導体発光素子が知られている（特開2003-332695号公報）。この半導体発光素子は、 n 型AlGaAs/ n 型GaAs/ In GaAs島構造/窒素を含む化合物半導体/ p 型GaAs/ p 型AlGaAsからなる。

[0003] そして、 In GaAs島構造は、圧縮応力からなる内部応力を有する。また、窒素を含む化合物半導体は、引っ張り応力を有する。従って、窒素を含む化合物半導体を In GaAs島構造に接するように配置し、 In GaAs島構造が有する内部応力を窒素を含む化合物半導体によって減少させる。

[0004] その結果、発光層である In GaAs島構造における内部応力が減少し、 $1.55\mu m$ の発光スペクトルが室温で得られている。

発明の開示

[0005] しかし、従来の半導体発光素子は、高価な化合物半導体基板の上に、高度な技術であるヘテロエピタキシャル成長によって形成され、シリコン基板を用いるデバイスに比べてコストが高いという問題がある。また、従来のシリコンドットを用いる発光素子は、直接遷移型の化合物系半導体を用いる発光素子に比べ発光効率が低いという問題がある。

[0006] そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、発光効率が向上可能な発光素子を提供することである。

[0007] また、この発明の別の目的は、発光効率が向上可能な発光素子の製造方法を提供することである。

[0008] この発明によれば、発光素子は、第1から第3の導電部材を備える。第1

の導電部材は、第1の導電型を有する第1の量子ドットを含む。第2の導電部材は、第1の導電部材に接して配置され、第2の量子ドットを含む。第3の導電部材は、第2の導電部材に接して形成されるとともに、第1の導電型と異なる第2の導電型を有する第3の量子ドットを含み、電子に対する障壁エネルギーが第2の導電部材よりも大きい。

[0009] 好ましくは、第1の導電部材は、複数個の第1の量子ドットとトンネル電流が流れる第1の絶縁層とを含み、第2の導電部材は、複数個の第2の量子ドットとトンネル電流が流れる第2の絶縁層とを含み、第3の導電部材は、複数個の第3の量子ドットとトンネル電流が流れる第3の絶縁層とを含む。

[0010] 好ましくは、複数個の第1の量子ドットは、第1の導電部材の膜厚方向にランダムに配置され、複数個の第2の量子ドットは、第2の導電部材の膜厚方向にランダムに配置され、複数個の第3の量子ドットは、第3の導電部材の膜厚方向にランダムに配置される。

[0011] 好ましくは、第1の導電型は、n型であり、第2の導電型は、p型である。

[0012] 好ましくは、第1の導電部材において、正孔に対する障壁エネルギーは、電子に対する障壁エネルギーよりも大きく、第3の導電部材において、電子に対する障壁エネルギーは、正孔に対する障壁エネルギーよりも大きい。

[0013] 好ましくは、第1から第3の量子ドットは、シリコンドットからなり、第1の導電部材は、 SiO_2 よりも多くのシリコンを含むシリコン酸化膜からなり、第2の導電部材は、 Si_3N_4 よりも多くのシリコンを含むシリコン窒化膜からなり、第3の導電部材は、 $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$)よりも多くのシリコンを含むシリコン酸窒化膜からなる。

[0014] また、この発明によれば、発光素子は、発光層と、第1および第2の導電部材とを備える。発光層は、量子ドットを含む。第1の導電部材は、n型の量子ドットを介して電子を発光層へ供給する。第2の導電部材は、p型の量子ドットを介して正孔を発光層へ供給する。

[0015] 好ましくは、第1の導電部材は、 SiO_2 よりも多くのシリコンを含むシリ

コン酸化膜からなり、第2の導電部材は、 $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) よりも多くのシリコンを含むシリコン窒化膜からなる。

- [0016] さらに、この発明によれば、発光素子の製造方法は、量子ドットを含む第1の導電部材を半導体基板の一主面に堆積する第1の工程と、量子ドットを含む第2の導電部材を第1の導電部材上に堆積する第2の工程と、量子ドットを含む第3の導電部材を第2の導電部材上に堆積する第3の工程と、第1の導電部材中へ第1の導電型の不純物を導入する第4の工程と、第3の導電部材中へ第1の導電型と異なる第2の導電型の不純物を導入する第5の工程と、第1の導電型の不純物を含む第1の導電部材と、第2の導電型の不純物を含む第3の導電部材とを熱処理する第6の工程とを備える。
- [0017] 好ましくは、第1の工程において、酸素を含む第1の材料ガスの流量に対するシリコンを含む第2の材料ガスの流量の比を第1の基準値以上に設定して SiO_2 よりも多くのシリコンを含むシリコン酸化膜からなる第1の導電部材が前記一主面に堆積される。第2の工程において、窒素を含む第3の材料ガスの流量に対する第2の材料ガスの流量の比を第2の基準値以上に設定して Si_3N_4 よりも多くのシリコンを含むシリコン窒化膜からなる第2の導電部材が第1の導電部材上に堆積される。第3の工程において、第1の材料ガスの流量に対する第2の材料ガスの流量の比を第1の基準値以上に設定し、かつ、第3の材料ガスの流量に対する第2の材料ガスの流量の比を第2の基準値以上に設定して $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) よりも多くのシリコンを含むシリコン窒化膜からなる第3の導電部材が第2の導電部材上に堆積される。
- [0018] 好ましくは、第4の工程において、n型の不純物が第1の導電部材中へ導入され、第5の工程において、p型の不純物が第3の導電部材中へ導入される。
- [0019] 好ましくは、第6の工程において、n型の不純物を含む第1の導電部材およびp型の不純物を含む第3の導電部材は、窒素雰囲気中で熱処理される。

[0020] この発明による発光素子においては、第1および第3の導電部材のいずれか一方に含まれる量子ドットを介して電子および正孔の一方が第2の導電部材に供給され、第1および第3の導電部材のいずれか他方に含まれる量子ドットを介して電子および正孔の他方が第2の導電部材に供給される。そして、第2の導電部材に供給された電子および正孔は、第2の導電部材中に閉じ込められ、再結合して発光する。つまり、この発明による発光素子においては、電子および正孔の両方が第2の導電部材に供給されて発光する。

[0021] したがって、この発明によれば、発光効率を高くできる。

図面の簡単な説明

[0022] [図1] この発明の実施の形態による発光素子の断面図である。

[図2] 図1に示すn型シリコン酸化膜、シリコン薄膜およびp型シリコン薄膜の拡大断面図である。

[図3] 図1に示す発光素子のゼロバイアス時のエネルギーバンド図である。

[図4] 図1に示す発光素子の電流通電時のエネルギーバンド図である。

[図5] 図1に示す発光素子の製造に用いるプラズマCVD (Chemical Vapor Deposition) 装置の概略図である。

[図6] 図1に示す発光素子の製造方法を説明するための第1の工程図である。

[図7] 図1に示す発光素子の製造方法を説明するための第2の工程図である。

[図8] この発明の実施の形態による他の発光素子の断面図である。

[図9] 図8に示す半導体素子の製造方法を示す第1の工程図である。

[図10] 図8に示す半導体素子の製造方法を示す第2の工程図である。

[図11] 図8に示す半導体素子の製造方法を示す第3の工程図である。

[図12] 図8に示す半導体素子の製造方法を示す第4の工程図である。

[図13] 図8に示す半導体素子の製造方法を示す第5の工程図である。

[図14] 図8に示す半導体素子の製造方法を示す第6の工程図である。

[図15] この発明の実施の形態によるさらに他の発光素子の断面図である。

[図16] この発明の実施の形態によるさらに他の発光素子の断面図である。

発明を実施するための最良の形態

[0023] 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

[0024] 図1は、この発明の実施の形態による発光素子の断面図である。図1を参照して、この発明の実施の形態による発光素子10は、基板1と、n型シリコン薄膜2と、シリコン薄膜3と、p型シリコン薄膜4と、p⁺型ポリシリコン（poly-Si）膜5と、電極6、7とを備える。

[0025] 基板1は、約0.1Ω・cmの比抵抗を有するn⁺型シリコン（n⁺-Si）からなる。n型シリコン薄膜2は、n型不純物が導入されるとともに、SiO₂よりも多くのSiと、酸素元素（O）とを含む。より具体的には、n型シリコン薄膜2は、後述するように、n型Siからなる複数の量子ドットとシリコン酸化膜とを含み、基板1の一主面に形成される。そして、n型シリコン薄膜2は、約150nmの膜厚を有する。

[0026] シリコン薄膜3は、後述するように、Si₃N₄よりも多くのSiと、窒素元素（N）とを含む。より具体的には、シリコン薄膜3は、Siからなる複数の量子ドットとシリコン窒化膜とを含み、n型シリコン薄膜2に接してn型シリコン薄膜2上に形成される。そして、シリコン薄膜3は、約10nmの膜厚を有する。

[0027] p型シリコン薄膜4は、シリコン薄膜3に接して、シリコン薄膜3上に形成される。そして、p型シリコン薄膜4は、p型不純物が導入されるとともに、SiO₂およびSi₃N₄よりも多くのSiと、酸素元素（O）および窒素元素（N）とを含む。より具体的には、p型シリコン薄膜4は、後述するように、p型Siからなる複数の量子ドットとシリコン酸窒化膜とを含み、SiO₁N_{0.33}の組成を有する。また、p型シリコン薄膜4は、約100nmの膜厚を有する。

[0028] p⁺型poly-Si膜5は、p⁺型poly-Si膜51～54からなり、p型シリコン薄膜4に接してp型シリコン薄膜4上に形成される。そして、p⁺型poly-Si膜5は、約10²⁰cm⁻³のボロン濃度を含み、約50nmの膜厚を有する。

- [0029] 電極6は、電極61～64からなる。そして、電極61～64は、それぞれ、 p^+ 型poly-Si膜51～54に接して p^+ 型poly-Si膜51～54上に形成される。電極61～64の各々は、アルミニウム（Al）からなる。
- [0030] 電極7は、Alからなり、基板1の裏面（ n 型シリコン薄膜2等が形成された面と反対面）に形成される。
- [0031] 図2は、図1に示す n 型シリコン薄膜2、シリコン薄膜3および p 型シリコン薄膜4の拡大断面図である。図2を参照して、 n 型シリコン薄膜2は、複数の量子ドット21を含む。複数の量子ドット21の各々は、 n 型Siドットからなり、約 10^{19} cm^{-3} のリン（P）濃度を含む。そして、複数の量子ドット21は、 n 型シリコン薄膜2中に不規則に配置される。
- [0032] シリコン薄膜3は、複数の量子ドット31を含む。そして、複数の量子ドット31は、シリコン薄膜3中に不規則に配置される。
- [0033] p 型シリコン薄膜4は、複数の量子ドット41を含む。複数の量子ドット41の各々は、 p 型Siドットからなり、約 10^{19} cm^{-3} のB濃度を含む。そして、複数の量子ドット41は、 p 型シリコン薄膜4中に不規則に配置される。
- [0034] このように、 n 型シリコン薄膜2は、 n 型Siドットからなる量子ドット21を含み、シリコン薄膜3は、Siドットからなる量子ドット31を含み、 p 型シリコン薄膜4は、 p 型Siドットからなる量子ドット41を含む。したがって、 n 型シリコン薄膜2、シリコン薄膜3および p 型シリコン薄膜4は、 $p-i-n$ 接合を形成する。
- [0035] なお、量子ドット21、31、41は、1～10nmの直径を有する。
- [0036] 図3は、図1に示す発光素子10のゼロバイアス時のエネルギーバンド図である。図3を参照して、基板1を構成する n^+ Si中には、伝導帯 E_c1 および価電子帯 E_v1 が存在し、 n^+ Siは、1.12eVのエネルギーバンドギャップ E_g1 を有する。
- [0037] また、 p^+ poly-Si膜5中には、伝導帯 E_c2 および価電子帯 E_v2

が存在し、 $p^+poly-Si$ 膜5は、 1.12 eV のエネルギーバンドギャップ E_g1 を有する。

[0038] 基板1を構成する n^+Si は、Pが高濃度にドーピングされ、 $p^+poly-Si$ 膜5は、Bが高濃度にドーピングされているため、 n^+Si の伝導帯 E_c1 の端は、 $p^+poly-Si$ 膜5の価電子帯 E_v2 の端にエネルギー的に近い。

[0039] n 型シリコン薄膜2は、上述したように、複数の量子ドット21を含むため、量子ドット21と、量子ドット21を含まないシリコンダイオキサイド(SiO_2)層22との積層構造からなる。その結果、量子ドット21は、 SiO_2 層22によって挟み込まれる。

[0040] SiO_2 層22は、トンネル電流が流れる膜厚を有するとともに、約 9 eV のエネルギーバンドギャップを有する。また、量子ドット21は、2つの SiO_2 層22によって挟み込まれているので、量子サイズ効果によって、 n^+Si の伝導帯 E_c1 側にサブ準位 L_{sub1} を有し、 n^+Si の価電子帯 E_v1 側にサブ準位 L_{sub2} を有する。

[0041] サブ準位 L_{sub1} は、 n^+Si の伝導帯 E_c1 よりもエネルギー的に高く、サブ準位 L_{sub2} は、 n^+Si の価電子帯 E_v1 の端よりもエネルギー的に高い。その結果、サブ準位 L_{sub1} とサブ準位 L_{sub2} とのエネルギー差は、 n^+Si のエネルギーギャップ E_g1 よりも大きい。

[0042] また、 n^+Si の伝導帯 E_c1 の端と SiO_2 層22の伝導帯の端とのエネルギー差 $\Delta E1$ は、約 3.23 eV であり、 n^+Si の価電子帯 E_v1 の端と SiO_2 層22の価電子帯の端とのエネルギー差 $\Delta E2$ は、約 4.65 eV である。したがって、 n 型シリコン薄膜2は、 n^+Si 中の正孔に対する障壁エネルギー($=\Delta E2$)よりも小さい障壁エネルギー($=\Delta E1$)を n^+Si 中の電子に対して有する。

[0043] シリコン薄膜3は、上述したように、複数の量子ドット31を含むため、量子ドット31と、量子ドット31を含まないシリコン窒化膜(Si_3N_4)層32との積層構造からなる。その結果、量子ドット31は、 Si_3N_4 層3

2によって挟み込まれる。

- [0044] Si_3N_4 層32は、トンネル電流が流れる膜厚を有するとともに、約5.2 eVのエネルギーバンドギャップを有する。また、量子ドット31は、2つの Si_3N_4 層32によって挟み込まれているので、量子サイズ効果によって、 $\text{p}^+\text{poly-Si}$ 膜5の伝導帯 E_c 2側にサブ準位 $L_{sub}3$ を有し、 $\text{p}^+\text{poly-Si}$ 膜5の価電子帯 E_v 4側にサブ準位 $L_{sub}4$ を有する。
- [0045] サブ準位 $L_{sub}3$ は、 $\text{p}^+\text{poly-Si}$ 膜5の伝導帯 E_c 2の端よりもエネルギー的に高く、サブ準位 $L_{sub}4$ は、 $\text{p}^+\text{poly-Si}$ 膜5の価電子帯 E_v 2の端よりもエネルギー的に高い。その結果、サブ準位 $L_{sub}3$ とサブ準位 $L_{sub}4$ とのエネルギー差は、 $\text{p}^+\text{poly-Si}$ 膜5のエネルギーギャップ E_g 1よりも大きい。
- [0046] p型シリコン薄膜4は、上述したように、複数の量子ドット41を含むため、量子ドット41と、量子ドット41を含まないシリコン酸窒化膜42との積層構造からなる。その結果、量子ドット41は、シリコン酸窒化膜42によって挟み込まれる。
- [0047] シリコン酸窒化膜42は、トンネル電流が流れる膜厚を有するとともに、 $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$)の組成を有し、5.2~9 eVのエネルギーバンドギャップを有する。また、量子ドット41は、2つのシリコン酸窒化膜42によって挟み込まれているので、量子サイズ効果によって、 p^+Si の伝導帯 E_c 2側にサブ準位 $L_{sub}5$ を有し、 p^+Si の価電子帯 E_v 2側にサブ準位 $L_{sub}6$ を有する。
- [0048] サブ準位 $L_{sub}5$ は、 p^+Si の伝導帯 E_c 2よりもエネルギー的に高く、サブ準位 $L_{sub}6$ は、 p^+Si の価電子帯 E_v 2の端よりもエネルギー的に高い。その結果、サブ準位 $L_{sub}5$ とサブ準位 $L_{sub}6$ とのエネルギー差は、 p^+Si のエネルギーギャップ E_g 1よりも大きい。
- [0049] また、 p^+Si の伝導帯 E_c 2の端とシリコン酸窒化膜42の伝導帯の端とのエネルギー差 ΔE_5 は、2.32~3.2 eVであり、 p^+Si の価電子帯 E_v 2の端とシリコン酸窒化膜42の価電子帯の端とのエネルギー差 ΔE_6

は、約 $1.78 \sim 4.65 \text{ eV}$ である。組成比を調整することによって、 $\Delta E_5 < \Delta E_6$ となるようなシリコン酸窒化膜 42 を形成することができる。したがって、p 型シリコン薄膜 4 は、 p^+Si 中の電子に対する障壁エネルギー ($= \Delta E_5$) よりも小さい障壁エネルギー ($= \Delta E_6$) を p^+Si 中の正孔に対して有する。

[0050] 図 4 は、図 1 に示す発光素子 10 の電流通電時のエネルギーバンド図である。電極 6 側をプラス、電極 7 側をマイナスとして電極 6, 7 間に電圧を印加すると、図 4 に示すように、基板 1 を構成する n^+Si のエネルギーバンドが持ち上がり、 n^+Si 中の電子 11 は、n 型シリコン薄膜 2 中の複数の量子ドット 21 を介して n 型シリコン薄膜 2 中を伝導し、シリコン薄膜 3 中に注入される。

[0051] そして、p 型シリコン薄膜 4 は、電子に対してシリコン薄膜 3 よりも大きい障壁を有するので、シリコン薄膜 3 中に注入された電子は、p 型シリコン薄膜 4 によってブロックされ、シリコン薄膜 3 の量子ドット 31 中に蓄積される。

[0052] 一方、 $p^+poly-Si$ 膜 5 中の正孔 12 は、p 型シリコン薄膜 4 中の量子ドット 41 を介して p 型シリコン薄膜 4 中を伝導し、シリコン薄膜 3 中に注入される。そして、n 型シリコン薄膜 2 は、正孔に対してシリコン薄膜 3 よりも大きい障壁を有するので、シリコン薄膜 3 中に注入された正孔は、n 型シリコン薄膜 2 によってブロックされ、シリコン薄膜 3 の量子ドット 31 中に蓄積される。

[0053] そうすると、量子ドット 31 に蓄積された電子 13 は、量子ドット 31 に蓄積された正孔 14 と再結合して発光する。

[0054] このように、発光素子 10 は、 n^+Si 1 からシリコン薄膜 3 へ注入された電子を p 型シリコン薄膜 4 によってシリコン薄膜 3 中に閉じ込め、 $p^+poly-Si$ 膜 5 からシリコン薄膜 3 へ注入された正孔を n 型シリコン薄膜 2 によってシリコン薄膜 3 中に閉じ込めることを特徴とする。つまり、発光素子 10 は、正孔および電子の両方を p 型シリコン薄膜 3 中に閉じ込めることを

特徴とする。その結果、発光素子 10 の発光効率を高くできる。

[0055] また、n 型シリコン薄膜 2 は、複数の量子ドット 21 を不規則に含み、シリコン薄膜 3 は、複数の量子ドット 31 を不規則に含み、p 型シリコン薄膜 4 は、複数の量子ドット 41 を不規則に含むので、不規則形状の量子ドット 21, 31, 41 の突起部における電界増強効果によって電子および正孔の注入効率が向上する。

[0056] したがって、この発明によれば、発光効率を高くできる。

[0057] 図 5 は、図 1 に示す発光素子 10 の製造に用いるプラズマ CVD (Chemical Vapor Deposition) 装置の概略図である。図 5 を参照して、プラズマ CVD 装置 100 は、反応室 101 と、電極板 102 と、サンプルホルダー 103 と、ヒーター 104 と、RF (Radio Frequency) 電源 105 と、配管 106 ~ 108 と、ガスボンベ 109 ~ 111 とを備える。

[0058] 反応室 101 は、中空の容器からなり、排気口 101A を有する。電極板 102 およびサンプルホルダー 103 は、平板形状からなり、反応室 101 内に 50 mm の間隔で略平行に配置される。そして、電極板 102 およびサンプルホルダー 103 の各々は、200 mm ϕ の直径を有する。ヒーター 104 は、サンプルホルダー 103 内に配置される。

[0059] RF 電源 105 は、電極板 102 とサンプルホルダー 103 とに接続される。配管 106 は、一方端が反応室 101 に接続され、他方端がガスボンベ 109 に接続される。また、配管 107 は、一方端が反応室 101 に接続され、他方端がガスボンベ 110 に接続される。さらに、配管 108 は、一方端が反応室 101 に接続され、他方端がガスボンベ 111 に接続される。

[0060] サンプルホルダー 103 は、基板 1 を保持する。ヒーター 104 は、基板 1 を所定の温度に加熱する。RF 電源 105 は、電極板 102 とサンプルホルダー 103 との間に、13.56 MHz の RF 電力を印加する。

[0061] ガスボンベ 109 は、N₂O (100%) ガスを保持し、ガスボンベ 110 は、水素 (H₂) ガスによって希釈された 10% の SiH₄ ガスを保持し、ガ

スポンベ 111 は、 NH_3 (100%) ガスを保持する。

[0062] 配管 106 は、 N_2O ガスを反応室 101 内に供給する。配管 107 は、 SiH_4 ガスを反応室 101 内に供給する。配管 108 は、 NH_3 ガスを反応室 101 内に供給する。反応室 101 内に供給された N_2O ガス、 SiH_4 ガスおよび NH_3 ガスは、ロータリーポンプ等の排気装置 (図示せず) によって排気口 101A から排気される。その結果、反応室 101 内は、所定の圧力に設定される。

[0063] プラズマ CVD 装置 100 は、 N_2O ガスおよび SiH_4 ガスが反応室 101 内に供給された状態で RF 電源 105 によって RF 電力を電極板 102 とサンプルホルダー 103 との間に印加してシリコンリッチ酸化膜を基板 1 上に堆積する。また、プラズマ CVD 装置 100 は、 NH_3 ガスおよび SiH_4 ガスが反応室 101 内に供給された状態で RF 電源 105 によって RF 電力を電極板 102 とサンプルホルダー 103 との間に印加してシリコンリッチ窒化膜を基板 1 上に堆積する。さらに、プラズマ CVD 装置 100 は、 N_2O ガス、 NH_3 ガスおよび SiH_4 ガスが反応室 101 内に供給された状態で RF 電源 105 によって RF 電力を電極板 102 とサンプルホルダー 103 との間に印加してシリコンリッチ酸窒化膜を基板 1 上に堆積する。

[0064] 図 6 および図 7 は、それぞれ、図 1 に示す発光素子 10 の製造方法を説明するための第 1 および第 2 の工程図である。図 6 を参照して、発光素子 10 の製造が開始されると、 $n^+\text{Si}$ からなる基板 1 が準備され (工程 (a) 参照)、基板 1 を洗浄した後、プラズマ CVD 装置 100 のサンプルホルダー 103 上に基板 1 をセットする。

[0065] そして、表 1 に示す反応条件によって、 SiO_2 よりも多くの Si と、酸素元素 (O) とを含むシリコン薄膜 11 を基板 1 の一主面に堆積する。

[0066]

[表1]

SiH ₄ (H ₂ 希釈10%)の流量	89sccm
N ₂ O(100%)の流量	29sccm
圧力	133Pa
RFパワー	0.32W/cm ²
基板温度	300°C
反応時間	3分

[0067] その後、表2に示す反応条件によって、Si₃N₄よりも多くのSiと、窒素元素（N）とを含むシリコン薄膜12をシリコン薄膜11上に堆積する。

[0068] [表2]

SiH ₄ (H ₂ 希釈10%)の流量	100sccm
NH ₃ (100%)の流量	20sccm
圧力	133Pa
RFパワー	0.32W/cm ²
基板温度	300°C
反応時間	4分

[0069] さらに、その後、表3に示す反応条件によって、SiO₂およびSi₃N₄よりも多くのSiと、酸素元素（O）および窒素元素（N）とを含むシリコン薄膜13をシリコン薄膜12上に堆積する。

[0070]

[表3]

SiH ₄ (H ₂ 希釈10%)の流量	96sccm
N ₂ O(100%)の流量	6sccm
NH ₃ (100%)の流量	18sccm
圧力	133Pa
RFパワー	0.32W/cm ²
基板温度	300°C
反応時間	4分

[0071] 引き続いて、表3に示す反応条件においてN₂OガスおよびNH₃ガスを停止させた反応条件によって、アモルファスシリコン(a-Si)膜14をシリコン薄膜13上に堆積する(図6の工程(b)参照)。

[0072] その後、リンイオン(P⁺)をイオン注入によってシリコン薄膜11中へ注入する(図6の工程(c)参照)。この場合、P⁺イオンがシリコン薄膜11中にのみ注入されるように、イオン注入の加速電圧が設定される。これによって、n型シリコン薄膜2が形成される(図6の工程(d)参照)。

[0073] そして、ボロンイオン(B⁺)をイオン注入によってシリコン薄膜13およびa-Si膜14中へ注入する(図6の工程(d)参照)。この場合、B⁺イオンがシリコン薄膜13およびa-Si膜14中に注入されるように、イオン注入の加速電圧が設定される。これによって、p型シリコン薄膜4およびp型a-Si膜14Aが形成される(図7の工程(e)参照)。

[0074] そして、基板1/n型シリコン薄膜2/シリコン薄膜3/p型シリコン薄膜4/p型a-Si膜14Aを表4に示す条件によってアニールする。

[0075]

[表4]

アニール温度	1000℃
アニール雰囲気	窒素雰囲気
圧力	大気圧
アニール時間	1時間

[0076] これによって、n型シリコン薄膜2中ヘイオン注入されたP原子が電氣的に活性化され、p型シリコン薄膜4中ヘイオン注入されたB原子が電氣的に活性化され、さらに、p型a-Si膜14Aがp⁺poly-Si膜5になる（図7の工程（f）参照）。

[0077] その後、フォトリソグラフィ技術を用いてp⁺poly-Si膜5をp⁺poly-Si膜51～54にパターンニングする（図7の工程（g）参照）。

[0078] そして、Alのスパッタリングによって、電極6（61～64）をそれぞれp⁺poly-Si膜51～54上に形成するとともに、電極7を基板1の裏面に形成する（図7の工程（h）参照）。これによって、発光素子10が完成する。

[0079] 上述したように、表1に示す反応条件を用いることによって量子ドットを含むシリコン薄膜11が形成され、表2に示す反応条件を用いることによって量子ドットを含むシリコン薄膜12が形成され、表3に示す反応条件を用いることによって量子ドットを含むシリコン薄膜13が形成されるので、1回の膜形成によって量子ドットを含むシリコン薄膜11、シリコン薄膜12およびシリコン薄膜13を形成できる。

[0080] 上述したシリコン薄膜11を形成する条件（表1）におけるN₂Oガスに対するSiH₄ガスの流量比は、絶縁膜としてのSiO₂膜を形成するときのN₂

Oガスに対する SiH_4 ガスの流量比（＝基準流量比）よりも大きい。すなわち、この発明においては、シリコン薄膜11は、 SiH_4 ガスの流量を基準よりも多くして形成され、所謂、シリコンリッチ酸化膜と呼ばれる。

[0081] また、上述したシリコン薄膜12を形成する条件（表2）における NH_3 ガスに対する SiH_4 ガスの流量比は、絶縁膜としての Si_3N_4 膜を形成するときの NH_3 ガスに対する SiH_4 ガスの流量比（＝基準流量比）よりも大きい。すなわち、この発明においては、シリコン薄膜12は、 SiH_4 ガスの流量を基準よりも多くして形成され、所謂、シリコンリッチ窒化膜と呼ばれる。

[0082] さらに、上述したシリコン薄膜13を形成する条件（表3）における N_2O ガスおよび NH_3 ガスに対する SiH_4 ガスの流量比は、絶縁膜としての $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ （ $0 < x < 2$ ）膜を形成するときの N_2O ガスおよび NH_3 ガスに対する SiH_4 ガスの流量比（＝基準流量比）よりも大きい。すなわち、この発明においては、シリコン薄膜13は、 SiH_4 ガスの流量を基準よりも多くして形成され、所謂、シリコンリッチ酸窒化膜と呼ばれる。

[0083] したがって、この発明においては、 Si ドットからなる量子ドットを含むシリコン薄膜11は、シリコンリッチ酸化膜を形成するときの形成条件を用いて形成され、 Si ドットからなる量子ドットを含むシリコン薄膜12は、シリコンリッチ窒化膜を形成するときの形成条件を用いて形成され、 Si ドットからなる量子ドットを含むシリコン薄膜13は、シリコンリッチ酸窒化膜を形成するときの形成条件を用いて形成されることを特徴とする。

[0084] なお、 n 型シリコン薄膜2中の量子ドット21、シリコン薄膜3中の量子ドット31および p 型シリコン薄膜4中の量子ドット41の密度を高くするには、 N_2O ガスおよび NH_3 ガスに対する SiH_4 ガスの流量比を相対的に高くし、図7の工程（e）における熱処理時間を数秒程度に短くする。

[0085] 一方、 n 型シリコン薄膜2中の量子ドット21、シリコン薄膜3中の量子ドット31および p 型シリコン薄膜4中の量子ドット41の密度を低くするには、 N_2O ガスおよび NH_3 ガスに対する SiH_4 ガスの流量比を相対的に低くし、図7の工程（e）における熱処理時間を数十分以上に長くする。

- [0086] このように、 n 型シリコン薄膜2中の量子ドット21、シリコン薄膜3中の量子ドット31および p 型シリコン薄膜4中の量子ドット41の密度は、 N_2O ガスおよび NH_3 ガスに対する SiH_4 ガスの流量比および図7の工程(e)における熱処理時間によって制御され得る。
- [0087] また、図6および図7に示す発光素子10の製造方法においては、量子ドットを含むシリコン薄膜11、量子ドットを含むシリコン薄膜12および量子ドットを含むシリコン薄膜13をプラズマCVD法によって形成した後に、イオン注入によって、 P^+ イオンおよび B^+ イオンを注入して n 型シリコン薄膜2および p 型シリコン薄膜4を形成すると説明したが、この発明においては、これに限らず、プラズマCVD法を用いて n 型シリコン薄膜2および p 型シリコン薄膜4を形成するようにしてもよい。
- [0088] この場合、 P のソースガスとして PH_3 ガスを用いて n 型シリコン薄膜2がプラズマCVD法によって形成され、 B のソースガスとして B_2H_6 ガスを用いて p 型シリコン薄膜4が形成される。
- [0089] そして、 n 型シリコン薄膜2を形成する反応条件は、 PH_3 ガスの流量を表1に示す反応条件に追加した反応条件であり、 p 型シリコン薄膜4を形成する反応条件は、 B_2H_6 ガスの流量を表3に示す反応条件に追加した反応条件である。
- [0090] さらに、上記においては、 P を用いて n 型シリコン薄膜2を形成すると説明したが、この発明においては、これに限らず、ヒ素(As)を用いて n 型シリコン薄膜2を形成してもよい。この場合、図6の工程(c)において、 As イオンが n 型シリコン薄膜11のみへイオン注入される。また、 As を用いてプラズマCVD法によって n 型シリコン薄膜2を形成する場合、 As のソースガスとして AsH_3 ガスが用いられる。
- [0091] 図8は、この発明の実施の形態による他の発光素子の断面図である。この発明による発光素子は、図8に示す発光素子10Aであってもよい。図8を参照して、発光素子10Aは、図1に示す発光素子10の n 型シリコン薄膜2をシリコン薄膜70に代え、シリコン薄膜3をシリコン薄膜80に代え、

p型シリコン薄膜4をシリコン薄膜90に代えたものであり、その他は、発光素子10と同じである。

- [0092] シリコン薄膜70は、基板1上に形成される。シリコン薄膜80は、シリコン薄膜7に接してシリコン薄膜70上に形成される。シリコン薄膜90は、シリコン薄膜80に接してシリコン薄膜80上に形成される。
- [0093] シリコン薄膜70は、複数の SiO_2 膜71と、複数のn型シリコン薄膜72とからなる。複数の SiO_2 膜71および複数のn型シリコン薄膜72は、厚さ方向に交互に積層される。そして、複数のn型シリコン薄膜72の各々は、膜厚方向に不規則に配置された複数のn型Siドット73とシリコン酸化膜とを含む。複数の SiO_2 膜71の各々は、1～5nmの膜厚を有し、複数のn型シリコン薄膜72の各々は、3～10nmの膜厚を有する。
- [0094] シリコン薄膜80は、複数の Si_3N_4 膜81と、複数のシリコン薄膜82とからなる。複数の Si_3N_4 膜81および複数のシリコン薄膜82は、厚さ方向に交互に積層される。そして、複数のシリコン薄膜82の各々は、膜厚方向に不規則に配置された複数のSiドット83とシリコン窒化膜とを含む。そして、複数の Si_3N_4 膜81の各々は、1～5nmの膜厚を有し、複数のシリコン薄膜82の各々は、3～10nmの膜厚を有する。
- [0095] シリコン薄膜90は、複数の $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜91と、複数のp型シリコン薄膜92とからなる。複数の $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜91および複数のp型シリコン薄膜92は、厚さ方向に交互に積層される。そして、複数のp型シリコン薄膜92の各々は、膜厚方向に不規則に配置された複数のp型Siドット93とシリコン酸窒化膜を含む。そして、複数の $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜91の各々は、1～5nmの膜厚を有し、複数のp型シリコン薄膜92の各々は、3～10nmの膜厚を有する。
- [0096] 複数のn型Siドット73の各々は、量子ドット21中のP濃度と略同じP濃度を含む。複数のp型Siドット93の各々は、量子ドット31中のB濃度と略同じB濃度を含む。

[0097] このように、発光素子 10A は、ドーパントを含まない SiO_2 膜 71 によって n 型シリコン薄膜 72 を挟み込み、ドーパントを含まない Si_3N_4 膜 81 によってシリコン薄膜 82 を挟み込み、ドーパントを含まない $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜 91 によって p 型シリコン薄膜 92 を挟み込んだ構造からなる。したがって、この発明による発光素子は、量子ドット (n 型 Si ドット 73 または Si ドット 83 または p 型 Si ドット 93) をドーパントを含まない絶縁部材 (SiO_2 膜 71 または Si_3N_4 膜 81 または $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜 91) によって挟み込んだ構造によって構成されていてもよい。

[0098] 次に、発光素子 10A の製造方法について説明する。図 9 から図 14 は、それぞれ、図 8 に示す半導体素子 10A の製造方法を示す第 1 から第 6 の工程図である。図 9 を参照して、発光素子 10A の製造が開始されると、基板 1 が準備され (工程 (a) 参照)、基板 1 を洗浄した後、 SiH_4 ガスおよび N_2O ガスを原料ガスとしてプラズマ CVD 法によって基板 1 の全面に SiO_2 膜 71 を形成する (工程 (b) 参照)。この場合、表 1 に示す反応条件において、 SiH_4 ガスの流量を 86 sccm 、 N_2O ガスの流量を 200 sccm に設定して SiO_2 膜 71 が形成される。

[0099] その後、 SiH_4 ガスおよび N_2O ガスを原料として、表 1 に示す反応条件を用いてプラズマ CVD 法によって SiO_2 膜 71 上に、 SiO_2 よりも多くの Si と、酸素元素 (O) とを含むシリコン薄膜 120 を堆積する (図 9 の工程 (c) 参照)。

[0100] そして、工程 (b) および工程 (c) を繰り返し実行し、複数の SiO_2 膜 71 と複数のシリコン薄膜 120 とを交互に基板 1 上に形成する (図 9 の工程 (d) 参照)。

[0101] 引き続いて、 SiH_4 ガスおよび NH_3 ガスを原料として、表 2 に示す反応条件を用いてプラズマ CVD 法によって SiO_2 膜 71 上に、 Si_3N_4 よりも多くの Si と、窒素元素 (N) とを含むシリコン薄膜 130 を堆積する (図 9 の工程 (e) 参照)。

- [0102] その後、 SiH_4 ガスおよび NH_3 ガスを原料として、プラズマCVD法によってシリコン薄膜130上に Si_3N_4 膜81を堆積する（図10の工程（f）参照）。この場合、表2に示す反応条件において、 SiH_4 ガスの流量を92 sccm、 NH_3 ガスの流量を150 sccmに設定して Si_3N_4 膜81が形成される。そして、工程（e）および工程（f）を繰り返し実行し、複数の Si_3N_4 膜81と複数のシリコン薄膜130とを交互に SiO_2 膜71上に形成する。
- [0103] その後、 SiH_4 ガス、 N_2O ガスおよび NH_3 ガスを原料として、表3に示す反応条件を用いてプラズマCVD法によって Si_3N_4 膜81上にシリコン薄膜140を堆積する（図10の工程（g）参照）。
- [0104] そして、 SiH_4 ガス、 N_2O ガスおよび NH_3 ガスを原料として、プラズマCVD法によってシリコン薄膜140上に $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ （ $0 < x < 2$ ）膜91を堆積する（図10の工程（h）参照）。この場合、表3に示す反応条件において、 SiH_4 ガスの流量を96 sccm、 NH_3 ガスの流量を150 sccm、 N_2O ガスの流量を150 sccmに設定して $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ （ $0 < x < 2$ ）膜91が形成される。そして、工程（g）および工程（h）を繰り返し実行し、複数の $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ （ $0 < x < 2$ ）膜91と複数のシリコン薄膜140とを交互に Si_3N_4 膜81上に形成する。
- [0105] 引き続いて、表3に示す反応条件において NH_3 ガスおよび N_2O ガスを停止させた反応条件によって、a-Si膜14を $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ （ $0 < x < 2$ ）膜91上に堆積する（図11の工程（i）参照）。
- [0106] その後、 P^+ イオンをイオン注入によってシリコン薄膜120中へ注入する（図11の工程（j）参照）。この場合、 P^+ イオンが複数のシリコン薄膜120中にのみ注入されるように、イオン注入の加速電圧が設定される。これによって、複数のn型シリコン薄膜72が形成される（図12の工程（k）参照）。
- [0107] そして、 B^+ イオンをイオン注入によってシリコン薄膜130およびa-Si膜14中へ注入する（図12の工程（k）参照）。この場合、 B^+ イオンが

複数のシリコン薄膜 130 および a-Si 膜 14 中に注入されるように、イオン注入の加速電圧が設定される。これによって、複数の p 型シリコン薄膜 82、複数のシリコン薄膜 92 および p 型 a-Si 膜 14A が形成される（図 12 の工程（l）参照）。

[0108] そして、基板 1/SiO₂膜 71/シリコン薄膜 72/・・・/SiO₂膜 71/シリコン薄膜 82/Si₃N₄膜 81/・・・/Si₃N₄膜 81/p 型シリコン薄膜 92/SiO_xN_(4/3-2x/3) (0<x<2) 膜 91/・・・/SiO_xN_(4/3-2x/3) (0<x<2) 膜 91/p 型 a-Si 膜 14A を表 4 に示す条件によってアニールする。

[0109] これによって、n 型シリコン薄膜 72 中へイオン注入された P 原子が電氣的に活性化され、p 型シリコン薄膜 92 中へイオン注入された B 原子が電氣的に活性化され、さらに、p 型 a-Si 膜 14A が p⁺poly-Si 膜 5 になる（図 13 の工程（m）参照）。

[0110] その後、フォトリソグラフィ技術を用いて p⁺poly-Si 膜 5 を p⁺poly-Si 膜 51～54 にパターンニングする（図 13 の工程（n）参照）。

[0111] そして、Al のスパッタリングによって、電極 6（61～64）をそれぞれ p⁺poly-Si 膜 51～54 上に形成するとともに、電極 7 を基板 1 の裏面に形成する（図 14 の工程（p）参照）。これによって、発光素子 10A が完成する。

[0112] 図 8 に示す発光素子 10A のゼロバイアス時のエネルギーバンド図は、図 3 に示すエネルギーバンド図になり、図 8 に示す発光素子 10A の電流通電時のエネルギーバンド図は、図 4 に示すエネルギーバンド図になる。その結果、発光素子 10A は、上述した発光素子 10 と同じ機構によって発光する。

[0113] したがって、発光素子 10A においても、発光効率を高くできる。

[0114] 図 15 は、この発明の実施の形態によるさらに他の発光素子の断面図である。この発明の実施の形態による発光素子は、図 15 に示す発光素子 10B

であってもよい。図 15 を参照して、発光素子 10B は、図 1 に示す発光素子 10 の n 型シリコン薄膜 2 を n 型不純物を導入した GeO_2 よりも多くのゲルマニウムを含むゲルマニウム薄膜 2A に代え、シリコン薄膜 3 を Ge_3N_4 よりも多くのゲルマニウムを含むゲルマニウム薄膜 3A に代え、p 型シリコン薄膜 4 を p 型不純物を導入した $\text{GeO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) よりも多くのゲルマニウムを含む p 型ゲルマニウム薄膜 4A に代えたものであり、その他は、発光素子 10 と同じである。

[0115] n 型ゲルマニウム薄膜 2A は、n 型シリコン薄膜 2 のシリコンをゲルマニウムに代えた組成を有し、n 型シリコン薄膜 2 と同じ膜厚を有する。

[0116] また、ゲルマニウム薄膜 3A は、シリコン薄膜 3 のシリコンをゲルマニウムに代えた組成を有し、シリコン薄膜 3 と同じ膜厚を有する。

[0117] さらに、p 型ゲルマニウム薄膜 4A は、p 型シリコン薄膜 4 のシリコンをゲルマニウムに代えた組成を有し、p 型シリコン薄膜 4 と同じ膜厚を有する。

[0118] したがって、n 型ゲルマニウム薄膜 2A は、表 1 に示す反応条件において SiH_4 ガスを GeH_4 ガスに代えた反応条件で形成される。また、ゲルマニウム薄膜 3A は、表 2 に示す反応条件において SiH_4 ガスを GeH_4 ガスに代えた反応条件で形成される。さらに、p 型ゲルマニウム薄膜 4A は、表 3 に示す反応条件において SiH_4 ガスを GeH_4 ガスに代えた反応条件で形成される。

[0119] なお、発光素子 10B は、図 6 および図 7 に示す工程 (a) ~ 工程 (h) に従って作製される。

[0120] また、発光素子 10B のゼロバイアス時のエネルギーバンド図は、図 3 に示すエネルギーバンド図と同じであり、発光素子 10B の電流通電時のエネルギーバンド図は、図 4 に示すエネルギーバンド図と同じである。

[0121] したがって、発光素子 10B も、発光素子 10 と同じように高い発光効率を有する。

[0122] 図 16 は、この発明の実施の形態によるさらに他の発光素子の断面図であ

る。この発明の実施の形態による発光素子は、図 16 に示す発光素子 10C であってもよい。図 16 を参照して、発光素子 10C は、図 8 に示す発光素子 10A のシリコン薄膜 70 をゲルマニウム薄膜 70A に代え、シリコン薄膜 80 をゲルマニウム薄膜 80A に代え、シリコン薄膜 90 をゲルマニウム薄膜 90A に代えたものであり、その他は、発光素子 10A と同じである。

[0123] ゲルマニウム薄膜 70A は、複数の GeO_2 膜 71A と、複数の n 型ゲルマニウム薄膜 72A とからなる。複数の GeO_2 膜 71A および複数の n 型ゲルマニウム薄膜 72A は、厚さ方向に交互に積層される。そして、複数の n 型ゲルマニウム薄膜 72A の各々は、膜厚方向に不規則に配置された複数の n 型 Ge ドット 73A とゲルマニウム酸化膜とを含む。複数の GeO_2 膜 71A の各々は、1~5 nm の膜厚を有し、複数の n 型ゲルマニウム薄膜 72A の各々は、3~10 nm の膜厚を有する。

[0124] ゲルマニウム窒化膜 80A は、複数の Ge_3N_4 膜 81A と、複数のゲルマニウム薄膜 82A とからなる。複数の Ge_3N_4 膜 81A および複数のゲルマニウム薄膜 82A は、厚さ方向に交互に積層される。そして、複数のゲルマニウム薄膜 82A の各々は、膜厚方向に不規則に配置された複数の p 型 Ge ドット 83A とゲルマニウム窒化膜とを含む。そして、複数の Ge_3N_4 膜 81A の各々は、1~5 nm の膜厚を有し、複数のゲルマニウム薄膜 82A の各々は、3~10 nm の膜厚を有する。

[0125] ゲルマニウム薄膜 90A は、複数の $\text{GeO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜 91A と、複数の p 型ゲルマニウム薄膜 92A とからなる。複数の $\text{GeO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜 91A および複数の p 型ゲルマニウム薄膜 92A は、厚さ方向に交互に積層される。そして、複数の p 型ゲルマニウム薄膜 92A の各々は、膜厚方向に不規則に配置された複数の p 型 Ge ドット 93A とゲルマニウム酸窒化膜とを含む。そして、複数の $\text{GeO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) 膜 91A の各々は、1~5 nm の膜厚を有し、複数の p 型ゲルマニウム薄膜 92A の各々は、3~10 nm の膜厚を有する。

[0126] 複数の n 型 Ge ドット 73A の各々は、量子ドット 73 中の P 濃度と略同

じP濃度を含む。複数のp型Geドット93Aの各々は、量子ドット93中のB濃度と略同じB濃度を含む。

[0127] このように、発光素子10Cは、ドーパントを含まないGeO₂膜71Aによってn型ゲルマニウム薄膜72Aを挟み込み、ドーパントを含まないGe₃N₄膜81Aによってゲルマニウム薄膜82Aを挟み込み、ドーパントを含まないGeO_xN_(4/3-2x/3) (0<x<2)膜91によってp型ゲルマニウム薄膜92Aを挟み込んだ構造からなる。したがって、この発明による発光素子は、量子ドット(n型Geドット73AまたはGeドット83Aまたはp型Geドット93A)をドーパントを含まない絶縁部材(GeO₂膜71AまたはGe₃N₄膜81AまたはGeO_xN_(4/3-2x/3) (0<x<2)膜91A)によって挟み込んだ構造によって構成されていてもよい。

[0128] なお、この発明による発光素子は、電子と正孔との再結合により発光する発光層と、n型の量子ドットを介して発光層に電子を供給する第1の導電部材と、p型の量子ドットを介して発光層に正孔を供給する第2の導電部材とを備えていればよい。電子および正孔の両方を発光層に供給する第1および第2の導電部材を備えていれば、発光層における発光効率を高くできるからである。

[0129] また、この発明による発光素子は、上述したシリコンおよびゲルマニウムに代えて、有機半導体を構成する元素を含む酸化膜、窒化膜および酸窒化膜を用いて構成された発光素子であってもよい。

[0130] この発明においては、n型シリコン薄膜2, 2Aの各々は、「第1の導電部材」を構成し、シリコン薄膜3, 3Aの各々は、「第2の導電部材」を構成し、p型シリコン薄膜4, 4Aの各々は、「第3の導電部材」を構成する。

[0131] また、この発明においては、n型シリコン薄膜2, 2Aは、「第1の導電部材」を構成し、シリコン薄膜3, 3Aの各々は、「発光層」を構成し、p型シリコン薄膜4, 4Aの各々は、「第2の導電部材」を構成する。

[0132] さらに、この発明においては、シリコン薄膜70, 70Aの各々は、「第

１の導電部材」を構成し、シリコン薄膜８０，８０Ａの各々は、「第２の導電部材」を構成し、シリコン薄膜９０，９０Ａの各々は、「第３の導電部材」を構成する。

[0133] さらに、この発明においては、シリコン薄膜７０，７０Ａは、「第１の導電部材」を構成し、シリコン薄膜８０，８０Ａの各々は、「発光層」を構成し、シリコン薄膜９０，９０Ａの各々は、「第２の導電部材」を構成する。

[0134] さらに、この発明においては、量子ドット２１，７３の各々は、「第１の量子ドット」を構成し、量子ドット３１，８３の各々は、「第２の量子ドット」を構成し、量子ドット４１，９３の各々は、「第３の量子ドット」を構成する。

[0135] さらに、この発明においては、量子ドット７３Ａは、「第１の量子ドット」を構成し、量子ドット８３Ａは、「第２の量子ドット」を構成し、量子ドット９３Ａは、「第３の量子ドット」を構成する。

[0136] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0137] この発明は、発光効率が向上可能な発光素子に適用される。また、この発明は、発光効率が向上可能な発光素子の製造方法に適用される。

請求の範囲

- [1] 第1の導電型を有する第1の量子ドットを含む第1の導電部材と、
前記第1の導電部材に接して配置され、第2の量子ドットを含む第2の導電部材と、
前記第2の導電部材に接して形成されるとともに、前記第1の導電型と異なる第2の導電方を有する第3の量子ドットを含み、電子に対する障壁エネルギーが前記第2の導電部材よりも大きい第3の導電部材とを備える発光素子。
- [2] 前記第1の導電部材は、複数個の前記第1の量子ドットとトンネル電流が流れる第1の絶縁層とを含み、
前記第2の導電部材は、複数個の前記第2の量子ドットとトンネル電流が流れる第2の絶縁層とを含み、
前記第3の導電部材は、複数個の前記第3の量子ドットとトンネル電流が流れる第3の絶縁層とを含む、請求の範囲第1項に記載の発光素子。
- [3] 前記複数個の第1の量子ドットは、前記第1の導電部材の膜厚方向にランダムに配置され、
前記複数個の第2の量子ドットは、前記第2の導電部材の膜厚方向にランダムに配置され、
前記複数個の第3の量子ドットは、前記第3の導電部材の膜厚方向にランダムに配置される、請求の範囲第2項に記載の発光素子。
- [4] 前記第1の導電型は、n型であり、
前記第2の導電型は、p型である、請求の範囲第1項に記載の発光素子。
- [5] 前記第1の導電部材において、正孔に対する障壁エネルギーは、電子に対する障壁エネルギーよりも大きく、
前記第3の導電部材において、電子に対する障壁エネルギーは、正孔に対する障壁エネルギーよりも大きい、請求の範囲第4項に記載の発光素子。
- [6] 前記第1から第3の量子ドットは、シリコンドットからなり、
前記第1の導電部材は、 SiO_2 よりも多くのシリコンを含むシリコン酸化

膜からなり、

前記第2の導電部材は、 Si_3N_4 よりも多くのシリコンを含むシリコン窒化膜からなり、

前記第3の導電部材は、 $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) よりも多くのシリコンを含むシリコン酸窒化膜からなる、請求の範囲第5項に記載の発光素子。

[7] 量子ドットを含む発光層と、

n型の量子ドットを介して電子を前記発光層へ供給する第1の導電部材と

、

p型の量子ドットを介して正孔を前記発光層へ供給する第2の導電部材とを備える発光素子。

[8] 前記第1の導電部材は、 SiO_2 よりも多くのシリコンを含むシリコン酸化膜からなり、

前記第2の導電部材は、 $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) よりも多くのシリコンを含むシリコン酸窒化膜からなる、請求の範囲第7項に記載の発光素子。

[9] 量子ドットを含む第1の導電部材を半導体基板の一主面に堆積する第1の工程と、

量子ドットを含む第2の導電部材を前記第1の導電部材上に堆積する第2の工程と、

量子ドットを含む第3の導電部材を前記第2の導電部材上に堆積する第3の工程と、

前記第1の導電部材中へ第1の導電型の不純物を導入する第4の工程と、

前記第3の導電部材中へ前記第1の導電型と異なる第2の導電型の不純物を導入する第5の工程と、

前記第1の導電型の不純物を含む前記第1の導電部材と、前記第2の導電型の不純物を含む前記第3の導電部材とを熱処理する第6の工程とを備える発光素子の製造方法。

[10] 前記第 1 の工程において、酸素を含む第 1 の材料ガスの流量に対するシリコンを含む第 2 の材料ガスの流量の比を第 1 の基準値以上に設定して SiO_2 よりも多くのシリコンを含むシリコン酸化膜からなる前記第 1 の導電部材が前記一主面に堆積され、

前記第 2 の工程において、窒素を含む第 3 の材料ガスの流量に対する前記第 2 の材料ガスの流量の比を第 2 の基準値以上に設定して Si_3N_4 よりも多くのシリコンを含むシリコン窒化膜からなる前記第 2 の導電部材が前記第 1 の導電部材上に堆積され、

前記第 3 の工程において、前記第 1 の材料ガスの流量に対する前記第 2 の材料ガスの流量の比を前記第 1 の基準値以上に設定し、かつ、前記第 3 の材料ガスの流量に対する前記第 2 の材料ガスの流量の比を前記第 2 の基準値以上に設定して $\text{SiO}_x\text{N}_{(4/3-2x/3)}$ ($0 < x < 2$) よりも多くのシリコンを含むシリコン酸窒化膜からなる前記第 3 の導電部材が前記第 2 の導電部材上に堆積される、請求の範囲第 9 項に記載の発光素子の製造方法。

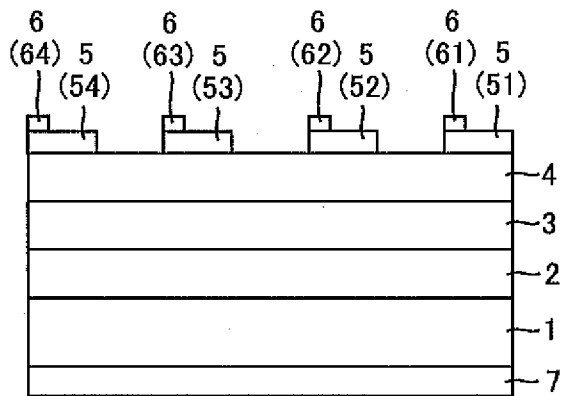
[11] 前記第 4 の工程において、 n 型の不純物が前記第 1 の導電部材中へ導入され、

前記第 5 の工程において、 p 型の不純物が前記第 3 の導電部材中へ導入される、請求の範囲第 10 項に記載の発光素子の製造方法。

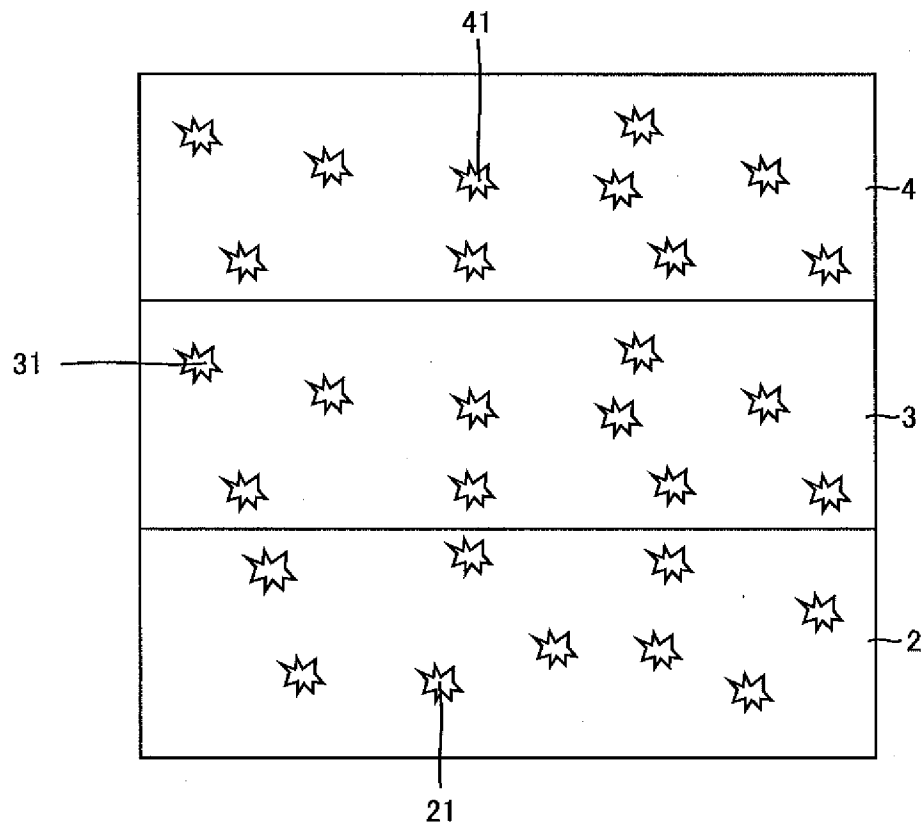
[12] 前記第 6 の工程において、前記 n 型の不純物を含む前記第 1 の導電部材および前記 p 型の不純物を含む前記第 3 の導電部材は、窒素雰囲気中で熱処理される、請求の範囲第 11 項に記載の発光素子の製造方法。

[図1]

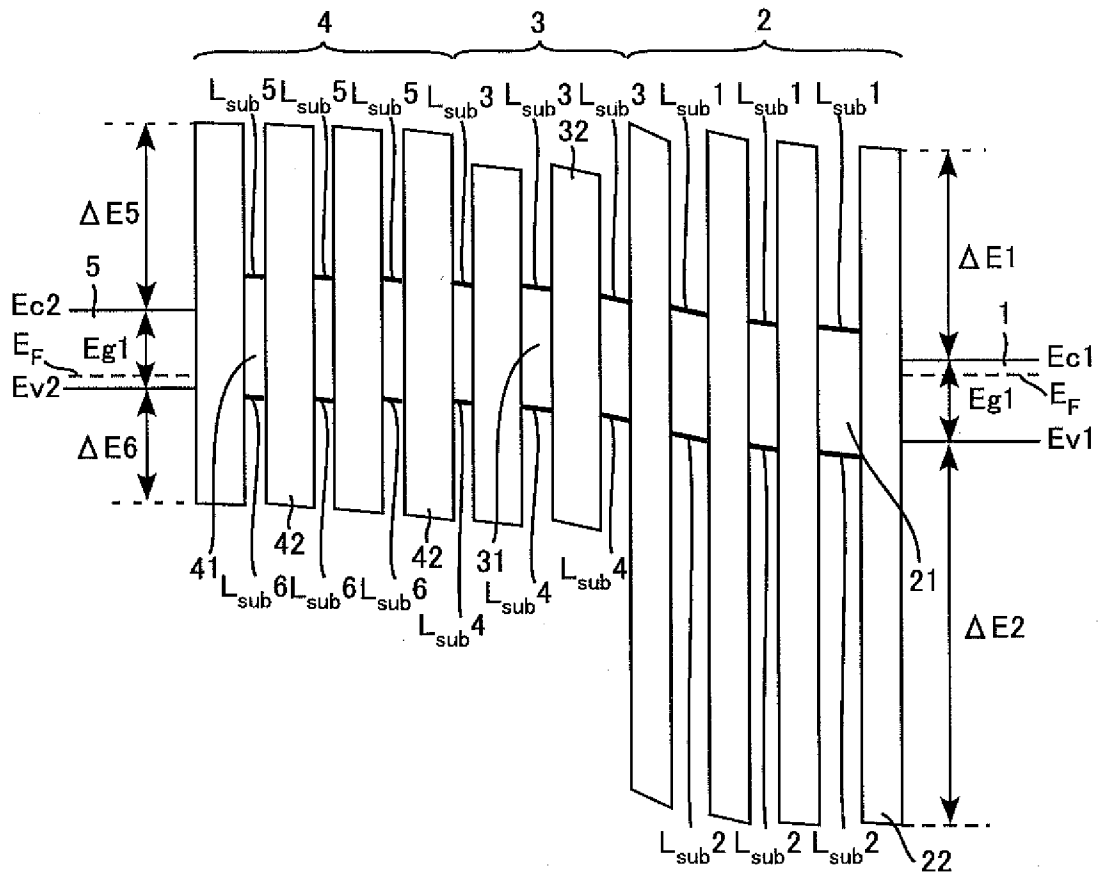
10



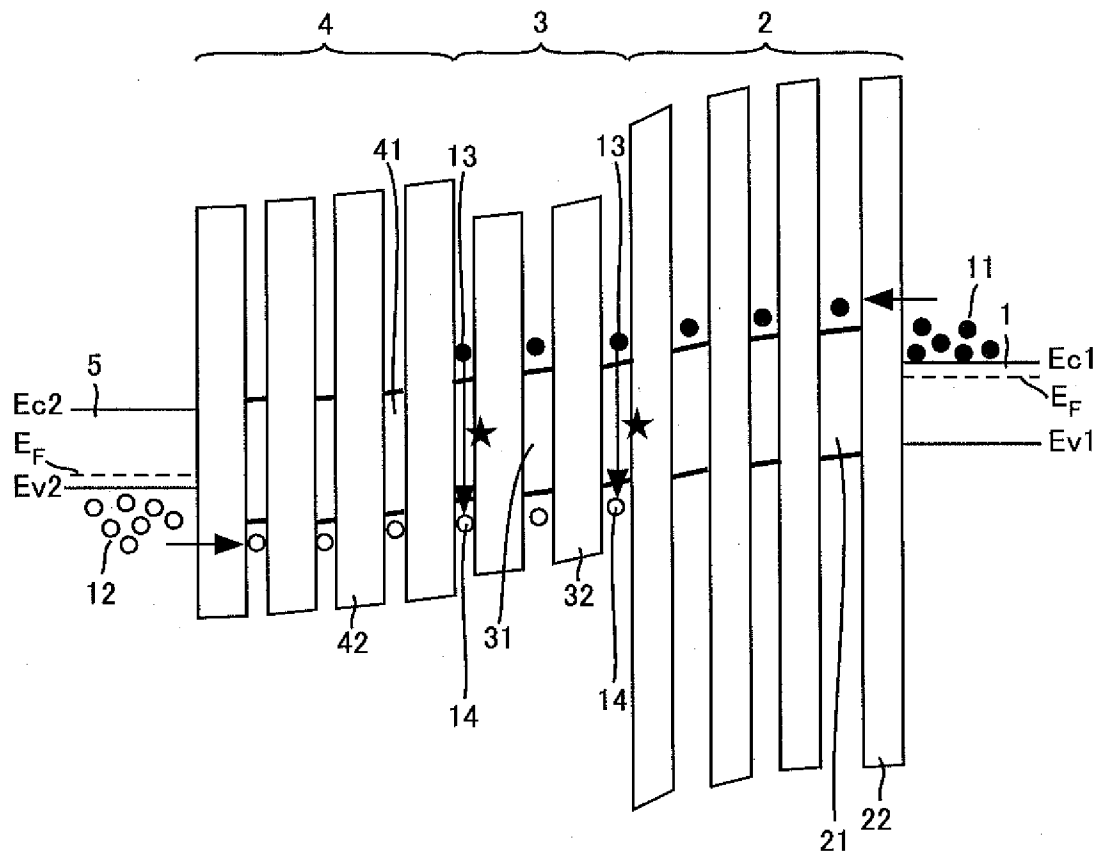
[図2]



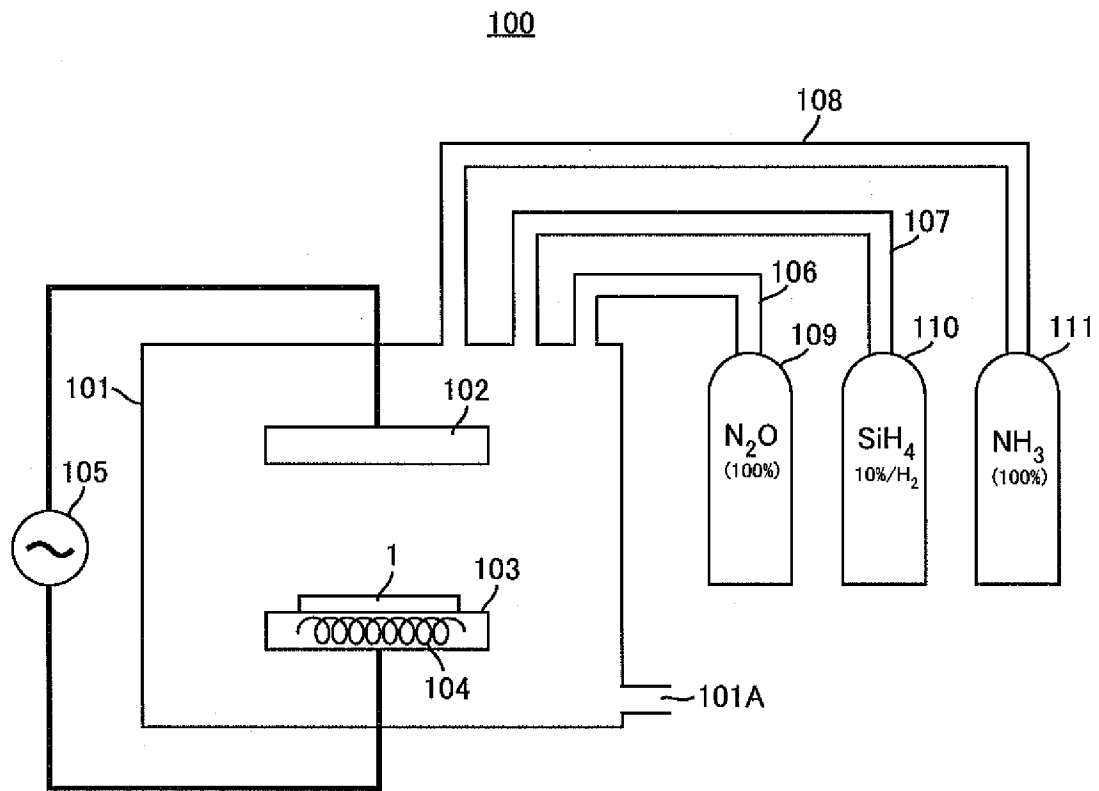
[図3]



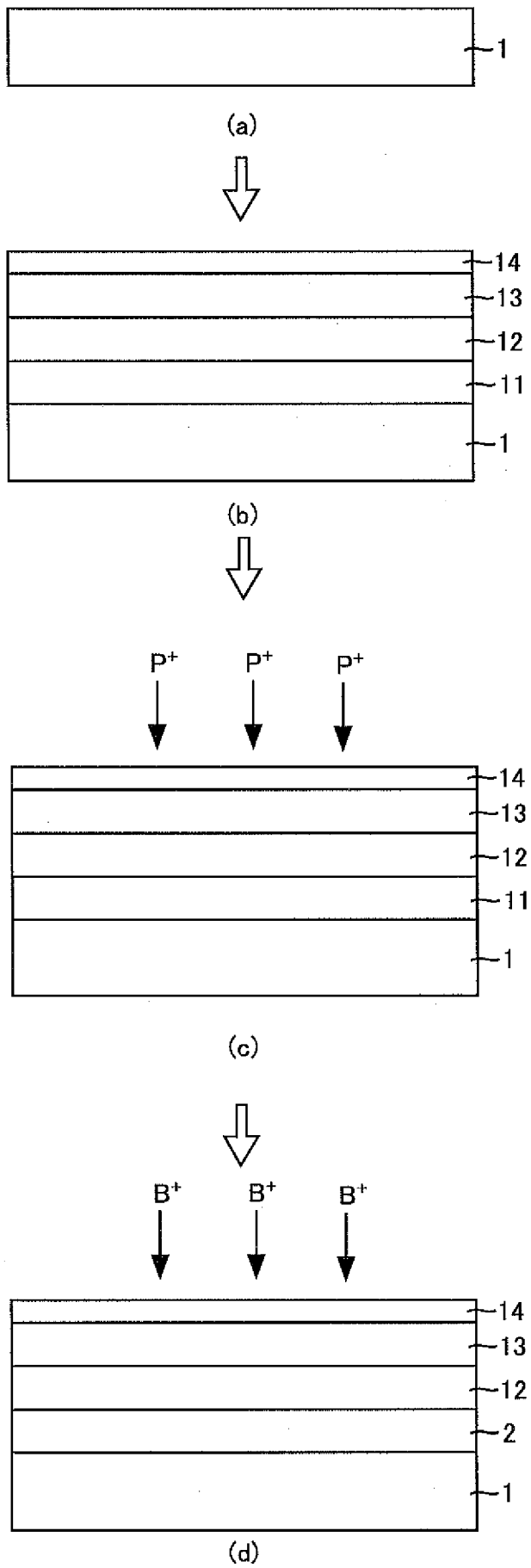
[図4]



[図5]

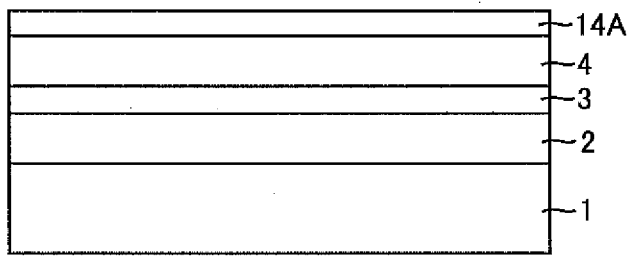


[図6]

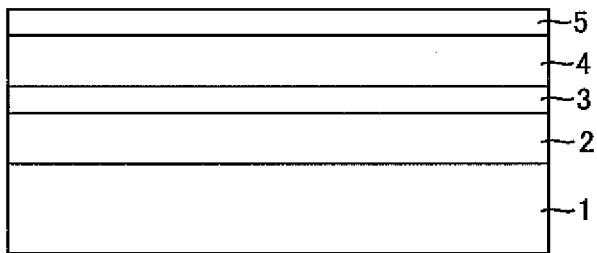


[図7]

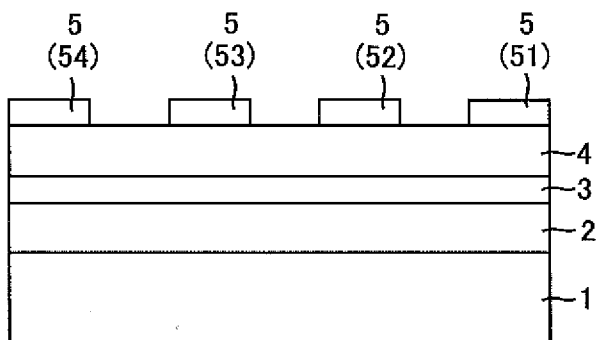
熱処理



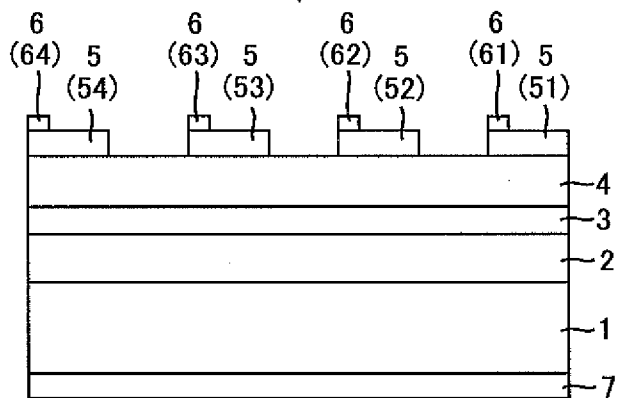
(e)



(f)



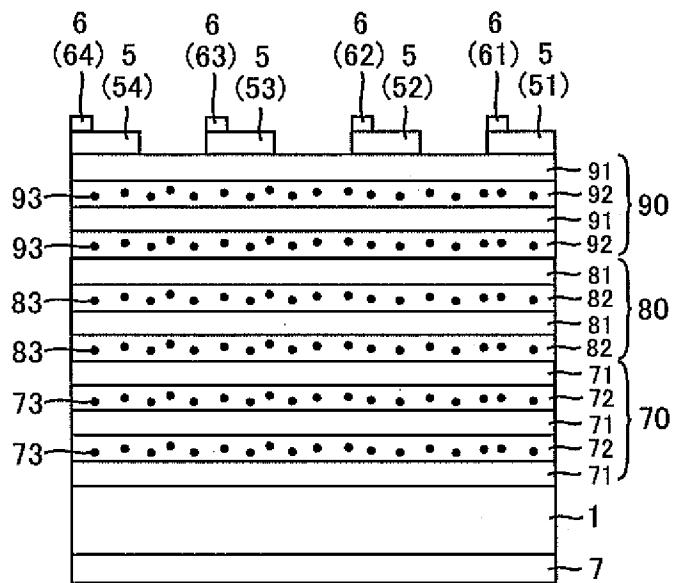
(g)



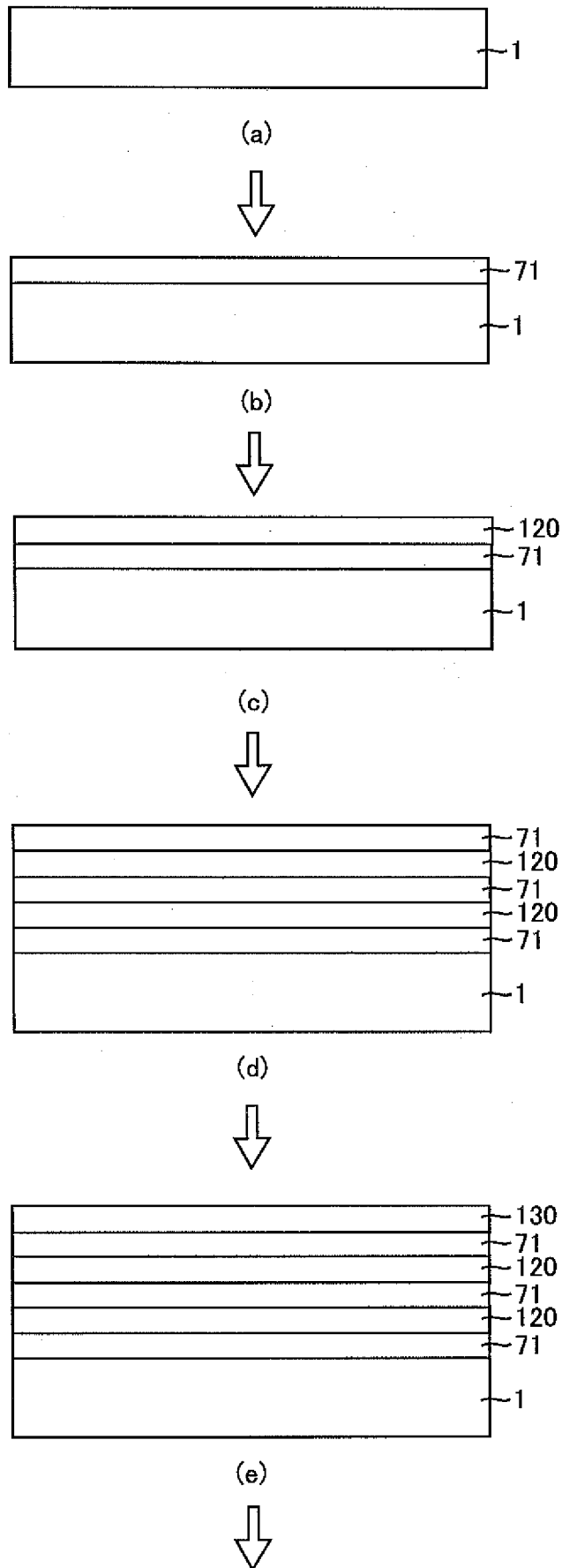
(h)

[図8]

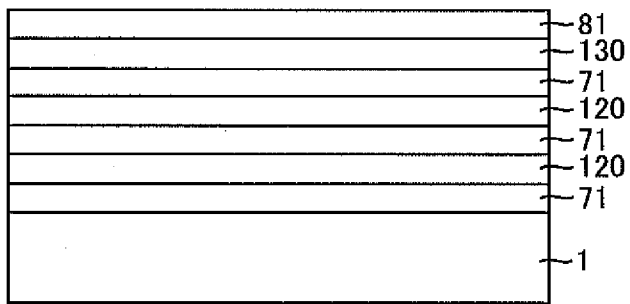
10A



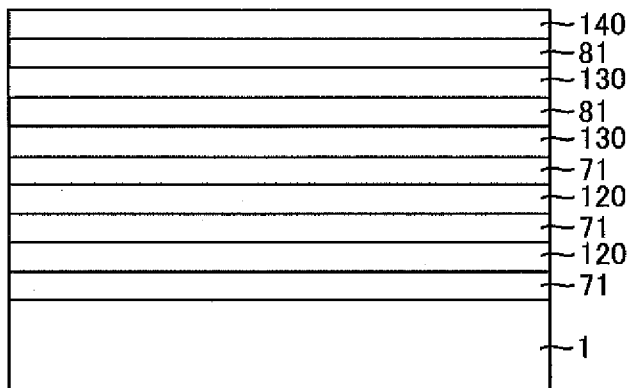
[図9]



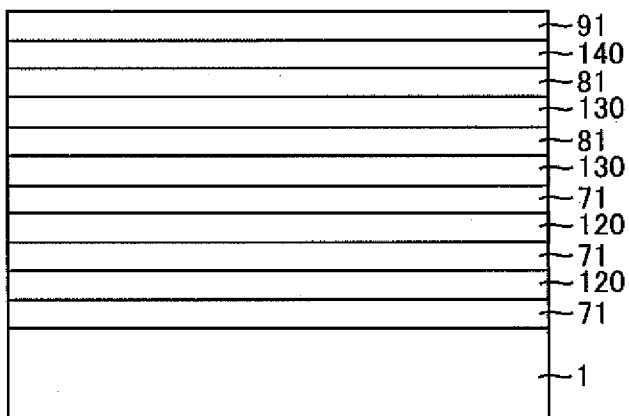
[図10]



(f)



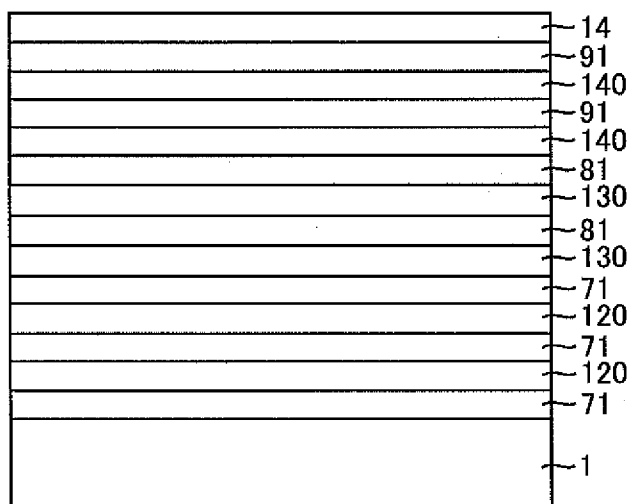
(g)



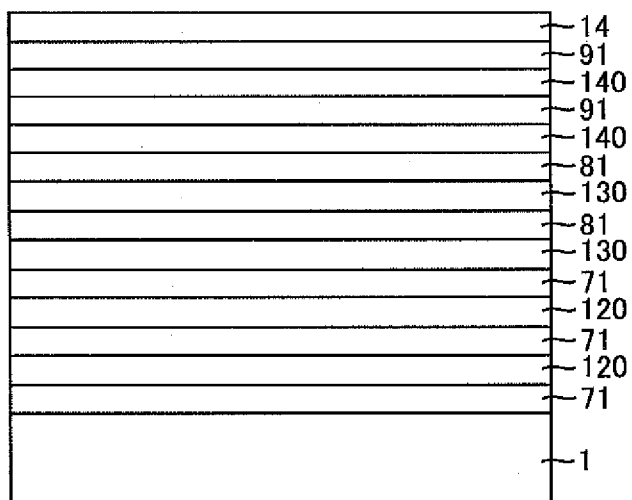
(h)



[図11]



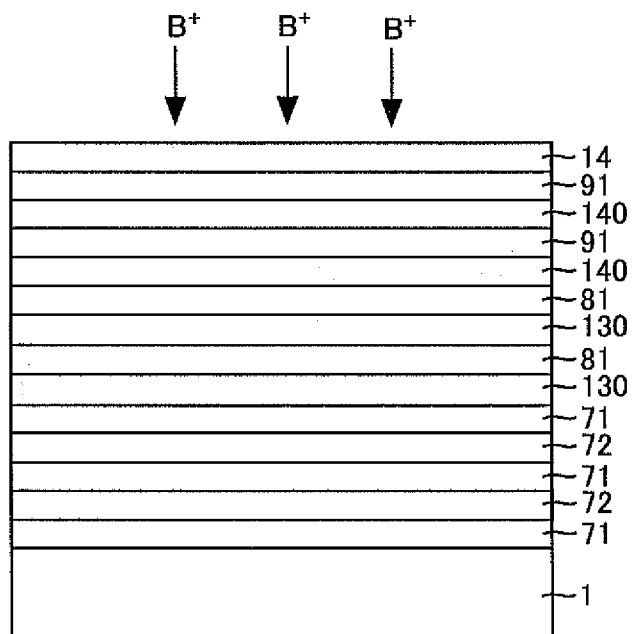
(i)

 P^+
↓ P^+
↓ P^+
↓

(i)



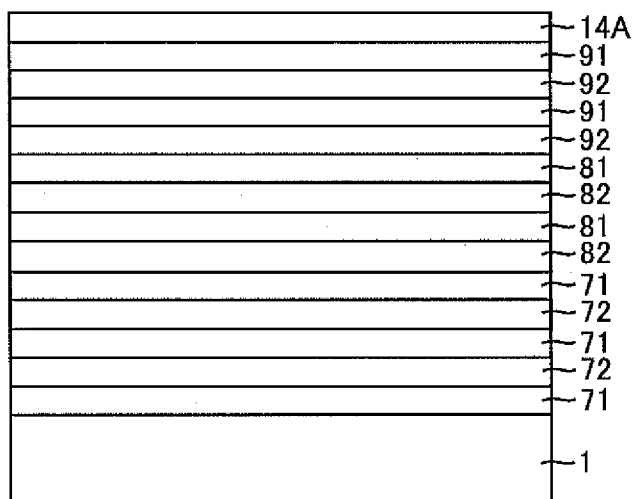
[図12]



(k)



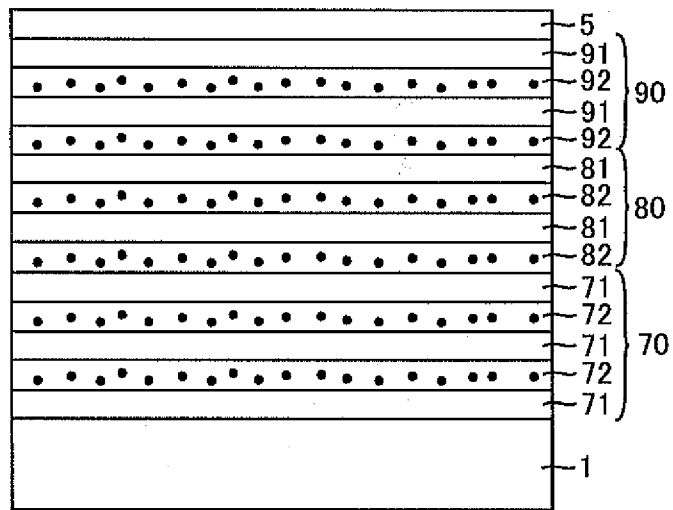
熱処理



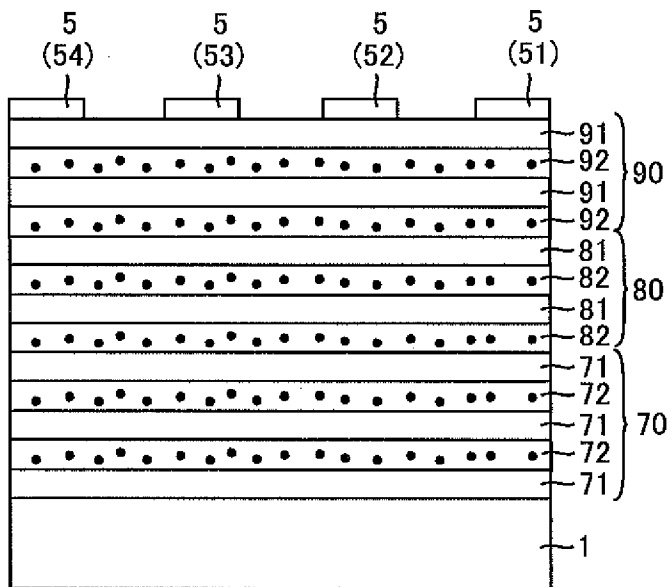
(l)



[図13]



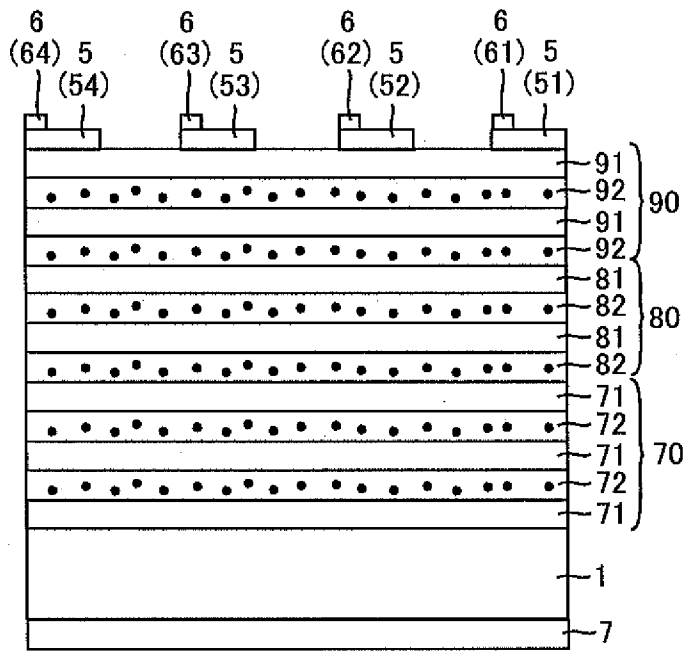
(m)



(n)



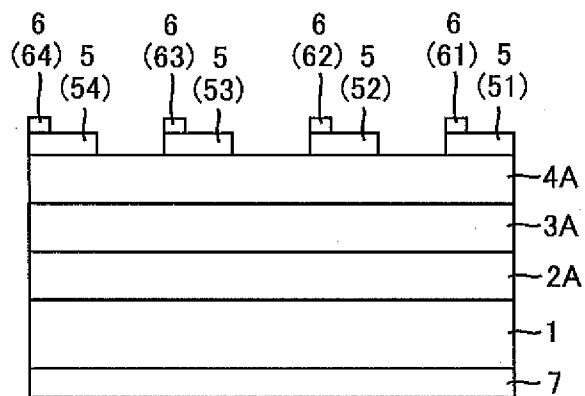
[図14]



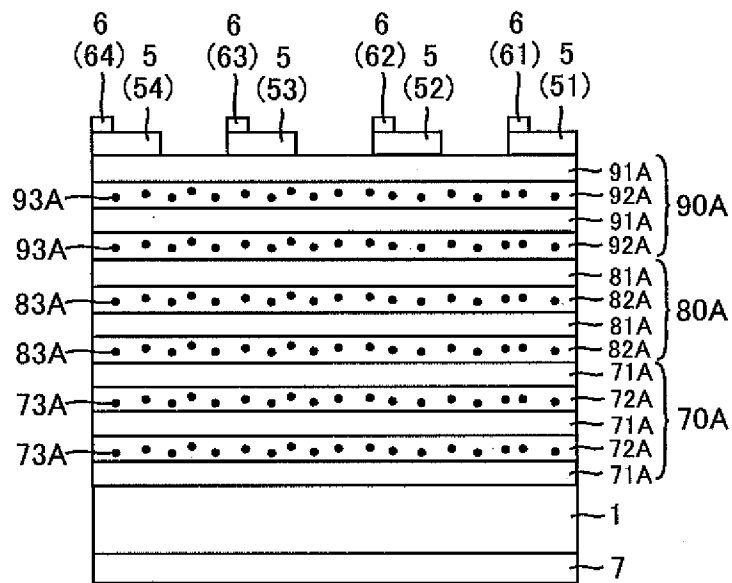
(p)

[図15]

10B



[図16]

10C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000744

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-228916 A (Sony Corp.), 31 August, 2006 (31.08.06), Full text; all drawings (Family: none)	1-12
A	JP 2006-225258 A (Samsung Electronics Co., Ltd.), 31 August, 2006 (31.08.06), Full text; all drawings & US 2006/0182966 A1 & KR 10-2006-0091652 A	1-12
A	JP 2005-347465 A (Sony Corp.), 15 December, 2005 (15.12.05), Full text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 May, 2008 (13.05.08)

Date of mailing of the international search report
27 May, 2008 (27.05.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/000744

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 09-102596 A (Fujitsu Ltd.), 15 April, 1997 (15.04.97), Full text; all drawings (Family: none)	1-12
A	JP 11-266055 A (Ion Engineering Research Institute Corp.), 28 September, 1999 (28.09.99), Full text; all drawings (Family: none)	1-12
A	JP 2007-088311 A (Nissin Electric Co., Ltd.), 05 April, 2007 (05.04.07), Full text; all drawings & US 2007/0158182 A1	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L33/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2006-228916 A（ソニー株式会社）2006.08.31, 全文, 全図（ファミリーなし）	1-12
A	JP 2006-225258 A（三星電子株式会社）2006.08.31, 全文, 全図 & US 2006/0182966 A1 & KR 10-2006-0091652 A	1-12
A	JP 2005-347465 A（ソニー株式会社）2005.12.15, 全文, 全図（ファミリーなし）	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.05.2008

国際調査報告の発送日

27.05.2008

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高 橋 健司

電話番号 03-3581-1101 内線 3255

2K

3715

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 09-102596 A (富士通株式会社) 1997. 04. 15, 全文, 全図 (ファミリーなし)	1-12
A	JP 11-266055 A (株式会社イオン工学研究所) 1999. 09. 28, 全文, 全図 (ファミリーなし)	1-12
A	JP 2007-088311 A (日新電機株式会社) 2007. 04. 05, 全文, 全図 & US 2007/0158182 A1	1-12