200816227

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96127113

※ 申請日期：96.7.25　　※IPC 分類：

一、發明名稱：（中文/英文）　　G11C 8/18 (2006.01)

延遲從記憶體裝置來的信號的電路

CIRCUITS TO DELAY A SIGNAL FROM A MEMORY DEVICE

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商愛特梅爾公司

ATMEL CORPORATION

代表人：（中文/英文）

派屈克 路坦斯

REUTENS, PATRICK

住居所或營業所地址：（中文/英文）

美國加州聖荷西市果園道2325號

2325 ORCHARD PARKWAY, SAN JOSE, CA 95131, U.S.A.

國　籍：（中文/英文）

美國　U.S.A.

三、發明人：（共 3 人）

姓　名：（中文/英文）

1. 艾力克 馬杜力
   MATULIK, ERIC
2. 亞倫 佛奈斯
   VERGNES, ALAIN
3. 佛瑞德列克 史裘馬契爾
   SCHUMACHER, FREDERIC

國　籍：（中文/英文）

1. 法國　FRANCE
2. 法國　FRANCE
3. 法國　FRANCE

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年08月22日；11/466,311

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於雙倍資料速率動態隨機存取記憶體(DDR-SDRAM)裝置。更特定言之，本發明係關於用於延遲來自DDR-SDRAM記憶體裝置之"DQS"信號以捕捉資料之電路，該"DQS"信號與該資料係同時藉由該記憶體裝置產生。

【先前技術】

DDR-SDRAM裝置可以如同單一資料速率SDRAM記憶體裝置(SDR-SDRAM)一樣快速地傳輸資料。此係由於DDR-SDRAM裝置每時脈循環可以傳送並接收信號兩次。此特徵增加向該DDR-SDRAM裝置寫入資料及從該DDR-SDRAM裝置讀取資料之複雜性，因為有效資料窗口比在SDR-SDRAM裝置中更窄。

現在參考圖1A及1B，一時序圖解說與時脈時序相關的針對SDR-SDRAM裝置(圖1A)及DDR-SDRAM裝置(圖1B)之有效資料時間窗口。從圖1A可以看出，針對該SDR-SDRAM時脈之每一完整循環有一單一的有效資料窗口。從圖1B可以看出，針對每一DDR-SDRAM時脈循環有兩個有效資料窗口。

在一應用系統(例如連接至在一印刷電路板上的DDR-SDRAM裝置之一微控制器電路)中，該信號DQS係在讀取操作期間藉由該等DDR-SDRAM裝置發射而在寫入操作期間藉由記憶體控制器發射之一雙向控制信號。該記憶體控

制器可以係一微控制器積體電路之部分。為將DDR裝置電路最佳化，該DQS信號係提供成與用於讀取操作之資料邊緣對齊而且應與用於寫入操作的資料中心對齊。圖2顯示在一典型寫入操作中的DQS信號及其與DDR-SDRAM之該等有效資料窗口之關係。圖3顯示在一典型讀取操作中的DQS信號及其與DDR-SDRAM之該等有效資料窗口之關係。

為向DDR-SDRAM裝置寫入資料而不增加該DDR-SDRAM控制器之複雜性並保證該信號係與資料中心對齊，可以使用以驅動該等DDR-SDRAM裝置的時脈頻率之兩倍運行之一時脈信號之下降邊緣。參考圖2顯示一DDR-SDRAM裝置之操作之此樣態，其中波形解說對於來自一DDR-SDRAM裝置之一寫入存取，一DDR-SDRAM DQS信號之上升與下降邊緣係與該有效資料中心對齊。該DDR-SDRAM控制器產生具有此類相位關係之信號。

還如圖3所示，若以一適當的時間增量延遲，則所延遲的DQS信號係與該有效資料窗口之中心對齊，該DQS信號可用作一取樣與保持信號以令一簡單、安全的電路捕獲來自DDR-SDRAM裝置之資料。

在讀取操作期間，該DQS信號係與資料邊緣對齊，該控制器將該DQS信號延遲對應於約1/4的DDR裝置時脈週期之一時間週期以允許所延遲的DQS信號與該有效資料窗口之中心對齊。在此條件下，可以對來自該DDR裝置之資料進行正確的取樣，因為保持/設置時間容限係最佳的(資料有

效窗口之中間，321、322、331、332)。當然，該延遲必須穩定。

將DQS作為其輸入且係由級聯的基本單元元件(例如緩衝器或反相器)之一延遲線形成之一簡單的延遲電路不保證一穩定的延遲，因為基本元件內在延遲與諸如程序、電壓及溫度變化之類降額因素相關。

【發明內容】

本發明係用於延遲由DDR-SDRAM裝置提供之DQS信號以便對DDR資料取樣。本發明一般將在與一DDR-SDRAM裝置介接之一DDR-SDRAM控制器中操作。該DDR-SDRAM控制器係可以在許多標準微控制器中找到之一數位電路。

依據本發明用以延遲一輸入控制信號之一電路包含一時脈電路，該時脈電路係用於產生一時脈信號，該時脈信號之一頻率不同於一欲延遲的輸入時脈信號之頻率，並且該時脈電路包括一時脈信號輸入、一導出時脈信號輸出、用於程式化介於其輸入時脈頻率與其輸出時脈頻率之間的一時脈頻率比率之一輸入。一時脈捕獲電路提供為提供由該時脈電路提供的信號一週期量之一延遲而需要之經決定數目之延遲元件。一延遲計算電路接收經決定數目之延遲元件並計算為將該輸入控制信號延遲一時間量而需要的延遲元件之一數目。一延遲電路包含一控制信號輸入、用以接收由該延遲計算電路提供的該延遲元件數目之一選擇輸入。

在讀取操作期間，該DQS信號係與資料邊緣對齊。依據本發明，該控制器必須將該DQS信號延遲對應於1/4的DDR裝置時脈週期之一理論時間週期。由於不同的降額因素，該等DQS與DATA信號在真實的使用壽命操作中並非100%邊緣對齊，而因此延遲值必須可以在1/4的DDR裝置時脈週期左右調整。在此條件下，可以對來自該DDR裝置之資料進行正確的取樣，因為該保持/設置時間容限係最佳地位於該資料有效窗口之正中間。

藉由一已知穩定時間量來延遲信號的邏輯係一延遲鎖定迴路，其用作主控電路以計算為產生一已知延遲並令其相對於諸如處理變化、電壓及溫度之類條件保持穩定而需要的級聯基本元件之數目。該主控電路驅動向該DQS信號施加所需要且穩定的延遲之一從屬延遲電路。該主控電路(DLL)允許決定一穩定延遲(約為一時脈週期之1/4)而與該等降額因素(例如，程序、電壓及溫度)無關。輸入該主控電路的時間參考係一時脈信號，其頻率係該DDR裝置時脈頻率之一分率(例如1/4、1/3、或1/5之DDR時脈)。與該DDR裝置時脈相關的DQS及資料相位可以隨不同的印刷電路板而變化，因為其具有不同的佈局而且該等記憶體裝置之內部電路佈局不同。該等DQS相位還可以因諸如電壓降之類降額因素而變化。

該從屬電路將該DQS信號延遲穩定延遲(約為1/4的DDR時脈週期)。因此該從屬電路之輸出可用作資料取樣命令。該DLL電路決定欲級聯以將該DQS信號延遲一給定時

間量(約為1/4的DDR時脈)之基本元件(例如緩衝器或反相器)之數目。可以在作業中修改/調整延遲元件數目以獲得穩定的延遲。

本發明避免使用包含類比單元之電路，難以針對跨不同技術的雜訊、鑄造可測性、消耗及可攜性方面對此等類比單元進行處理。

【實施方式】

熟習此項技術者應認識到本發明之以下說明僅解說而不以任何方式限制本發明。本發明之其他具體實施例將輕易地為熟習此項技術者所瞭解。

現在參考圖4，一方塊圖解說其中可採用本發明之一典型環境。圖4顯示包含透過一DDR記憶體控制器14連接至一DDR-SDRAM裝置12的微控制器10之一系統。顯示於參考數字16之一輸入時脈信號向DQS延遲電路18提供一時脈參考信號。DQS延遲電路18之功能係延遲來自DDR-SDRAM裝置12的DQS(0)及DQS(1)信號以產生一延遲的DQS(0)及一延遲的DQS(1)信號來控制從DDR-SDRAM裝置12讀取資料。本發明係關於一DQS延遲電路18。

從對圖4的檢查可看出，延遲的DQS(0)及延遲的DQS(1)信號係分別用於對D正反器20及22進行時脈控制。D正反器20及22係用於鎖存從DDR-SDRAM裝置12讀取並在rdata匯流排24上提供給微處理器10之較低順次資料及較高順次資料位元。此外，DDR記憶體控制器14中的閘控時脈26及寫入資料邏輯28產生將資料從微處理器10寫入DDR-

SDRAM裝置12所需要的信號。熟習此項技術者會明白，雙向緩衝器30與32係插入DDR-SDRAM裝置12與DQS延遲電路18之間，而雙向緩衝器34係插入DDR-SDRAM裝置12與DDR記憶體控制器14之間。如此項技術中所習知，此等緩衝器係控制成在適合於藉由傳統電路(未顯示)進行讀取及寫入操作之方向上傳遞資料。

為使得該DQS信號延遲穩定，使用一可程式化延遲線並相對於該降額因素之變化對其進行調諧。此調諧係藉由一鎖定迴路電路來自動執行。因此，本發明中使用比一簡單延遲線更複雜之一可程式化延遲線。下文將揭示，此一可程式化延遲線採用一可程式化數目的基本延遲單元。獨立的主控電路係用於記錄該等降額變化以即時選擇用於該可程式化延遲線的基本延遲元件之數目以針對該DQS信號輸入提供一給定延遲。

個別的DQS及資料相位還可以隨不同的印刷電路板而變化，因為記憶體裝置具有不同的印刷電路板佈局及不同的內部電路佈局，從而導致需要對施加於該DQS信號之延遲加以調諧。該DQS信號之相位還可以因降額因素(例如內部或外部電壓降)而變化。用於修改延遲數量之此類調諧完全不同於主鎖定電路之自動調諧。本發明所執行之調諧提供調整一約為1/4時脈週期理論值的延遲之能力。

獨立的主控電路具有一穩定的延遲參考並藉由使用若干基本延遲單元來鎖定於該穩定延遲參考，與用於延遲該DQS信號輸入的可程式化延遲線相同。該鎖定系統確保追

蹤該降額因素之變化。

輸入該主控電路之穩定時間參考係該DDR-SDRAM記憶體控制器之時脈信號或一頻率係該記憶體控制器頻率之一約數(比如，除以2等等)的時脈信號，以使得該DOS延遲電路之設計更簡單並使得輸入該主控電路之參考更具可預測性，尤其在該DDR-SDRAM控制器之負載循環可能不穩定或不同於一已知值(例如50%)時。

該從屬電路接收該DQS信號作為輸入並將其延遲該穩定延遲(約為1/4的DDR時脈週期，接受精細調諧以使得DQS與資料相位變化匹配)。因此，受該主控電路驅動的從屬電路之輸出可用作資料取樣命令。

現在參考圖5，一簡化示意圖顯示提供依據本發明之前述特徵之DQS延遲電路40之一解說性範例。一簡化示意圖包含方塊42、44、46及48。將藉由方塊42提供參考延遲，接著主鎖定迴路電路44將決定欲級聯以獲得該參考延遲的基本延遲元件數目。將在方塊46中轉換此延遲元件數目以獲得用於藉由從屬延遲線48延遲該等DQS信號的基本延遲元件之最終數目。

方塊42允許藉由採用將線50上的輸入頻率乘以乘法器52中的可程式化比率N/M之電路來獲得一可程式化參考延遲，該電路之輸出具有一等於[(N/M)*F_{input}]之頻率值，其中f_{input}係線50上的輸入頻率。方塊42之輸出54係該DQS延遲電路40之系統時脈並將用作一參考信號延遲。

此可程式化的值允許修改最佳資料取樣點。最佳資料取

樣點之理論值係DDR-SDRAM時脈週期之1/4，但由於資料及DQS信號所發送到的不同印刷電路板具有不同的導線長度及/或電容，加上記憶體裝置之內部電路中之差，因而此等信號之終端點可能具有不同相位。因此，該最佳取樣點標稱值將約為該時脈週期之1/4，但最後可能略更多或少一些。由於此等條件可隨不同的印刷電路板而變化，因此重要的係提供透過該DDR-SDRAM控制器的使用者介面來調諧該取樣點之能力。

存在不同方法用於產生一可程式化的延遲，而圖5所示模組40係一範例。分率係數乘法器可以使用一鎖相迴路(PLL)與兩個簡單的時脈除法器來獲得一分率除法器(將參考圖6來顯示)。

為說明後續模組，假定模組42在信號線54上提供一輸出時脈週期，其係提供給該DDR-SDRAM裝置的輸入時脈週期之兩倍(即，若將DDR-SDRAM之時脈控制於100 MHz，則信號線54處的頻率係50 MHz)。

方塊44包括鎖定於由模組42提供的參考延遲上之電路。其允許決定一延遲線56的基本延遲元件數目來獲得一延遲，此延遲係該系統時脈週期之一分率。

由方塊44決定的延遲元件數目將係延遲來自DDR-SDRAM裝置的DQS信號所需要的元件數目之一已知分率。在模組44中使用的延遲線係設計為具有與將在從屬延遲線中用於延遲該DQS信號者相同的基本延遲元件。

在以下範例中，該模組44之設計方式使其鎖定於一系統

時脈週期之一半上。由此產生一簡化的電路架構以從初始或重設狀態到達鎖定狀態或從鎖定到達鎖定狀態(因一降額因素變化所致)。

在所有鎖定系統中，該架構包括一相位偵測器電路來提供為在該可程式化延遲線56中添加或移除基本延遲元件以與穩定時脈信號54所提供的參考延遲匹配而需要的資訊。

在圖5所示範例中，該相位偵測器電路包含：D正反器58及60；延遲線元件62，其包含有限數目的基本延遲元件(緩衝器或偶數數目的反相器)；一NOR閘64及一AND閘66。該電路係藉由時脈輸入54來驅動，並使用延遲線62之輸出及該可程式化延遲線56之輸出作為一回授時脈。

當在線68上判定系統重設時，清除該等D正反器58及60，該可程式化主延遲線在主可程式化延遲線56之輸出處提供一回授時脈，該回授時脈係藉由一單一的基本延遲元件而延遲，因為向上/向下計數器70係相應地從NOR閘64及一AND閘66之輸出設定。

對線68上的系統重設解判定後，該等D正反器58及60開始對邏輯"0"(在主可程式化延遲線56的輸出處之波形之低部分)取樣。當清除兩個D正反器之輸出時，該2輸入NOR閘64在向上/向下計數器70之"向上(UP)"輸入處提供一邏輯1來指示相位偵測器44係未鎖定而需要在該主可程式化延遲線中包含更多基本延遲元件來到達該鎖定狀態。該2輸入AND閘66藉由一邏輯"0"驅動該向上/向下計數器70之"向下(DOWN)"輸入，以指示無須移除該可程式化延遲線56中

的延遲元件。圖8A顯示此狀態之一範例。

該向上/向下計數器70修改其輸出以指示主可程式化延遲線56添加更多延遲。該可程式化延遲線相應地藉由選擇又一基本延遲來增加其內部延遲。相位偵測器模組44仍處於其未鎖定狀態。

若該延遲變成大於由系統時脈之時脈週期在其輸出54處提供之參考延遲，則兩個D正反器58與60皆對一邏輯"1"取樣。該2輸入NOR閘64將邏輯"0"返回至向上/向下計數器70之"向上"輸入，而該2輸入AND閘66向向上/向下計數器70之"向下"輸入提供一邏輯"1"。在此等條件下，向上/向下計數器70修改在其輸出上提供的值以指示該主可程式化延遲線56移除一基本延遲元件。該主可程式化延遲線相應地減小其內部延遲。該相位偵測器模組44仍處於其未鎖定狀態。圖8C顯示此狀態之一範例。

當該可程式化延遲線56將信號線54上的系統時脈延遲該系統時脈週期(鎖定狀態)之一半時，D正反器58對一邏輯"1"取樣而D正反器60對一邏輯"0"取樣。所取樣值可以存在此差異，此係由於D正反器58之資料輸入之路徑中存在延遲線62。

延遲線62允許將延遲線62之輸出處延遲的回授時脈之下降邊緣定位於線54上的系統時脈之上升邊緣之後的一時間，而將該回授時脈之下降邊緣定位於線54上的系統時脈之上升邊緣之前。在此情況下，NOR閘64與AND閘66皆向向上/向下計數器70之"向上"及"向下"輸入提供邏輯"0"。

向上/向下計數器70之輸出不改變，從而指示藉由相位偵測器提供的相位錯誤為零，而該相位偵測器44係鎖定。圖8B顯示此狀態之一範例。

該延遲線62可以係設計為具有基本延遲元件，例如傳統的反相器或緩衝器。下面將參考主可程式化延遲線56揭示無須更複雜的延遲元件。

延遲線62的輸入與其輸出之間的傳播延遲必須大於定義為該等D正反器58與60的設置與保持時間之和之一值。此將限制兩個針對每一取樣點的D正反器上之準穩特性。若向D正反器58及60的資料輸入之延遲的信號之一信號到達一D正反器之準穩週期，則另一信號不可能在第二D正反器之準穩週期中。

熟習此項技術者將明白在一設置或保持週期期間仍存在由該等D正反器之一進行資料取樣之一機率。無法避免此情況，但可以對相位偵測器44之內在延遲值(延遲線62)之定義加以改良。

若相位偵測器44之傳播延遲大於D正反器58與60中較高的準穩週期值加上可程式化延遲線62中的最小延遲，則該相位偵測器將停留在一鎖定狀態而D正反器58及60不會有準穩特性。準穩狀態將發生於瞬變相位。

在其鎖定狀態中，該相位偵測器44定義將該系統時脈延遲該系統時脈週期之一半所需要的基本延遲元件之一數目。本發明之一主要目的係獲得該DQS週期的1/4或該DDR-SDRAM裝置時脈週期的1/4。因此，必須執行一轉換

並將其施加於連接至DQS控制輸入信號之可程式化延遲線。

現在參考圖6，顯示用作一可程式化延遲線(例如，圖5中的主可程式化延遲線56)之一解說性可程式化延遲線電路80。圖6中的解說性可程式化延遲線電路80係顯示為具有複數個級聯單元延遲元件82、84、86、88、90及92。每一單元延遲元件包含一反相器與一多工器。每一單元延遲元件之反相器係與下一單元延遲元件之反相器級聯，而每一單元延遲元件之多工器具有與前一單元延遲元件之反相器級聯之一輸入。因此，單元延遲元件82包含反相器94與多工器96；單元延遲元件84包含反相器98與多工器100；單元延遲元件86包含反相器102與多工器104；單元延遲元件88包含反相器106與多工器108；單元延遲元件90包含反相器110與多工器112；單元延遲元件92包含反相器114與多工器116。反相器118之目的係平衡針對該可程式化延遲線的每一級之電容負載，而因此平衡每一級之傳播延遲。提供一輸入緩衝器120與一輸出緩衝器122以提供一正確輸入邊緣及提供一負載獨立輸出。

藉由選擇輸入S_0, S_1, S_2, S_3, …$S_{(n-1)}$及$S_{(n)}$來分別控制多工器96、100、104、108、112及116。若一單元延遲元件之選擇輸入係設定為邏輯零，則其多工器選擇下一單元延遲元件中的多工器之反相輸出。若一單元延遲元件之選擇輸入係設定為邏輯一，則其多工器選擇其自己反相器之輸出。因此，僅需要將該可程式化延遲線電路80中之一選擇

輸入設定為邏輯一，在其單元延遲元件中信號係翻轉並透過多工器鏈向下往回引導而最終引導至該輸出緩衝器122。在該鏈中下游更遠處之任何設定為邏輯一的選擇輸入不影響該可程式化延遲線電路80之操作。

作為一範例，若該等選擇輸入S_0及S_1係設定為邏輯零，而該選擇輸入S_2係設定為邏輯一，則信號將穿過：該輸入緩衝器120，反相器94、98及102，多工器104、100及96，並穿過輸出緩衝器122。選擇輸入S_3，…$S_{(n-1)}$及$S_{(n)}$之狀態不會影響該電路之操作。

再來參考圖5，方塊46用於將來自向上/向下計數器70的輸出之資料轉換為可供圖5所示電路的方塊48中之從屬可程式化延遲線電路130及132使用之一值。從屬可程式化延遲線電路130及132還可以係如圖6所示而組態。圖5所示電路中的模組46執行一轉換器功能，並於操作期間在適當位置允許修改該等從屬可程式化延遲線電路130及132。包括相位偵測器44之延遲鎖定迴路係鎖定於該時脈週期之一半上(即該等可程式化延遲線56將線54上的輸入時脈信號延遲該時脈週期之一半)。因此，藉由使用相同的從屬可程式化延遲線將該DQS輸入控制信號延遲向該DDR-SDRAM裝置提供的時脈週期之1/4，欲選擇的基本延遲元件之數目係向上/向下計數器70所報告的值之1/4，因為該鎖定係執行於一時脈之一半週期上，該一半週期係相對於向該DDR-SDRAM記憶體提供的時脈之二分之一。

方塊46包含一分率係數乘法器134，可以藉由向上/向下

計數器70之輸出來按需要更新其輸入。其輸出係經由多工器138提供給D正反器136。鎖存於D正反器136中的資料係用於驅動方塊48之從屬可程式化延遲線130及132。藉由線140處的更新延遲線信號來驅動多工器138之選擇輸入。只要不判定該更新信號，便透過多工器138將D正反器136之輸出回授至其資料輸入。當判定該更新信號140時，藉由向上/向下計數器70之輸出來驅動D正反器136之輸入。

由於如參考圖6所顯示及說明之可程式化延遲線56之結構，為選擇該延遲數量而欲向該延遲線中的多工器之切換輸入提供的輸入值並非一十進制編碼值而係一單一狀態觸發(one-hot)值。因此，為將該輸入值除以4，可以將分率係數乘法器134組態為一查找表。可將分率係數乘法器134之功能性視為基於非十進制之一分率係數乘法器。表1顯示嵌入分率係數乘法器134中的查找表之一範例。

輸入值	主延遲線中選定基本元件之數目	輸出值	從屬延遲線中選定基本元件之數目
1000000000000000	1	1000000000000000	1
0100000000000000	2	1000000000000000	1
0010000000000000	3	1000000000000000	1
0001000000000000	4	1000000000000000	1
0000100000000000	5	1000000000000000	1
0000010000000000	6	0100000000000000	2
0000001000000000	7	0100000000000000	2
0000000100000000	8	0100000000000000	2
0000000000000001	16	0001000000000000	4

表1

在改變該延遲值時必須加以小心。由分率係數乘法器134返回的值任何時候皆無法應用於該從屬可程式化延遲線。在不對來自DDR-SDRAM裝置的資料作任何存取時，較佳的係應用一新值。若在存取該記憶體裝置時改變此值，則必須保持此值以避免在使用DQS信號時修改該DQS延遲，從而避免在該可程式化延遲線中的不同延遲之間切換時出現一寄生脈衝之風險。無論如何，若無中斷地執行存取，則需要更新該延遲以對可能的降額因數變化加以考量。該等DDR-SDRAM裝置需要週期性地中斷存取以能夠再新其內容。該記憶體控制器已知此等再新循環之時間。此資訊可用於在該DDR-SDRAM記憶體控制器不使用該等DQS信號而該從屬延遲線線上的短時脈衝波將無關緊要時安全地致能在再新操作期間該從屬延遲線之更新。

若使用此一方案，則當該記憶體控制器(未顯示)指示該DDR-SDRAM裝置執行再新時，其判定線140上之一信號，從而再新D正反器136之內容。只要再新週期完成，便對線140解判定，而該多工器138將資料重新循環至D正反器136。

現在參考圖7，顯示用於圖5所示乘法器52之一解說性電路。可由一PLL 150與兩個時脈除法器152及154形成一N/M乘法器。作為一範例，該PLL 150可以將該輸入信號乘以8、9、10、11或12而將所產生的頻率除以10。時脈線54上的頻率範圍將在初始頻率之+/- 20%內。因此，該延遲鎖定迴路模組42將鎖定於一不同的參考延遲上，而該使

用者將有能力修改該DQS信號之延遲。該分率係數乘法器可以係一單一值，而在此一情況下，該設計比一PLL更簡單。其可以係一除以二的簡單除法器(在其資料輸入上連接負輸出之DFF(D-flip-flop；D正反器))。

雖然已顯示及說明本發明的具體實施例及應用，但是熟習此項技術者應明白除上述內容外可以進行甚多的修改，而不會脫離本文所述本發明的概念。因此，除隨附申請專利範圍之精神以外，本發明不受限制。

【圖式簡單說明】

圖1A及1B係解說SDR-DRAM及DDR-DRAM裝置的有效資料窗口之時序圖。

圖2係解說一典型的DDR-SDRAM寫入存取之一時序圖。

圖3係解說一典型的DDR-SDRAM讀取存取之一時序圖。

圖4係解說一典型的應用環境之圖示，其中顯示一微控制器驅動一DDR-SDRAM裝置。

圖5係解說依據本發明用以產生一具有一可程式化延遲的DQS信號之一電路之一方塊圖。

圖6係解說適用於本發明之一典型的可程式化延遲線之一圖式。

圖7係解說一適用於本發明的N/M乘法器電路之一圖式。

圖8A至8C係顯示針對圖5所示電路的鎖定與兩個未鎖定情況之時序圖。

【主要元件符號說明】

10	微控制器/微處理器
12	DDR-SDRAM裝置
14	DDR記憶體控制器
16	輸入時脈信號
18	DQS延遲電路
20	D正反器
22	D正反器
24	讀取資料匯流排
26	閘控時脈
28	寫入資料邏輯
30	雙向緩衝器
32	雙向緩衝器
34	雙向緩衝器
40	DQS延遲電路/模組
42	延遲鎖定迴路模組
44	主鎖定迴路電路/相位偵測器(模組)
46	模組
48	從屬延遲線
50	線
52	乘法器
54	信號線/輸出/時脈線/時脈輸入
56	可程式化延遲線

58	D正反器
60	D正反器
62	延遲線(元件)
64	NOR閘
66	AND閘
68	線
70	向上/向下計數器
80	可程式化延遲線電路
82、84、86、88、90及92	級聯單元延遲元件
94	反相器
96	多工器
98	反相器
100	多工器
102	反相器
104	多工器
106	反相器
108	多工器
110	反相器
112	多工器
114	反相器
116	多工器
118	反相器
120	輸入緩衝器
122	輸出緩衝器

130	從屬可程式化延遲線電路
132	從屬可程式化延遲線電路
134	分率係數乘法器
136	D正反器
138	多工器
140	線
150	PLL
152	時脈除法器
154	時脈除法器
S_0, S_1, S_2, S_3, ...$S_{(n-1)}$及$S_{(n)}$	選擇輸入

五、中文發明摘要：

本發明揭示一種用以延遲一輸入控制信號之電路，其包含一時脈電路，該時脈電路係用於產生一時脈信號，該時脈信號之一頻率不同於一欲延遲的輸入時脈信號之頻率，並且該時脈電路包含一時脈信號輸入、一導出時脈信號輸出、用於將其輸入時脈頻率與其輸出時脈頻率之間的一頻率比率程式化之一輸入。一時脈捕獲電路提供經決定數目之延遲元件，該經決定數目之延遲元件係對由該時脈電路提供的信號提供一週期量之一延遲所需。一延遲計算電路接收經決定數目之延遲元件並計算為將該輸入控制信號延遲一時間量而需要的延遲元件之一數目。一延遲電路包括一控制信號輸入、用以接收由該延遲計算電路提供的該延遲元件數目之一選擇輸入。

六、英文發明摘要：

A circuit for delaying an input control signal, comprises a clock circuit to generate a clock signal having a frequency different from an input clock signal to delay and including a clock signal input, a derivative clock signal output, an input to program a frequency ratio between its input clock frequency and its output clock frequency. A clock capturing circuit provides a determined number of delay elements required to provide a delay of an amount of the period of the signal provided by the clock circuit. A delay calculation circuit receives the determined number of delay elements and calculates a number of delay elements needed to delay the input control signal by an amount of time. A delay circuit includes a control signal input, a select input for receiving the number of delay elements provided by the delay calculation circuit.

十、申請專利範圍：

1. 一種用以延遲一輸入控制信號之電路，其包含：

一時脈電路，其係用於產生一時脈信號，該時脈信號之一頻率不同於一欲延遲的輸入時脈信號之頻率，該時脈電路包含用於接收一時脈信號之一輸入、用於提供一導出時脈信號之一輸出、用於程式化介於其輸入時脈頻率與其輸出時脈頻率之間定義的時脈頻率比率之一輸入；

一時脈捕獲電路，其係用以提供經決定數目之級聯延遲元件，該經決定數目之級聯延遲元件係用以形成與由該時脈電路提供的系統時脈之一週期量相等之一延遲而需要；

一延遲計算電路，其係耦合至該時脈捕獲電路，用以接收由該時脈捕獲電路提供的該經決定數目之延遲元件，並計算為將該輸入控制信號延遲一時間量而需要的延遲元件之一數目；

一延遲電路，其包含用以接收該輸入控制信號之一輸入、用以接收為將該輸入控制信號延遲一由該延遲計算電路提供的時間量而需要的延遲元件之該數目之一選擇輸入。

2. 如請求項1之電路，其中該時脈捕獲電路經組態用以鎖定該系統時脈週期之一半。

3. 如請求項1之電路，其中用於產生該系統時脈信號之該時脈電路嵌入一鎖相迴路電路以獲得乘法器。

4. 如請求項1之電路，其中用於產生一時脈信號之該時脈電路嵌入一延遲鎖定迴路電路及相關聯邏輯以獲得該乘法器。

5. 如請求項3之電路，其中該時脈乘法器係2，而除法器係3。

6. 如請求項1之電路，其中該乘法器係設定為1，而該除法器係可在十進制值2與1之間程式化。

7. 如請求項1之電路，其中該輸入控制信號係從一記憶體裝置接收，並且在該記憶體裝置之一不活動週期期間更新為延遲該輸入控制信號而需要的延遲元件之該數目。

8. 如請求項7之電路，其中該記憶體裝置之該不活動週期係該記憶體之再新週期。

9. 如請求項1之電路，其中該輸入信號係從一雙倍資料速率同步動態隨機存取(DDR-SDRAM)記憶體接收之一讀取資料選通。

10. 如請求項1之電路，其中該系統時脈之該時脈捕獲電路計算欲級聯的單位延遲元件之一數目，以獲得等於該系統時脈之該時脈週期之一半的一週期。

11. 如請求項1之電路，其中該時脈捕獲電路使用在該系統時脈上加以時脈控制的兩個D正反器單元，並且插入於該等D正反器單元的兩個資料輸入之間的延遲數量大於設定時間加上該等D正反器單元之保持時間加上可程式化延遲線之1單位延遲。

12. 如請求項1之電路，其中可以藉由一可程式化信號來關

閉用於產生該系統時脈之該時脈電路。

13. 一種嵌入如請求項1之電路的積體電路。

14. 一種嵌入如請求項1之電路的微控制器積體電路。

15. 一種用以延遲一輸入控制信號之電路，其包含：

一時脈電路，其係用於產生一時脈信號，該時脈信號之一頻率不同於欲延遲的輸入控制信號之頻率，並且該時脈電路包含用於接收一時脈信號之一輸入、用於提供一導出時脈之一輸出，該導出時脈頻率係該輸入時脈信號頻率之一固定的分率比率；

一時脈捕獲電路，其係用以決定為形成與由該時脈電路提供的該系統時脈之一週期量相等之一延遲而需要的級聯延遲元件之一數目；

一延遲計算電路，其係耦合至該時脈捕獲電路，用以接收該經決定數目之延遲元件並計算為將該輸入控制信號延遲一時間量而需要的延遲元件之一數目；

一延遲電路，其包含用以接收該輸入控制信號之一輸入以及用以接收為將該輸入控制信號延遲一由該延遲計算電路提供的時間量而需要的延遲元件數目之一選擇輸入。

16. 如請求項15之電路，其中該輸入時脈頻率之該固定分率比率係1/2。

17. 如請求項15之電路，其中該輸入時脈頻率之該固定分率比率係藉由組態為一除法器電路之一D正反器來實現。

18. 如請求項17之電路，其中該除法器電路取消該輸入時脈

信號之下降邊緣抖動。

19. 如請求項15之電路，其係佈置於一積體電路上。

20. 如請求項15之電路，其係佈置於具有一微控制器之一積體電路上。

十一、圖式：

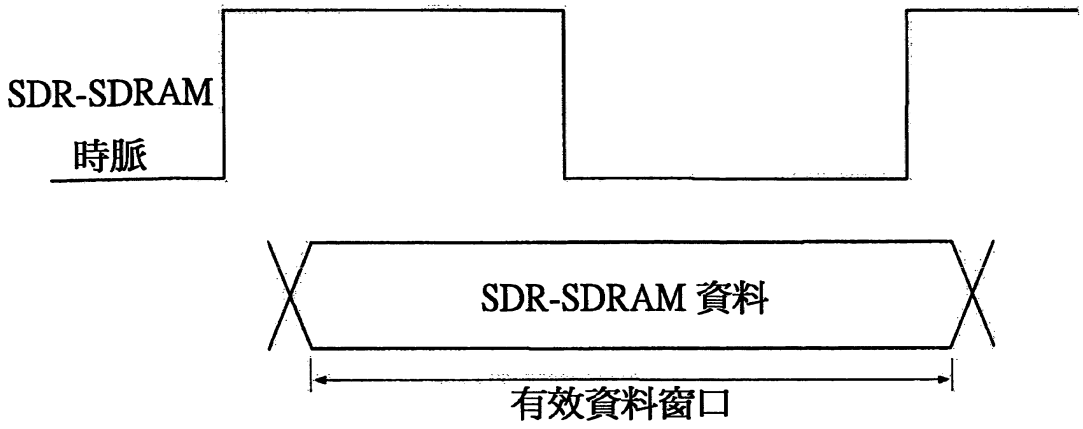

SDR-SDRAM
時脈
SDR-SDRAM 資料
有效資料窗口

圖 1A

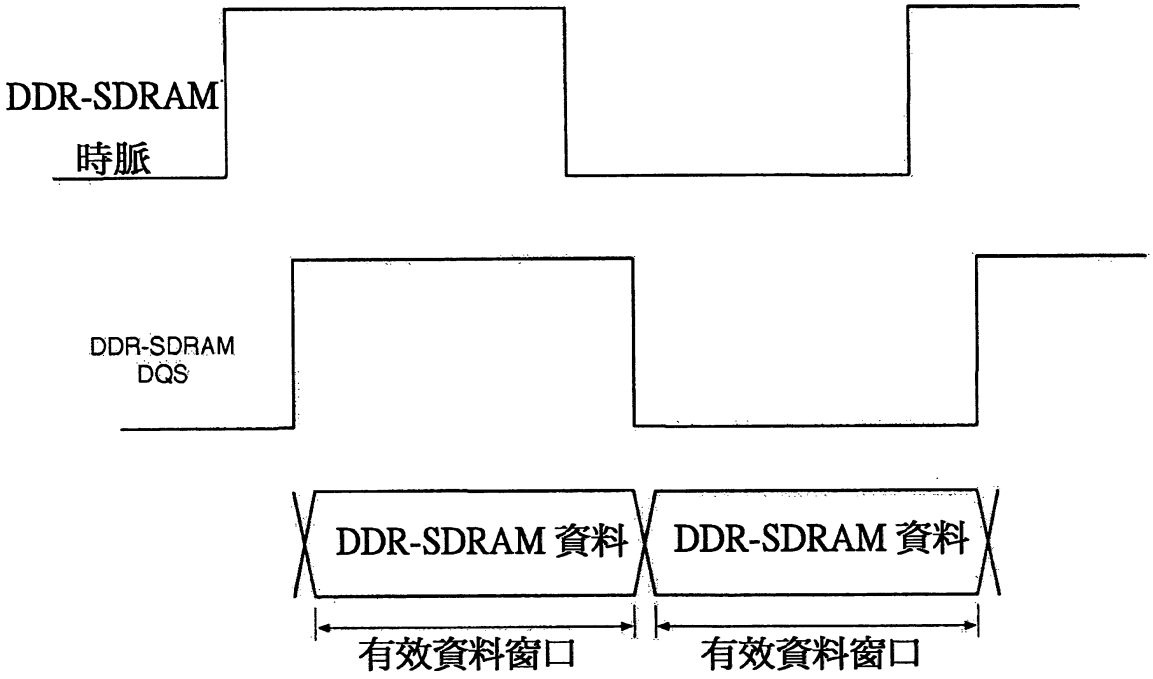

DDR-SDRAM
時脈
DDR-SDRAM
DQS
DDR-SDRAM 資料
DDR-SDRAM 資料
有效資料窗口
有效資料窗口

圖 1B

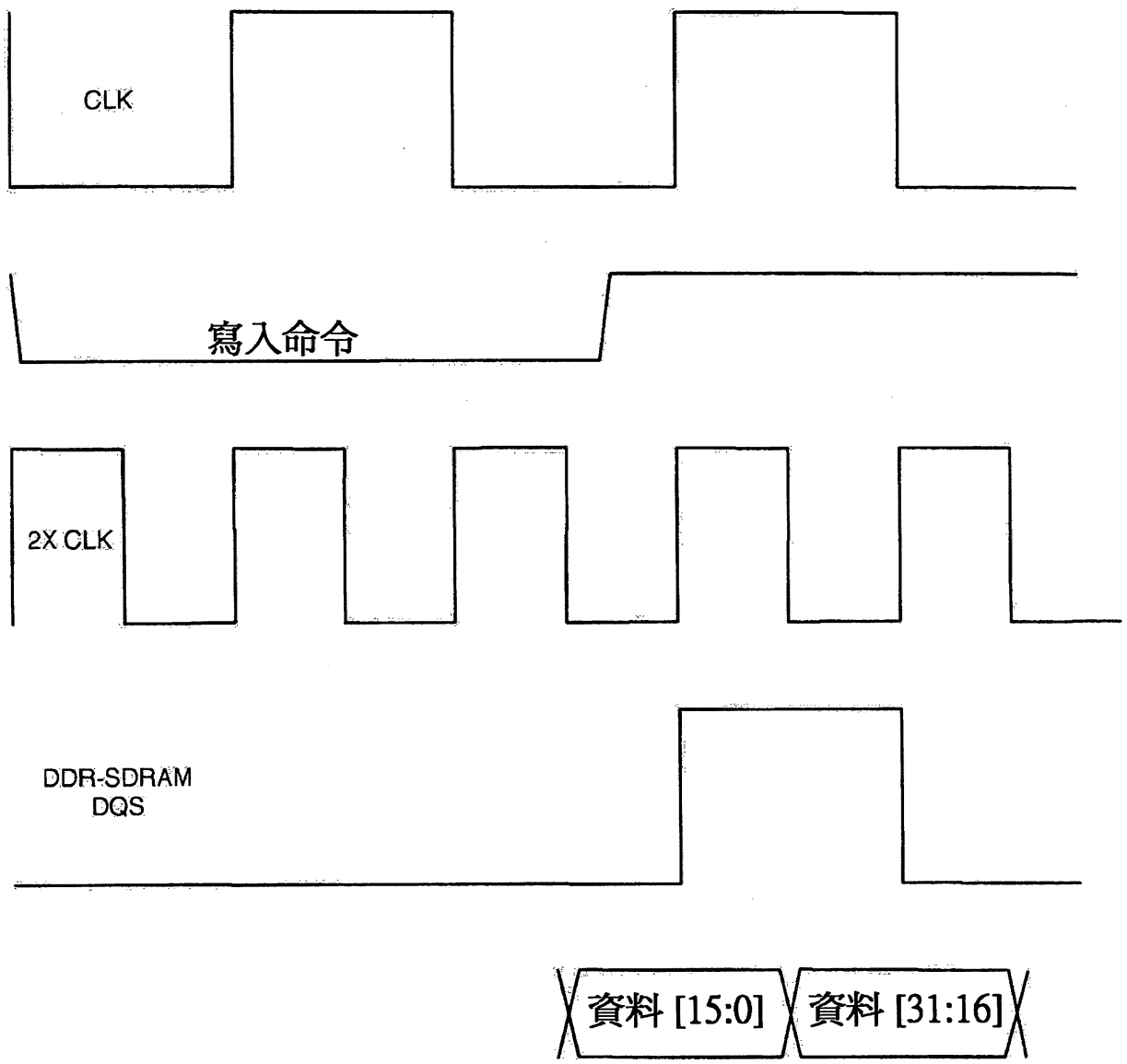


圖 2

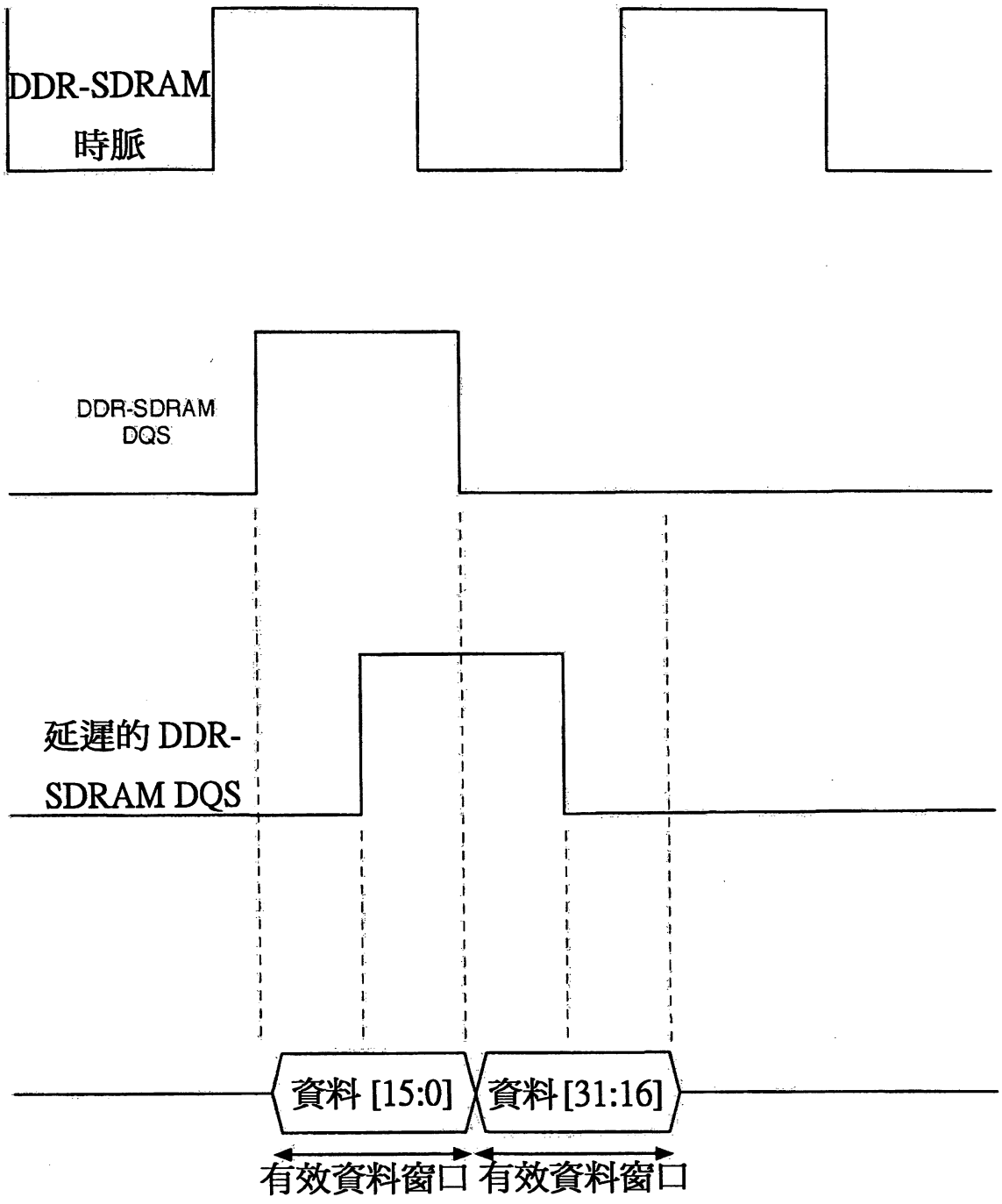

DDR-SDRAM
時脈
DDR-SDRAM
DQS
延遲的 DDR-
SDRAM DQS
資料 [15:0]
資料 [31:16]
有效資料窗口
有效資料窗口

圖 3

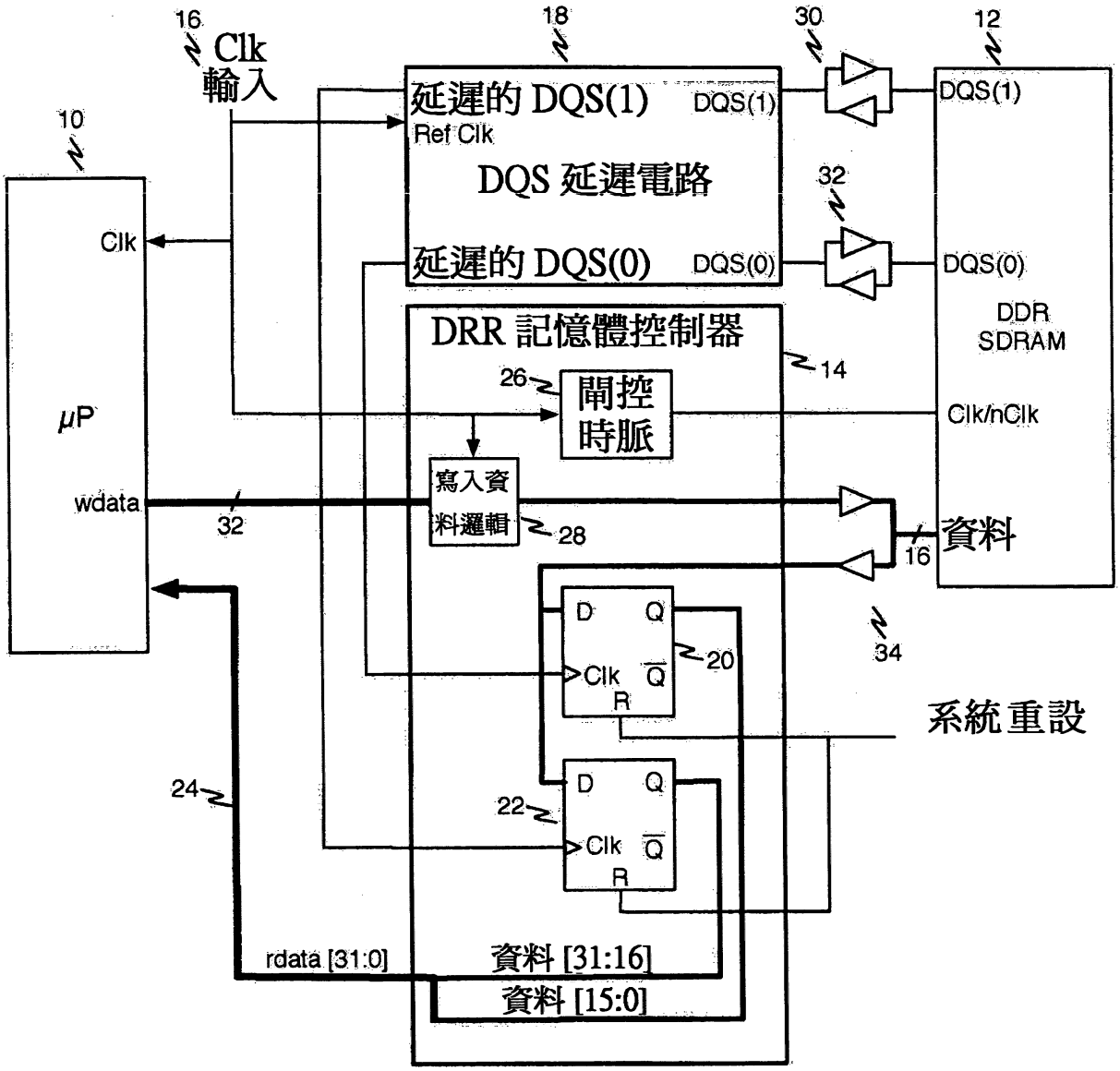

16
Clk
輸入
18
30
12
延遲的 DQS(1)
DQS(1)
Ref Clk
DQS 延遲電路
DQS(1)
10
32
Clk
延遲的 DQS(0)
DQS(0)
DQS(0)
DDR
SDRAM
DRR 記憶體控制器
14
26
閘控
時脈
μP
Clk/nClk
寫入資
料邏輯
28
wdata
32
資料
16
D
Q
20
Clk
Q
R
34
系統重設
24
22
D
Q
Clk
Q
R
rdata [31:0]
資料 [31:16]
資料 [15:0]

圖 4

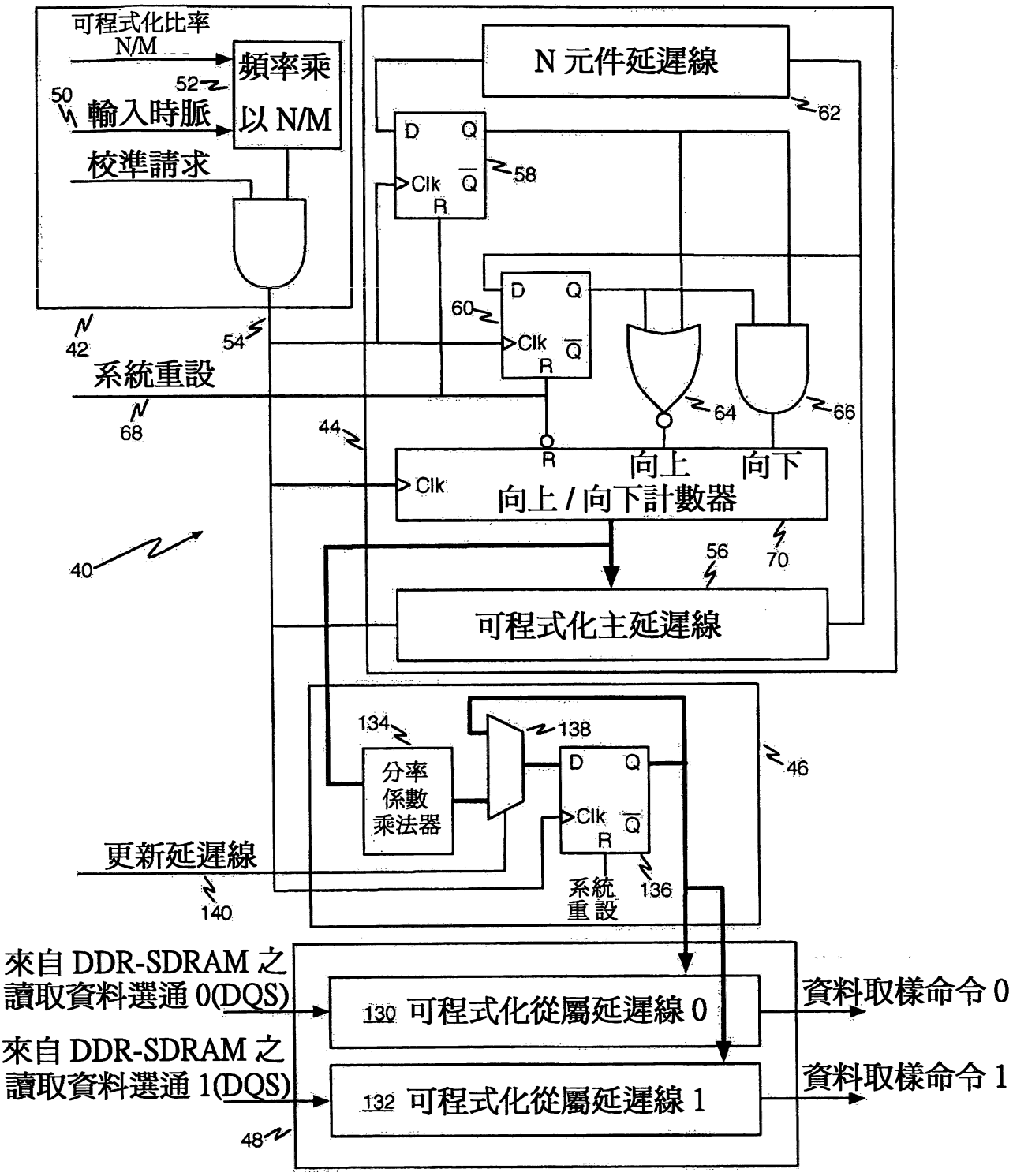

可程式化比率
N/M
頻率乘
以 N/M
52
50
輸入時脈
校準請求
42
54
系統重設
68
N 元件延遲線
62
D
Q
Clk
R
58
60
64
66
44
向上
向下
向上 / 向下計數器
40
56
70
可程式化主延遲線
134
138
分率
係數
乘法器
46
更新延遲線
140
系統
重設
136
來自 DDR-SDRAM 之
讀取資料選通 0(DQS)
130 可程式化從屬延遲線 0
資料取樣命令 0
來自 DDR-SDRAM 之
讀取資料選通 1(DQS)
132 可程式化從屬延遲線 1
資料取樣命令 1
48

圖 5

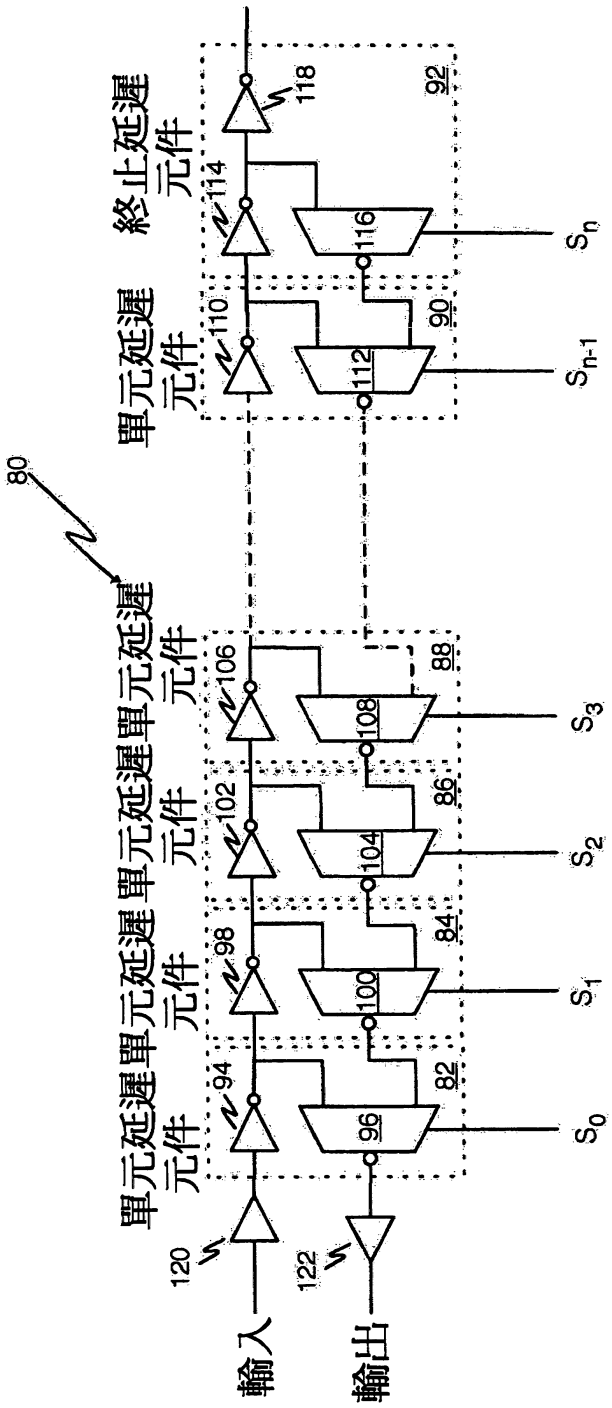

80
單元延遲元件
單元延遲元件
單元延遲元件
單元延遲元件
單元延遲元件
終止延遲元件
82
84
86
88
90
92
94
96
98
100
102
104
106
108
110
112
114
116
118
120
122
S_0
S_1
S_2
S_3
S_{n-1}
S_n
輸入
輸出

圖 6

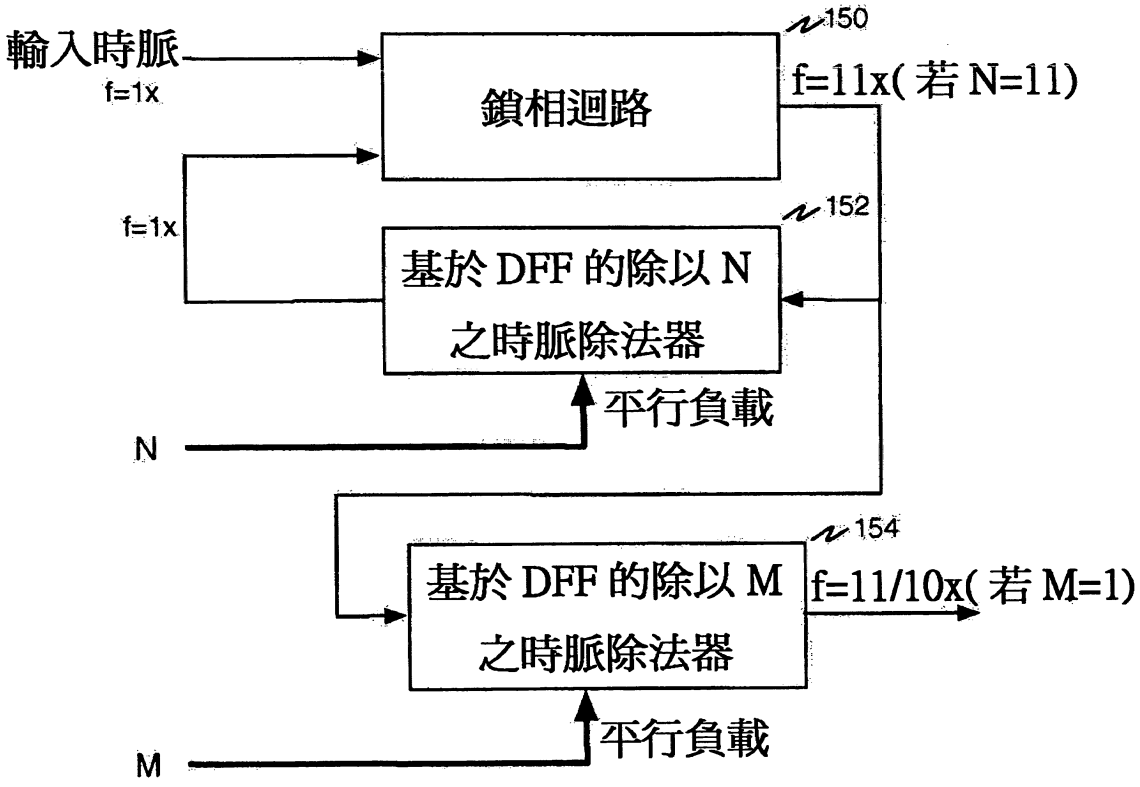

輸入時脈
f=1x
150
鎖相迴路
f=11x(若 N=11)
f=1x
152
基於 DFF 的除以 N
之時脈除法器
平行負載
N
154
基於 DFF 的除以 M
之時脈除法器
f=11/10x(若 M=1)
平行負載
M

圖 7

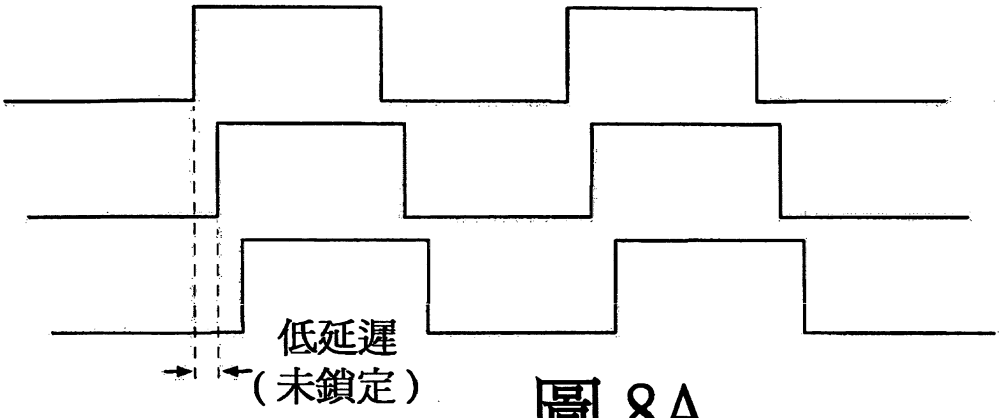


圖 8A

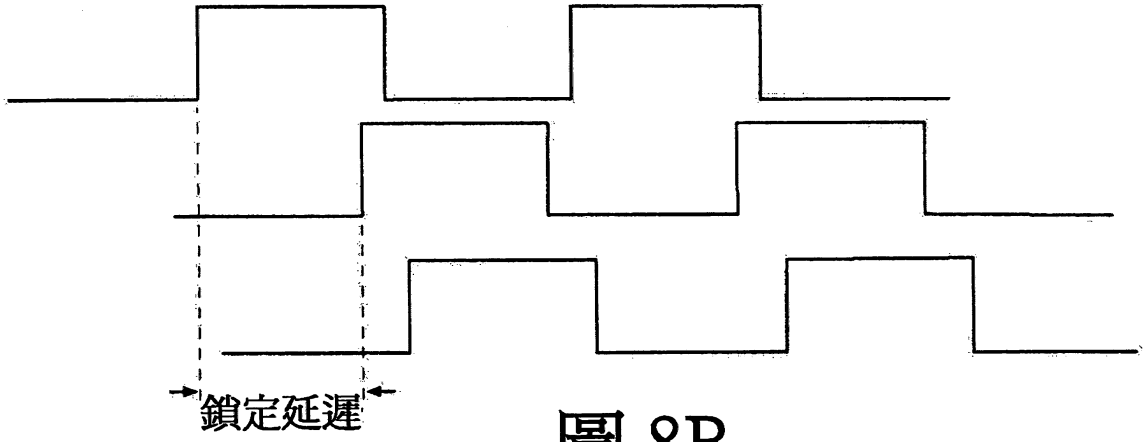


圖 8B

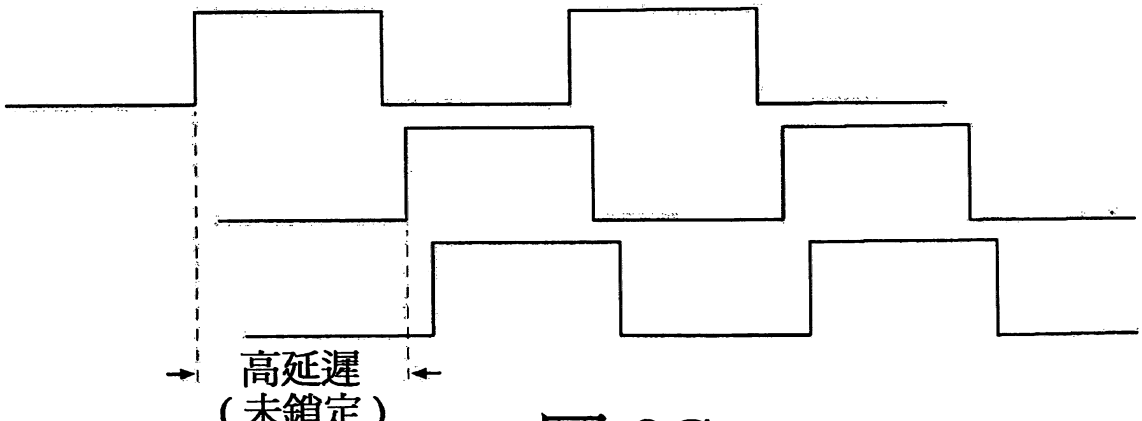


圖 8C

七、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

40	DQS延遲電路/模組
42	延遲鎖定迴路模組
44	主鎖定迴路電路/相位偵測器(模組)
46	模組
48	從屬延遲線
50	線
52	乘法器
54	信號線/輸出/時脈線/時脈輸入
56	可程式化延遲線
58	D正反器
60	D正反器
62	延遲線(元件)
64	NOR閘
66	AND閘
68	線
70	向上/向下計數器
130	從屬可程式化延遲線電路
132	從屬可程式化延遲線電路
134	分率係數乘法器
136	D正反器
138	多工器

140 線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)