

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月7日(07.09.2018)



(10) 国際公開番号

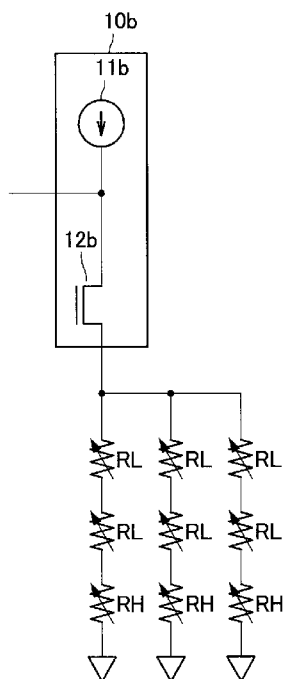
WO 2018/159246 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01) *G11C 11/16* (2006.01)
- (21) 国際出願番号: PCT/JP2018/004279
- (22) 国際出願日: 2018年2月8日(08.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-040738 2017年3月3日(03.03.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 黒田 真実 (KURODA, Masami); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 亀谷 美明, 外 (KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND INFORMATION PROCESSING DEVICE

(54) 発明の名称: 半導体記憶装置及び情報処理装置

[図6]



(57) Abstract: [Problem] To provide a semiconductor memory device capable of normally reading a value from a memory element and achieving a large capacity. [Solution] A semiconductor memory device according to the present invention is provided with: a memory element; reference elements having a first resistance state for generating a reference potential for determining a value held in the memory element; and a reference element having a second resistance state that is higher than the resistance value of the first resistance state for generating the reference potential. The semiconductor memory device has a configuration in which, when the reference potential is generated, the number of reference elements having the first resistance state is larger.

(57) 要約: 【課題】記憶素子から正常に値を読み出せるようにして、大容量化を実現することが可能な半導体記憶装置を提供する。【解決手段】メモリ素子と、前記メモリ素子に保持された値を判別するためのリファレンス電位を生成するための第1の抵抗状態を有する参照素子と、前記リファレンス電位を生成するための前記第1の抵抗状態の抵抗値より高い第2の抵抗状態を有する参照素子と、を備え、前記リファレンス電位を生成する際には、前記第1の抵抗状態を有する参照素子の数の方を多くするよう構成を有する、半導体記憶装置が提供される。

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体記憶装置及び情報処理装置

技術分野

[0001] 本開示は、半導体記憶装置及び情報処理装置に関する。

背景技術

[0002] 抵抗変化型半導体記憶装置は、少なくとも2値の情報を電氣的抵抗値に基づき保存する少なくとも1つの抵抗変化型記憶素子で構成される記憶素子を備えている。そして抵抗変化型半導体記憶装置は、選択された記憶素子に電流を流し、記憶素子の電氣的抵抗に掛かる電圧値をセンスアンプで検知することで、記憶素子に保存された論理値を読み取る。また抵抗変化型半導体記憶装置の記憶素子は、閾値以上の電圧が印加されると、印加された電圧の方向に応じて高抵抗または低抵抗に変化する特徴を有している。従って抵抗変化型半導体記憶装置には、この閾値電圧以内での読み出しが要求される。記憶素子の抵抗値を判別するために2値の抵抗値の中間の値を用意する必要があり、例えば高低2つの記憶素子を並列に並べて平均値を取る半導体記憶装置が開示されている（特許文献1～3等）。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-84517号公報

特許文献2：特開2009-238327号公報

特許文献3：特開2013-4151号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、2値の抵抗値の単純平均の値は、それぞれの抵抗値ばらつきを考慮すると中央の値にならず、記憶素子から正常に値を読み出せない場合があり、大容量化の阻害要因となる。

[0005] そこで、本開示では、記憶素子から正常に値を読み出せるようにして、大

容量化を実現することが可能な、新規かつ改良された半導体記憶装置及び情報処理装置を提案する。

課題を解決するための手段

[0006] 本開示によれば、メモリ素子と、前記メモリ素子に保持された値を判別するためのリファレンス電位を生成するための第1の抵抗状態を有する参照素子と、前記リファレンス電位を生成するための前記第1の抵抗状態の抵抗値より高い第2の抵抗状態を有する参照素子と、を備え、前記リファレンス電位を生成する際には、前記第1の抵抗状態を有する参照素子の数の方を多くするよう構成を有する、半導体記憶装置が提供される。

[0007] また本開示によれば、上記半導体記憶装置を少なくとも1つ備える、情報処理装置が提供される。

発明の効果

[0008] 以上説明したように本開示によれば、記憶素子から正常に値を読み出せるようにして、大容量化を実現することが可能な、新規かつ改良された半導体記憶装置及び情報処理装置を提供することが出来る。

[0009] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0010] [図1] 高低2つの記憶素子の抵抗値ばらつきの一例を示す説明図である。

[図2] 一般的な定電流源の回路構成例を示す説明図である。

[図3] ドレインソース間電圧とドレイン電流との関係を示す説明図である。

[図4] 本開示の実施の形態に係る半導体記憶装置の機能構成例を示す説明図である。

[図5] 同実施の形態に係る半導体記憶装置の具体的な回路構成例を示す説明図である。

[図6] リファレンス用の記憶素子の組み合わせの別の例を示す説明図である。

[図7] 図5に示した半導体記憶装置1の回路構成例を示す説明図である。

[図8A]データ記憶用の記憶素子の構成例を示す説明図である。

[図8B]データ記憶用の記憶素子の構成例を示す説明図である。

[図9A]リファレンス用の記憶素子の構成例を示す説明図である。

[図9B]リファレンス用の記憶素子の構成例を示す説明図である。

[図9C]リファレンス用の記憶素子の構成例を示す説明図である。

[図9D]リファレンス用の記憶素子の構成例を示す説明図である。

[図9E]リファレンス用の記憶素子の構成例を示す説明図である。

[図9F]リファレンス用の記憶素子の構成例を示す説明図である。

[図10]同実施形態に係る半導体記憶装置 1 の回路構成例を示す説明図である

。

[図11]同実施形態に係る半導体記憶装置 1 の回路構成例を示す説明図である

。

[図12]同実施形態に係る半導体記憶装置 1 の回路構成例を示す説明図である

。

[図13]同実施の形態に係る半導体記憶装置 1 を備えたシステムの構成例を示す説明図である。

[図14]同実施の形態に係る半導体記憶装置 1 を備えたシステムの構成例を示す説明図である。

[図15]同開示の実施の形態に係る半導体記憶装置 1 が搭載されうる電子デバイス 1000 の機能構成例を示す説明図である。

発明を実施するための形態

[0011] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0012] なお、説明は以下の順序で行うものとする。

1. 本開示の実施の形態

1. 1. 概要

1. 2. 構成例

2. 応用例

3. まとめ

[0013] <1. 本開示の実施の形態>

[1. 1. 概要]

本開示の実施の形態について説明する前に、本開示の実施の形態の概要について説明する。

[0014] 上述したように、抵抗変化型半導体記憶装置は、少なくとも2値の情報を電氣的抵抗値に基づき保存する少なくとも1つの抵抗変化型記憶素子で構成される記憶素子を備えている。そして抵抗変化型半導体記憶装置は、選択された記憶素子に電流を流し、記憶素子の電氣的抵抗に掛かる電圧値をセンスアンプで検知することで、記憶素子に保存された論理値を読み取る。また抵抗変化型半導体記憶装置の記憶素子は、閾値以上の電圧が印加されると、印加された電圧の方向に応じて高抵抗または低抵抗に変化する特徴を有している。従って抵抗変化型半導体記憶装置には、この閾値電圧以内での読み出しが要求される。

[0015] 記憶素子の抵抗値を判別するために2値の抵抗値の中間の値を用意する必要があるが、中間の値を有するリファレンス用の抵抗素子を設けるとすると、記憶用の抵抗素子とリファレンス用の抵抗素子とを作り分ける必要があり、製造コストが増大してしまう。そこで、記憶素子の抵抗値を判別するために、例えば高低2つの記憶素子を並列に並べて平均値を取ることで、2値の抵抗値の中間の値とする半導体記憶装置が開示されている。

[0016] ところが、高低2つの記憶素子による単純平均の値は、それぞれの抵抗値ばらつきを考慮すると正しく中央の値にならないことがある。高低2つの記憶素子による単純平均の値が中央の値にならないことで、記憶素子の抵抗値を正しく読み出せない確率が上がり、大容量化を阻害する要因となる。

[0017] そこで本件開示者は、上述した点に鑑み、半導体記憶装置の記憶素子から正常に値を読み出せるようにして、大容量化を実現することが可能な技術に

ついて鋭意検討を行った。その結果、本件開示者は、以下で説明するように、半導体記憶装置の記憶素子から正常に値を読み出せるようにして、大容量化を実現することが可能な技術を考案するに至った。

[0018] 図1は、高低2つの記憶素子の抵抗値ばらつきの一例を示す説明図である。抵抗変化型記憶素子は、2値の抵抗のうち、高い側を R_H 、低い側を R_L とする。図1には、その R_H と R_L の分布の一例が示されている。 R_L と R_H との間には、 $R_H = R_L \times (1 + \alpha)$ で示されるような、抵抗比 α に基づいた関係がある。 R_L と R_H とを分離するための基準値 R_A を求める方法として、 R_L と R_H の相加平均を取る方法や、調和平均を取る方法がある。 R_L が正規分布でばらつくとする、その 1σ あたりのばらつきは、 R_H にとっては $(1 + \alpha)$ 倍されたばらつきとなり、結果的に R_H のばらつきは R_L のばらつきより広くなる。すなわち、相加平均よりも調和平均を取る方が、記憶素子の抵抗値の判別性が良いとされる。

[0019] しかし、実際にはこの抵抗比 α もばらつきがある。よって、 R_H の分布の裾が広くなり、単純な調和平均よりも低い抵抗値が必要となる。また、一般的に、抵抗変化型記憶素子の抵抗状態を判別するために電流注入型増幅器が記憶素子に接続される。図2は一般的な定電流源の回路構成例を示す説明図であり、図3は、ドレインソース間電圧 V_{ds} とドレイン電流 I_d との関係を示す説明図である。構成要素である定電流源は、ドレインソース間電圧 V_{ds} の変化に対しドレイン電流 I_d の変化が少なくなるように設定される。従って、 α の値が大きな記憶素子の R_H 側を電流注入型増幅器に接続すると、 V_{ds} が相対的に小さくなり、 R_H 側のドレイン電流 I_d の値が、 R_L 側のドレイン電流 I_d に対して小さくなる。これにより、電流注入型増幅器の出力電圧が、定電流印加時の期待値より低くなってしまふ。従って、実際の電流注入型増幅器の出力として、 R_L の接続時と R_H の接続時との中間の出力レベルを得るには、調和平均よりも低い抵抗となることが求められる。

[0020] そこで、本開示の実施の形態に係る半導体記憶装置は、リファレンス用の記憶素子を複数設けてリファレンス電位を生成する際に、 R_L の記憶素子の

数を、R Hの記憶素子の数より多くなるような組み合わせで具備する。R Lの記憶素子の数を、R Hの記憶素子の数より多くなるような組み合わせによってリファレンス電位を生成することで、本開示の実施の形態に係る半導体記憶装置は、リファレンス電位を最適化でき、記憶素子の抵抗値を正しく読み出すことが可能となる。

[0021] [1. 2. 構成例]

図4は、本開示の実施の形態に係る半導体記憶装置の機能構成例を示す説明図である。以下、図4を用いて本開示の実施の形態に係る半導体記憶装置の機能構成例について説明する。

[0022] 図4に示したように、本開示の実施の形態に係る半導体記憶装置1は、電流注入型増幅器10a、10bと、抵抗変化型記憶素子21aと、リファレンス抵抗としての抵抗変化型記憶素子21bと、センスアンプ100と、を含んで構成される。

[0023] 電流注入型増幅器10aは、抵抗変化型記憶素子21aからデータを読み出す際に抵抗変化型記憶素子21aに電流を注入して、抵抗変化型記憶素子21aからの出力を増幅してセンスアンプ100に出力する。電流注入型増幅器10aは、抵抗変化型記憶素子21aの抵抗の状態がR Hの場合は高レベルの、R Lの場合は低レベルの出力をセンスアンプ100へ出力する。

[0024] 電流注入型増幅器10bは、抵抗変化型記憶素子21aからデータを読み出す際に抵抗変化型記憶素子21bに電流を注入して、抵抗変化型記憶素子21bからの出力を増幅してセンスアンプ100に出力する。すなわち、抵抗変化型記憶素子21bからの出力は、記憶素子20aからのデータの読み出しに用いられる。電流注入型増幅器10a、10bの構成は後述するが、定電流源と、電圧クランプ用のトランジスタと、で構成される。

[0025] 抵抗変化型記憶素子21aは、少なくとも2値の情報を電氣的抵抗値に基づき保存する、少なくとも1つの抵抗変化型記憶素子を含んで構成される。抵抗変化型記憶素子21aは、データ記憶用の記憶素子であり、抵抗変化型記憶素子21bは、リファレンス用の電位を生成するためのものであり、本

実施形態では、高抵抗の記憶素子と低抵抗の記憶素子との組み合わせによって抵抗変化型記憶素子 21b が形成される。低抵抗の記憶素子とは、論理値「0」が書き込まれた記憶素子であり、高抵抗の記憶素子とは、論理値「1」が書き込まれた記憶素子である。

[0026] センسアンプ 100 は、抵抗変化型記憶素子 21a からの出力と、抵抗変化型記憶素子 21b からの出力と、を比較して、比較結果を増幅して出力する。センスアンプ 100 は、図示しないメモリコントローラからの活性化制御信号によって活性化される。

[0027] 以上、図 4 を用いて本開示の実施の形態に係る半導体記憶装置の機能構成例について説明した。続いて、本開示の実施の形態に係る半導体記憶装置の具体的な回路構成例を説明する。図 5 は、本開示の実施の形態に係る半導体記憶装置の具体的な回路構成例を示す説明図である。以下、図 5 を用いて本開示の実施の形態に係る半導体記憶装置の具体的な回路構成例について説明する。

[0028] 図 5 に示した半導体記憶装置 1 は、読み出し回路 2 と、リファレンス生成回路 3 と、メモリセルアレイ 4 と、リファレンスセルアレイ 5 と、を含んで構成される。

[0029] 読み出し回路 2 は、電流注入型増幅器 10a と、センスアンプ 100 と、を含んで構成される。電流注入型増幅器 10a は、定電流源 11a と、電圧クランプ用トランジスタ 12a と、を含んで構成される。電圧クランプ用トランジスタ 12a は、抵抗変化型記憶素子 21a に掛かる電圧を制限するよう、所定の参照電圧 V_{ref} により制御される。なお、読み出し回路 2 は複数設けられ得る。

[0030] リファレンス生成回路 3 は、複数の電流注入型増幅器 10b を含んで構成される。電流注入型増幅器 10b は、定電流源 11b と、電圧クランプ用トランジスタ 12b と、を含んで構成される。電圧クランプ用トランジスタ 12b は、リファレンス用の抵抗変化型記憶素子 21b、21c に掛かる電圧を制限するよう、所定の参照電圧 V_{ref} により制御される。

- [0031] メモリセルアレイ 4 は、マトリクス状に配置された抵抗変化型記憶素子 2 1 a を備える。図 5 では、説明の便宜上、メモリセルアレイ 4 に抵抗変化型記憶素子 2 1 a が 1 つだけ設けられている状態が示されている。
- [0032] リファレンスセルアレイ 5 は、マトリクス状に配置されたリファレンス用の抵抗変化型記憶素子 2 1 b、2 1 c を備える。本実施形態では、低抵抗の状態にあるものを抵抗変化型記憶素子 2 1 b とし、高抵抗の状態にあるものを抵抗変化型記憶素子 2 1 c としている。なお、抵抗の状態はそれぞれの記憶素子への書き込みの結果によって変化するものであり、リファレンスセルアレイ 5 に設けられる各記憶素子は特定の抵抗の状態に固定されるとは限らない。リファレンスセルアレイ 5 に設けられる各記憶素子へデータを書き込むための構成については後述する。
- [0033] そして本実施形態に係る半導体記憶装置 1 は、上述したように、リファレンス用の記憶素子を複数設けてリファレンス電位を生成する際に、R L の記憶素子の数を、R H の記憶素子の数より多くなるような組み合わせで具備する。図 5 には、2 つの抵抗変化型記憶素子 2 1 b と、1 つの抵抗変化型記憶素子 2 1 c とでリファレンス電位を生成する。このようにリファレンス電位を生成する際に、R L の記憶素子の数を、R H の記憶素子の数より多くなるような組み合わせで具備することで、本開示の実施の形態に係る半導体記憶装置 1 は、リファレンス電位を最適化でき、記憶素子の抵抗値を正しく読み出すことが可能となる。
- [0034] リファレンス用の抵抗変化型記憶素子 2 1 b、2 1 c の組み合わせは、図 5 に示したものに限定されない。図 6 は、本実施形態に係る半導体記憶装置 1 におけるリファレンス用の抵抗変化型記憶素子 2 1 b、2 1 c の組み合わせの別の例を示す説明図である。半導体記憶装置 1 は、例えば図 6 に示したように、1 列あたり R L の状態である抵抗変化型記憶素子 2 1 b を 2 つ、R H の状態である抵抗変化型記憶素子 2 1 c を 1 つ具備した組を並列に並べることで、R L の記憶素子の数を、R H の記憶素子の数より多くなるような構成を有していても良い。

[0035] 図7は、図5に示した半導体記憶装置1の回路構成例を示す説明図であり、各記憶素子に選択トランジスタが設けられた場合の半導体記憶装置1の回路構成例を示したものである。図7に示したように、抵抗変化型記憶素子21aと、抵抗変化型記憶素子21aに直列に接続される選択トランジスタ22aとで記憶素子20aを構成し、抵抗変化型記憶素子21bと、抵抗変化型記憶素子21bに直列に接続される選択トランジスタ22bとで記憶素子20bを構成し、抵抗変化型記憶素子21cと、抵抗変化型記憶素子21cに直列に接続される選択トランジスタ22cとで記憶素子20cを構成してもよい。選択トランジスタ22a、22b、22cは、それぞれ、ゲートに行選択線WLが接続され、ソースにソース線SLが接続され、ドレインに抵抗変化型記憶素子が接続されている。

[0036] 図7に示した例では、リファレンスセルアレイ5は、1行につき、RLの状態である抵抗変化型記憶素子21bを2つ、RHの状態である抵抗変化型記憶素子21cを1つ有している。すなわち、半導体記憶装置1は、ある行の行選択線WLにハイレベルの電位が印加され、その行が選択されると、2つの抵抗変化型記憶素子21bと、1つの抵抗変化型記憶素子21cとを用いてリファレンス電位を生成することになる。

[0037] なお、リファレンスセルアレイ5は、抵抗変化型記憶素子21bの数の方が多いという条件を満たす限り、行毎に異なる抵抗変化型記憶素子21bと抵抗変化型記憶素子21cとの組み合わせを有してもよい。例えば、リファレンスセルアレイ5は、ある行では4つの抵抗変化型記憶素子21bと1つの抵抗変化型記憶素子21cとを有し、別の行では3つの抵抗変化型記憶素子21bと2つの抵抗変化型記憶素子21cとを有していても良い。

[0038] データ記憶用の記憶素子20aは、様々な構成を採りうる。図8A、8Bはデータ記憶用の記憶素子20aの構成例を示す説明図である。図8Aに示したように、ソース線SLと選択トランジスタ22aとの間に抵抗変化型記憶素子21aが設けられていても良く、また図8Bに示したように、ソース線SLと行選択線WLとの間に抵抗変化型記憶素子21aだけが設けられて

いても良い。

[0039] リファレンス用の記憶素子 20b、20c は、様々な構成を採りうる。図 9A～9F は、リファレンス用の記憶素子 20b、20c の構成例を示す説明図である。リファレンス用の記憶素子 20b、20c は、抵抗変化型記憶素子 21b の数の方が多いという条件を満たす限り、図 9A～9F の中のいずれかの構成であってもよく、これらの他にも様々な構成を採りうる。

[0040] 図 9A～9C は、3つの抵抗変化型記憶素子を直列に接続したものを3つ並列に並べることでリファレンス電位を生成する場合の構成例である。直列に接続された抵抗変化型記憶素子は、1つが高抵抗、2つが低抵抗である。従って、全体として3つの高抵抗状態の抵抗変化型記憶素子と、6つの低抵抗状態の抵抗変化型記憶素子とでリファレンス電位を生成する。図 9A～9C の違いは、選択トランジスタの位置、または選択トランジスタの有無である。

[0041] 図 9D～9F は、3つの抵抗変化型記憶素子を並列に接続したものを3つ直列に接続することでリファレンス電位を生成する場合の構成例である。直列に接続された抵抗変化型記憶素子は、1つが高抵抗、2つが低抵抗である。従って、全体として3つの高抵抗状態の抵抗変化型記憶素子と、6つの低抵抗状態の抵抗変化型記憶素子とでリファレンス電位を生成する。図 9D～9F の違いは、選択トランジスタの位置、または選択トランジスタの有無である。

[0042] 本実施形態に係る半導体記憶装置 1 のリファレンス用の記憶素子 20b、20c は、データ用の記憶素子 20a と同一のアレイ上に形成されていても良い。図 10 は、本実施形態に係る半導体記憶装置 1 の回路構成例を示す説明図であり、リファレンス用の記憶素子 20b、20c が、データ用の記憶素子 20a と同一のアレイ上に形成されている場合の回路構成例である。このようにリファレンス用の記憶素子 20b、20c が、データ用の記憶素子 20a と同一のアレイ上に形成されていることで、半導体記憶装置 1 の製造プロセスが簡略化できる。

[0043] 抵抗変化型記憶素子はデバイスの組成で決まる閾値を超えた電圧を印加した方向によって、抵抗の状態をRHとRLとに切り替えることができる。従って、本実施形態に係る半導体記憶装置1も、リファレンス用の抵抗変化型記憶素子の抵抗の状態を、値を書き込むことによって、すなわち電圧の印加によって変化させる構成を有していてもよい。

[0044] 図11は、本実施形態に係る半導体記憶装置1の回路構成例を示す説明図である。図10に示したのは、リファレンス用の抵抗変化型記憶素子に対して値を書き込むための構成を図7に示した半導体記憶装置1に追加した場合の、半導体記憶装置1の回路構成例である。図11には、リファレンス用の抵抗変化型記憶素子にデータを書き込むための書き込み回路60が示されている。書き込み回路60は、ソース線SLとビット線BLとに与えられた所定の電位をリファレンス用の抵抗変化型記憶素子に印加するための回路である。また図11には、書き込み回路60によってリファレンス用の抵抗変化型記憶素子にデータを書き込む際に、電流注入型増幅器10bから記憶素子を切り離すためのスイッチ70も示されている。

[0045] 書き込み回路60は、少なくとも3つの状態となるよう制御される。読み出し時にはビット線BLをグラウンドに固定する状態（ソース線側はハイインピーダンスに制御する）、書き込み時にソース線側に所定の書き込み電圧を印加し、ビット線はグラウンド状態とする状態、書き込み時にビット線側に所定の書き込み電圧を印加し、ソース線はグラウンド状態とする状態、の3つである。書き込み時に、どちらの状態が1の値となるかは、抵抗変化型記憶素子の組成により決まる。

[0046] 本実施形態に係る半導体記憶装置1は、リファレンス用の抵抗変化型記憶素子に書き込む値を保持するためのレジスタをさらに備えていても良い。図12は、本実施形態に係る半導体記憶装置1の回路構成例を示す説明図である。図12に示したのは、リファレンス用の抵抗変化型記憶素子に対して値を書き込むためのレジスタ80をさらに備えた場合の半導体記憶装置1の構成例である。

[0047] レジスタ 80 は、それぞれ、論理値が 0 または 1 の状態を保持するように設定されている。リファレンス用の抵抗変化型記憶素子に値を書き込む際には、レジスタ 80 に保持されている値が、書き込み回路 60 によってリファレンス用の抵抗変化型記憶素子に書き込まれる。なお、レジスタ 80 に保持される値は、半導体記憶装置 1 の外部から設定が出来るようになっていてもよい。

[0048] <2. 応用例>

本開示の実施の形態に係る半導体記憶装置 1 は、1 つまたは複数が、半導体記憶装置 1 を制御する制御回路と同じ半導体装置に組み込まれても良く、半導体記憶装置 1 を制御する制御回路と異なる半導体装置に組み込まれても良い。図 13、14 は、本開示の実施の形態に係る半導体記憶装置 1 を備えたシステムの構成例を示す説明図である。

[0049] 図 13 に示した例は、半導体記憶装置 1 が、信号処理回路 211 を備える半導体装置 210 と接続されている例である。信号処理回路 211 は、半導体記憶装置 1 に対してデータの読み書きのための信号を生成する回路である。

[0050] また図 14 に示した例は、半導体記憶装置 1 が、信号処理回路 211 を備える半導体装置 210 の内部に設けられている例である。

[0051] そして、本開示の実施の形態に係る半導体記憶装置 1 は、様々な電子デバイスに搭載されうる。本開示の実施の形態に係る半導体記憶装置 1 が搭載されうる電子デバイスとしては、スマートフォン、タブレット型端末、デジタルスチルカメラ、デジタルビデオカメラ、音楽プレイヤー、セットトップボックス、コンピュータ、テレビ、時計、アクティブスピーカー、ヘッドセット、ゲーム機、ラジオ、計測器、電子タグ、ビーコンなどがある。

[0052] 図 15 は、本開示の実施の形態に係る半導体記憶装置 1 が搭載されうる電子デバイス 1000 の機能構成例を示す説明図である。図 15 に示した電子デバイス 1000 は、システムインパッケージ 1100、アンテナ 1110、スピーカ 1120、マイク 1130、表示装置 1140、入力装置 115

0、センサ1160、電源1170を含む。またシステムインパッケージ1100は、プロセッサ1200、無線通信インターフェース1210、オーディオ回路1220を含む。

[0053] アンテナ1110は、移動体通信、無線LANまたは近距離通信を行うためのアンテナであり、無線通信インターフェース1210と接続されている。スピーカ1120は、音を出力するものであり、オーディオ回路1220と接続されている。マイク1130は、電子デバイス1000の周囲の音を集音するものであり、オーディオ回路1220と接続されている。

[0054] 表示装置1140は、例えば液晶ディスプレイ、有機ELディスプレイ、LED (Light Emitting Diode) インジケータ等で構成され、プロセッサ1200と接続されている。入力装置1150は、例えばキーボード、ボタン、タッチパネルなどで構成され、プロセッサ1200と接続されている。

[0055] センサ1160は、光学センサ、位置センサ、加速度センサ、生体センサ、磁気センサ、機械量センサ、熱センサ、電気センサまたは化学センサ等の機能を有する。センサ1160には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置1が接続されてもよい。電源1170は、電子デバイス1000へ電源を供給するものであり、例えばバッテリーやACアダプタなどから供給される電源である。

[0056] プロセッサ1200は、電子デバイス1000の動作を制御するための電子回路であり、システムインパッケージ1100の中に、またはシステムインパッケージ1100の外に、本開示の実施の形態に係る抵抗変化型の半導体記憶装置1が接続されてもよい。

[0057] 無線通信インターフェース1210は、移動体通信、無線LANまたは近距離通信の機能を有する。無線通信インターフェース1210には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置1が接続されてもよい。オーディオ回路1220は、スピーカ1120およびマイク1130を制御する機能を持ち、オーディオ回路1220には、本開示の実施の形態に係る抵

抗変化型の半導体記憶装置 1 が接続されてもよい。

[0058] このような電子デバイス 1000 は、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 を搭載することで、データ読出し時の信頼性を向上させることが可能となる。

[0059] <3. まとめ>

以上説明したように本開示の実施の形態によれば、RL の記憶素子の数を、RH の記憶素子の数より多くなるような組み合わせによってリファレンス電位を生成することで、リファレンス電位を最適化でき、記憶素子の抵抗値を正しく読み出すことが可能となる半導体記憶装置が提供される。

[0060] 本開示の実施の形態に係る半導体記憶装置 1 は、抵抗変化型の半導体記憶装置、例えばスピナム (Spin-RAM) であり得る。

[0061] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0062] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0063] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

メモリ素子と、

前記メモリ素子に保持された値を判別するためのリファレンス電位を生成するための第 1 の抵抗状態を有する参照素子と、

前記リファレンス電位を生成するための前記第 1 の抵抗状態の抵抗値より高い第 2 の抵抗状態を有する参照素子と、

を備え、

前記リファレンス電位を生成する際には、前記第 1 の抵抗状態を有する参照素子の数の方を多くするよう構成を有する、半導体記憶装置。

(2)

前記参照素子への値の書き込みを行う書き込み回路をさらに備える、前記 (1) に記載の半導体記憶装置。

(3)

前記参照素子へ電流を供給して該メモリ素子からの出力を増幅する電流注入型増幅器と、

前記書き込み回路が前記参照素子へ値を書き込む際に前記電流注入型増幅器と前記参照素子とを切り離すスイッチと、

をさらに備える、前記 (2) に記載の半導体記憶装置。

(4)

前記書き込み回路は、前記参照素子に前記第 1 の抵抗状態または前記第 2 の抵抗状態ととるための値を書き込む、前記 (2) または (3) に記載の半導体記憶装置。

(5)

前記書き込み回路は、前記参照素子に前記第 1 の抵抗状態または前記第 2 の抵抗状態ととるための値を保持するレジスタを備える、前記 (4) に記載の半導体記憶装置。

(6)

前記参照素子は抵抗変化型のメモリ素子である、前記 (1) ~ (5) のいずれかに記載の半導体記憶装置。

(7)

前記参照素子は磁気抵抗変化型のメモリ素子である、前記 (1) ~ (6) のいずれかに記載の半導体記憶装置。

(8)

前記 (1) ~ (7) のいずれかに記載の半導体記憶装置を少なくとも 1 つ

備える、情報処理装置。

符号の説明

[0064]	1	: 半導体記憶装置
	2	: 読み出し回路
	3	: リファレンス生成回路
	4	: メモリセルアレイ
	5	: リファレンスセルアレイ
	1 0 a	: 電流注入型増幅器
	1 0 b	: 電流注入型増幅器
	1 1 a	: 定電流源
	1 1 b	: 定電流源
	1 2 a	: 電圧クランプ用トランジスタ
	1 2 b	: 電圧クランプ用トランジスタ
	2 0 a	: 記憶素子
	2 0 b	: 記憶素子
	2 0 c	: 記憶素子
	2 1 a	: 抵抗変化型記憶素子
	2 1 b	: 抵抗変化型記憶素子
	2 1 c	: 抵抗変化型記憶素子
	2 2 a	: 選択トランジスタ
	2 2 b	: 選択トランジスタ
	2 2 c	: 選択トランジスタ
	6 0	: 書き込み回路
	7 0	: スイッチ
	8 0	: レジスタ
	1 0 0	: センスアンプ
	1 0 0 0	: 電子デバイス
	B L	: ビット線

S L : ソース線

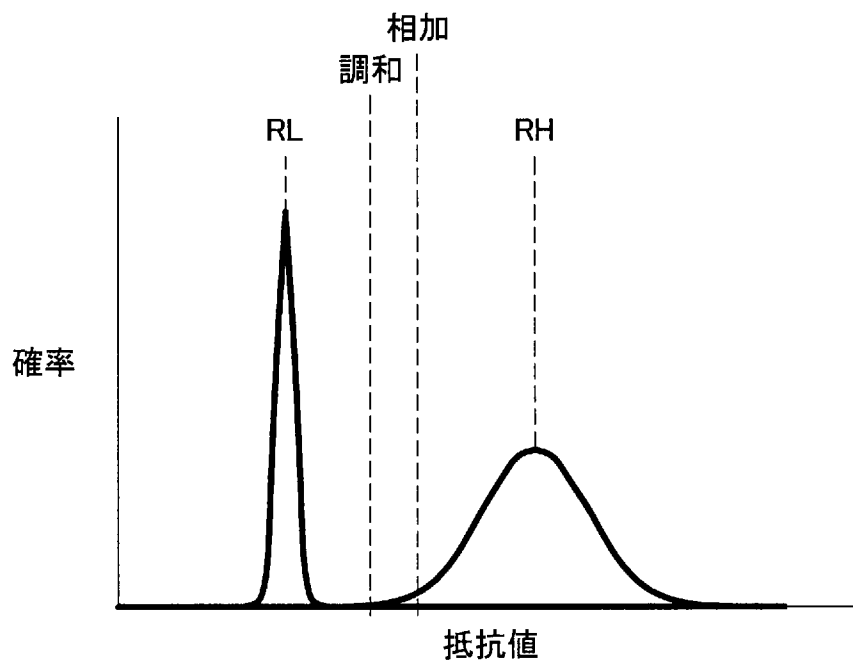
W L : 行選択線

請求の範囲

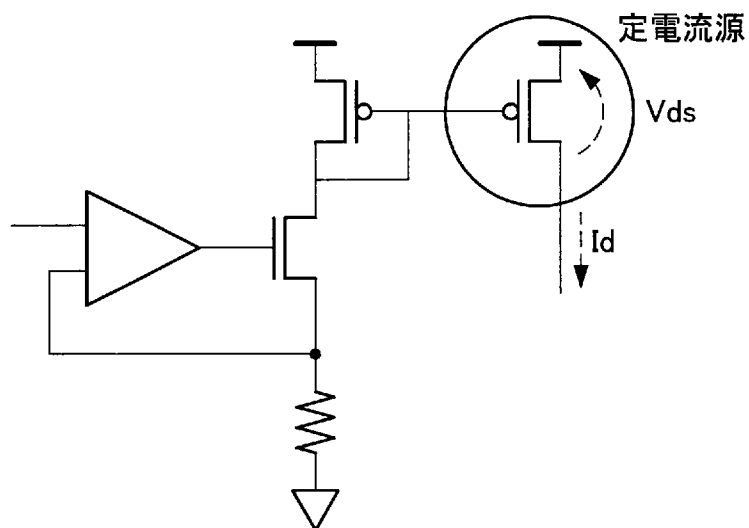
- [請求項1] メモリ素子と、
 前記メモリ素子に保持された値を判別するためのリファレンス電位を生成するための第1の抵抗状態を有する参照素子と、
 前記リファレンス電位を生成するための前記第1の抵抗状態の抵抗値より高い第2の抵抗状態を有する参照素子と、
 を備え、
 前記リファレンス電位を生成する際には、前記第1の抵抗状態を有する参照素子の数の方を多くするよう構成を有する、半導体記憶装置。
- [請求項2] 前記参照素子への値の書き込みを行う書き込み回路をさらに備える、請求項1に記載の半導体記憶装置。
- [請求項3] 前記参照素子へ電流を供給して該メモリ素子からの出力を増幅する電流注入型増幅器と、
 前記書き込み回路が前記参照素子へ値を書き込む際に前記電流注入型増幅器と前記参照素子とを切り離すスイッチと、
 をさらに備える、請求項2に記載の半導体記憶装置。
- [請求項4] 前記書き込み回路は、前記参照素子に前記第1の抵抗状態または前記第2の抵抗状態ととるための値を書き込む、請求項2に記載の半導体記憶装置。
- [請求項5] 前記書き込み回路は、前記参照素子に前記第1の抵抗状態または前記第2の抵抗状態ととるための値を保持するレジスタを備える、請求項4に記載の半導体記憶装置。
- [請求項6] 前記参照素子は抵抗変化型のメモリ素子である、請求項1に記載の半導体記憶装置。
- [請求項7] 前記参照素子は磁気抵抗変化型のメモリ素子である、請求項1に記載の半導体記憶装置。
- [請求項8] 請求項1に記載の半導体記憶装置を少なくとも1つ備える、情報処

理装置。

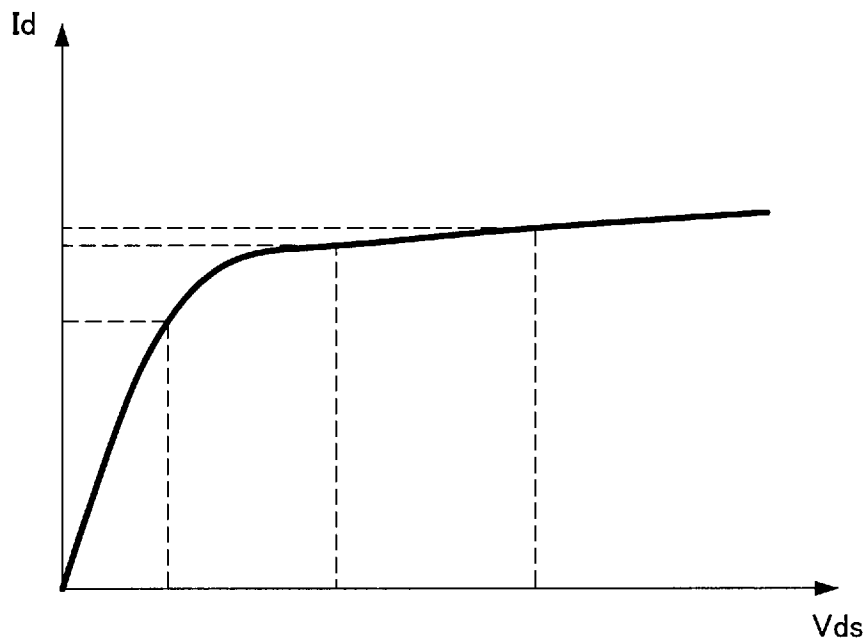
[図1]



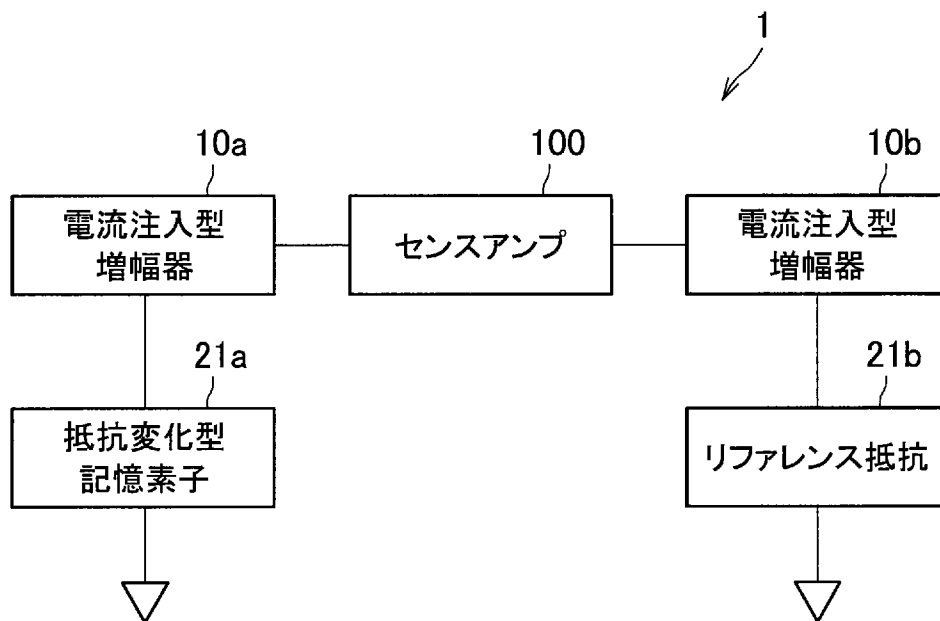
[図2]



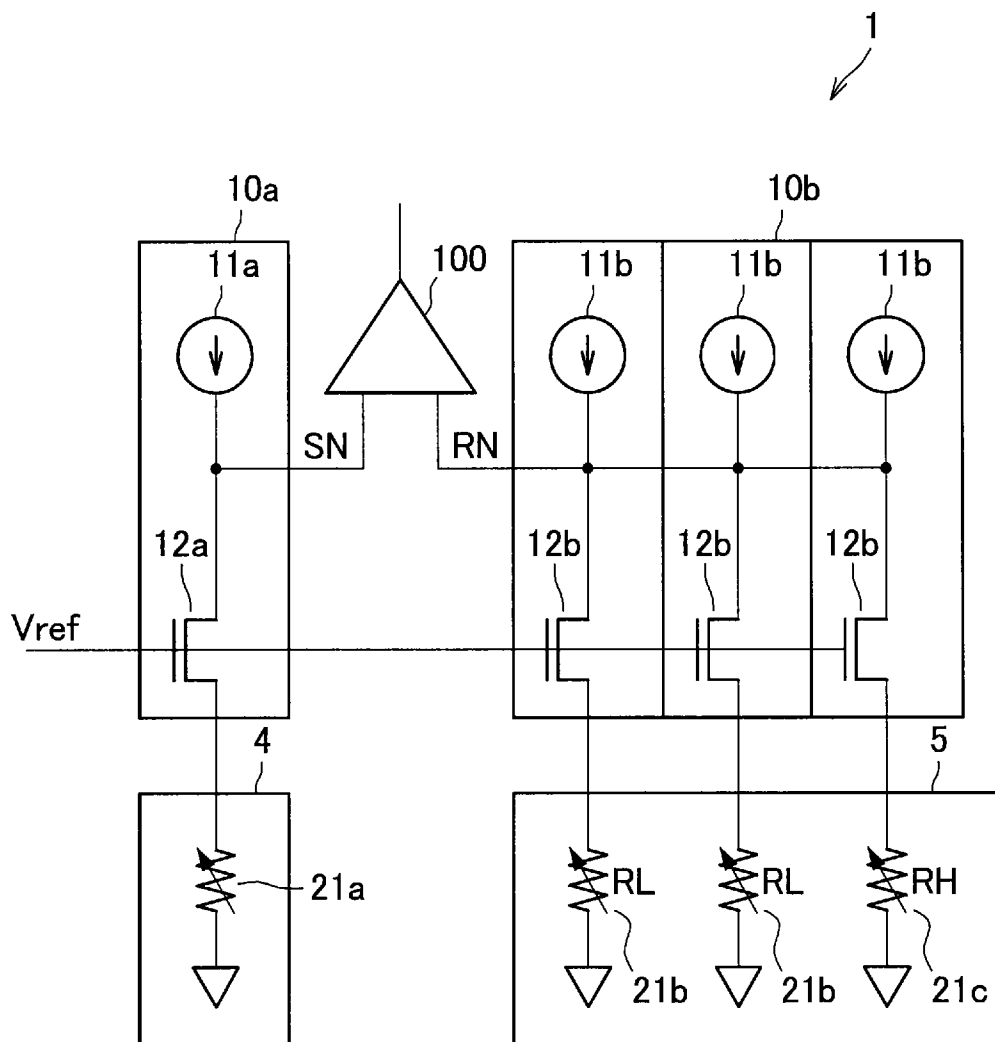
[図3]



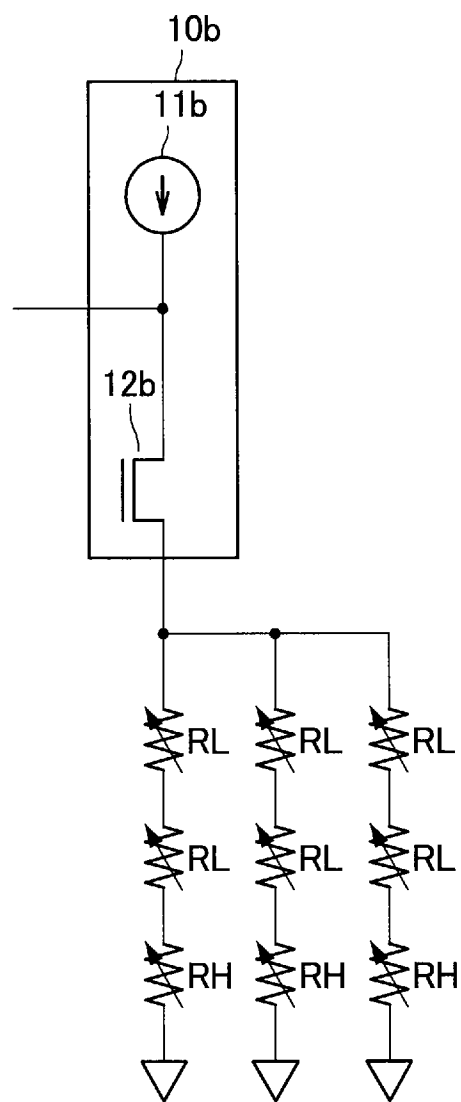
[図4]



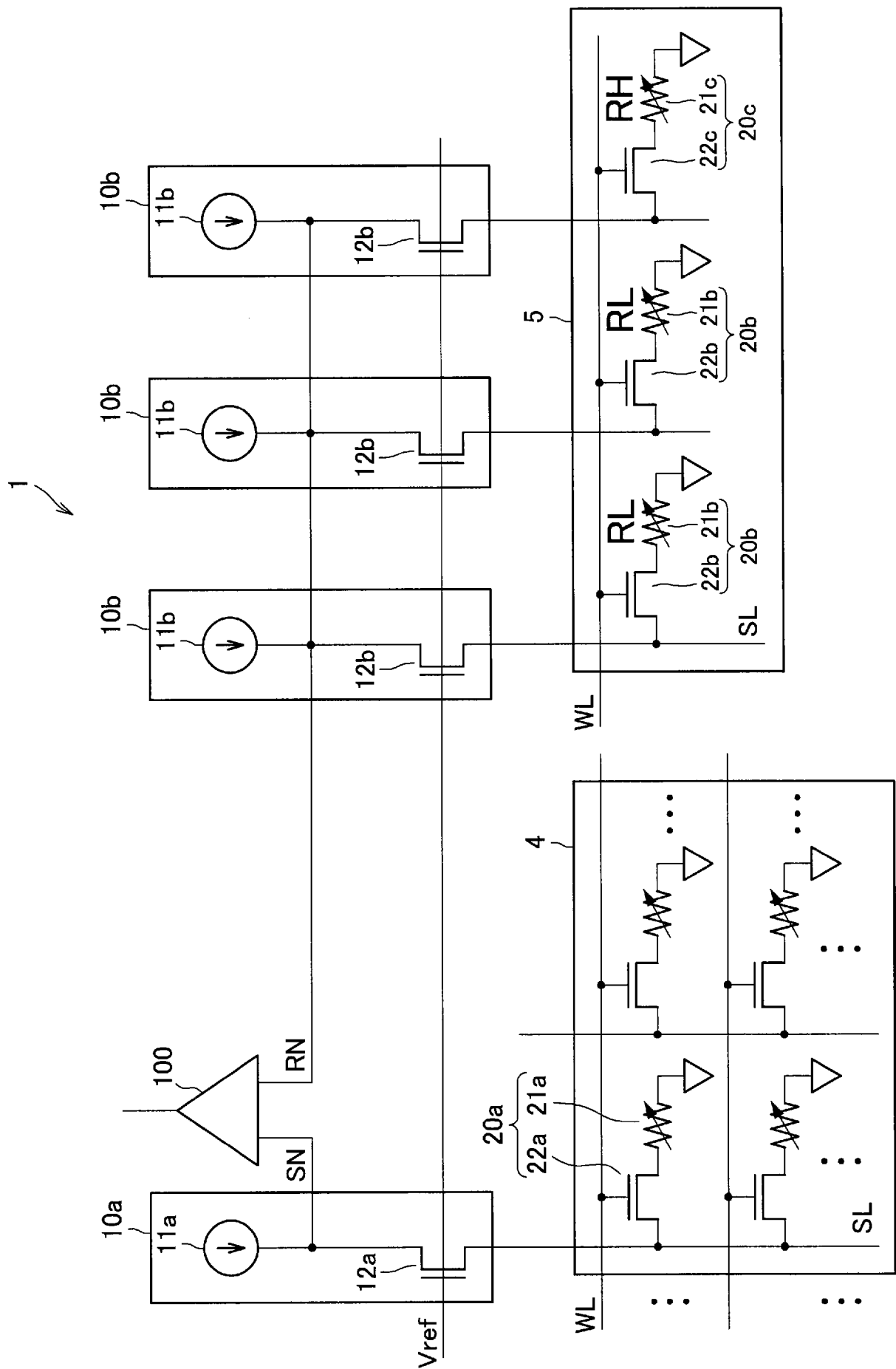
[図5]



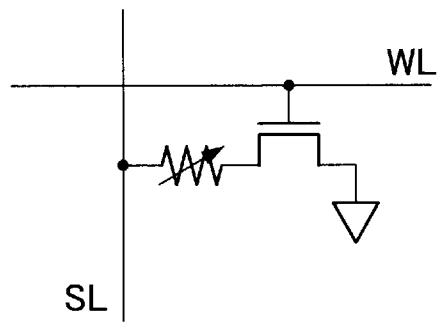
[図6]



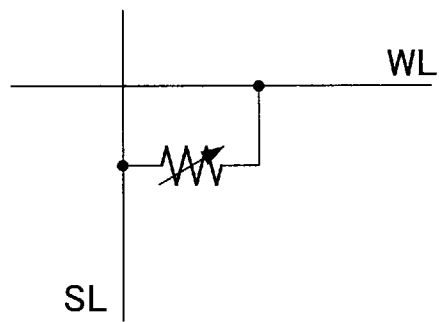
[図7]



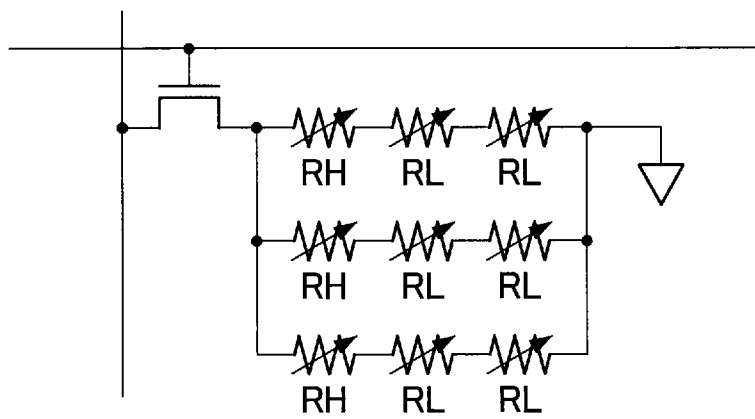
[図8A]



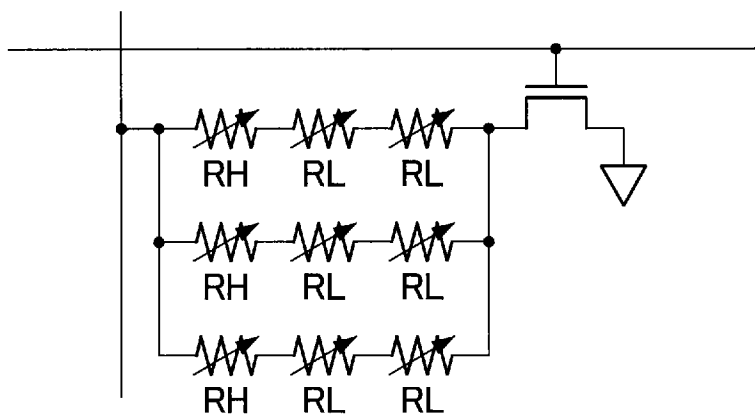
[図8B]



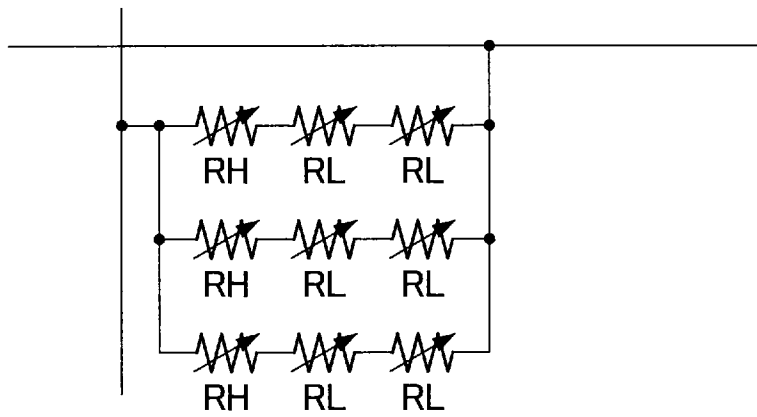
[図9A]



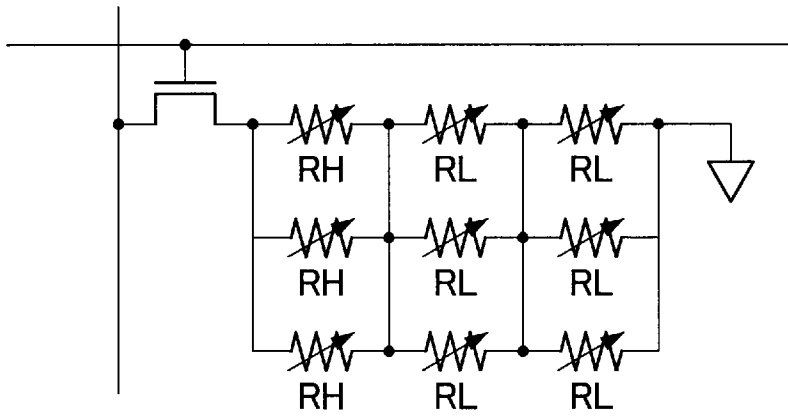
[図9B]



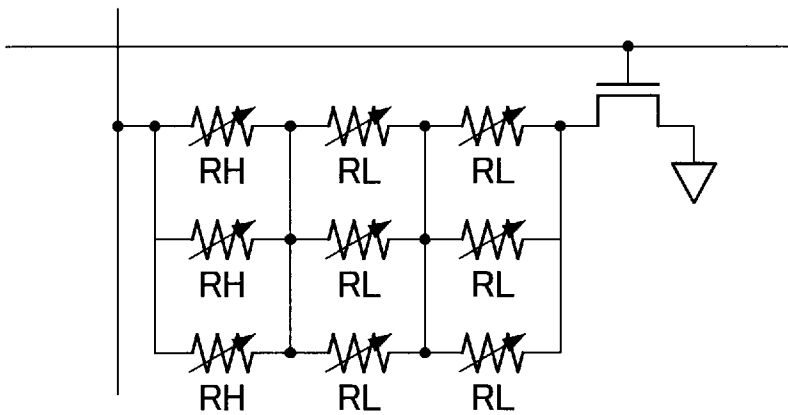
[図9C]



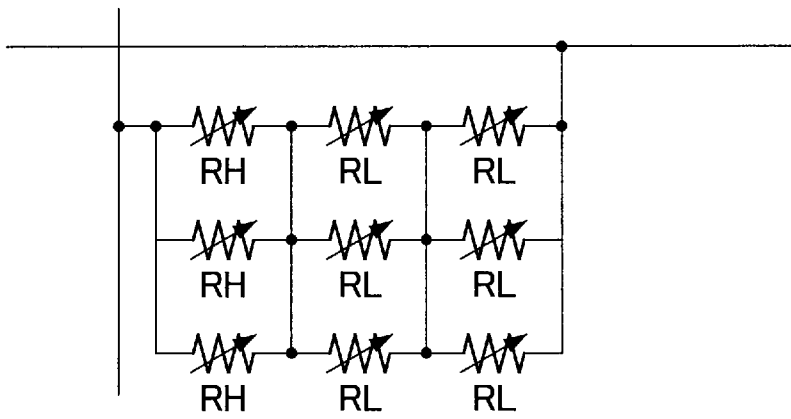
[図9D]



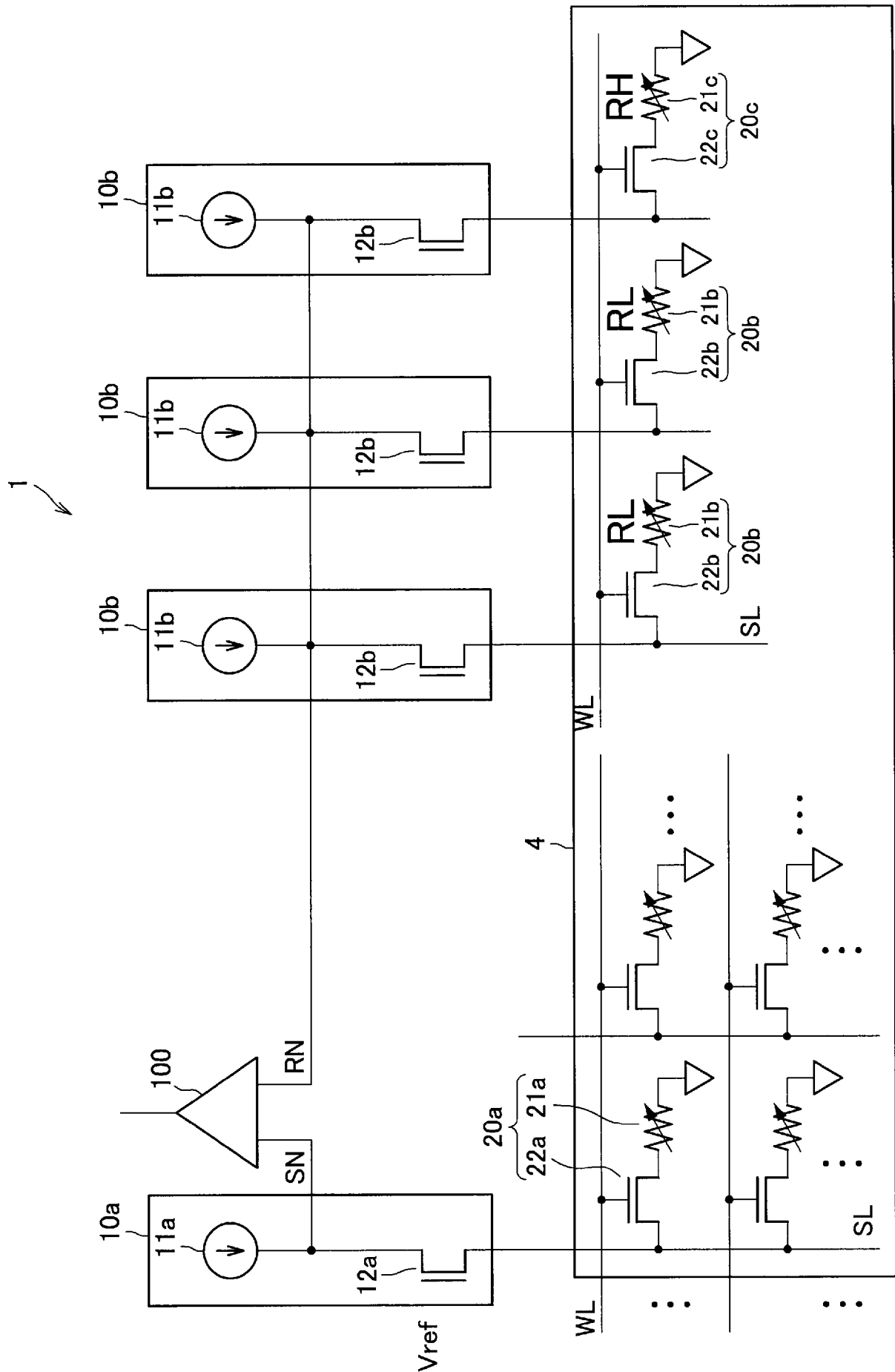
[図9E]



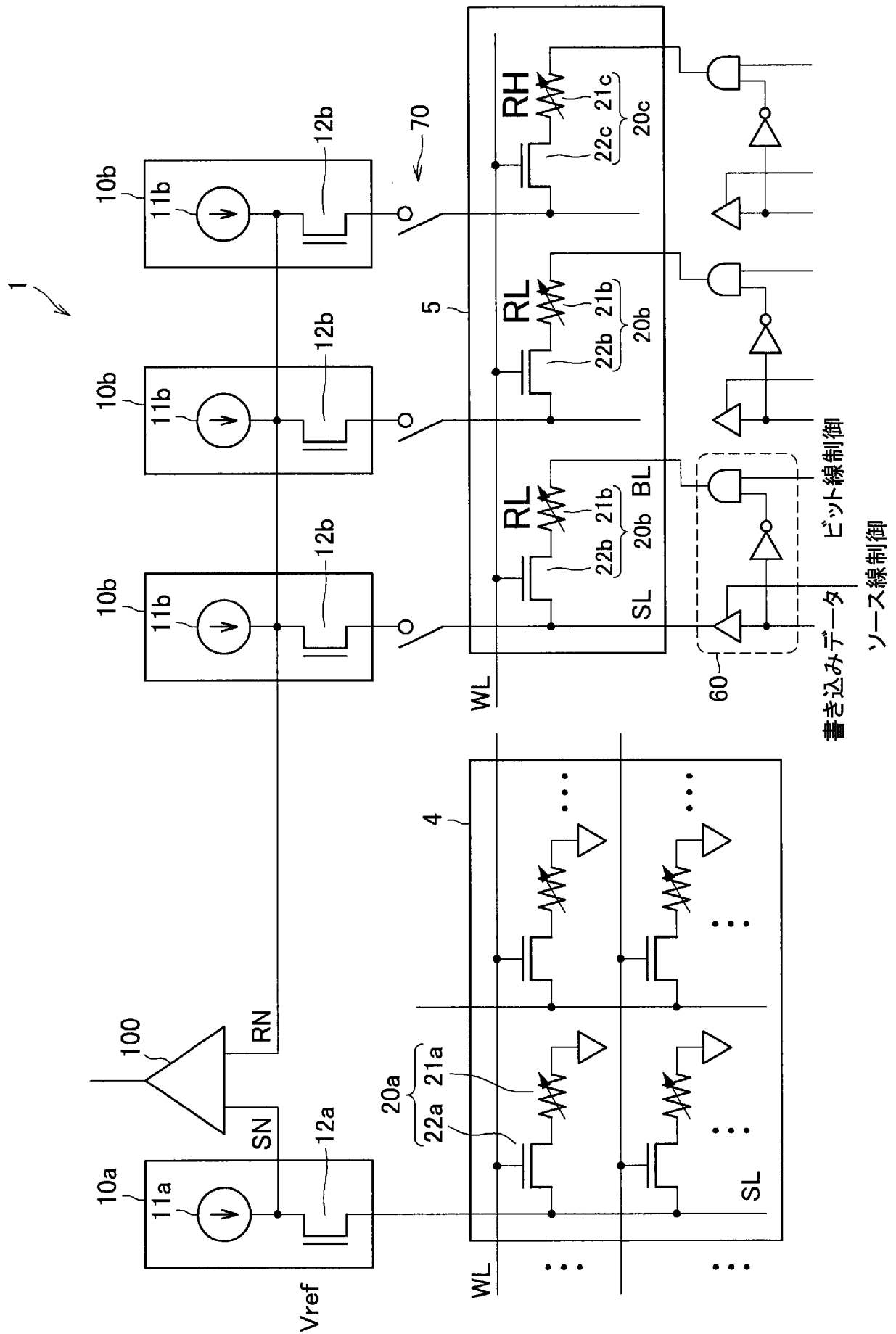
[図9F]



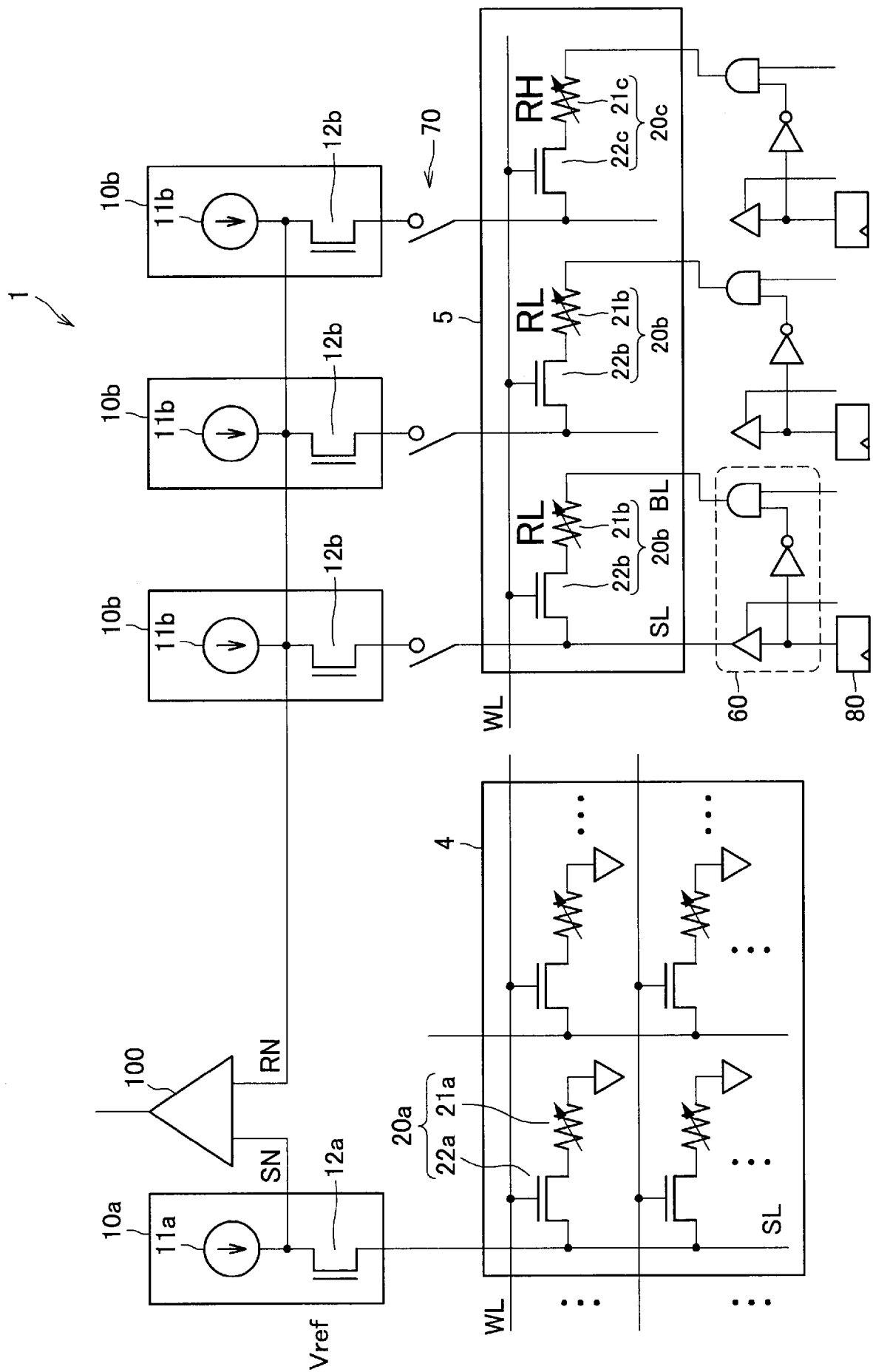
[図10]



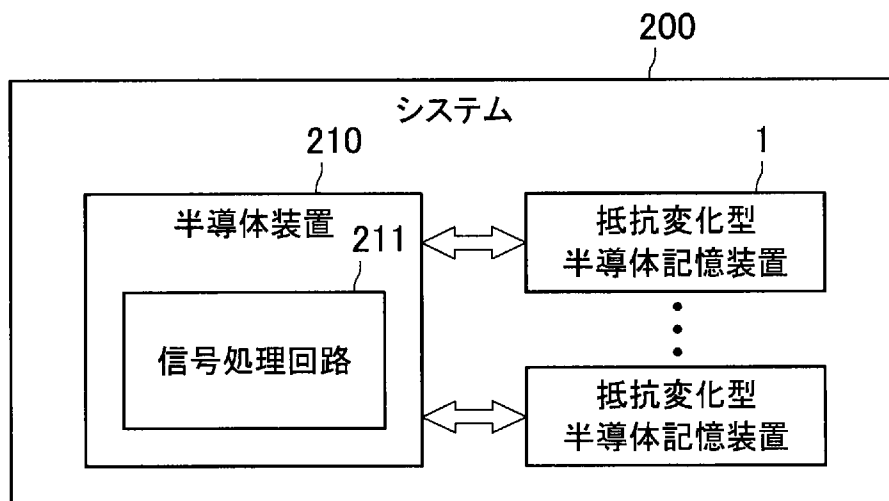
[図11]



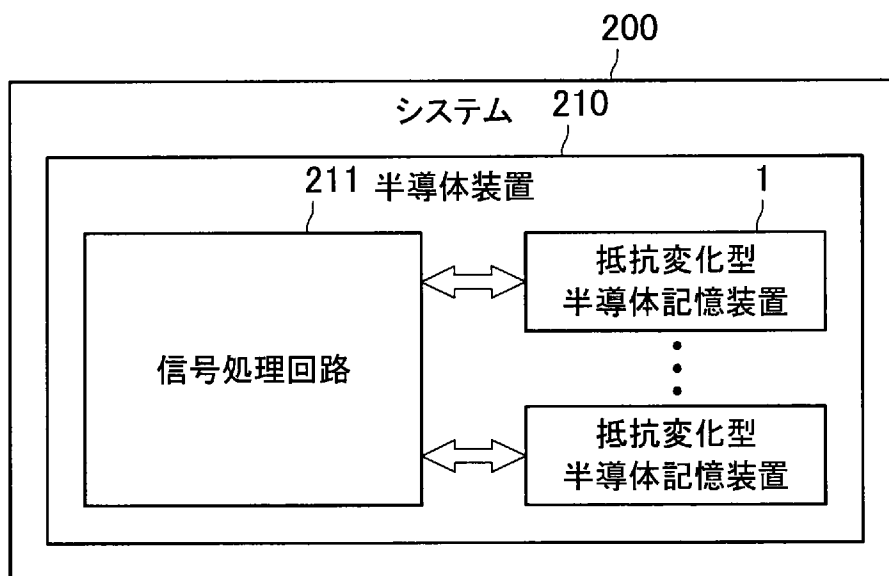
[図12]



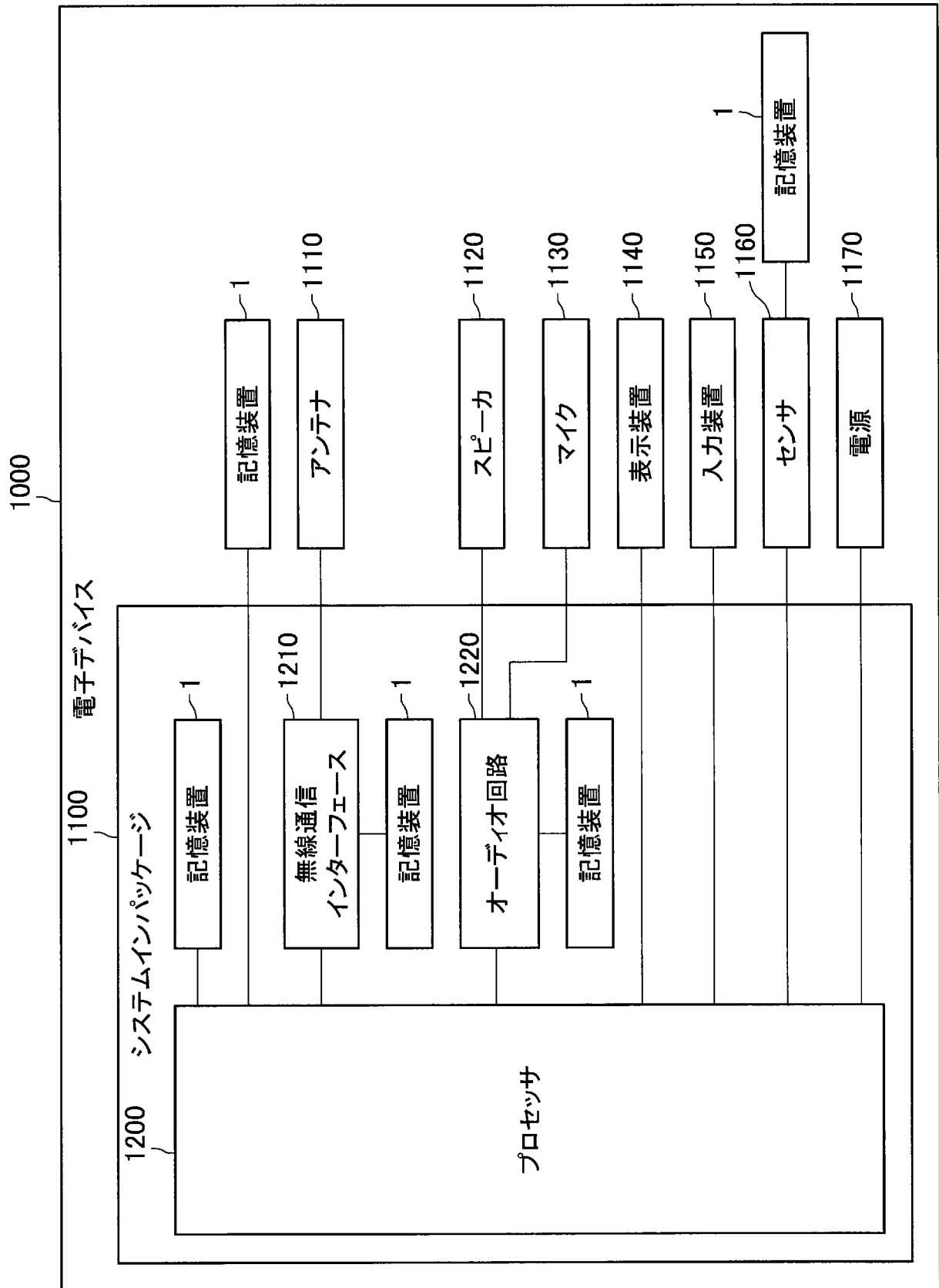
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/004279

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C13/00 (2006.01) i, G11C11/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C13/00, G11C11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2015-520908 A (QUALCOMM INCORPORATED) 23 July 2015, paragraphs [0014], [0019]-[0021], [0025], [0030]-[0045], [0074], fig. 1, 2, 7 & WO 2013/166479 A1, paragraphs [0021], [0026]-[0028], [0032], [0037]-[0052], [0081], fig. 1, 2, 7 & US 2013/0293286 A1 & CN 104272391 A	1, 2, 6-8 3-5
Y	US 2011/0157971 A1 (SAMSUNG ELECTRONICS CO., LTD.) 30 June 2011, paragraphs [0085]-[0099], [0103]-[0104], fig. 5, 6A, 6B, 6E & KR 10-2011-0078181 A	3-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 March 2018 (13.03.2018)

Date of mailing of the international search report
27 March 2018 (27.03.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C13/00(2006.01)i, G11C11/16(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C13/00, G11C11/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2015-520908 A (クアルコム, インコーポレイテッド) 2015.07.23, 段落[0014], [0019]-[0021], [0025], [0030]-[0045], [0074], 図 1, 2, 7 & WO 2013/166479 A1, 段落[0021], [0026]-[0028], [0032], [0037]-[0052], [0081], 図 1, 2, 7 & US 2013/0293286 A1 & CN 104272391 A	1, 2, 6-8 3-5
Y	US 2011/0157971 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2011.06.30, 段落[0085]-[0099], [0103]-[0104], 図 5, 6A, 6B, 6E & KR 10-2011-0078181 A	3-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.03.2018

国際調査報告の発送日

27.03.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586