

本国际公布：

- 包括国际检索报告(条约第21条(3))。

阵列基板及其制造方法、显示面板

技术领域

[0001] 本申请涉及显示技术领域，尤其涉及一种阵列基板及其制造方法、显示面板。

背景技术

[0002] 低温多晶硅薄膜晶体管（Low Temperature Poly Silicon Thin Film

Transistor, LTPS-TFT）具有制备温度低、载流子迁移率高以及器件尺寸小等突出优点，是发展低功耗以及高集成度显示面板的关键技术。基于矩阵显示逐行扫描的原理，当逐行扫描的栅极扫描线电压低于TFT的阈值电压时，TFT的导电沟道处于截断状态，此时像素电路处于关态；当逐行扫描的栅极扫描线电压高于TFT阈值电压时，TFT导电沟道处于导通状态，由源极接入的信息电压将加载到像素（漏极）电路和存储电容上，像素电路处于开态；扫描完成后像素行TFT全部关闭，已经写入的信息电压保持不变，直到下一帧扫描到时再重新写入信息。栅极扫描线金属阻抗决定了驱动电路的功耗大小和像素充放电响应速度。在实际生产过程中，为保证液晶显示面板(Liquid Crystal Display, LCD)的开口率，栅极扫描线金属线宽一般设计较小，导致金属阻抗较大，LCD驱动功耗的显著增加。

[0003] 因此，有必要提出一种技术方案以解决扫描金属线的阻抗较大导致LCD的驱动功耗增加的问题。

发明概述

技术问题

[0004] 本申请的目的在于提供一种阵列基板及其制造方法、显示面板，该阵列基板的栅极扫描线和遮光导电层电性连接，使得阵列基板具有高开口率的同时，显示面板工作时驱动功耗减小。

问题的解决方案

技术解决方案

[0005] 一种阵列基板，所述阵列基板包括：

- [0006] 一衬底；
- [0007] 形成于所述衬底上的遮光导电层；
- [0008] 覆盖所述衬底和所述遮光导电层的缓冲层；
- [0009] 形成于所述缓冲层上的沟道层；
- [0010] 覆盖所述缓冲层和所述沟道层的第一绝缘层；
- [0011] 形成于所述第一绝缘层上且位于所述遮光导电层正上方的多条栅极扫描线；
- [0012] 其中，所述栅极扫描线和所述遮光导电层电性连接。
- [0013] 在上述阵列基板中，所述遮光导电层包括多条遮光导电线，每条所述遮光导电线与每条所述栅极扫描线一对一地通过贯穿所述缓冲层和所述第一绝缘层的至少两个过孔电性连接。
- [0014] 在上述阵列基板中，每条所述栅极扫描线在所述衬底上的正投影和对应与所述栅极扫描线电性连接的每条所述遮光导电线在所述衬底上的正投影重合。
- [0015] 在上述阵列基板中，所述过孔沿第一方向的尺寸大于所述栅极扫描线的宽度，所述第一方向为垂直于所述栅极扫描线的方向。
- [0016] 在上述阵列基板中，所述沟道层包括多个阵列排布的叉指半导体构件，每个所述叉指半导体构件相对的两侧均分别设置有至少一所述过孔。
- [0017] 在上述阵列基板中，每个所述过孔包括贯穿所述缓冲层的第一连接孔和贯穿所述第一绝缘层的所述第二连接孔，所述第一连接孔与所述第二连接孔连通。
- [0018] 在上述阵列基板中，所述第二连接孔在所述衬底上的正投影位于所述第一连接孔在所述衬底的正投影内。
- [0019] 在上述阵列基板中，所述遮光导电层的制备材料和所述栅极扫描线的制备材料相同。
- [0020] 一种阵列基板的制造方法，所述制造方法包括如下步骤：
- [0021] 提供一衬底；
- [0022] 于所述衬底上形成遮光导电层；
- [0023] 形成覆盖所述衬底和所述遮光导电层的缓冲层；
- [0024] 于所述缓冲层上形成沟道层；
- [0025] 形成覆盖所述缓冲层和所述沟道层的第一绝缘层；

- [0026] 于所述第一绝缘层上形成多个栅极扫描线，多条所述栅极扫描线位于所述遮光导电层的正上方；
- [0027] 其中，所述栅极扫描线和所述遮光导电层电性连接。
- [0028] 在上述阵列基板的制造方法中，所述遮光导电层包括多条遮光导电线，每条所述遮光导电线与每条所述栅极扫描线一对一地通过贯穿所述缓冲层和所述第一绝缘层的至少两个过孔电性连接。
- [0029] 在上述阵列基板的制造方法中，每条所述栅极扫描线在所述衬底上的正投影和对应与所述栅极扫描线电性连接的每条所述遮光导电线在所述衬底上的正投影重合。
- [0030] 在上述阵列基板的制造方法中，所述过孔沿第一方向的尺寸大于所述栅极扫描线的宽度，所述第一方向为垂直于所述栅极扫描线的方向。
- [0031] 在上述阵列基板的制造方法中，所述沟道层包括多个阵列排布的叉指半导体构件，每个所述叉指半导体构件相对的两侧均分别设置有至少一所述过孔。
- [0032] 在上述阵列基板的制造方法中，每个所述过孔包括贯穿所述缓冲层的第一连接孔和贯穿所述第一绝缘层的所述第二连接孔，所述第一连接孔与所述第二连接孔连通。
- [0033] 在上述阵列基板的制造方法中，所述第二连接孔在所述衬底上的正投影位于所述第一连接孔在所述衬底的正投影内。
- [0034] 一种显示面板，所述显示面板包括阵列基板，所述阵列基板包括：
- [0035] 一衬底；
- [0036] 形成于所述衬底上的遮光导电层；
- [0037] 覆盖所述衬底和所述遮光导电层的缓冲层；
- [0038] 形成于所述缓冲层上的沟道层；
- [0039] 覆盖所述缓冲层和所述沟道层的第一绝缘层；
- [0040] 形成于所述第一绝缘层上且位于所述遮光导电层正上方的多条栅极扫描线；
- [0041] 其中，所述栅极扫描线和所述遮光导电层电性连接。
- [0042] 在上述显示面板中，所述遮光导电层包括多条遮光导电线，每条所述遮光导电线与每条所述栅极扫描线一对一地通过贯穿所述缓冲层和所述第一绝缘层的至

少两个过孔电性连接。

[0043] 在上述显示面板中，每条所述栅极扫描线在所述衬底上的正投影和对应与所述栅极扫描线电性连接的每条所述遮光导电线在所述衬底上的正投影重合。

[0044] 在上述显示面板中，所述过孔沿第一方向的尺寸大于所述栅极扫描线的宽度，所述第一方向为垂直于所述栅极扫描线的方向。

[0045] 在上述显示面板中，所述沟道层包括多个阵列排布的叉指半导体构件，每个所述叉指半导体构件相对的两侧均分别设置有至少一所述过孔。

发明的有益效果

有益效果

[0046] 本申请提供一种阵列基板及其制造方法、显示面板，通过使栅极扫描线和遮光导电层电性连接，以使栅极扫描线的宽度相对于传统技术基本不变以保证显示面板的开口率的同时，用于传输扫描电信号的导线阻抗减小，从而使得显示面板驱动功耗减小，提高像素充放电的相应速度。

对附图的简要说明

附图说明

[0047] 图1为本申请第一实施例阵列基板的平面示意图；

[0048] 图2为沿图1所示阵列基板A-A切线的截面示意图；

[0049] 图3为本申请第二实施例阵列基板的平面示意图；

[0050] 图4为沿图3所示阵列基板A-A切线的截面示意图；

[0051] 图5为本申请第一实施例阵列基板的制造方法的流程图。

发明实施例

本发明的实施方式

[0052] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0053] 请参阅图1和图2，图1为本申请第一实施例阵列基板的平面示意图，图2为沿图

1所示阵列基板A-A切线的截面示意图。阵列基板100为薄膜晶体管阵列基板，即多个薄膜晶体管(未示出)阵列分布地设置于衬底10上。阵列基板100包括衬底10、遮光导电层11、缓冲层12、沟道层13、第一绝缘层14、栅极扫描线15以及过孔16。

[0054] 衬底10可以玻璃基板，也可以为柔性基板。

[0055] 遮光导电层11一方面用于避免背光照射至沟道层13的沟道1311上，从而避免沟道1311出现光生漏电流的问题。遮光导电层11形成于衬底10上，遮光导电层11包括多条遮光导电线111，多条遮光导电线111平行排列。每条遮光导电线111的宽度D1比沟道层13中每个叉指半导体构件131的沟道1311的宽度d大以避免背光照射到沟道1311上。栅极扫描线15和遮光导电层11电性连接，以使遮光导电层11还用于传导扫描电信号。具体，每条遮光导电线111与每条栅极扫描线15一对一地通过贯穿缓冲层12和第一绝缘层14的至少两个过孔16电性连接。遮光导电层11的制备材料为钼、铝、钛以及铜中的至少一种。遮光导电层11的制备材料11和栅极扫描线15的制备材料相同。

[0056] 缓冲层12用于防止衬底10中的金属离子（铝、钡以及钠等）在热工艺中扩散到沟道层13中的沟道1311中而影响薄膜晶体管的电性能。缓冲层12覆盖衬底10和遮光导电层11。缓冲层12为覆盖遮光导电层11和衬底10的氧化硅层和氮化硅层，氮化硅层位于靠近衬底10的一侧。缓冲层12的厚度为3000埃-4000埃。缓冲层12是通过化学气相沉积制备得到。

[0057] 沟道层13形成于缓冲层12上。沟道层13包括多个阵列排布的叉指半导体构件131。多个叉指半导体构件131位于多条遮光导电线111的上方。多个叉指半导体构件131分为多行排列，每个叉指半导体构件131为叉指型，每个叉指半导体构件131具有同行的两个沟道1311，以降低薄膜晶体管处于关态时的漏电流。每个叉指半导体构件131具有一个源极接触区和一个漏极接触区，以分别用于与源电极（未示出）和漏电极（未示出）电性接触。沟道层13的制备材料为多晶硅。沟道层13的制备材料也可以为金属氧化物半导体或单晶硅中的一种。沟道层13是利用化学气相沉积形成整面的非晶硅，再通过准分子激光退火工艺使非晶硅转化为多晶硅，再经过黄光制程以使得多晶硅图案化以形成多个阵列排布的叉指

半导体构件。

[0058] 第一绝缘层14为栅极绝缘层。第一绝缘层14覆盖缓冲层12和沟道层13。第一绝缘层14为氮化硅层。可以理解的是，第一绝缘层14也可以为氧化硅层或氧化硅层和氮化硅层的叠层。第一绝缘层14的厚度为1000埃-1500埃。第一绝缘层14是通过化学气相沉积制备得到。

[0059] 栅极扫描线15用于传输扫描电信号以控制薄膜晶体管的工作状态。栅极扫描线15形成于第一绝缘层14上且位于遮光导电层11正上方。栅极扫描线15也形成于过孔16中以使第一绝缘层14上的栅极扫描线15和遮光导电层11电性连接。栅极扫描线15包括多条平行的金属线。每条栅极扫描线15的宽度等于沟道1311的宽度 d ，即每条栅极扫描线15的宽度 d 小于每个导电遮光线111的宽度 $D1$ 。具体地，每条栅极扫描线15的宽度为 3 ± 0.1 微米。栅极扫描线15与遮光导电层11电性连接，使得相对于传统技术中栅极扫描线15的宽度基本不变时，用于传输扫描电信号的导线（包括栅极扫描线15和导电遮光层11）的有效面积增大，显著地降低用于传输扫描电信号的导线的电阻，降低扫描驱动电路的功耗，提高像素（未示出）充放电响应的速度。

[0060] 过孔16用于使栅极扫描线15和遮光导电层11电性连接。过孔16贯穿缓冲层12和第一绝缘层14。每个叉指半导体构件131相对的两侧均分别设置有至少一过孔16，以提高每条遮光导电层111和对应栅极扫描线15的电性连接的良率，而且多个过孔16能减小连接栅极扫描线15和遮光导电层11之间的导线（位于过孔16中的栅极扫描线）的整体阻值。具体地，每个叉指半导体构件131相对的两侧均分别设置有一个过孔16，同一行叉指半导体构件131中，相邻两个叉指半导体构件131之间设置有一个过孔16，使得过孔16周期性地分布。过孔16通过形成第一绝缘层14后，通过于第一绝缘层14上形成整面光阻，再利用光罩曝光部分光阻，刻蚀未被光阻覆盖的第一绝缘层14以及缓冲层12以形成过孔16。过孔16沿第一方向的尺寸 $D2$ 大于栅极扫描线的宽度 $D1$ ，第一方向为垂直于栅极扫描线15（栅极扫描线延伸方向）的方向，第一方向与衬底10设置有栅极扫描线的平面平行，以使每个过孔16中的栅极扫描线15与遮光导电层11充分接触，从而降低形成于过孔16中的栅极扫描线15的阻抗。过孔16可以为圆形，过孔16的半径大于栅极

扫描线15的宽度。过孔16也可以为正方形，过孔16的边长大于栅极扫描线15的宽度。

[0061] 请参阅图3和图4，图3为本申请第二实施例阵列基板的平面示意图，图4为沿图3所示阵列基板A-A切线的截面示意图。图3所示阵列基板100与图1所示阵列基板100基本相似，不同之处在于，每条栅极扫描线15在衬底10上的正投影和对应与栅极扫描线10电性连接的每条遮光导电线111在衬底10上的正投影重合，即每条栅极扫描线15和与栅极扫描线15电性连接的每条遮光导电线111相同(包括栅极扫描线15的宽度d以及遮光导电线111的宽度D1相同)，以保证遮光导电线111起到遮光作用的同时，进一步地提高阵列基板制成的显示面板的开口率。另外，每个过孔16包括贯穿缓冲层12的第一连接孔121和贯穿第一绝缘层14的第二连接孔141，第一连接孔121与第二连接孔141连通，第二连接孔141在衬底10上的正投影位于第一连接孔121在衬底10的正投影内，即第一连接孔121的尺寸大于第二连接孔141的尺寸，以保证形成的第二连接孔141能与第一连接孔121连通。第一连接孔121是形成缓冲层12后，采用黄光制程处理缓冲层12形成。第二连接孔141是形成第一绝缘层14后，采用黄光制程处理第一绝缘层14形成。第二连接孔141沿第一方向的尺寸大于每条栅极扫描线15的宽度，第一方向为垂直于栅极扫描线15的方向。

[0062] 本申请阵列基板通过使栅极扫描线和遮光导电层电性连接，以使栅极扫描线的宽度相对于传统技术基本不变以保证显示面板的开口率的同时，用于传输扫描电信号的导线的阻抗减小，从而使得显示面板驱动功耗减小，提高像素充放电的相应速度。

[0063] 请参阅图5，其为本申请第一实施例阵列基板的制造方法的流程图。阵列基板的制造方法包括如下步骤：

[0064] S10:提供一衬底；

[0065] S11:于衬底上形成遮光导电层；

[0066] S12:形成覆盖衬底和遮光导电层的缓冲层；

[0067] S13:于缓冲层上形成沟道层；

[0068] S14:形成覆盖缓冲层和沟道层的第一绝缘层；

- [0069] S15:于第一绝缘层上形成多个栅极扫描线，多条栅极扫描线位于遮光导电层的正上方，栅极扫描线和遮光导电层电性连接。
- [0070] 本申请阵列基板的制造方法通过使栅极扫描线和遮光导电层电性连接，以使栅极扫描线的宽度相对于传统技术基本不变以保证显示面板的开口率的同时，用于传输扫描电信号的导线阻抗减小，从而使得显示面板驱动功耗减小，提高像素充放电的相应速度。
- [0071] 在本实施例中，遮光导电层包括多条遮光导电线，每条遮光导电线与每条栅极扫描线一对一地通过贯穿缓冲层和第一绝缘层的至少两个过孔电性连接。
- [0072] 在本实施例中，每条栅极扫描线在衬底上的正投影和对应与栅极扫描线电性连接的每条遮光导电线在衬底上的正投影重合，以保证遮光导电线起到遮光作用的同时，进一步地提高阵列基板制成的显示面板的开口率。
- [0073] 在本实施例中，过孔沿第一方向的尺寸大于栅极扫描线的宽度，第一方向为垂直于栅极扫描线的方向，以使每个过孔中的栅极扫描线与遮光导电层充分接触，从而降低形成于过孔中的栅极扫描线的阻抗。
- [0074] 本申请还提供一种显示面板，该显示面板为液晶显示面板或有机发光二极管显示面板。显示面板包括上述阵列基板。
- [0075] 本申请显示面板通过使阵列基板的栅极扫描线和遮光导电层电性连接，以使栅极扫描线的宽度相对于传统技术基本不变以保证显示面板的开口率的同时，用于传输扫描电信号的导线的阻抗减小，从而使得显示面板驱动功耗减小，提高像素充放电的相应速度。
- [0076] 以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想；本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

权利要求书

- [权利要求 1] 一种阵列基板，其中，所述阵列基板包括：
- 一衬底；
- 形成于所述衬底上的遮光导电层；
- 覆盖所述衬底和所述遮光导电层的缓冲层；
- 形成于所述缓冲层上的沟道层；
- 覆盖所述缓冲层和所述沟道层的第一绝缘层；
- 形成于所述第一绝缘层上且位于所述遮光导电层正上方的多条栅极扫描线；
- 其中，所述栅极扫描线和所述遮光导电层电性连接。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述遮光导电层包括多条遮光导电层，每条所述遮光导电层与每条所述栅极扫描线一对一地通过贯穿所述缓冲层和所述第一绝缘层的至少两个过孔电性连接。
- [权利要求 3] 根据权利要求2所述的阵列基板，其中，每条所述栅极扫描线在所述衬底上的正投影和对应与所述栅极扫描线电性连接的每条所述遮光导电层在所述衬底上的正投影重合。
- [权利要求 4] 根据权利要求2所述的阵列基板，其中，所述过孔沿第一方向的尺寸大于所述栅极扫描线的宽度，所述第一方向为垂直于所述栅极扫描线的方向。
- [权利要求 5] 根据权利要求2所述的阵列基板，其中，所述沟道层包括多个阵列排布的叉指半导体构件，每个所述叉指半导体构件相对的两侧均分别设置有至少一所述过孔。
- [权利要求 6] 根据权利要求5所述的阵列基板，其中，每个所述过孔包括贯穿所述缓冲层的第一连接孔和贯穿所述第一绝缘层的所述第二连接孔，所述第一连接孔与所述第二连接孔连通。
- [权利要求 7] 根据权利要求6所述的阵列基板，其中，所述第二连接孔在所述衬底上的正投影位于所述第一连接孔在所述衬底的正投影内。
- [权利要求 8] 根据权利要求1所述的阵列基板，其中，所述遮光导电层的制备材料

和所述栅极扫描线的制备材料相同。

- [权利要求 9] 一种阵列基板的制造方法，其中，所述制造方法包括如下步骤：
提供一衬底；
于所述衬底上形成遮光导电层；
形成覆盖所述衬底和所述遮光导电层的缓冲层；
于所述缓冲层上形成沟道层；
形成覆盖所述缓冲层和所述沟道层的第一绝缘层；
于所述第一绝缘层上形成多个栅极扫描线，多条所述栅极扫描线位于所述遮光导电层的正上方；
其中，所述栅极扫描线和所述遮光导电层电性连接。
- [权利要求 10] 根据权利要求9所述的阵列基板的制造方法，其中，所述遮光导电层包括多条遮光导电线，每条所述遮光导电线与每条所述栅极扫描线一对一地通过贯穿所述缓冲层和所述第一绝缘层的至少两个过孔电性连接。
- [权利要求 11] 根据权利要求10所述的阵列基板的制造方法，其中，每条所述栅极扫描线在所述衬底上的正投影和对应与所述栅极扫描线电性连接的每条所述遮光导电线在所述衬底上的正投影重合。
- [权利要求 12] 根据权利要求10所述的阵列基板的制造方法，其中，所述过孔沿第一方向的尺寸大于所述栅极扫描线的宽度，所述第一方向为垂直于所述栅极扫描线的方向。
- [权利要求 13] 根据权利要求10所述的阵列基板的制造方法，其中，所述沟道层包括多个阵列排布的叉指半导体构件，每个所述叉指半导体构件相对的两侧均分别设置有至少一所述过孔。
- [权利要求 14] 根据权利要求13所述的阵列基板的制造方法，其中，每个所述过孔包括贯穿所述缓冲层的第一连接孔和贯穿所述第一绝缘层的所述第二连接孔，所述第一连接孔与所述第二连接孔连通。
- [权利要求 15] 根据权利要求14所述的阵列基板的制造方法，其中，所述第二连接孔在所述衬底上的正投影位于所述第一连接孔在所述衬底的正投影内。

- [权利要求 16] 一种显示面板，其中，所述显示面板包括阵列基板，所述阵列基板包括：
- 一衬底；
- 形成于所述衬底上的遮光导电层；
- 覆盖所述衬底和所述遮光导电层的缓冲层；
- 形成于所述缓冲层上的沟道层；
- 覆盖所述缓冲层和所述沟道层的第一绝缘层；
- 形成于所述第一绝缘层上且位于所述遮光导电层正上方的多条栅极扫描线；
- 其中，所述栅极扫描线和所述遮光导电层电性连接。
- [权利要求 17] 根据权利要求16所述的显示面板，其中，所述遮光导电层包括多条遮光导电层，每条所述遮光导电层与每条所述栅极扫描线一对一地通过贯穿所述缓冲层和所述第一绝缘层的至少两个过孔电性连接。
- [权利要求 18] 根据权利要求17所述的显示面板，其中，每条所述栅极扫描线在所述衬底上的正投影和对应与所述栅极扫描线电性连接的每条所述遮光导电层在所述衬底上的正投影重合。
- [权利要求 19] 根据权利要求17所述的显示面板，其中，所述过孔沿第一方向的尺寸大于所述栅极扫描线的宽度，所述第一方向为垂直于所述栅极扫描线的方向。
- [权利要求 20] 根据权利要求17所述的显示面板，其中，所述沟道层包括多个阵列排布的叉指半导体构件，每个所述叉指半导体构件相对的两侧均分别设置有至少一所述过孔。

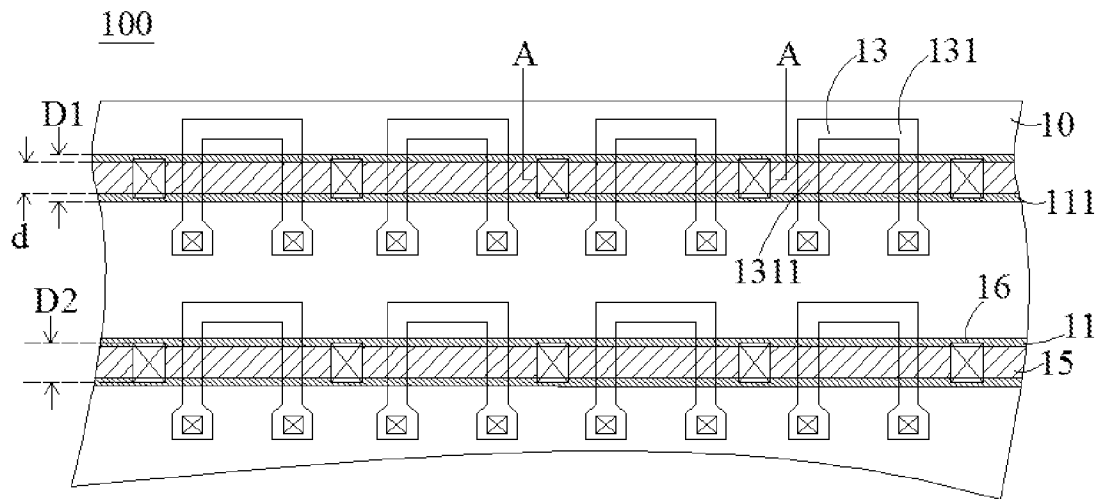


图 1

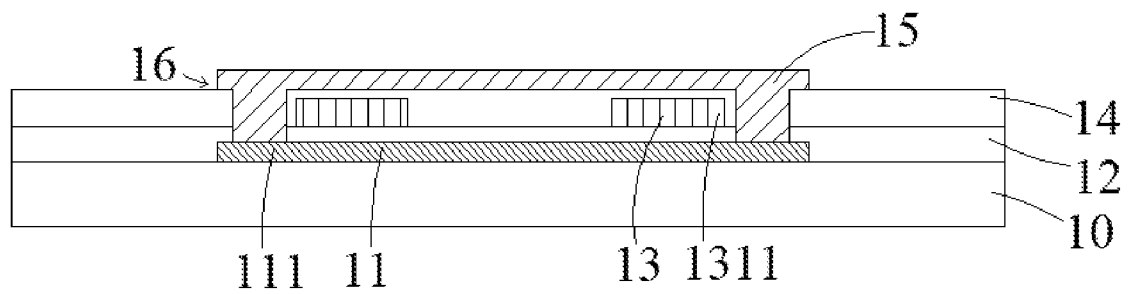


图 2

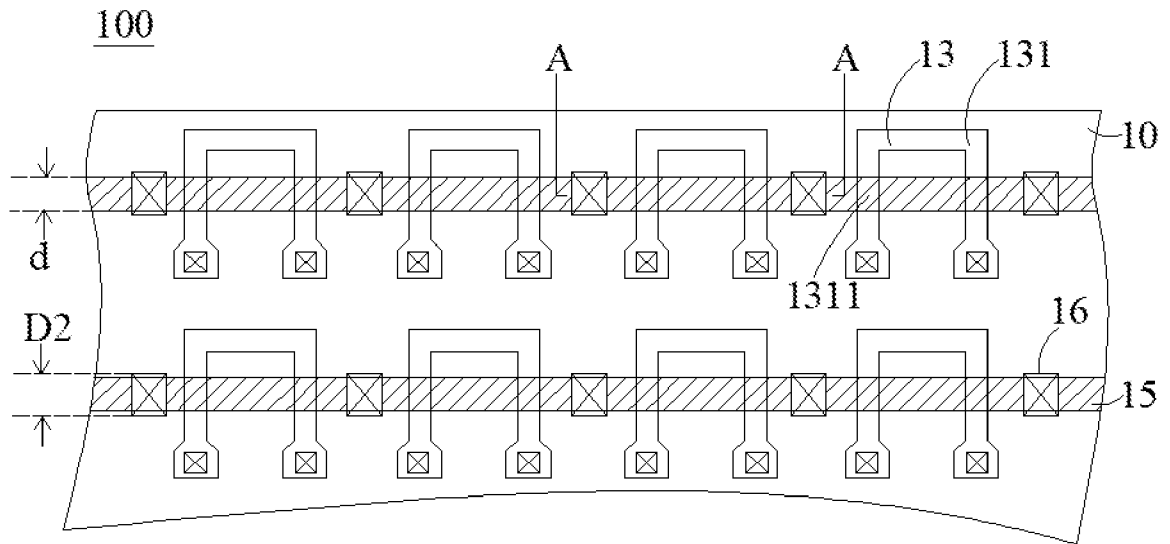


图 3

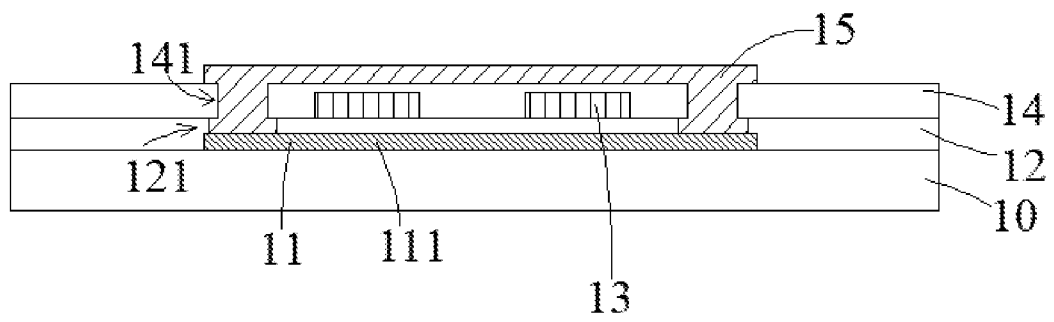


图 4

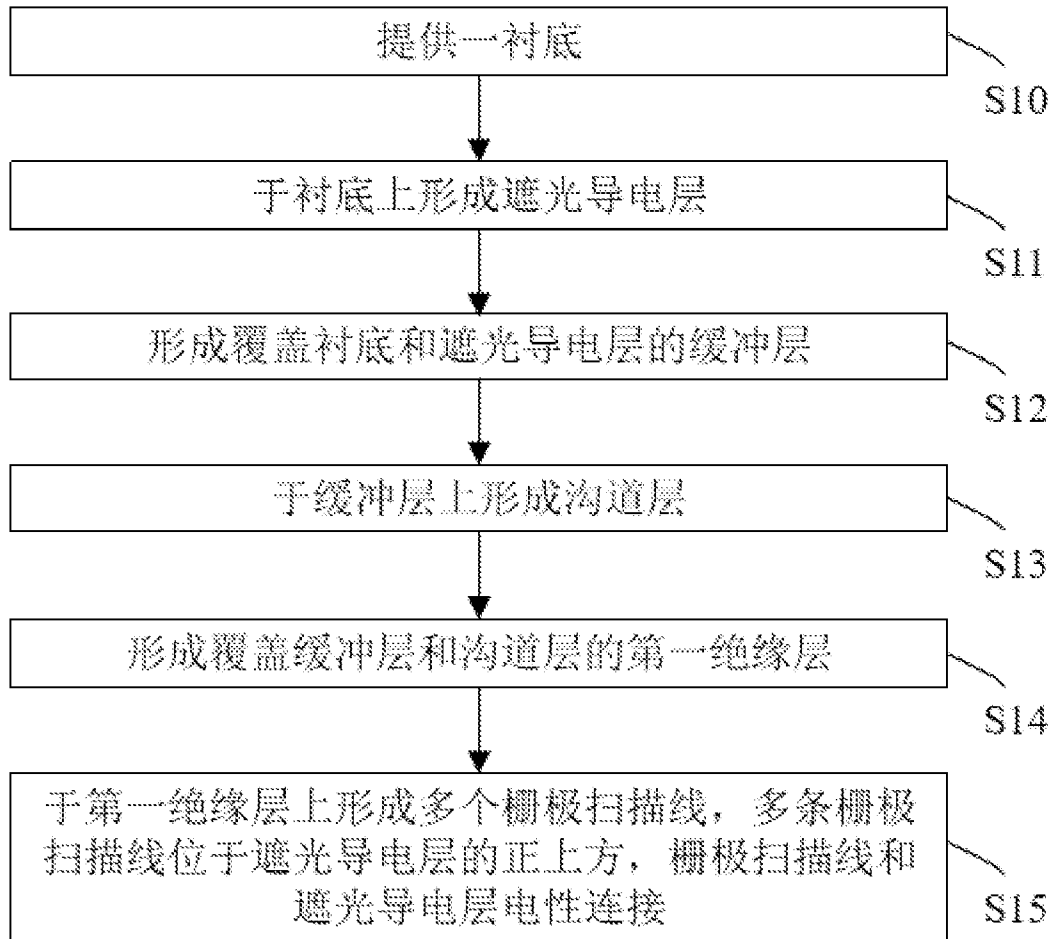


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/087140

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/-;H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; VEN; WOTXT; USTXT; EPTXT; CNKI; 显示, 面板, 阵列, 基板, 衬底, 遮光, 导电, 扫描线, 绝缘, 孔, 阻抗, 电阻, 连接, display, panel, array, substrate, shield, conduct, scan line, insulate, hole, impedance, resistance, connect

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106019738 A (SEIKO EPSON CORPORATION) 12 October 2016 (2016-10-12) description, paragraphs 3-8, 20-21, 42-95, figures 1-14	1-20
A	CN 109300917 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 February 2019 (2019-02-01) entire document	1-20
A	US 2010033645 A1 (SEIKO EPSON CORP.) 11 February 2010 (2010-02-11) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 November 2019

Date of mailing of the international search report

08 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/087140

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106019738	A	12 October 2016	JP	2016127521	A	11 July 2016
				JP	6422345	B2	14 November 2018
CN	109300917	A	01 February 2019	None			
US	2010033645	A1	11 February 2010	JP	5217752	B2	19 June 2013
				JP	2010039212	A	18 February 2010
				US	7855759	B2	21 December 2010

国际检索报告

国际申请号

PCT/CN2019/087140

A. 主题的分类

G02F 1/1362(2006.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F1/-;H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;VEN;WOTXT;USTXT;EPTXT;CNKI;显示, 面板, 阵列, 基板, 衬底, 遮光, 导电, 扫描线, 绝缘, 孔, 阻抗, 电阻, 连接, display, panel, array, substrate, shield, conduct, scan line, insulate, hole, impedance, resistance, connect

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106019738 A (精工爱普生株式会社) 2016年 10月 12日 (2016 - 10 - 12) 说明书第3-8、20-21、42-95段, 附图1-14	1-20
A	CN 109300917 A (京东方科技集团股份有限公司) 2019年 2月 1日 (2019 - 02 - 01) 全文	1-20
A	US 2010033645 A1 (SEIKO EPSON CORP) 2010年 2月 11日 (2010 - 02 - 11) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 11月 29日

国际检索报告邮寄日期

2020年 1月 8日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

廖艳闺

电话号码 86-(20)-28958731

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/087140

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106019738	A	2016年 10月 12日	JP	2016127521	A	2016年 7月 11日
				JP	6422345	B2	2018年 11月 14日
CN	109300917	A	2019年 2月 1日	无			
US	2010033645	A1	2010年 2月 11日	JP	5217752	B2	2013年 6月 19日
				JP	2010039212	A	2010年 2月 18日
				US	7855759	B2	2010年 12月 21日