

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93136871

※申請日期：93.11.30

※IPC 分類：H01L 9/76

## 一、發明名稱：(中文/英文)

半導體裝置/SEMICONDUCTOR DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三菱電機股份有限公司/MITSUBISHI DENKI KABUSHIKI KAISHA

代表人：(中文/英文)

野間口有/TAMOTSU NOMAKUCHI

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目 2 番 3 號

國籍：(中文/英文)

日本/JAPAN

## 三、發明人：(共 1 人)

姓名：(中文/英文)

清水和宏/KAZUHIRO SHIMIZU

國籍：(中文/英文)

日本/JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、2004/3/3、2004-058883

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明有關於半導體裝置，且特別是關於高耐壓 IC(以下稱「HVIC」)。

### 【先前技術】

習知以來，提出利用 RESURF(Reduced SURface Field 減少表面區域)效果來實現 HVIC 的技術。例如，專利文件 1 中記載的技術中，係利用 RESURF 效果實現將低電位的信號電平變換至高電位的電平位移電路的高耐壓化。

又，例如在專利文件 2 中記載有關 RESURF 的效果，以及在專利文件 3、4 中揭露了有關 HVIC。又，在專利文件 5 中揭露了形成多重與周圍絕緣的場極板，因此藉由場極板間的電容耦合使半導體基板的表面電場安定化的技術。

[專利文件 1]特開平第 9-283716 號公報。

[專利文件 2]美國專利第 4292642 號說明書。

[專利文件 3]特開平第 9-55498 號公報。

[專利文件 4]特開平第 2-248078 號公報。

[專利文件 5]特開平第 5-190693 號公報。

### 【發明內容】

#### [發明所欲解決的課題]

習知的 HVIC 中，由於在半導體基板的上方配置施加數百 V 的高電位的配線，由於配置的配線的電位影響，可能有電場部分集中，而引起半導體裝置的耐壓降低。因此，可能無法得到具有所希望的耐壓的半導體裝置。

又，藉由 RESURF 效果改善耐壓時通常使用的磊晶層中，雜質濃度及厚度容易變化，無法滿足 RESURF 條件，並且可能無法得到具有所希望的耐壓的半導體裝置。

在此，本發明係鑑於上述的問題而形成，以提供使半導體

裝置可容易達成所希望的耐壓的技術為目的。

[用以解決課題的手段]

本發明的第 1 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；半導體元件，設置於上述既定區域外的上述半導體層中；以及 MOS 電晶體，設置於上述既定區域內的上述半導體層中；其中，上述 MOS 電晶體包括：上述第 2 導電型的第 2 雜質區域，設置於上述既定區域內的上述半導體層的上表面內，雜質濃度比上述半導體層高；以及汲極電極，電氣連接上述第 2 雜質區域；上述第 1 半導體裝置更包括：第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；複數第 1 場極板，設置於第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述雜質區域往上述第 2 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極，且上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處，且位於上述複數第 1 場極板間的間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

又，本發明的第 2 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 1

導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；第 1 半導體元件，設置於上述既定區域內的上述半導體層中；上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；第 2 半導體元件，設置於上述既定區域外的上述半導體層中；第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；複數第 1 場極板，設置於第 1 絕緣膜上，沿著由上述雜質區域往上述第 2 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；上述複數第 2 場極板中最靠近上述第 1 雜質區域的第 2 場極板具有在上述配線下方的切斷處，且位於上述複數第 1 場極板間的間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

又，本發明的第 3 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 2 導電型的第 1 雜質區域，設置於上述半導體層的上表面內且界定上述半導體層中的既定區域，雜質濃度比上述半導體層高；上述第 1 導電型的第 2 雜質區域，設置於由既定區域內的上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部；半導體元件，設置於上述既定區域外的上述半導體層中；以及 MOS 電晶體，設置於上述既定區域內的上述半導體層中；其中，上述 MOS 電晶體，包括：上述第 1 導電型的第 3 雜質區域，在上述既定

區域內，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層的上表面內；以及汲極電極，電氣連接至上述第 3 雜質區域；上述第 3 半導體裝置更包括：第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 3 雜質區域間的上述半導體層上；複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極，且上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處，且位於上述複數第 1 場極板間的間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

又，本發明的第 4 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；第 1 半導體元件，設置於上述既定區域內的上述半導體層中；上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；第 2 半導體元件，設置於上述既定區域外的上述半導體層中；第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 2 絕緣膜，

覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間間隙上方；上述複數第 2 場極板中最靠近上述第 2 雜質區域的第 2 場極板具有在上述配線下方的切斷處，且位於上述複數第 1 場極板間間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

又，本發明的第 5 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；一半導體元件，設置於上述既定區域外的上述半導體層中；以及 MOS 電晶體，設置於上述既定區域內的上述半導體層中；其中，上述 MOS 電晶體，包括：上述第 2 導電型的第 2 雜質區域，設置於上述既定區域內的上述半導體層的上表面內，雜質濃度比上述半導體層高；以及汲極電極，電氣連接至上述第 2 雜質區域；上述第 5 半導體裝置更包括：第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；複數第 1 場極板，設置於第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；而上述複數第 1 場極板中最

靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極，且上述複數第 2 場極板分別設置於上述複數第 1 場極板間間隙上方；上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處；除了上述閘極電極及最接近的第 2 場極板之外的上述複數第 1 場極板和上述複數第 2 場極板中，至少一位於鄰接上述閘極電極的第 1 場極板中，位於上述配線下方的部分至少在上述閘極電極側的端部位移至比位於其它部分的上述端部更接近上述閘極電極側。

又，本發明的第 6 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；第 1 半導體元件，設置於上述既定區域內的上述半導體層中；上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；第 2 半導體元件，設置於上述既定區域外的上述半導體層中；第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，設置於上述第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間間隙上方；上述複數第 2 場極板中最靠近上述第 1 雜質區域的第 2 場極板具有在上述配線下方的切斷處，除了最接近上述第 1 雜質區域的第 1 及第 2 場極板之外的上述複數第 1 場極板和上述複數

第 2 場極板中，至少一位於第 2 靠近上述第 1 雜質區域的第 1 場極板中，位於上述配線下方的部分至少在上述第 1 雜質區域側的端部位移至比位於其它部分的上述端部更接近上述第 1 雜質區域側。

又，本發明的第 7 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 2 導電型的第 1 雜質區域，設置於上述半導體層的上表面內且界定上述半導體層中的一既定區域，雜質濃度比上述半導體層高；上述第 1 導電型的第 2 雜質區域，設置於由上述既定區域內的上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部；半導體元件，設置於上述既定區域外的上述半導體層內；以及 MOS 電晶體，設置於上述既定區域內的上述半導體層中；其中，上述 MOS 電晶體，包括：上述第 1 導電型的第 3 雜質區域，在上述上述既定區域內，設置於的上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層的上表面內；以及汲極電極，電氣連接至上述第 3 雜質區域；上述第 7 半導體裝置更包括：第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 3 雜質區域間的上述半導體層上；複數第 1 場極板，在第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，在上述第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；而上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極，且上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處；除了上述閘極電極及最靠近的第 2 場極板之外的上述複數第 1 場極板和上述複數

第 2 場極板中，至少一位於鄰接上述閘極電極的第 1 場極板中，位於上述配線下方的部分至少在上述閘極電極側的端部位移至比位於其它部分的上述端部更接近上述閘極電極側。

又，本發明的第 8 半導體裝置，包括：第 1 導電型的半導體基板；第 2 導電型的半導體層，設置於上述半導體基板上；上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；第 1 半導體元件，設置於上述既定區域內的上述半導體層中；上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；第 2 半導體元件，設置於上述既定區域外的上述半導體層中；第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；複數第 1 場極板，置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；複數第 2 場極板，置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；上述複數第 2 場極板中離上述第 2 雜質區域最近的第 2 場極板具有在上述配線下方的切斷處，除了最接近上述第 2 雜質區域的第 1 及第 2 場極板之外的上述複數第 1 場極板和上述複數第 2 場極板中，至少一位於第 2 靠近上述第 2 雜質區域的第 1 場極板中，位於上述配線下方的部分至少在上述第 2 雜質區域側的端部位移至比位於其它部分的上述端部更接近上述第 2 雜質區域側。

又，本發明的第 9 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的磊晶層，設置於上述半導體基板上；上述第 1

導電型的第 1 雜質區域，設置於由上述磊晶層的上表面至與上述半導體基板的界面中的上述磊晶層內部且界定上述磊晶層中的既定區域；以及 MOS 電晶體，設置於上述既定區域內的上述磊晶層中；其中，上述 MOS 電晶體，包括：上述第 2 導電型的第 2 雜質區域，設置於上述既定區域內的上述磊晶層的上表面內，雜質濃度比上述磊晶層高；以及汲極電極，電氣連接至上述第 2 雜質區域；上述第 9 半導體裝置更包括上述第 2 導電型的擴散區域，設置於上述磊晶層中的至少在上述第 1 雜質區域與上述第 2 雜質區域間的上述磊晶層的上表面內，而雜質濃度比上述磊晶層高。

又，本發明的第 10 半導體裝置包括：第 1 導電型的半導體基板；第 2 導電型的磊晶層，設置於上述半導體基板上；上述第 1 導電型的第 1 雜質區域，設置於由上述磊晶層的上表面至與上述半導體基板的界面中的上述磊晶層內部且界定上述磊晶層中的既定區域；第 1 半導體元件，設置於上述既定區域內的上述磊晶層中；上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述磊晶層的上表面內，雜質濃度比上述磊晶層高；以及上述第 2 導電型的擴散區域，設置於上述磊晶層中的至少在上述第 1 雜質區域與上述第 2 雜質區域間的上述磊晶層的上表面內，而雜質濃度比上述磊晶層高。

#### [發明效果]

根據本發明的第 1 半導體裝置，施加比第 1 雜質區域高的電位於既定區域內的半導體層時，施加逆電壓於由第一雜質區域與上述半導體層所形成的 PN 接合，形成 MOS 電晶體的半導體層由空乏層覆蓋。結果，改善了裝置的耐壓。

又，施加比閘極電極高的電位於第 2 雜質區域及配線時，因靜電結合產生了最靠近閘極電極的第 2 場極板與配線間的電位差。本發明中，由於最靠近閘極電極的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的

第 3 絕緣膜的絕緣破壞。

又，本發明中，在最靠近閘極電極的第 2 場極板所具有的切斷處的下方，第 1 場極板間的間隙中配置有與間隙分離的電極。因此，即使最靠近閘極電極的第 2 場極板設有切斷處，由於與上述電極的第 1 場極板及半導體層的靜電結合而可形成上述電極與第 1 場極板間的等電位面，以及由於上述電極的靜電遮蔽效果，可緩和因配線電位的半導體層上表面附近的電場集中。結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 2 半導體裝置，施加比第 1 雜質區域高的電位於既定區域內的半導體層時，施加逆電壓於由第一雜質區域與上述半導體層所形成的 PN 接合，而在半導體層中形成了空乏層。結果，第 1 半導體元件被空乏層圍繞，因而改善了裝置的耐壓。

又，施加比第 1 雜質區域高的電位於第 2 雜質區域及配線時，因靜電結合產生了最靠近第 1 雜質區域的第 2 場極板與配線間的電位差。本發明中，由於最靠近第 1 雜質區域的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，在最靠近第 1 雜質區域的第 2 場極板所具有的切斷處的下方，第 1 場極板間的間隙中配置有與間隙分離的電極。因此，即使最靠近第 1 雜質區域的第 2 場極板設有切斷處，由於與上述電極的第 1 場極板及半導體層的靜電結合而可形成上述電極與第 1 場極板間的等電位面，以及由於上述電極的靜電遮蔽效果，可緩和因配線電位的半導體層上表面附近的電場集中。結果，可容易地得到具有所希望的耐壓的半導體裝置。

根據本發明的第 3 半導體裝置，施加比第 2 雜質區域高的電位於既定區域內的半導體層時，施加逆電壓於由第 2 雜質區域與上述半導體層所形成的 pn 接合，形成 MOS 電晶體的半導體層由空乏層覆蓋。結果，改善了裝置的耐壓。

又，施加比第 3 雜質區域及配線高的電位於閘極電極時，因

靜電結合產生了最靠近閘極電極的第 2 場極板與配線間的電位差。本發明中，由於最靠近閘極電極的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，在最靠近閘極電極的第 2 場極板所具有的切斷處的下方，第 1 場極板間間隙中配置與間隙分離的電極。因此，即使最靠近閘極電極的第 2 場極板中設有切斷處，由於與上述電極的第 1 場極板及半導體層的靜電結合而可形成上述電極與第 1 場極板間的等電位面，以及由於上述電極的靜電遮蔽效果，可緩和因配線電位的半導體層上表面附近的電場集中。結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 4 半導體裝置，施加比第 1 雜質區域高的電位於既定區域內的半導體層時，施加逆電壓於由第 1 雜質區域與上述半導體層所形成的 pn 接合，而在半導體層中形成了空乏層。結果，第 1 半導體元件被空乏層圍繞，因而改善了裝置的耐壓。

又，施加比第 1 雜質區域及配線高的電位於第 2 雜質區域時，因靜電結合產生了最靠近第 2 雜質區域的第 2 場極板與配線間的電位差。本發明中，由於最靠近第 2 雜質區域的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，在最靠近第 2 雜質區域的第 2 場極板所具有的切斷處的下方，第 1 場極板間間隙中配置有與間隙分離的電極。因此，即使最靠近第 2 雜質區域的第 2 場極板中設有切斷處，由於與上述電極的第 1 場極板及半導體層的靜電結合而可形成上述電極與第 1 場極板間的等電位面，以及由於上述電極的靜電遮蔽效果，可緩和因配線電位的半導體層上表面附近的電場集中。結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 5 半導體裝置，施加比第 1 雜質區域高的電位於既定區域內的半導體層時，施加了逆電壓於由第 1 雜質

區域與上述半導體層所形成的 pn 接合，MOS 電晶體形成的半導體層由空乏層覆蓋。結果，改善了裝置的耐壓。

又，施加比閘極電極高的電位於第 2 雜質區域及配線時，因靜電結合產生了最靠近閘極電極的第 2 場極板與配線間的電位差。本發明中，由於最靠近閘極電極的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，至少一位於鄰接閘極電極的第 1 場極板中，位於配線下方的部分至少在閘極電極側的端部位移至比位於其它部分的上述端部更接近閘極電極側。因此，在配線下方，閘極電極與位於相鄰的第 1 場極板間間隙變小。結果，施加比閘極電極高的電位於第 2 雜質區域及配線時，閘極電極與位於相鄰的第 1 場極板間間隙下方的半導體層的上表面容易受到位於與閘極電極相鄰的較低電位的第 1 場極板的電位的影響，降低了較高電位的配線的電位的影響，且利於半導體層中空乏層的延伸。因此，緩和了最靠近閘極電極的第 2 場極板中設置的切斷處所引起的電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 6 半導體裝置，施加比第 1 雜質區域高的電位於既定區域內的半導體層時，施加了逆電壓於由第 1 雜質區域與上述半導體層所形成的 pn 接合，而在半導體層中形成了空乏層。結果，第 1 半導體元件被空乏層圍繞，因而改善了裝置的耐壓。

又，施加比第 1 雜質區域高的電位於第 2 雜質區域及配線時，因靜電結合產生了最靠近第 1 雜質區域的第 2 場極板與配線間的電位差。本發明中，由於最靠近第 1 雜質區域的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，至少一第 2 靠近第 1 雜質區域的第 1 場極板中，位於配線下方的部分至少在第 1 雜質區域側的端部位移至比位於其它部分的上述端部更接近第 1 雜質區域側。因此，在配線

下方，最靠近第 1 雜質區域的第 1 場極板與第 2 靠近的第 1 場極板間的間隙變小。結果，施加比第 1 雜質區域高的電位於第 2 雜質區域及配線時，最靠近第 1 雜質區域的第 1 場極板與第 2 靠近的第 1 場極板間的間隙下方的半導體層的上表面容易受到較低電位的上述第 2 靠近的第 1 場極板的電位的影響，降低了較高電位的配線的電位的影響，且利於半導體層中空乏層的延伸。因此，緩和了最靠近第 1 雜質區域的第 2 場極板中設置的切斷處所引起的電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 7 半導體裝置，施加比第 2 雜質區域高的電位於既定區域內的半導體層時，施加了逆電壓於由第 2 雜質區域與上述半導體層所形成的 pn 接合，形成 MOS 電晶體的半導體層由空乏層覆蓋。結果，改善了裝置的耐壓。

又，施加比第 3 雜質區域及配線高的電位於閘極電極時，因靜電結合產生了最靠近閘極電極的第 2 場極板與配線間的電位差。本發明中，由於最靠近閘極電極的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，至少一位於鄰接閘極電極的第 1 場極板中，位於配線下方的部分至少在閘極電極側的端部位移至比位於其它部分的上述端部更接近閘極電極側。因此，在配線下方，閘極電極與位於相鄰的第 1 場極板間的間隙變小。結果，施加比第 3 雜質區域及配線高的電位於閘極電極時，閘極電極與位於相鄰的第 1 場極板間的間隙下方的半導體層的上表面容易受到位於與閘極電極相鄰的較高電位的第 1 場極板的電位的影響，降低了較低電位的配線的電位的影響，且抑制了半導體層中空乏層的延伸。因此，緩和了最靠近閘極電極的第 2 場極板中設置的切斷處所引起的電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 8 半導體裝置，施加比第 1 雜質區域高的電位於既定區域內的半導體層時，施加了逆電壓於由第 1 雜質

區域與上述半導體層所形成的 pn 接合，而在半導體層中形成了空乏層。結果，第 1 半導體元件被空乏層圍繞，因而改善了裝置的耐壓。

又，施加比第 1 雜質區域及配線高的電位於第 2 雜質區域時，因靜電結合產生了最靠近第 2 雜質區域的第 2 場極板與配線間的電位差。本發明中，由於最靠近第 2 雜質區域的第 2 場極板在配線的下方具有切斷處，可防止由上述第 2 場極板與配線間的電位差引起的第 3 絕緣膜的絕緣破壞。

又，本發明中，至少一第 2 靠近第 2 雜質區域的第 1 場極板中，位於配線下方的部分至少在第 2 雜質區域側的端部位移至比位於其它部分的上述端部更接近第 2 雜質區域側。因此，在配線下方，最靠近第 2 雜質區域的第 1 場極板與第 2 靠近的第 1 場極板間的間隙變小。結果，施加比第 1 雜質區域及配線高的電位於第 2 雜質區域時，最靠近第 2 雜質區域的第 1 場極板與第 2 靠近的第 1 場極板間的間隙下方的半導體層的上表面容易受到較高電位的上述第 2 靠近的第 1 場極板的電位的影響，降低了較低電位的配線的電位的影響，且抑制了半導體層中空乏層的延伸。因此，緩和了最靠近第 2 雜質區域的第 2 場極板中設置的切斷處所引起的電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，根據本發明的第 9 及第 10 半導體裝置，在既定區域內的磊晶層的上表面內形成雜質濃度較上表面高的擴散區域。通常，由於擴散區域比磊晶層可更精確地控制雜質濃度及厚度，上述雜質濃度(單位： $\text{cm}^3$ )及厚度(單位： $\text{cm}$ )的乘積容易滿足 RESURF 條件( $\cong 1.0 \times 10^{12} \text{cm}^2$ )。因此，可在既定區域內確實地形成空乏層，並可容易地得到具有所希望的耐壓的半導體裝置。

## 【實施方式】

### <第一實施例>

第 1 圖係方塊圖，顯示根據本發明的第一實施例的半導體裝

置的結構。根據本發明的第一實施例的半導體裝置係利用 RESURF 效果實現高耐壓的 HVIC，如第 1 圖所示，包括低電位邏輯電路 100、高電位邏輯電路 101、n 通道型的 MOS 電晶體 102、以及電阻 103。

低電位邏輯電路 100 係以數十 V 的較低電位的電位 VL 作為正電源而動作的邏輯電路，並施以作為負電源的接地電位。又，高電位邏輯電路 101 係以數百 V 的較高電位的電位 VH 作為正電源而動作的邏輯電路，並施以作為負電源的數百 V，高電位邏輯電路 101 的正電源與負電源的電位差為數十 V。

MOS 電晶體 102 及電阻 103 係將低電位邏輯電路 100 輸出的低電位的信號位移至高電位並輸入至高電位邏輯電路 101。MOS 電晶體 102 的閘極係連接至低電位邏輯電路 100，並於其源極施加接地電位。又，MOS 電晶體 102 的汲極連接至電阻 103 的一端以及高電位邏輯電路 101。因此，電阻 103 的另一端施加以電位 VH。

根據上述第一實施例所構成的半導體裝置中，MOS 電晶體 102 在 OFF(斷開)狀態時，電位 VH 的高電平信號輸入至高電位邏輯電路 101。因此，低電位邏輯電路 100 輸出脈衝狀的高電平信號時，MOS 電晶體 102 為接通狀態，電流流過電阻 103。因而，在電阻 103 產生了電壓下降，使 MOS 電晶體 102 的汲極電位低下，且改變了輸入至高電位邏輯電路 101 的信號的電平。因此，由低電位邏輯電路 100 輸出的脈衝信號轉換為極性相異的高電位脈衝信號並輸入至高電位邏輯電路 101。因此，高電位邏輯電路 101 能根據低電位邏輯電路 100 輸出的信號而動作。

其次，說明有關根據第一實施例的半導體裝置的構造。第 2 圖係平面圖，顯示根據第一實施例的半導體裝置的構造模式，而第 3~5 圖係分別顯示第 2 圖中箭頭 A-A~C-C 的剖面圖。又，為了避免第 2 圖圖面的繁雜，省略了第 3~5 圖中的絕緣膜 23 的記載，只記載絕緣膜 21 上的形成物中的場極板 20a、60a。

又，以下說明中的「p」、「p<sup>+</sup>」、「p<sup>-</sup>」、「n」、「n<sup>+</sup>」、「n<sup>-</sup>」的記號係表示半導體內雜質的導電型及雜質濃度。具體而

言，這些記號中的「p」、「n」分別表示 p 型的雜質及 n 型的雜質。又，這些記號中的負符號、無符號、正符號係表示雜質濃度，且雜質濃度依此順序變高。

如第 2~5 圖所示，根據第一實施例的半導體裝置中，在 p<sup>-</sup> 半導體基板 1 上，形成 n 型的磊晶層的 n<sup>-</sup> 半導體層 2。n<sup>-</sup> 半導體層 2 中，其上表面至與 p<sup>-</sup> 半導體基板 1 的界面中形成 p 雜質區域 3。p 雜質區域 3 係圍繞 n<sup>-</sup> 半導體層 2 的部分而形成，並在 n<sup>-</sup> 半導體層 2 內界定出配置有高電位邏輯電路 101 及電阻 103 的高電位島區域 201。p 雜質區域 3 還圍繞 n<sup>-</sup> 半導體層 2 的其它部分而形成，並在 n<sup>-</sup> 半導體層 2 內界定出配置有 MOS 電晶體 102 的 nMOS 區域 202。因此，高電位島區域 201 與 nMOS 區域 202 係有 p 雜質區域 3 介於其間而鄰接。

高電位島區域 201 內的 n<sup>-</sup> 半導體層 2 中，在周端部之外的區域與 p<sup>-</sup> 半導體基板 1 的界面內選擇性地形成 n<sup>+</sup> 埋入雜質區域 51。因此，n<sup>+</sup> 埋入雜質區域 51 的上方，在 n<sup>-</sup> 半導體層 2 中形成高電位邏輯電路 101。在 n<sup>+</sup> 埋入雜質區域 51 的上方，在 n<sup>-</sup> 半導體層 2 的上表面內更形成圖中未顯示而作為電阻 103 機能的 p<sup>+</sup> 雜質區域。又，高電位邏輯電路 101 中包括 p 通道型的 MOS 電晶體、n 通道型的 MOS 電晶體、或二極體等的半導體元件。

高電位島 201 中的 n<sup>-</sup> 半導體層 2 的上表面內，避開形成高電位邏輯電路 101 的部分，在 n<sup>+</sup> 埋入雜質區域 51 的上方，形成 n<sup>+</sup> 雜質區域 52，而上述 n<sup>+</sup> 雜質區域 52 係圍繞高電位邏輯電路 101 而形成。因此，n<sup>+</sup> 雜質區域 52 係在 p 雜質區域 3 與高電位邏輯電路 101 間的 n<sup>-</sup> 半導體層 2 中形成。n<sup>+</sup> 雜質區域 52 與 p 雜質區域 3 之間的 n<sup>-</sup> 半導體層 2 的上表面上形成分離絕緣膜 17，且上述分離絕緣膜 17 上形成第 1 場極板 55a~55e。第 1 場極板 55a~55e 沿著由 p 雜質區域 3 往 n<sup>+</sup> 雜質區域 52 的方向互為分離依序配置，而由平面所視係圍繞高電位邏輯電路 101 所形成。

第 1 場極板 55a 由分離絕緣膜 17 往 p 雜質區域 3 的方向延伸，覆蓋而不接觸上述 p 雜質區域 3 的端部。又，第 1 場極板 55e 由

分離絕緣膜 17 往  $n^+$  雜質區域 52 的方向延伸，覆蓋而不接觸上述  $n^+$  雜質區域 52 的端部。

第 1 場極板 55a~55e 中，最靠近 p 雜質區域 3 的第 1 場極板 55a 與位於相鄰的第 1 場極板 55b 間間隙中配置有與周圍絕緣的電極 56。電極 56，與分離絕緣膜 17 上的第 1 場極板 55a、55b 分離設置，而由平面所視係圍繞高電位邏輯電路 101 所形成。

第 1 場極板 55a 與 p 雜質區域 3 上表面靜電結合，且第 1 場極板 55e 與  $n^+$  雜質區域 52 的上表面靜電結合。因此，電極 56，係作為場極板的機能，且由於第 1 場極板 55a~55e 與電極 56 相互靜電結合並與  $n^-$  半導體層 2 的上表面靜電結合，因此執行了緩和 p 雜質區域 3 與  $n^+$  雜質區域 52 間的電位差所引起的  $n^-$  半導體層 2 的上表面的電場的功能。又，如之後所述，分別施加接地電位於 p 雜質區域 3、電位  $V_H$  於  $n^+$  雜質區域 52。

在 nMOS 區域 202 幾乎中央部分的  $n^-$  半導體層 2 的上表面內，與 MOS 電晶體 102 的汲極電極 24 電氣連接的  $n^+$  雜質區域 12 係與 p 雜質區域 3 分離設置。因此，在  $n^+$  雜質區域 12 的下方， $n^-$  半導體層 2 與 p 半導體基板 1 的界面中形成  $n^+$  埋入雜質區域 11。

p 雜質區域 3 與  $n^+$  雜質區域 12 間的  $n^-$  半導體層 2 的上表面內，形成圍繞上述  $n^+$  雜質區域 12 的  $p^+$  雜質區域 13。因此，在  $p^+$  雜質區域 13 的上表面內，形成 MOS 電晶體 102 的源極區域 14，且上述源極區域 14 也設置圍繞  $n^+$  雜質區域 12。又，源極區域 14 係  $n^+$  雜質區域。

$p^+$  雜質區域 13 與  $n^+$  雜質區域 12 間的  $n^-$  半導體層 2 的上表面上形成分離絕緣膜 17，且上述分離絕緣膜 17 上形成 MOS 電晶體 102 的閘極電極 15a 及第 1 場極板 15b~15e。閘極電極 15a 與第 1 場極板 15b~15e 係沿著由  $p^+$  雜質區域 13 往  $n^+$  雜質區域 12 的方向依序互相分離配置，而由平面所視係圍繞  $n^+$  雜質區域 12 的中央部所形成。

在此， $p^+$  雜質區域 13 係設置於 p 雜質區域 3 與  $n^+$  雜質區域 12 間的  $n^-$  半導體層 2 中，所以分離絕緣膜 17 可以說是部分設置於 p

雜質區域 3 與  $n^+$  雜質區域 12 間的  $n^-$  半導體層 2 的上表面上。因此，上述分離絕緣膜 17 上的閘極電極 15a 及第 1 場極板 15b~15e 可以說是沿著由 p 雜質區域 3 往  $n^+$  雜質區域 12 的方向依序互相分離配置。

閘極電極 15a 係由分離絕緣膜 17 往  $p^+$  雜質區域 13 延伸且覆蓋而不接觸夾於源極區域 14 與  $n^-$  半導體層 2 間的  $p^+$  雜質區域 13 的端部。又，第 1 場極板 15e 由分離絕緣膜 17 往  $n^+$  雜質區域 12 延伸且覆蓋而不接觸上述  $n^+$  雜質區域 12 的端部。又，由閘極電極 15a 覆蓋且夾於源極區域 14 與  $n^-$  半導體層 2 間的  $p^+$  雜質區域 13 的端部的上方存在有閘極絕緣膜，圖面中上述閘極絕緣膜係包含於並記載於後述的絕緣膜 21 內。

閘極電極 15a 與第 1 場極板 15b~55e 中，最靠近  $p^+$  雜質區域 13 的閘極電極 15，換句話說，最靠近 p 雜質區域 3 的閘極電極 15a，與位於相鄰的第 1 場極板 15b 之間間隙配置有與周圍絕緣的電極 16。電極 16 在分離絕緣膜 17 上與閘極電極 15a 及第 1 場極板 15b 分離設置，而由平面所視係圍繞  $n^+$  雜質區域 12。

第 1 場極板 15e 與  $n^+$  雜質區域 12 的上表面靜電結合。因此，閘極電極 15a 及電極 16 係作為場極板的機能，且閘極電極 15a、第 1 場極板 15b~15e 及電極 16 互相靜電結合並與  $n^-$  半導體層 2 上表面靜電結合，因此執行了電氣連接至汲極電極 24 的  $n^+$  雜質區域 12 與源極區域 14 間的電位差所產生的  $n^-$  半導體層 2 上表面的電場緩和的機能。又，由於閘極電極 15a 作為場極板的機能，以下上述閘極電極 15a 也稱為「第 1 場極板 15a」。

高電位島區域 201 及 nMOS 區域 202 以外的  $n^-$  半導體層 2 中，形成低電位邏輯電路 100，而形成上述低電位邏輯電路 100 的  $n^-$  半導體層 2 與其中有高電位島區域 201 及 nMOS 區域 202 的  $n^-$  半導體層 2 係以 p 雜質區域 3 來界定。

在  $n^-$  半導體層 2 及分離絕緣膜 17 上，形成覆蓋第 1 場極板 15a~15e、55a~55e 及電極 16、56 的絕緣膜 21。因此，絕緣膜 21 內設置有貫通的電極 19 及 MOS 電晶體 102 的源極電極 18，而源極

- 電極 18 接觸  $p^+$  雜質區域 13 及源極區域 14，且電極 19 接觸  $n^+$  雜質區域 12。

在絕緣膜 21 上，形成第 2 場極板 20a~20d、60a~60d。第 2 場極板 60a~60d 係設置於第 1 場極板 55a~55e 的上方，且沿著由  $p$  雜質區域 3 往  $n^+$  雜質區域 52 的方向依序互相分離配置。因此，第 2 場極板 60a~60d 分別配置於第 1 場極板 55a~55e 間の間隙上方。也就是說，第 1 場極板 55a~55e 內任意相鄰成對的第 1 場極板間の間隙上方，配置有任一的第 2 場極板 60a~60d。因此，各第 2 場極板 60a~60d 與其下方位於相鄰的成對的 2 個第 1 場極板的端部以平面所視係重疊形成。

第 2 場極板 60a~60d 中的第 2 場極板 60b~60d 以平面所視係完全圍繞高電位邏輯電路 101。因此，剩下的第 2 場極板 60a 在後述的配線 30 的下方具有一切斷處 69a，而以平面所視除了上述切斷處 69a 之外幾乎圍繞了高電位邏輯電路 101。

第 2 場極板 20a~20d 係設置於第 1 場極板 15a~15e 的上方，沿著由  $p^+$  雜質區域 13 往  $n^+$  雜質區域 12 的方向，換句話說，沿著由  $p$  雜質區域 3 往  $n^+$  雜質區域 12 的方向，依序互相分離配置。因此，第 2 場極板 20a~20d 係分別配置於第 1 場極板 15a~15e 間の間隙上方。也就是說，第 1 場極板 15a~15e 內任意相鄰成對的第 1 場極板間の間隙上方，配置有任一的第 2 場極板 20a~20d。因此，各第 2 場極板 20a~20d 與其下方位於相鄰的成對的 2 個第 1 場極板的端部以平面所視係重疊形成。

第 2 場極板 20a~20d 中的第 2 場極板 20a~20d 以平面所視係完全圍繞  $n^+$  雜質區域 12。因此，剩下的第 2 場極板 20a 在後述的配線 30 的下方具有一切斷處 29a，而以平面所視除了上述切斷處 69a 之外幾乎圍繞了  $n^+$  雜質區域 12。

閘極電極 15a 與第 2 場極板 20a 藉由在絕緣膜 21 內貫通絕緣膜 21 所設置的接點窗插塞 22a 而電氣連接，而第 1 場極板 15e 與第 2 場極板 20d 藉由在絕緣膜 21 內貫通絕緣膜 21 所設置的接點窗插塞 22d 而電氣連接。又，第 1 場極板 55a 及第 2 場極板 60a

- 藉由在絕緣膜 21 內貫通絕緣膜 21 所設置的接點窗插塞 62a 而電氣連接，而第 1 場極板 55e 及第 2 場極板 60d 藉由在絕緣膜 21 內貫通絕緣膜 21 所設置的接點窗插塞 62d 而電氣連接。

接點窗插塞 22a、22d 分別沿著第 2 場極板 20a、20d 延伸，但不存在於配線 30 下方。因此，接點窗插塞 22a、22d 與第 2 場極板 20a 同樣地幾乎圍繞了  $n^+$  雜質區域 12。又，接點窗插塞 62a、62d 分別沿著第 2 場極板 60a、60d 延伸，但不存在於配線 30 下方。因此，接點窗插塞 62a、62d 與第 2 場極板 60a 同樣地幾乎圍繞了高電位邏輯電路 101。

又，第 1 場極板 15b~15d、55b~55d 及第 2 場極板 20b、20c、60b、60c 係與周圍絕緣的浮動電極。又，第 1 場極板 15e 及第 2 場極板 20d 除了互相連接的狀態以外也是與周圍絕緣的浮動電極。同樣地，第 1 場極板 55a 及第 2 場極板 60a 或是第 1 場極板 55e 及第 2 場極板 60d 除了互相連接的狀態以外係與周圍絕緣的浮動電極。

在絕緣膜 21 上，形成覆蓋源極電極 18、電極 19 及第 2 場極板 20b~20d、60b~60d 的絕緣膜 23。因此，MOS 電晶體 102 的汲極電極 24 係設置絕緣膜 23 內並貫通絕緣膜 23 以接觸電極 19。藉此，電氣連接  $n^+$  雜質區域 12 與 MOS 電晶體 102 的汲極電極 24。

在絕緣膜 23 上，形成連接汲極電極 24 與高電位邏輯電路 101 的配線 30，藉此，連接如第 1 圖所示的 MOS 電晶體 102 的汲極與高電位邏輯電路 101。由汲極電極 24 出發的配線 30 通過第 1 場極板 15a~15e 及第 2 場極板 20b~20d 的上方，因此通過 nMOS 區域 202 與高電位島區域 201 的境界中的 p 雜質區域 3 的上方，並通過第 1 場極板 55a~55e 及第 2 場極板 60b~60d 的上方而到達高電位邏輯電路 101。

第 2 場極板 20a~20d 中，最靠近閘極電極 15a 的第 2 場極板 20a，如第 2 圖所示，具有在配線 30 下方的切斷處 29。因此，由於電極 16 係圍繞  $n^+$  雜質區域 12 而形成，所以第一實施例中，電極 16 形成於第 1 場極板 15a~15e 間の間隙中位於上述切斷處 29

的下方的間隙，即在配線 30 下方的閘極電極 15a 與第 1 場極板 15b 間的間隙中。

又，第 2 場極板 60a~60d 中，最靠近 p 雜質區域 3 的第 2 場極板 60a，如第 2 圖所示，具有在配線 30 下方的切斷處 69a。因此，由於電極 56 係圍繞高電位邏輯電路 101 而形成，所以第一實施例中，電極 56 形成於第 1 場極板 55a~55e 間的間隙中位於上述切斷處 69a 的下方的間隙，即在配線 30 下方的第 1 場極板 55a、55b 間的間隙中。

在絕緣膜 23 上，設置有配線 31，電氣連接第 2 場極板 20a 與低電位邏輯電路 100，而第 2 場極板 20a 電氣連接至閘極電極 15a。配線 31 與第 2 場極板 20a 係以圖中未顯示的接點窗插塞貫通絕緣膜 23 而電氣連接。藉此，來自低電位邏輯電路 100 的信號輸入至 MOS 電晶體 102 的閘極電極 15a。又，在絕緣膜 23 上設置有圖中未顯示的配線，電氣連接在高電位島區域 201 內的 n<sup>-</sup>半導體層 2 內形成並作為電阻 103 機能的 p<sup>+</sup>雜質區域(圖中未顯示)與配線 30，而上述配線係與貫通絕緣膜 21、23 且作為電阻 103 機能的 p<sup>+</sup>雜質區域接觸而設置的電極(圖中未顯示)連接。

又，閘極電極 15a、第 1 場極板 15b~15e、55a~55e 及電極 15、56 係例如以多晶矽作成，而第 2 場極板 20a~20d、60a~60d 及配線 30、31 係例如以鋁作成。

根據如以上構造所作成的第一實施例的半導體裝置中，施加電位 V<sub>H</sub> 於作為電阻 103 機能的 p<sup>+</sup>雜質區域的端部時，經由上述 p<sup>+</sup>雜質區域也施加了數百 V 的電位於配線 30。於是，施加接地電位於源極電極 18，且由低電位邏輯電路 100 輸出數十 V 的高電位的信號時，經由配線 31、第 2 場極板 20a 及接點窗插塞 22a，給予閘極電極 15a 上述信號。藉此，MOS 電晶體 102 為接通狀態，且電流流過作為電阻 103 機能的 p<sup>+</sup>雜質區域，而產生了在 p<sup>+</sup>雜質區域的電壓下降。結果，配線 30 及汲極電極 24 的電位也變化了，且低電位邏輯電路 100 輸出的低電位的信號位移至高電位並輸入至高電位邏輯電路 101。

又，接通狀態的 MOS 電晶體 102 中，電流由汲極電極 24 開始，依序通過電極 19、 $n^+$ 雜質區域 12、 $n^-$ 半導體層 2、 $p^+$ 雜質區域 13、及源極區域 14，流至源極電極 18。又，MOS 電晶體 102 中，由於  $p^+$ 雜質區域 13 與  $n^+$ 雜質區域 12 間的  $n^-$ 半導體層 2 作為電阻機能，汲極電極 24 的電位由電位  $V_H$  只下降了數十 V。

又，根據第一實施例的半導體裝置中，施加接地電位於  $p$  雜質區域 3 及  $p^-$  半導體基板 1，而施加電位  $V_H$  於高電位島區域 201 中的  $n^-$  半導體層 2、 $n^+$  埋入雜質區域 51 及  $n^+$  雜質區域 52。藉此，施加數百 V 的逆電壓於由高電位島區域 201 中的  $n^-$  半導體層 2 及圍繞的  $p$  雜質區域 3 所構成的 pn 接合，並藉由 RESURF 效果形成在高電位島區域 201 內的  $n^-$  半導體層 2 的周端部中的空乏層。具體而言， $p$  雜質區域 3 及  $n^+$  雜質區域 52 間的  $n^-$  半導體層 2 中至其上表面形成空乏層。結果，高電位邏輯電路 101 由空乏層圍繞，而得到高耐壓的高電位邏輯電路 101。

又，如上所述，由於施加電位  $V_H$  於汲極電極 24，因此也施加電位  $V_H$  於  $n^+$  雜質區域 12，結果，施加了電位  $V_H$  於 nMOS 區域 202 中的  $n^-$  半導體層 2。藉此，施加了數百 V 的逆電壓於 nMOS 區域 202 中的  $n^-$  半導體層 2 及圍繞的  $p$  雜質區域 3 所構成的 pn 接合，而由於 RESURF 效果， $p$  雜質區域 3 及  $n^+$  雜質區域 12 間的  $n^-$  半導體層 2 內至其上表面形成空乏層。結果，nMOS 區域 202 中的  $n^-$  半導體層 2 幾乎全區域內形成空乏層，而可得到高耐壓的 MOS 電晶體 102。又，第 2 圖中斜線所示的 RESURF 分離區域 300、301 分別概略顯示高電位島區域 201 及 nMOS 區域 202 中形成空乏層的區域。

根據本第一實施例的半導體裝置中，施加高電位於如上述的配線 30。因此，相異於第一實施例地，第 1 場極板 55a~55e 及第 2 場極板 60a~60d 並不存在，由於配線 30 的電位抑制了  $p$  雜質區域 3 及  $n^+$  雜質區域 52 間的  $n^-$  半導體層 2 中空乏層的延伸，因而  $p$  雜質區域 3 附近的  $n^-$  半導體層 2 的上表面可能產生電場集中。

不過，本第一實施例中，由於第 2 場極板 60a~60d 與其位於下方的第 1 場極板 55a~55e 間的靜電結合，可降低配線 30 的電

位所引起的  $n^-$  半導體層 2 的上表面的電場集中。即，由於各第 2 場極板 60a~60d 與第 1 場極板 55a~55e 中位於下方的相鄰的兩第 1 場極板間的靜電結合，可緩和 high 電位島區 201 內的  $n^-$  半導體層 2 的上表面的電場集中。

同樣地，本第一實施例中，由於第 2 場極板 20a~20d 與其位於下方的第 1 場極板 15a~15e 間的靜電結合，可降低配線 30 的電位所引起的 nMOS 區域 202 內的  $n^-$  半導體層 2 上表面的電場集中。

又，本第一實施例中，由於各施加接地電位及電位  $V_H$  於 p 雜質 3 及  $n^+$  雜質區域 52，最靠近 p 雜質區域 3 的第 1 場極板 55a 及與其電氣連接的第 2 場極板 60a 的電位受到 p 雜質區域 3 的電位影響而具有接近接地電位的值。又，最靠近  $n^+$  雜質區域 52 的第 1 場極板 55e 及與其電氣連接的第 2 場極板 60d 的電位受到  $n^+$  雜質區域 52 的電位影響而具有接近電位  $V_H$  的值。因此，第 1 場極板 55a~55e 及第 2 場極板 60a~60d 的電位，由於它們之間的靜電結合，隨著由 p 雜質區域 3 開始至接近  $n^+$  雜質區域 52，從接地電位附近的低電位至幾百 V 的高電位之間作變化。

又，本第一實施例中，由於施加電位  $V_H$  於  $n^+$  雜質區域 12，最靠近上述  $n^+$  雜質區域 12 的第 1 場極板 15e 及與其電氣連接的第 2 場極板 20d 受到  $n^+$  雜質區域 12 的電位影響具有接近電位  $V_H$  的值。又，由於施加數十 V 的低電位於閘極電極 15a，與其電氣連接的第 2 場極板 20a 的電位也成為數十 V 的低電位。因此，第 1 場極板 15a~15e 及第 2 場極板 20a~20d 的電位，由於它們之間的靜電結合，隨著由 p 雜質區域 3 開始至接近  $n^+$  雜質區域 12，從數十 V 的低電位至幾百 V 的高電位之間作變化。

又，相異於本第一實施例地，第 2 場極板 20a 與閘極電極 15a 不電氣連接時，由於第 2 場極板 20a 與閘極電極 15a 間的靜電結合，第 2 場極板 20a 的電位為低電位。同樣地，第 2 場極板 20d 與第 1 場極板 50e 不電氣連接時，第 2 場極板 20d 為高電位。又，第 2 場極板 60a 與第 1 場極板 55a 不電氣連接時，第 2 場極板 60a 為低電位，而第 2 場極板 60d 與第 1 場極板 55e 不電氣連接時，

- 第 2 場極板 60d 為高電位。

藉此，本第一實施例中，由於第 2 場極板 20a、60a 的電位為低電位，施加數百 V 的高電壓的配線 30 與第 2 場極板 20a、60a 間產生大的電位差。因此，如果第 2 場極板 20a、60a，不同於第一實施例地，不具有切斷處 29、69a 時，會發生配線 30 與第 2 場極板 20a、60a 間所夾的絕緣膜被絕緣破壞。本第一實施例中，由於設置了切斷處 29、69a，配線 30 下方不形成第 2 場極板 20a、60a，因此可防止配線 30 與第 2 場極板 20a、60a 間的電位差所引起的絕緣膜 23 的絕緣破壞。

又，根據本第一實施例的半導體裝置中，為了防止如上述的絕緣膜 23 的絕緣破壞而設置的第 2 場極板 20a 的切斷處 29 的下方中，在第 1 場極板 15a、15b 間間隙中設置與其分離的電極 16。藉此，比起不設置上述電極 16 的情況，緩和了因施加高電位的配線 30 的電位所引起的 n<sup>-</sup>半導體層 2 上表面附近的電場集中，因而可改善根據本第一實施例的半導體裝置的耐壓。

同樣地，第 2 場極板 60a 的切斷處 69a 的下方中，由於在第 1 場極板 55a、55b 間間隙中設置與其分離的電極 56，比起不設置上述電極 56 的情況，緩和了配線 30 的電位所引起的 n<sup>-</sup>半導體層 2 上表面附近的電場集中，因而可改善根據本第一實施例的半導體裝置的耐壓。以下詳細說明有關此情況。

第 6、7 圖係顯示根據本第一實施例的半導體裝置中的電位分佈，而第 8、9 圖係顯示根據本第一實施例的半導體裝置中無設置電極 16 時的電位分佈。第 6、8 圖係顯示第 2 場極板 20a 的切斷部分的電位分佈，而第 7、9 圖係顯示第 2 場極板 20a 中未切斷部分的電位分佈。

如第 8 圖所示，如果未設置電極 16，由於切斷配線 30 下方的第 2 場極板 20a，閘極電極 15a 與第 1 場極板 15b 間的 n<sup>-</sup>半導體層 2 上表面附近的電位分佈受到配線 30 的電位的影響，等電位線 90 密集於閘極電極 15a 的第 1 場極板 15b 側的端部附近。因此，如第 8 圖所示，靠近閘極電極 15a 的第 1 場極板 15b 側的端部的 n<sup>-</sup>

半導體層 2 的上表面附近形成電場集中部分 95a。因此，降低了半導體裝置的耐壓。

另一方面，如第 6 圖所示，如果設置電極 16，由於電極 16 的靜電遮蔽效果，可減低配線 30 的電位對  $n^-$  半導體層 2 上表面附近的電位分佈的影響，而可促進  $n^-$  半導體層 2 上表面附近的空乏層的延伸。又，由於電極 16 與閘極電極 15a、第 1 場極板 15b 及  $n^-$  半導體層 2 上表面靜電結合，可形成閘極電極 15a 與電極 16 間、及電極 16 與第 1 場極板 15b 間的等電位面。因此，閘極電極 15a 與第 1 場極板 15b 間的等電位線變疏。於是，可緩和閘極電極 15a 與第 1 場極板 15b 間的  $n^-$  半導體層 2 上表面附近的電場集中，並可抑制因第 2 場極板 20a 中設置切斷處 29 所引起的耐壓低下。結果，可以容易地實現具有所希望的耐壓的半導體裝置。

又，如上所述，由於電極 16 與閘極電極 15a、第 1 場極板 15b 及  $n^-$  半導體層 2 上表面靜電結合，上述電極 16 的電位偏壓至閘極電極 15a 的電位與第 1 場極板 15b 的電位間的中間電位。因此，比較第 7 圖與第 9 圖可理解，第 2 場極板 20a 未切斷的部分中，即使設置電極 16，電位分佈也不會變歪，且不產生電場集中。

又，高電位島區域 201 中的  $n^-$  半導體層 2 中，由於也形成電極 56，因同樣的理由比不設置電極 56 時可緩和電場集中，且可抑制半導體裝置的耐壓低下。

又，如第 10 圖所示，不形成電極 16 而第 1 場極板 15b 側的閘極電極 15a 的端部往第 1 場極板 15b 側延長時，似乎可緩和由於這延長部分的靜電遮蔽效果而引起的配線 30 的電位所產生的電場集中。不過，即使是這種情況，如第 10 圖所示，閘極電極 15a 的第 1 場極板 15b 側的端部附近有等電位線密集，且在靠近  $n^-$  半導體層 2 的上表面附近形成電場集中部分 95b。本第一實施例中，不同於上述情況，由於閘極電極 15a 與第 1 場極板 15b 間設置有與其分離的電極 16，如上所述，閘極電極 15a 與電極 16 間及電極 16 與第 1 場極板 15b 間可形成等電位面，因此可緩和電場集中。

第 11 圖顯示，形成電極 16 時與不形成電極 16 時，閘極電極

15a 的端部延長時的半導體裝置中的絕緣耐壓的實測值。圖中的圓形記號係設置電極 16 的情況，即顯示根據本第一實施例的半導體裝置的耐壓，而菱形記號係顯示未設置電極 16 時的耐壓。因此，圖中的四角記號係顯示閘極電極 15a 的第 1 場極板 15b 側的端部往上述第 1 場極板 15b 側延伸時的耐壓。又，以橫軸顯示的場極板的長度係指第 10 圖所示的長度 L。又，以四角記號表示的閘極電極 15a 的第 1 場極板 15b 側的端部延長時的耐壓結果係在未設置配線 30 的情況下的值。

如第 11 圖所示，由測量值可看出，因設置電極 16 增加了耐壓。又，可看出閘極電極 15a 的第 1 場極板 15b 側的端部隨著靠近第 1 場極板 15b 而耐壓下降。

#### <第二實施例>

第 12 圖係平面圖模型顯示根據本發明的第二實施例的半導體裝置的構造，而第 13~15 圖係分別顯示第 12 圖中的箭頭 D-D~F-F 中的剖面圖。根據本第二實施例的半導體裝置係根據本發明的第一實施例的半導體裝置中的電極 16 電氣連接至 MOS 電晶體 102 的閘極電極 15a。

又，第 12 圖係擴大顯示第 2 場極板 20a 的切斷處 29 的附近，且為了避免圖面的煩雜，省略了第 13~15 圖中絕緣膜 21、23 的記載。又，在第 12 圖中，以平面所視有關未顯示之物係以虛線表示。

如第 12~15 圖所示，電極 16 係經由設於絕緣膜 21 內並將絕緣膜 21 貫通的複數接點窗插塞 26 電氣連接至第 2 場極板 20a。因此，第 2 場極板 20a 經由接點窗插塞 22a 連氣連接至電極 15a。因此，電極 16 與電極 15a 間電氣連接。

複數接點窗插塞 26 沿著第 2 場極板 20a 彼此分離配置。因此，配線 30 的下方不配置接點窗插塞 26。因此，接點窗插塞 26 與第 2 場極板 20a 同樣地幾乎圍繞  $n^+$  雜質區域 12 而配置。而關於其它的構造係與第一實施例相同，因此省略了說明。

如所述，根據本第二實施例的半導體裝置中，電極 16 與閘極

電極 15a 電氣連接。因此，由於通常係施加接地電位或數十 V 的低電位於閘極電極 15a，上述電極 16 的電位安定。

根據上述第一實施例的電極 16，係與周圍絕緣的浮動電極，因此其電位不安定，而依半導體裝置的動作狀態可能引起 n<sup>-</sup>半導體層 2 的上表面附近的電場集中。

不過，在根據本第二實施例的半導體裝置中，由於電極 16 的電位安定，可依半導體裝置的動作狀態抑制電場集中的發生。

又，如第 13 圖中的等電位線 90 所示，由於電極 16 電氣連接至閘極電極 15a，第 2 場極板 20a 被切斷的部分中的電位分佈係不同於第一實施例。但是，由於電極 16 係與閘極電極 15a 及第 1 場極板 15b 分離配置，可以在閘極電極 15a 與電極 16 之間及電極 16 與第 1 場極板 15b 間形成等電位面，所以比習知沒有電極 16 的半導體裝置更可以緩和第 2 場極板 20a 的切斷部分中的電場集中。

同樣地，在形成第 2 場極板 20a 的部分中，如第 14、15 圖中的等電位線 90 所示，由於電極 16 電氣連接至閘極電極 15a，電位分佈與第一實施例不同。但是，由於連接第 2 場極板 20a 與至電極 16 的接點窗插塞 26 互相分離設置，所以可以形成在接點窗插塞 26 間的等電位面，因此即使電氣連接電極 16 至閘極電極 15a，形成第 2 場極板 20a 的部分中也不會發生電場集中。

### <第三實施例>

第 16 圖係方塊圖，顯示根據本發明第三實施例的半導體裝置的結構。根據上述第一實施例的半導體裝置係具有將低電位的信號位移至高電位的電平位移電路，而根據本第三實施例的半導體裝置係具有將高電位的信號位移至低電位的電平位移電路。

本第三實施例的半導體裝置係與根據上述第一實施例的半導體裝置同樣地利用 RESURF 效果實現高耐壓的 HVIC，如第 16 圖所示，包括上述的低電位邏輯電路 100 及高電位邏輯電路 101、p 通道型的 MOS 電晶體 105、以及電阻 106。

MOS 電晶體 105 與電阻 106 係將高電位邏輯電路 101 輸出的高電位信號電平位移至低電位並輸入至低電位邏輯電路 100。MOS 電

晶體 105 的閘極係連接至高電位邏輯電路 101，而施加電位  $V_H$  於其源極。又，MOS 電晶體 105 的汲極係連接至低電位邏輯電路 100 及電阻 106 的一端，而上述電阻 106 的另一端係施加接地電位。

如以上所構成的根據第三實施例的半導體裝置中，高電位邏輯電路 101 輸出高電平信號時，MOS 電晶體 105 為斷開狀態，而接地電位的低電平信號輸入至低電位邏輯電路 100。於是，一旦高電位邏輯電路 101 輸出脈衝狀的低電平信號時，MOS 電晶體 105 為接通狀態且電流流入電阻 106。這使電阻 10 的兩端產生了電位差並改變輸入低電位邏輯電路 100 的信號的電平。藉此，高電位邏輯電路 101 所輸出的高電位的脈衝信號變換為極性相異的低電位脈衝信號且輸入至低電位邏輯電路 100。因此，低電位邏輯電路 100 可依據高電位邏輯電路 101 輸出的信號而動作。

其次，說明關於根據本第三實施例的半導體裝置的構造。第 17 圖係平面圖，顯示根據本第三實施例的半導體裝置的構造模型，而第 18~20 圖係分別顯示第 17 圖中的箭頭 G-G~I-I 中的剖面圖。又，為了避免第 17 圖圖面的繁雜，省略了第 18~20 圖中的絕緣膜 23 的記載，只記載絕緣膜 21 上的形成物中的場極板 120a、60d。

第 17~20 圖所示，根據本第三實施例的半導體裝置中，與根據第一實施例的半導體裝置同樣地，在  $p^-$  半導體基板 1 上，形成  $n^-$  半導體層 2。 $n^-$  半導體層 2 中，其上表面至與  $p^-$  半導體基板 1 的界面中形成  $p$  雜質區域 3。 $p$  雜質區域 3，與第一實施例同樣地，係圍繞  $n^-$  半導體層 2 的部分而形成，並在  $n^-$  半導體層 2 內界定出配置有高電位邏輯電路 101 的高電位島區域 201。

高電位島區域 201 內的  $n^-$  半導體層 2 與  $p^-$  半導體基板 1 的界面中的  $n^+$  埋入雜質區域 51 係選擇性地形成。根據本第三實施例的  $n^+$  埋入雜質區域 51 不形成於高電位島區域 201 內的  $n^-$  半導體層 2 的周端部與  $p^-$  半導體基板 1 的界面，又，如第 19 圖所示，係圍繞高電位島區域 201 內的  $n^-$  半導體層 2 與  $p^-$  半導體基板 1 的界面的一部分 180 而形成。因此，在  $n^+$  埋入雜質區域 51 的上方的  $n^-$  半導

體層 2 中形成高電位邏輯電路 101。

高電位島區域 201 內的  $n^-$  半導體層 2 的上表面內形成  $n^+$  雜質區域 52。根據本第三實施例的  $n^+$  雜質區域 52 係在  $n^+$  埋入雜質區域 51 的上方，並避開形成高電位邏輯電路 101 的部分而形成，且由平面所視係圍繞高電位邏輯電路 101。因此， $n^+$  雜質區域 52 係部分地形成於 p 雜質區域 3 及高電位邏輯電路 101 間的  $n^-$  半導體層 2 中。

又， $n^+$  雜質區域 52 由平面所視係圍繞由  $n^+$  埋入雜質區域 51 所圍繞的上述界面的一部分 180 而形成，因此，高電位島區域 201 內的  $n^-$  半導體層 2 中界定出形成 MOS 電晶體 105 的 pMOS 區域 205。

如第 18 圖和第 20 圖所示，在  $n^+$  雜質區域 52 和 p 雜質區域 3 間的  $n^-$  半導體層 2 的上表面上形成分離絕緣膜 17，而在上述分離絕緣膜 17 上形成第 1 場極板 55a~55e。又，關於第 1 場極板 55a~55e 的構造係與第一實施例相同，因而省略說明。

第 1 場極板 55a~55e 中，最靠近  $n^+$  雜質區域 52 的第 1 場極板 55e 與位於相鄰的第 1 場極板 55d 之間間隙配置有電極 156。電極 156 係在分離絕緣膜 17 上與第 1 場極板 55d、55e 分離設置，並由平面所視係圍繞高電位邏輯電路 101。

電極 156 係作為場極板的機能，且第 1 場極板 55a~55e 及電極 156 互相靜電結合，同時也與  $n^-$  半導體層 2 的上表面靜電結合，因而具有緩和電場集中的機能。

如第 19 圖所示，由 pMOS 區域 205 內的  $n^-$  半導體層 2 的上表面開始至  $n^+$  埋入雜質區域 51 所圍繞的上述界面的一部分 180 的中央部，在  $n^-$  半導體層 2 內部形成 p 雜質區域 133。p 雜質區域 133 與  $n^+$  雜質區域 52 間的  $n^-$  半導體層 2 的上表面內，與 MOS 電晶體 105 的汲極電極 124 電氣連接的  $p^+$  雜質區域 112 與 p 雜質區域 133 分離形成。因此， $p^+$  雜質區域 112 由平面所視係圍繞 p 雜質區域 133 而形成。

$p^+$  雜質區域 112 與  $n^+$  雜質區域 52 間的  $n^-$  半導體層 2 的上表面內，連接  $p^+$  雜質區域 112 而形成  $p^-$  雜質區域 113，而上述  $p^-$  雜質

區域 113 由平面所視係圍繞 p 雜質區域 133 而形成。因此，在  $n^+$  埋入雜質區域 51 的上方， $p^-$  雜質區域 113 和  $n^+$  雜質區域 52 間的  $n^-$  半導體層 2 的上表面內，形成與  $p^-$  雜質區域 113 為既定距離的 MOS 電晶體 105 的源極區域 114。源極區域 114 與  $n^+$  雜質區域 52 連接，且由平面所視係圍繞 p 雜質區域 133。又，源極區域 114 係  $p^+$  雜質區域。

汲極電極 124 與電氣連接至  $p^+$  雜質區域 112 的源極 114 之間的  $n^-$  半導體層 2 的上表面上，形成分離絕緣膜 17。具體而言，在  $n^-$  半導體層 2 的上表面內形成的  $p^-$  雜質區域 113 的上表面上形成分離絕緣膜 17。在此分離絕緣膜 17 上，形成 MOS 電晶體 105 的閘極電極 115a 與第 1 場極板 115b~115e。

閘極電極 115a 與第 1 場極板 115b~115e 沿著由  $n^+$  雜質區域 52 往  $p^+$  雜質區域 112 的方向依序互相分離配置，而由平面所視係圍繞 p 雜質區域 133 而形成。

閘極電極 115a 由分離絕緣膜 17 開始往源極區域 114 的方向延伸，不接觸而覆蓋由源極區域 114 與  $p^-$  雜質區域 113 所夾的  $n^-$  半導體層 2 的上表面。又，閘極電極 115a 所覆蓋且由源極區域 114 與  $p^-$  雜質區域 113 所夾的  $n^-$  半導體層 2 的上表面上存在有閘極絕緣膜，而圖面中係將上述閘極絕緣膜係包含於並記載於絕緣膜 21 內。

閘極電極 115a 與第 1 場極板 115b~115e 中，最靠近  $n^+$  雜質區域 52 的閘極電極 115a 與位於相鄰的第 1 場極板 115b 間的間隙中配置電極 116。電極 116 與分離絕緣膜 17 上的閘極電極 115a 及第 1 場極板 115b 分離設置，而由平面所視係圍繞 p 雜質區域 133 而形成。

閘極電極 115a 及電極 116 係作為場極板的機能，由於閘極電極 115a、第 1 場極板 115b~115e、及電極 116 互相靜電結合，且與  $n^-$  半導體層 2 的上表面靜電結合，所以可達成緩和由於電氣連接至汲極電極 124 的  $p^+$  雜質區域 112 與源極區域 114 之間的電位差所引起的  $n^-$  半導體層 2 的上表面的電場集中的機能。又，由於

閘極電極 115a 係作為場極板 115a 的機能，以下上述閘極電極 115a 會被稱為「第 1 場極板 115a」。

高電位島區域 201 以外的  $n^-$  半導體層 2 中，形成低電位邏輯電路 100 及作為電阻 106 機能的  $p^+$  雜質區域(圖中未顯示)，而形成此低電位邏輯電路 100 等的  $n^-$  半導體層 2 與高電位島區域 201 中的  $n^-$  半導體層 2 係以  $p$  雜質區域 3 作界定。

在  $n^-$  半導體層 2 及分離絕緣膜 17 上，形成覆蓋第 1 場極板 55a ~ 55e、115a ~ 115e 及電極 116、156 的絕緣膜 21。於是，電極 119 與 MOS 電晶體 105 的源極電極 118 在絕緣膜 21 內貫通絕緣膜 21 而設置，而源極電極 118 與  $n^+$  雜質區域 52 及源極區域 114 接觸，且電極 119 與  $p^+$  雜質區域 112 接觸。源極電極 118 及電極 119 由平面所視係圍繞  $p$  雜質區域 133 而形成。

在絕緣膜 21 上，形成第 2 場極板 60a ~ 60d、120a ~ 120d。第 2 場極板 60a ~ 60d 係設置於第 1 場極板 55a ~ 55e 的上方，且沿著  $p$  雜質區域 3 往  $n^+$  雜質區域 52 的方向依序互相分離配置。因此，第 2 場極板 60a ~ 60d，與第一實施例同樣地，分別配置於第 1 場極板 55a ~ 55e 間間隙的上方。因此，各第 2 場極板 60a ~ 60d 的形成以平面所視係重疊位於下方的相鄰的兩個第 1 場極板的端部。

第 2 場極板 60a ~ 60d 中的第 2 場極板 60a ~ 60c 以平面所視係完全圍繞高電位邏輯電路 101。因此，剩下的第 2 場極板 60d，如第 17 圖所示，具有配線 130 下方的切斷處 69d，而除上述切斷處 69d 以外以平面所視幾乎圍繞高電位邏輯電路 101。

第 2 場極板 120a ~ 120d 係設置於場極板 115a ~ 115e 的上方，且沿著  $n^+$  雜質區域 52 往  $p^+$  雜質區域 112 的方向依序互相分離配置。因此，第 2 場極板 120a ~ 120d，分別配置於第 1 場極板 115a ~ 115e 間間隙的上方。即，第 1 場極板 115a ~ 115e 中任意相鄰的兩個第 1 場極板間間隙的上方，配置第 2 場極板 120a ~ 120d 中之任一個。因此，各第 2 場極板 120a ~ 120d 的形成以平面所視係重疊位於下方的相鄰的兩個第 1 場極板的端部。

第 2 場極板 120a~120d 中的第 2 場極板 120b~120d 由平面所視係完全圍繞 p 雜質區域 133。因此，剩下的第 2 場極板 120a，如第 17 圖所示，具有配線 130 下方的切斷處 129，而除上述切斷處 129 以外以平面所視幾乎圍繞 p 雜質區域 133。又，第 2 場極板 120d 與電極 119 連接。

閘極電極 115a 與第 2 場極板 120 藉由在絕緣膜 21 內貫通絕緣膜 21 而設置的接點窗插塞 122a 電氣連接，而第 1 場極板 115e 與第 2 場極板 120d 藉由在絕緣膜 21 內貫通絕緣膜 21 而設置的接點窗插塞 122d 電氣連接。又，第 1 場極板 55a 與第 2 場極板 60a 藉由在絕緣膜 21 內貫通絕緣膜 21 而設置的接點窗插塞 62a 電氣連接，而第 1 場極板 55e 與第 2 場極板 60d 藉由在絕緣膜 21 內貫通絕緣膜 21 而設置的接點窗插塞 62d 電氣連接。

接點窗插塞 122a、122d 分別沿著第 2 場極板 120a、120d 而延伸，而不存在於配線 130 的下方。因此，接點窗插塞 122a、122d 與第 2 場極板 120a 同樣地幾乎圍繞 p 雜質區域 133。又，接點窗插塞 62a、62d，與第一實施例同樣地，分別沿著第 2 場極板 60a、60d 而延伸，而不存在於配線 130 的下方。

又，第 1 場極板 55b~55d、115b~115d、及第 2 場極板 60b、60c、120b、120c 係與周圍絕緣的浮動電極。第 1 場極板 115a 及第 2 場極板 120a 除了互相連接外係與周圍絕緣，也是浮動電極。又，第 1 場極板 55a 及第 2 場極板 60a、或第 1 場極板 55e 及第 2 場極板 60d，與第一實施例同樣地，除了互相連接外，係與周圍絕緣的浮動電極。

在絕緣膜 21 上，形成覆蓋源極電極 118、電極 119 及第 2 場極板 60a~60d、120a~120d 的絕緣膜 23。因此，MOS 電晶體 105 的汲極電極 124 係設置在絕緣膜 23 內並貫通絕緣膜 23 以接觸電極 119。藉此，p<sup>+</sup>雜質區域 112 與 MOS 電晶體 105 的汲極電極 124 間電氣連接。

在絕緣膜 23 上，形成電氣連接汲極電極 124 與低電位邏輯電路 100 的配線 130，藉此，如第 16 圖所示，連接了 MOS 電晶體 105

的汲極與低電位邏輯電路 100。由汲極電極 124 出發的配線 130 通過第 1 場極板 115a~115e 及第 2 場極板 120b~120d 的上方，然後通過第 1 場極板 55a~55e 及第 2 場極板 60a~60c 的上方，及通過界定高電位島區域 201 的 p 雜質區域 3 的上方，到達低電位邏輯電路 100。

在絕緣膜 23 上，設置有電氣連接第 2 場極板 120a 與高電位邏輯電路 101 的配線 131。配線 131 與第 2 場極板 120a 由貫通絕緣膜 23 而圖中未顯示的接點窗插塞電氣連接。藉此，信號由高電位邏輯電路 101 經由第 2 場極板 120a 給予 MOS 電晶體 105 的閘極電極 115a。又，在絕緣膜 23 上，也設置有圖中未顯示的配線電氣連接作為電阻 106 的 p<sup>+</sup>雜質區域與配線 130，而上述配線連接至電極，此電極係設置與貫通絕緣膜 21、23 並作為電阻 106 機能的 p<sup>+</sup>雜質區域接觸。

又，閘極電極 115a、第 1 場極板 115b~115e 及電極 116、156 例如由多晶矽構成，而第 2 場極板 120a~120d 及配線 130、131 例如由鋁構成。

如以上的構造所構成的根據本第三實施例的半導體裝置中，施加電位 V<sub>H</sub> 於 MOS 電晶體 105 的源極電極 118，而施加接地電位於作為電阻 106 機能的 p<sup>+</sup>雜質區域的端部。因此，高電位邏輯電路 101 輸出的數百 V 的高電平信號時，MOS 電晶體 105 為斷開狀態，無電流流過作為電阻 106 機能的 p<sup>+</sup>雜質區域，因此接地電位施加至配線 130。

因此，高電位邏輯電路 101 輸出脈衝狀的低電平信號時，經由配線 131、第 2 場極板 120a 及接點窗插塞 122a，施加上述信號於閘極電極 115。藉此，MOS 電晶體 105 為接通狀態，電流流過作為電阻 106 機能的 p<sup>+</sup>雜質區域，而上述 p<sup>+</sup>雜質區域的低電位邏輯電路 100 側的端部電位上升至數十 V。結果，高電位邏輯電路 101 輸出的高電位信號電平位移至低電位且輸入至低電位邏輯電路 100。

又，接通狀態的 MOS 電晶體 105 中，由源極電極 118 開始，

依序通過源極區域 114、 $n^-$ 半導體層 2、 $p^-$ 雜質區域 113、 $p^+$ 雜質區域 112、及電極 119，電流流入汲極電極 124。又，MOS 電晶體 105 中，由於  $p^-$ 雜質區域 113 作為電阻機能，汲極電極 124 的電位只上昇至數十 V。因此，配線 130 的電位為數十 V 的低電位。

根據本第三實施例的半導體裝置中，施加接地電位於  $p$  雜質區域 3、133、 $p^-$ 雜質區域 113 及  $p^-$ 半導體基板 1，而施加電位  $V_H$  於高電位島區域 201 中的  $n^-$ 半導體層 2、 $n^+$ 埋入雜質區域 51 及  $n^+$ 雜質區域 52。藉此，與第一實施例同樣地，由於 RESURF 的效果，在  $p$  雜質區域 3 及  $n^+$ 雜質區域 52 間的  $n^-$ 半導體層 2 中至  $n^-$ 半導體層 2 上表面形成空乏層。結果，高電位邏輯電路 101 被空乏層圍繞，而得到高耐壓的高電位邏輯電路 101。

又，如上述，因為施加接地電位於  $p$  雜質區域 133 及  $p^-$ 雜質區域 113，施加電位  $V_H$  於  $n^-$ 半導體層 2，由於 RESURF 的效果，在  $p$  雜質區域 133 及  $n^+$ 雜質區域 52 間的  $n^-$ 半導體層 2 中及  $p^-$ 雜質區域 113 中，至  $n^-$ 半導體層 2 及  $p^-$ 雜質區域 113 的上表面，形成空乏層。因此，形成  $n^-$ 半導體層 2 中的 MOS 電晶體 105 的 pMOS 區域 205 的大部分形成空乏層。結果，可以得到高耐壓的 MOS 電晶體 105。又，第 17 圖中，以斜線表示的 RESURF 分離區域 300、302 係概略顯示半導體裝置中形成空乏層的區域。

根據本第三實施例的半導體裝置中，施加低電位於如上述的配線 30。因此，不同於本第三實施例地，不存在第 1 場極板 55a~55e 及第 2 場極板 60a~60d 時，由於配線 130 的電位促進了  $p$  雜質區域 3 與  $n^+$ 雜質區域 52 之間的  $n^-$ 半導體層 2 中的空乏層的延伸，有可能在  $n^+$ 雜質區域 52 附近的  $n^-$ 半導體層 2 的上表面產生電場集中。

不過，本第三實施例中，由於第 2 場極板 60a~60d 與位於下方的第 1 場極板 55a~55e 靜電結合，可緩和因配線 130 的電位所產生的  $n^-$ 半導體層 2 的上表面附近的電場集中。

同樣地，本第三實施例中，由於第 2 場極板 120a~120d 與位於下方的第 1 場極板 115a~115e 靜電結合，可緩和因配線 130 的

電位所產生的  $n^-$  半導體層 2 的上表面附近的電場集中。

又，本第三實施例中，因為分別施加了接地電位及電位  $V_H$  於  $p$  雜質區域 3 及  $n^+$  雜質區域 52，如第 1 實施例所說明地，第 1 場極板 55a 及第 2 場極板 60a 的電位為接地電位的接近值，第 1 場極板 55e 及第 2 場極板 60d 的電位為  $V_H$  電位的接近值。因此，第 1 場極板 55a~55e 及第 2 場極板 60a~60d 的電位，由於它們之間的靜電結合，隨著由  $p$  雜質區域 3 至接近  $n$  雜質區域 52，由接地電位附近的低電位變化至數百  $V$  的高電位。

又，本第三實施例中，因為施加了達數十  $V$  的低電位於  $p^+$  雜質區域 112，與上述  $p^+$  雜質區域 112 電氣連接的第 1 場極板 115e 及第 2 場極板 120d 的電位為達數十  $V$  的低電位。又，因為施加數百  $V$  的高電位於閘極電極 115a，電氣連接至閘極電極 115a 的第 2 場極板 120a 的電位為數百  $V$  的高電位。因此，第 1 場極板 115a~115e 及第 2 場極板 120a~120d 的電位，由於它們之間的靜電結合，隨著由  $n^+$  雜質區域 52 至接近  $p^+$  雜質區域 112，由數百  $V$  的高電位變化至數十  $V$  的低電位。

又，第 2 場極板 120a，不同於本實施例地，與閘極電極 115a 間不電氣連接時，由於它們之間的靜電結合，第 2 場極板 120a 的電位為高電位。又，第 2 場極板 120d 與電極 119 間不電氣連接時，最靠近  $p^+$  雜質區域 112 的第 1 場極板 115e 受到  $p^+$  雜質區域 112 的電位影響而為低電位，而由於第 2 場極板 120d 與上述第 1 場極板 115e 靜電結合而為低電位。

藉此，本第三實施例中，因為第 2 場極板 60d、120a 的電位為高電位，被施加達數十  $V$  的低電位的配線 130 與第 2 場極板 60d、120a 間產生大的電位差。因此，相異於本第三實施例地，第 2 場極板 60d、120a 無切斷處 69d、129 時，配線 130 與第 2 場極板 60d、120a 間所夾的絕緣膜 23 會有絕緣破壞。本第三實施例中，由於設置切斷處 69d、129，配線 130 的下方不設置第 2 場極板 60d、120a，因此可防止配線 130 與第 2 場極板 60d、120a 間的電位差引起的絕緣膜 23 的絕緣破壞。

又，根據本第三實施例的半導體裝置中，為了防止絕緣膜 23 的絕緣破壞所設置的第 2 場極板 120a 的切斷處 129 的下方，第 1 場極板 115a、115b 間間隙中設置有與其分離的電極 116。藉此，比起不設置上述電極 116 的情況，緩和了因施加低電位的配線 130 的電位所引起的  $n^-$  半導體層 2 上表面附近的電場集中，可改善根據本第三實施例的半導體裝置的耐壓。

同樣地，第 2 場極板 60d 的切斷處 69d 的下方，因為第 1 場極板 55d、55e 間間隙中設置有與其分離的電極 116，比起不設置上述電極 116 的情況，緩和了因配線 130 的電位所引起的  $n^-$  半導體層 2 上表面附近的電場集中，可改善根據本第 3 實施例的半導體裝置的耐壓。

第 21、22 圖係顯示根據本第三實施例的半導體裝置中的電位分佈，而第 23 圖係顯示根據本第三實施例的半導體裝置中設置電極 156 時的電位分佈。第 21、23 圖係第 2 場極板 60d 的切斷部分的電位分佈，而第 22 圖係第 2 場極板 60d 的未切斷部分的電位分佈。

如第 23 圖所示，未設置電極 156 時，因為配線 130 的下方有切斷的第 2 場極板 60d，第 1 場極板 55d、55e 間的  $n^-$  半導體層 2 的上表面附近的電位分佈受到配線 130 的電位的影響，第 1 場極板 55e 的第 1 場極板 55d 側的端部附近的等電位線 90 密集。因此，如第 23 圖所示，第 1 場極板 55e 的第 1 場極板 55d 側的端部附近的  $n^-$  半導體層 2 的上表面附近，形成電場集中部分 95c。因此，降低了半導體裝置的耐壓。

另一方面，如第 21 圖所示，設置電極 156 時，由於電極 156 的靜電遮蔽效果，可減低配線 130 的電位對  $n^-$  半導體層 2 上表面附近的電位分佈的影響，並可抑制空乏層的延伸。又，由於電極 156 與第 1 場極板 55d、e 及  $n^-$  半導體層 2 上表面靜電結合，第 1 場極板 55d 與電極 156 間及電極 156 與第 1 場極板 55e 之間可形成等電位面。因此，第 1 場極板 55d、55e 間的等電位線 90 變疏。因此，可緩和第 1 場極板 55d、55e 間的  $n^-$  半導體層 2 上表面附近

的電場集中，且由於在第 2 場極板 60d 設置切斷處 69d，可以抑制半導體裝置的耐壓低下。結果，可以容易地實現具有所希望的耐壓的半導體裝置。

又，如上所述，由於電極 156 與第 1 場極板 55d、55e 及  $n^-$  半導體層 2 上表面靜電結合，上述電極 156 的電位被偏壓至第 1 場極板 55d 的電位與第 1 場極板 55e 的電位間的中間電位。因此，如第 22 圖所示，在第 2 場極板 60d 未被切斷的部分中，即使設置了電極 156，電位分佈也不歪，因而不產生電場集中。

又，pMOS 區域 205 內的  $n^-$  半導體層 2 中，由於形成電極 116，因同樣的理由，比不設置電極 116 時可以緩和電場集中，並可以抑制半導體裝置的耐壓低下。

在本第三實施例中，採用與周圍絕緣的浮動電極作為電極 116 時，與上述第 2 實施例相同地，也可以電氣連接電極 116 至閘極電極 115a。第 24 圖係此情況下根據本第三實施例的半導體裝置的剖面圖，顯示配置電極 116 的部分的放大。

如第 24 圖所示，電極 116 與第 2 場極板 120a 藉由在絕緣膜 21 內貫通絕緣膜 21 所設置的接點窗插塞 126 而電氣連接。藉此，電極 116 與閘極電極 115a 電氣連接。因此，電極 116 的電位安定，且與第一實施例相同地，可以抑制因半導體裝置的動作狀態而發生的電場集中。

又，設置了複數個接點窗插塞 126，且上述複數接點窗插塞 126 係互相分離配置。因此，與根據第二實施例的接點窗插塞 26 同樣地，複數接點窗插塞 126 係沿著第 2 場極板 120a 而延伸，而不配置於配線 130 的下方。

#### <第四實施例>

第 25 圖係平面圖，顯示根據第四實施例的半導體裝置的構造。又，第 26(a)、26(b)圖係分別顯示第 25 圖中的箭頭 J-J~K-K 內的剖面圖，第 26(a)圖係不形成配線 30 的部分的剖面圖，而第 26(b)圖係形成配線 30 的部分的剖面圖。根據第四實施例的半導體裝置係在根據第一實施例的半導體裝置中不設置電極 16、56，

且第 1 場極板 15b~15e、55b~55e 及第 2 場極板 20b~20d、60b~60d 的形狀改變而實現了高耐壓化。

又，第 25 圖中，擴大顯示了第 2 場極板 60a 的切斷處 69a 附近，且為了避免圖面的煩雜，省略了第 26 圖中的絕緣膜 21、23 的記載。

如第 25、26 圖所示，根據第四實施例的第 1 場極板 55b~55e 中，位於配線 30 下方的部分比其它位置的部分，在場極板的寬度幾乎維持一定下，移位至更靠近 p 雜質區域 3 側。因此，第 1 場極板 55b~55e 中，位於配線 30 下方的部分的兩端部比其它位置部分的兩端部移位至更靠近 p 雜質區域 3 側。換言之，第 1 場極板 55b~55d 中，位於配線 30 下方的部分的兩端分別與第 1 場極板 55a 的第 1 場極板 55b 側的一端的距離，比其它位置部分的上述距離，被設定得比較小。

根據本第四實施例的第 1 場極板 55e 中，位於配線 30 的下方的部分的 p 雜質區域 3 側的端部比位於其它部分的上述端部移位至更靠近 p 雜質區域 3 側。換言之，第 1 場極板 55e 中，位於配線 30 下方的部分的 p 雜質區域 3 側的一端與第 1 場極板 55a 的第 1 場極板 55b 側的一端的距離，比其它位置部分的上述距離，被設定得比較小。

又，根據本第四實施例的第 2 場極板 60b、60c 中，位於配線 30 的下方的部分比其它位置部分移位至更靠近 p 雜質區域 3 側，而極板的寬度幾乎維持一定。因此，第 2 場極板 60b、60c 中，位於配線 30 下方的部分的兩端部比其它位置部分的兩端部移位至更靠近 p 雜質區域 3 側。換言之，第 2 場極板 60b~60c 中，位於配線 30 下方的部分的兩端分別與第 1 場極板 55a 的第 1 場極板 55b 側的一端的距離，比其它位置部分的上述距離，被設定得比較小。

根據本第四實施例的第 2 場極板 60d 中，位於配線 30 的下方的部分的 p 雜質區域 3 側的端部比位於其它部分的上述端部移位至更靠近 p 雜質區域 3 側。換言之，第 2 場極板 60d 中，位於配線 30 下方的部分的 p 雜質區域 3 側的一端與第 1 場極板 55a 的第

1 場極板 55b 側的一端的距離，比其它位置部分的上述距離，被設定得比較小。

又，如第 27 圖所示，根據本第四實施例的第 1 場極板 15b~15d 中，位於配線 30 的下方的部分比其它位置部分移位至更靠近閘極電極 15a 側，而極板的寬度幾乎維持一定。因此，第 1 場極板 15b~15d 中，位於配線 30 下方的部分的兩端部比其它位置部分的兩端部移位至更靠近閘極電極 15a 側。因此，根據本第四實施例的第 1 場極板 15e 中，位於配線 30 的下方的部分的閘極電極 15a 側的端部比其它位置部分的上述端部移位至更靠近閘極電極 15a 側。

又，根據本第四實施例的第 2 場極板 20b、20c 中，位於配線 30 的下方的部分比其它位置部分移位至更靠近閘極電極 15a 側，而極板的寬度維持一定。因此，第 2 場極板 20b、20c 中，位於配線 30 下方的部分的兩端部比其它位置部分的兩端部移位至更靠近閘極電極 15a 側。因此，根據本第四實施例的第 2 場極板 20d 中，位於配線 30 的下方的部分的閘極電極 15a 側的端部比其它位置部分的上述端部移位至更靠近閘極電極 15a 側。有關其它的構造係與第一實施例相同，因此省略說明。

又，第 27(a)圖係顯示對應第 2 圖中的箭頭 B-B 位置的剖面圖的約左半邊的構造。又，第 27(b)圖顯示 nMOS 區域 202 中的剖面結構，位置係對應第 2 圖中的箭頭 A-A 位置，而觀看方向係箭頭 A-A 的相反側所見的剖面圖。

第四實施例中，在配線 30 的下方，閘極電極 15a 的  $n^+$  雜質區域 12 側的一端與第 1 場極板 15b~15d 及第 2 場極板 20b、20c 的兩端間的距離差，與其它區域中的上述距離差，彼此相同。因此，這些距離差，與在配線 30 的下方的閘極電極 15a 的  $n^+$  雜質區域 12 側的一端與第 1 場極板 15e 及第 2 場極板 20d 的閘極電極 15a 側的一端間的距離差與其它區域中的上述距離差，彼此相同。

又，配線 30 的下方中，第 1 場極板 55a 的  $n^+$  雜質區域 52 側的一端與第 1 場極板 55b~55d 及第 2 場極板 60b、60c 的兩端間

的距離差，與其它區域中的上述距離差，彼此相同。因此，這些距離差，與在配線 30 的下方的第 1 場極板 55a 的  $n^+$  雜質區域 52 側的一端與第 1 場極板 55e 及第 2 場極板 60d 的 p 雜質區域 3 側的一端間的距離差與其它區域中的上述距離差，彼此相同。

藉此，本第四實施例中，位於第 1 場極板 15b~15e、55b~55e 及第 2 場極板 20b~20d、60b~60d 中的配線 30 的下方的部分的端部的移位量係均一的。

如上述，在根據本第四實施例的半導體裝置中，第 1 場極板 55b 中的 p 雜質區域 3 側的端部，在配線 30 的下方中，往 p 雜質區域 3 側移動。因此，在配線 30 的下方中，第 1 場極板 55a、55b 間間隙變小。結果，第 1 場極板 55a、55b 間間隙的下方中的  $n^-$  半導體層 2 的上表面變得容易受到低電位的第 1 場極板 55b 的電位的影響，減低了高電位配線 30 的電位影響，且在上述  $n^-$  半導體層 2 中的空泛層變得容易延伸。因此，藉由在第 2 場極板 60a 設置切斷處 69a，緩和了電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

第 28、29 圖係顯示根據本第四實施例的半導體裝置中的電位分佈，第 28 圖係顯示第 2 場極板 60a 未切斷部分的電位分佈，而第 29 圖係顯示第 2 場極板 60a 被切斷部分的電位分佈。如第 29 圖所示，根據本第四實施例的半導體裝置中，接近第 1 場極板 55a 的第 1 場極板 55b 側的端部的  $n^-$  半導體層 2 的上表面附近，未形成電場集中，改善了耐壓。

又，本第四實施例中，第 1 場極板 15b 中的閘極電極 15a 側的端部，在配線 30 的下方中，往閘極電極 15a 側移動。因此，在配線 30 的下方中，閘極電極 15a 與第 1 場極板 15b 間間隙變小。結果，閘極電極 15a 與第 1 場極板 15b 間間隙的下方中的  $n^-$  半導體層 2 的上表面變得容易受到低電位的第 1 場極板 15b 的電位的影響，減低了高電位配線 30 的電位影響，且在上述  $n^-$  半導體層 2 中的空泛層變得容易延伸。因此，藉由在第 2 場極板 20a 設置切斷處 29，緩和了電場集中，結果，可容易地得到具有所希望的耐

壓的半導體裝置。

又，根據本第四實施例的半導體裝置中，第 1 場極板 55b~55d 及第 2 場極板 60b、60c 中，位於在配線 30 的下方的部分的兩端，比其它位置的部分的兩端移位至更靠近 p 雜質 3 側。因此，在配線 30 的下方中，抑制第 1 場極板 55b~55d 及第 2 場極板 60b、60c 的極板寬度及它們之間的位置關係的變化的同時，可使第 1 場極板 55b 的 p 雜質 3 側的端部更靠近第 1 場極板 55a。配線 30 的電位的影響不只是在第 1 場極板 55a、55b 間的間隙的下方的 n<sup>-</sup>半導體層 2 的上表面，在第 1 場極板 55b、55c 間的間隙的下方、及第 1 場極板 55c、55d 間的間隙的下方的 n<sup>-</sup>半導體層 2 的上表面也給予不小的影響，因此藉由抑制了第 1 場極板 55b、55d 及第 2 場極板 60b、60c 的極板寬度、及它們之間的位置關係的變化，可以抑制上述間隙的下方的 n<sup>-</sup>半導體層 2 的上表面附近的發生電場集中。

同樣地，根據本第四實施例的半導體裝置中，第 1 場極板 15b~15d 及第 2 場極板 20b、20c 中，位於在配線 30 的下方的部分的兩端部，比其它位置的部分的兩端部移位至更靠近閘極電極 15a 側。因此，可以抑制第 1 場極板 15b~15d 及第 2 場極板 20b、20c 的極板寬度及它們之間的位置關係的變化，藉此，可以抑制第 1 場極板 15b、15c 間的間隙的下方、及第 1 場極板 15c、15d 間的間隙的下方的 n<sup>-</sup>半導體層 2 的上表面發生電場集中。

又，如第 30 圖所示，根據本第三實施例的半導體裝置中，第 1 場極板 55b~55d 及第 2 場極板 60b、60c 中，位於配線 130 的下方的部分的兩端部，比其它位置的部分的兩端部移位至更靠近 n<sup>+</sup>雜質區域 52 側。因此，第 1 場極板 55a 及第 2 場極板 60a 中，位於在配線 130 的下方的部分的 n<sup>+</sup>雜質區域 52 側的端部，可以比其它位置的部分的上述端部移位至更靠近 n<sup>+</sup>雜質區域 52 側。

藉此，在根據本第三實施例的半導體裝置中，在配線 130 的下方，由於第 1 場極板 55d 中的 n<sup>+</sup>雜質區域 52 側的端部，往 n<sup>+</sup>雜質區域 52 側移動，在配線 130 的下方的第 1 場極板 55d、55e 間的間隙變小。結果，第 1 場極板 55d、55e 間的間隙的下方中的

$n^-$ 半導體層 2 的上表面變成容易受到高電位的第 1 場極板 55d 的電位的影響，減低了低電位配線 130 的電位影響，且抑制了在上述  $n^-$ 半導體層 2 中的空泛層的延伸。因此，藉由在第 2 場極板 60d 設置切斷處 69d，緩和了電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，第 1 場極板 55b~55d 及第 2 場極板 60b、60c 中，位於在配線 130 的下方的部分的兩端部，由於比其它位置的部分的兩端部移位至更靠近  $n^+$ 雜質區域 52 側，因此可以抑制第 1 場極板 55b~55d 及第 2 場極板 60b、60c 的極板寬度及它們之間的位置關係的變化，藉此，可以抑制第 1 場極板 55b、55c 間的間隙的下方、及第 1 場極板 55c、55d 間的間隙的下方的  $n^-$ 半導體層 2 的上表面因配線 130 的電位所發生的電場集中。

又，如第 31 圖所示，根據本第三實施例的半導體裝置中，第 1 場極板 115b~115d 及第 2 場極板 120b、120c 中，位於在配線 130 的下方的部分的兩端部，比其它位置的部分的兩端部移位至更靠近閘極電極 115a 側。因此，第 1 場極板 115e 及第 2 場極板 120 中，位於在配線 130 的下方的部分的閘極電極 115a 側的端部，可以比其它位置的部分的上述端部移位至更靠近閘極電極 115a 側。

如上述，在根據本第三實施例的半導體裝置中，在配線 130 的下方，由於第 1 場極板 115b 中的閘極電極 115a 側的端部往閘極電極 115a 側移動，因此在配線 130 的下方中，閘極電極 115a 與第 1 場極板 115b 間的間隙變小。結果，閘極電極 115a 與第 1 場極板 115b 間的間隙的下方中的  $n^-$ 半導體層 2 的上表面變得容易受到高電位的第 1 場極板 115b 的電位的影響，減低了低電位配線 130 的電位影響，且抑制了上述  $n^-$ 半導體層 2 中的空泛層的延伸。因此，藉由在第 2 場極板 120a 設置切斷處 129，緩和了電場集中，結果，可容易地得到具有所希望的耐壓的半導體裝置。

又，第 1 場極板 115b~115d 及第 2 場極板 120b、120c 中，位於在配線 130 的下方的部分的兩端部，由於比其它位置的部分的兩端部移位至更靠近閘極電極 115a 側，因此可以抑制第 1 場極

板 115b~115d 及第 2 場極板 120b、120c 的極板寬度及它們之間的位置關係的變化，藉此，可以抑制第 1 場極板 115b、115c 間間隙的下方、及第 1 場極板 115c、115d 間間隙的下方的 n<sup>-</sup>半導體層 2 的上表面因配線 130 的電位所發生的電場集中。

又，第 30(a)圖係顯示對應第 17 圖中的箭頭 I-I 位置的剖面圖，而第 30(b)圖係顯示對應第 17 圖中的箭頭 G-G 位置的約左半邊的構造。又，第 31(a)圖係顯示對應第 17 圖中的箭頭 H-H 位置的約右半邊的構造，而第 31(b)圖顯示 pMOS 區域 205 中的剖面結構，位置在對應第 17 圖中的箭頭 G-G 位置，而剖面的觀看方向係箭頭 G-G 的相反側所見的剖面圖。

#### <第五實施例>

第 32、33 圖係剖面圖，顯示根據第五實施例的半導體裝置的構造。根據第五實施例的半導體裝置係，在根據上述第四實施例的半導體裝置中，改變位於第 1 場極板 15b~15e、55b~55e 及第 2 場極板 20b~20d、60b~60d 中的配線下方的部分的端部的位移量。

第 32(a)、32(b)圖分別顯示對應第 25 圖中的箭頭 J-J~K-K 位置的剖面圖。第 33(a)圖與第 27(a)圖同樣地，顯示對應第 2 圖中的箭頭 B-B 位置的剖面圖約左半邊的構造，而第 33(b)圖係與第 27(b)圖同樣地，顯示 nMOS 區域 202 中的剖面構造，位置在對應第 2 圖中的箭頭 A-A 位置，而剖面的觀看方向係箭頭 A-A 的相反側所見的剖面圖。

又，第 32(a)圖的剖面構造與第 32(b)圖的剖面構造以同一比例上下排列且兩者間的第 1 場極板 55a 的 n<sup>+</sup>雜質區域 52 側的一端的位置上下方向對齊的圖示中，第 32 圖中的角度 a1 係，由第 32(a)圖的剖面構造中的第 2 場極板 60c 的 n<sup>+</sup>雜質區域 52 側的一端往第 32(b)圖的剖面構造中的上述一端向下看時的視線方向 s1、與第 32(a)圖的剖面構造中的上述一端往正下面看時的視線方向 s2，所形成的角度。同樣地，角度 a2、a4、a6、a8、a9 分別由第 32(a)圖的第 1 場極板 55d、第 2 場極板 60c、第 1 場極板 55c、第 2 場

極板 60d、以及第 1 場極板 55b 的 p 雜質區域 3 側的一端的視線方向  $s_1$  與視線方向  $s_2$  所形成的角度。又，角度  $a_3$ 、 $a_5$ 、 $a_7$  分別為第 32(a)圖的第 1 場極板 55c、第 2 場極板 60b、以及第 1 場極板 55b 的  $n^+$  雜質區域 52 側的一端的視線方向  $s_1$  與視線方向  $s_2$  所形成的角度。

又，第 33(a)圖的剖面構造與第 33(b)圖的剖面構造以同一比例上下排列且兩者間的閘極電極 15a 的  $n^+$  雜質區域 12 側的一端的位置上下方向對齊的圖示中，第 33 圖中的角度  $b_1$  係，由第 33(a)圖的剖面構造中的第 2 場極板 20c 的  $n^+$  雜質區域 12 側的一端往第 33(b)圖的剖面構造中的上述一端向下看時的視線方向  $s_1$ 、與第 33(a)圖的剖面構造中的上述一端往正下面看時的視線方向  $s_2$ ，所形成的角度。同樣地，角度  $b_2$ 、 $b_4$ 、 $b_6$ 、 $b_8$ 、 $b_9$  分別由第 33(a)圖的第 1 場極板 15d、第 2 場極板 20c、第 1 場極板 15c、第 2 場極板 20d、以及第 1 場極板 15b 的閘極電極 15a 側的一端的視線方向  $s_1$  與視線方向  $s_2$  所形成的角度。又，角度  $b_3$ 、 $b_5$ 、 $b_7$  分別為第 33(a)圖的第 1 場極板 15c、第 2 場極板 20b、以及第 1 場極板 15b 的  $n^+$  雜質區域 12 側的一端的視線方向  $s_1$  與視線方向  $s_2$  所形成的角度。

由以上說明可了解，角度  $a_1 \sim a_9$ 、 $b_1 \sim b_9$  分別為角度的基點的場極板的一端在配線 30 下方的位移量的標準。例如，角度  $a_1$  指示在配線 30 下方的第 2 場極板 60c 的  $n^+$  雜質區域 52 側的端部的位移量。

如第 32 圖所示，根據本第五實施例的半導體裝置中，角度  $a_1 \sim a_9$  係設定依此順序變大。因此，以第 2 場極板 60c 的  $n^+$  雜質區域 52 側的端部、第 1 場極板 55d 的 p 雜質區域 3 側的端部、第 1 場極板 55c 的  $n^+$  雜質區域 52 側的端部、第 2 場極板 60c 的 p 雜質區域 3 側的端部、第 2 場極板 60b 的  $n^+$  雜質區域 52 側的端部、第 1 場極板 55c 的 p 雜質區域 3 側的端部、第 1 場極板 55b 的  $n^+$  雜質區域 52 側的端部、第 2 場極板 60b 的 p 雜質區域 3 側的端部、第 1 場極板 55b 的 p 雜質區域 3 側的端部的順序，在配線 30 的下方

的位移量變大。又，上述的第四實施例中，第 1 場極板 55e 及第 2 場極板 60d 的 p 雜質區域 3 側的端部在配線 30 的下方被位移，而第五實施例中的此位移量因設定為零而不位移。又，根據第四實施例的第 1 場極板 55d 中的兩端部被位移，而根據第五實施例的第 1 場極板 55d 只位移 p 雜質區域 3 側的端部。

如第 33 圖所示，根據本第五實施例的半導體裝置中，角度 b1 ~ b9 係設定依此順序變大。因此，以第 2 場極板 20c 的 n<sup>+</sup>雜質區域 12 側的端部、第 1 場極板 15d 的閘極電極 15a 側的端部、第 1 場極板 15c 的 n<sup>+</sup>雜質區域 12 側的端部、第 2 場極板 20c 的閘極電極 15a 側的端部、第 2 場極板 20b 的 n<sup>+</sup>雜質區域 12 側的端部、第 1 場極板 15c 的閘極電極 15a 側的端部、第 1 場極板 15b 的 n<sup>+</sup>雜質區域 12 側的端部、第 2 場極板 20b 的閘極電極 15a 側的端部、第 1 場極板 15b 的閘極電極 15a 側的端部的順序，在配線 30 的下方的位移量變大。又，上述的第四實施例中，第 1 場極板 15e 及第 2 場極板 20d 的閘極電極 15a 側的端部在配線 30 的下方被位移，而第五實施例中的此位移量因設定為零而不位移。又，根據第四實施例的第 1 場極板 15d 中的兩端部被位移，而根據第五實施例的第 1 場極板 15d 只位移閘極電極 15a 側的端部。

如上所述，本第五實施例中，第 1 場極板 55b ~ 55d 及第 2 場極板 60b、60c 中，位於配線 30 下方的部分的端部的位移量愈靠近 p 雜質區域 3 愈大。即，在配線 30 下方實行往 p 雜質區域 3 側位移的第 1 場極板 55b ~ 55d 及第 2 場極板 60b、60c 的端部中，隨著由最靠近 n<sup>+</sup>雜質區域 52 的第 2 場極板 60c 的 n<sup>+</sup>雜質區域 52 側的端部往最靠近 p 雜質區域 3 的第 1 場極板 55b 的 p 雜質區域 3 側的端部的順序，位移量變大。由於被施加高電位的配線 30 的電位給予 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 上表面附近的電位分佈的影響由高電位的 n<sup>+</sup>雜質區域 52 愈往低電位的 p 雜質區域 3 愈大，因此藉由對如上述的場極板端部的位移量實行加重，可以更有效緩和 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的電場集中。

又，本第五實施例中，第 1 場極板 15b~15d 及第 2 場極板 20b、20c 中，位於配線 30 下方的部分的端部的位移量愈靠近閘極電極 15a 愈大。因此，由於上述的理由，可以更有效緩和 p 雜質區域 3 與 n<sup>+</sup>雜質區域 12 間的 n<sup>-</sup>半導體層 2 的電場集中。

又，根據以上述第四實施例所說明的第三實施的半導體裝置的變形例中，在配線 130 的下方，由於第 1 場極板 55b~55d 及第 2 場極板 60b、60c 的端部的位移量愈靠近高電位的 n<sup>+</sup>雜質區域 52 愈大，可以更有效緩和 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的電場集中。又，在配線 130 的下方，由於第 1 場極板 115b~115d 及第 2 場極板 120b、120c 的端部的位移量愈靠近高電位的閘極電極 115a 愈大，可以更有效抑制 p<sup>+</sup>雜質區域 112 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的電場集中。

第 34、35 圖係剖面圖，顯示此情況下的根據第三實施例的構造。第 34(a)圖與第 30(a)圖相同，顯示對應第 17 圖中的箭頭 I-I 位置的剖面圖，而第 34(b)圖與第 30(b)圖相同，顯示對應第 17 圖中的箭頭 G-G 位置的剖面圖的約左半邊的構造。又，第 35(a)圖與第 31(a)圖相同，顯示對應第 17 圖中的箭頭 H-H 位置的剖面圖的約右半邊的構造。第 35(b)圖與第 31(b)圖相同地，顯示 pMOS 區域 205 中的剖面結構，位置在對應於第 17 圖中箭頭 G-G 位置，而觀看方向係箭頭 G-G 的相反側所見的剖面圖。

又，第 34(a)圖的剖面構造與第 34(b)圖的剖面構造以同一比例上下排列且兩者間的第 1 場極板 55e 的 p 雜質區域 3 側的一端的位置上下方向對齊的圖示中，第 34 圖中的角度 c1 係，由第 34(a)圖的剖面構造中的第 2 場極板 60b 的 p 雜質區域 3 側的一端往第 34(b)圖的剖面構造中的上述一端向下看時的視線方向 s1、與第 34(a)圖的剖面構造中的上述一端往正下面看時的視線方向 s2，所形成的角度。同樣地，角度 c2、c4、c6、c8、c9 分別由第 34(a)圖的第 1 場極板 55b、第 2 場極板 60b、第 1 場極板 55c、第 2 場極板 60c、以及第 1 場極板 55d 的 n<sup>+</sup>雜質區域 52 側的一端的視線方向 s1 與視線方向 s2 所形成的角度。又，角度 c3、c5、c7 分別

為第 34(a)圖的第 1 場極板 55c、第 2 場極板 60c、以及第 1 場極板 55d 的 p 雜質區域 3 側的一端的視線方向 s1 與視線方向 s2 所形成的角度。

又，第 35(a)圖的剖面構造與第 35(b)圖的剖面構造以同一比例上下排列且兩者間的閘極電極 115a 的 p<sup>+</sup>雜質區域 112 側的一端的位置上下方向對齊的圖示中，第 35 圖中的角度 d1 係，由第 35(a)圖的剖面構造中的第 2 場極板 120c 的 p<sup>+</sup>雜質區域 112 側的一端往第 35(b)圖的剖面構造中的上述一端向下看時的視線方向 s1、與第 35(a)圖的剖面構造中的上述一端往正下面看時的視線方向 s2，所形成的角度。同樣地，角度 d2、d4、d6、d8、d9 分別由第 35(a)圖的第 1 場極板 115d、第 2 場極板 120c、第 1 場極板 115c、第 2 場極板 120d、以及第 1 場極板 115b 的閘極電極 115a 側的一端的視線方向 s1 與視線方向 s2 所形成的角度。又，角度 d3、d5、d7 分別為第 35(a)圖的第 1 場極板 115c、第 2 場極板 120b、以及第 1 場極板 115b 的 p<sup>+</sup>雜質區域 112 側的一端的視線方向 s1 與視線方向 s2 所形成的角度。

由以上說明可了解，角度 c1~c9、d1~d9 分別為角度的基點的場極板的一端在配線 130 下方的位移量的標準。例如，角度 c1 指示在配線 130 下方的第 2 場極板 60b 的 p 雜質區域 3 側的端部的位移量。

又，根據第 34、35 圖所示第三實施的半導體裝置的變形例中，角度 c1~c9 係設定依此順序變大，而角度 d1~d9 也設定依此順序變大。因此，以第 1 場極板 55b~55d 及第 2 場極板 60b、60c 中，位於配線 30 下方的部分的端部的位移量愈靠近 n<sup>+</sup>雜質區域 52 愈大。即，在配線 130 下方實行往 n<sup>+</sup>雜質區域 52 側位移的第 1 場極板 55b~55d 及第 2 場極板 60b、60c 的端部中，隨著由最靠近 p 雜質區域 3 的第 2 場極板 60b 的 p 雜質區域 3 側的端部往最靠近 n<sup>+</sup>雜質區域 52 的第 1 場極板 55d 的 n<sup>+</sup>雜質區域 52 側的端部的順序，位移量變大。由於被施加低電位的配線 130 的電位給予 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 上表面附近的電位分

佈的影響由低電位的 p 雜質區域 3 愈往高電位的 n<sup>+</sup>雜質區域 52 愈大，因此藉由對如上述的場極板端部的位移量實行加重，可以更有效緩和 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的電場集中。

又，由於角度 d1~d9 依序設定變大，第 1 場極板 115b~115d 及第 2 場極板 120b、120c 中位於配線 130 下方的部分的位移量愈靠近閘極電極 115a 變得愈大。因此，由於上述理由，可以更有效緩和低電位的 p<sup>+</sup>雜質區域 112 與高電位的 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的電場集中。

#### <第六實施例>

第 36 圖係剖面圖，顯示根據本發明的第六實施例的半導體裝置的構造。根據本發明的第六實施例的半導體裝置係在根據上述第一實施例的半導體裝置中不形成電極 16、56，而在磊晶層的 n<sup>-</sup>半導體層 2 的上表面內設置 n 擴散區域 70。又，第 36 圖係對應在第 2 圖中的箭頭 A-A 的位置的剖面圖。

如第 36 圖所示，高電位島區域 201 內的 n<sup>-</sup>半導體層 2 及 nMOS 區域 202 內的 n<sup>-</sup>半導體層 2 的上表面內，雜質濃度比 n<sup>-</sup>半導體層 2 高的 n 擴散區域 70 與 p 雜質區域接觸而形成。根據本第六實施例的 n 擴散區域 70，以平面所視，形成於高電位島區域 201 及 nMOS 區域 202 內的 n<sup>-</sup>半導體層 2 的全區域內。

本第六實施例中，n<sup>+</sup>雜質區域 12、52 及 p<sup>+</sup>雜質區域 13 形成於 n 擴散區域 70 的上表面內。又，高電位邏輯電路 101 形成於擴散區域 70 內，且分離絕緣膜 17 也形成於 n 擴散區域 70 上。因此，根據本第六實施例的半導體裝置，不同於第一實施例，不包括電極 16、56。

又，高電位島區域 201 及 nMOS 區域 202 外形成低電位邏輯電路 100 等的 n<sup>-</sup>半導體層 2 的上表面內也形成擴散區域 70，而低電位邏輯路 100 等在上述 n 擴散區域 70 中形成。關於其它的構造與根據第一實施例的半導體裝置相同，因此省略說明。

因此，根據本第六實施例的半導體裝置中，由於 n<sup>-</sup>半導體層 2

的上表面內形成 n 擴散層 70，變得容易滿足上述的 RESURF 分離區域 300、301 中的 RESURF 條件。

根據上述的第一～五實施例的半導體裝置中，為了實現高耐壓化，n<sup>-</sup>半導體層 2 的設計使 n<sup>-</sup>半導體層 2 的雜質濃度 Nd 及其厚度 t 滿足以下的公式(1)所表示的 RESURF 條件。

$$Nd(\text{cm}^{-3}) \times t(\text{cm}) \doteq 1.0 \times 10^{12} [\text{cm}^{-2}] \cdots (1)$$

磊晶層中，通常由於此雜質濃度 Nd 及厚度 t 分別產生約 ± 10% 誤差，這些的積的誤差範圍約為 ± 20%，而不容易滿足 RESURF 條件。因此，不容易得到所希望的耐壓的半導體裝置。

然而，利用例如離子植入法導入雜質，之後經過熱處理工程而形成的擴散層區域中，可以精確控制雜質濃度其厚度(擴散深度)，因此雜質濃度及厚度的積可抑制在誤差範圍 1% 以下。因此，如根據本第六實施例的半導體裝置，n<sup>-</sup>半導體層 2 的上表面內由於設置 n 擴散區域 70，變得容易滿足 RESURF 條件，可由 RESURF 分離區域 300、301 確實地形成空乏層。結果，可以容易地得到所希望的耐壓的半導體裝置。

又，假設 RESURF 條件中的容許誤差範圍為 ± 20% 時，n<sup>-</sup>半導體層 2 的形成最好是雜質濃度厚度的積少於  $0.2 \times 10^{12} (\text{cm}^{-2})$ 。

其次，說明關於在 n<sup>-</sup>半導體層 2 的上表面內形成 n 擴散區域 70 的方法的一範例。第 37～42 圖係剖面圖，依序顯示 n 擴散區域 70 的製造方法的過程。首先，如第 37 圖所示，在 p<sup>-</sup>半導體基板 1 上形成磊晶層的 n<sup>-</sup>半導體層 2，更形成 n<sup>+</sup>埋入雜質區域 51。其次，如第 38 圖所示，在 n<sup>-</sup>半導體層 2 上形成具有既定的開口圖案的光阻 72a，並利用上述光阻 72a 作為光罩，離子植入 n 型雜質的磷(P)離子 71。因此，除去了光阻 72a。

其次，如第 39 圖所示，在 n<sup>-</sup>半導體層 2 上形成具有既定的開口圖案的光阻 72b，並利用上述光阻 72b 作為光罩，離子植入 n 型雜質的硼(B)離子 73，然後除去了光阻 72a。因此，以約 1000 °C 實施一小時以上的熱處理。藉此，如第 40 圖所示，在 n<sup>-</sup>半導體層 2 的上表面內形成 n 擴散區域 70 的同時，p 雜質區域 3 的一部

分的 p 雜質區域 3a 形成於由 n<sup>-</sup>半導體層 2 的上表面開始至與 p<sup>-</sup>半導體基板 1 的界面中的 n<sup>-</sup>半導體層 2 內部。之後，如第 41 圖所示，形成分離絕緣膜 17 及 n<sup>+</sup>雜質區域 52 等，接著如第 42 圖所示，藉由形成 p 雜質區域 3 的一部分的 p 雜質區域 3b 及第 1 場極板 55a ~ 55e，完成了根據本第六實施例的半導體裝置。

又，本第六實施例中，高電位島區域 201 及 nMOS 區域 202 內的 n<sup>-</sup>半導體層 2 的上表面形成遍佈全區域的 n 擴散區域 70，而藉由至少在空乏層所覆蓋的 RESURF 分離區域 300、301 內形成擴散區域 70，也可得到同樣的效果。即，由於高電位島區域 201 中至少在 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的上表面內形成 n 擴散區域 70，且 nMOS 區域 202 中至少在 p 雜質區域 3 與 n<sup>+</sup>雜質區域 12 間的 n<sup>-</sup>半導體層 2 的上表面內形成 n 擴散區域 70，可以容易地得到具有所希望的耐壓的半導體裝置。

#### <第七實施例>

第 43 圖係平面圖，顯示根據本發明的第七實施例的半導體裝置的構造。根據本發明的第七實施例的半導體裝置係，在根據上述第六實施例的半導體裝置中的配線 30 的下方，n<sup>-</sup>半導體層 2 由 n 擴散區域 70 中露出。第 43 圖係擴大顯示高電位島區域 201 內的 n<sup>-</sup>半導體層 2、與 nMOS 區域 202 內的 n<sup>-</sup>半導體層 2 的境界附近，而為了說明上的方便，除了配線 30 外，省略了 n<sup>-</sup>半導體層 2 上方的構造的顯示，更省略了 p<sup>+</sup>雜質區域 13 及源極區域 14 的顯示，而後述的第 44、45 圖也是一樣。

如第 43 圖所示，根據本第七實施例的高電位島區域 201 中，在配線 30 下方的 p 雜質區域 3 及 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 中，未形成部分的 n 擴散區域 70，而 n<sup>-</sup>半導體層 2 具有由 n 擴散區域 70 中所露出的部分 2a。n<sup>-</sup>半導體層 2 的露出部分 2a 沿著 p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 的 p 雜質區域 3 側的一端往 n<sup>+</sup>雜質區域 52 的方向延伸。

又，根據本第七實施例的 nMOS 區域 202 中，在配線 30 下方的 p 雜質區域 3 與 n<sup>+</sup>雜質區域 12 間的 n<sup>-</sup>半導體層 2 中，未形成部

分的 n 擴散區域 70，而 n<sup>-</sup>半導體層 2 具有由 n 擴散區域 70 中所露出的部分 2b。n<sup>-</sup>半導體層 2 的露出部分 2b 沿著 p 雜質區域 3 及 n<sup>+</sup>雜質區域 12 間的 n<sup>-</sup>半導體層 2 的 p 雜質區域 3 側的一端往 n<sup>+</sup>雜質區域 12 的方向延伸。而關於其它的構造係與根據第六實施例的半導體裝置相同，因此省略了說明。

如上所述，施加數百 V 的高電位的配線 30 的下方的 n<sup>-</sup>半導體層 2 中，因為上述配線的電位的影響，抑制了空乏層的延伸。因此，n<sup>-</sup>半導體層 2 的上表面附近會發生電場集中。

本第七實施例中，由於 n<sup>-</sup>半導體層 2 在配線 30 的下方具有由 n 擴散區域 70 中所露出的部分 2a、2b，而上述露出部分 2a、2b 促進了空乏層的延伸。這是因為 n<sup>-</sup>半導體層 2 的雜質濃度比 n 擴散區域 70 低。因此，可緩和由於配線 30 的電位所產生的電場集中，而改善了耐壓。

#### <第八實施例>

第 44 圖係平面圖，顯示根據本發明的第八實施例的半導體裝置的構造。本第八實施例的半導體裝置係，在根據上述的第七實施例的半導體裝置中，改變露出部分 2a、2b 的形狀。

如第 44 圖所示，根據本第八實施例的 n<sup>-</sup>半導體層 2 的露出部分 2a 以平面所視為梯形，以平面所視係由 p 雜質區域 3 往 n<sup>+</sup>雜質區域 52 的方向的垂直方向的寬度 W1 隨著由 p 雜質區域 3 往 n<sup>+</sup>雜質區域 52 的方向變窄。又，根據本第八實施例的 n<sup>-</sup>半導體層 2 的露出部分 2b 以平面所視幾乎為梯形，由 p 雜質區域 3 往 n<sup>+</sup>雜質區域 12 的方向的垂直方向的寬度 W2 隨著由 p 雜質區域 3 往 n<sup>+</sup>雜質區域 12 的方向變窄。而關於其它的構造係與根據第七實施例的半導體裝置相同，因此省略了說明。

在此，p 雜質區域 3 與 n<sup>+</sup>雜質區域 52 間的 n<sup>-</sup>半導體層 2 中，隨著低電位的 p 雜質區域 3 往高電位 n<sup>+</sup>雜質區域 52 的方向，空乏層變得容易延伸。p 雜質區域 3 與 n<sup>+</sup>雜質區域 12 間的 n<sup>-</sup>半導體層 2 中，隨著低電位的 p 雜質區域 3 往高電位 n<sup>+</sup>雜質區域 12 的方向，空乏層也變得容易延伸。因此，如同根據上述的第七實施例的半

導體裝置，設定露出部分 2a、2b 的寬度  $W1$ 、 $W2$  為均一時，露出部分 2a、2b 中比較會發生電場集中處。

本第八實施例中，由於露出部分 2a 的寬度  $W1$  隨著往  $n^+$  雜質區域 52 的方向變窄，上述露出部分 2a 中的空乏層的延伸受到雜質濃度高的  $n$  擴散層 70 的干擾而隨著往  $n^+$  雜質區域 52 的方向被抑制。因此，由第 43 圖所示的等電位線 90 與第 44 圖所示的等電位線 90 的比較可看出，在露出部分 2a 的等電位線 90 較疏，可緩和上述露出部分 2a 中的電場集中。

又，本第八實施例中，由於露出部分 2b 的寬度  $W2$  隨著往  $n^+$  雜質區域 12 的方向變窄，上述露出部分 2a 中的空乏層的延伸受到  $n$  擴散層 70 的干擾而隨著往  $n^+$  雜質區域 12 的方向被抑制。因此，可緩和上述露出部分 2b 中的電場集中。

#### <第九實施例>

第 45 圖係平面圖，顯示根據本發明的第九實施例的半導體裝置的構造。本第九實施例的半導體裝置係，在根據上述的第七實施例的半導體裝置中，分割  $n^-$  半導體層 2 的露出部分 2a、2b 為複數。

如第 45 圖所示，根據本第九實施例的  $n^-$  半導體層 2 的露出部分 2a 被分割為複數而具有複數分割部分 2aa。複數分割部分 2aa 在配線 30 的下方，沿著  $p$  雜質區域 3 往  $n^+$  雜質區域 52 的方向互相分離配置。因此，複數分割部分 2aa 以平面所視，沿著  $p$  雜質區域 3 往  $n^+$  雜質區域 52 的方向的寬度  $W11$  隨著  $p$  雜質區域 3 往  $n^+$  雜質區域 52 的方向變窄。

又，根據本第九實施例的  $n^-$  半導體層 2 的露出部分 2b 被分割為複數而具有複數分割部分 2bb。複數分割部分 2bb 在配線 30 的下方，沿著  $p$  雜質區域 3 往  $n^+$  雜質區域 12 的方向互相分離配置。因此，複數分割部分 2bb，以平面所視，沿著  $p$  雜質區域 3 往  $n^+$  雜質區域 12 的方向的寬度  $W12$  隨著  $p$  雜質區域 3 往  $n^+$  雜質區域 12 的方向變窄。而關於其它的構造係與根據第七實施例的半導體裝置相同，因此省略了說明。

如上所述，在根據本第九實施例的半導體裝置中，因為由  $n^-$  半導體層 2 的擴散區域 70 露出部分的複數分割部分 2aa 的寬度  $W11$  隨著往  $n^+$  雜質區域 52 的方向變窄，複數分割部分 2aa 中的空乏層的延伸隨著往  $n^+$  雜質區域 52 的方向被抑制。因此，可以緩和 p 雜質區域 3 與  $n^+$  雜質區域 52 間的電場集中。

又，由於  $n^-$  半導體層 2 的擴散區域 70 的露出部分的複數分割部分 2bb 的寬度  $W12$  隨著往  $n^+$  雜質區域 12 的方向變窄，複數分割部分 2bb 的空乏層的延伸隨著往  $n^+$  雜質區域 12 的方向被抑制。因此，可以緩和 p 雜質區域 3 與  $n^+$  雜質區域 12 間的電場集中。

#### <第十實施例>

第 46 圖係剖面圖，顯示根據本發明的第 10 實施例的半導體裝置的構造。根據本第 10 實施例的半導體裝置係，在上述的第九實施例的半導體裝置中，基本地，露出部分 2a 的複數分割部分 2aa 分別配置於第 1 場極板 55a~55e 間間隙的下方，且露出部分 2b 的複數分割部分 2bb 分別配置於第 1 場極板 15a~15e 間間隙的下方。又，第 46 圖係對應於在第 2 圖中的箭頭 A-A 位置的剖面圖。

如第 46 圖所示，本第十實施例中，第 1 場極板 55a、55b 間間隙的下方、第 1 場極板 55b、55c 間間隙的下方、第 1 場極板 55c、55d 間間隙的下方、及第 1 場極板 55d、55e 間間隙的下方，設置有分割部分 2aa。

又，本第十實施例中，第 1 場極板 15a、15b 間間隙的下方、第 1 場極板 15b、15c 間間隙的下方、第 1 場極板 15c、15d 間間隙的下方、及第 1 場極板 15d、15e 間間隙的下方，設置有分割部分 2bb。

又，根據上述的第九實施例的分割部分 2aa、2bb 的寬度  $W11$ 、 $W12$  隨 p 雜質區域 3 往  $n^+$  雜質區域 52 的方向或 p 雜質區域 3 往  $n^+$  雜質區域 12 的方向而設定變窄，但本第十實施例中的各分割部分 2aa、2bb 的寬度  $W11$ 、 $W12$  與對應的第 1 場極板間間隙的距離幾乎設定為一致。

如上述的根據本第十實施例的半導體裝置中， $n^-$  半導體層 2

的擴散區域 70 的露出部分的複數分割部分 2aa 分別配置於第 1 場極板 55a~55e 間的間隙的下方。受到 p 雜質區域 3 與  $n^+$  雜質區域 52 間的配線 30 的電位的影響較強的部分係第 1 場極板 15a~15e 間的間隙下方，所以藉由空乏層容易在此延伸的分割部分 2aa 的配置，可緩和電場集中。結果，改善了耐壓。

又，本第十實施例的半導體裝置， $n^-$  半導體層 2 的擴散區域 70 的露出部分的複數分割部分 2bb 分別配置於第 1 場極板 15a~15e 間的間隙的下方。受到 p 雜質區域 3 與  $n^+$  雜質區域 12 間的配線 30 的電位的影響較強的部分係第 1 場極板 15a~15e 間的間隙下方，所以藉由空乏層容易在此延伸的分割部分 2bb 的配置，可緩和電場集中。結果，改善了耐壓。

#### 【圖式簡單說明】

[第 1 圖]顯示根據本發明的第一實施例的半導體裝置的構造的方塊圖。

[第 2 圖]顯示根據本發明的第一實施例的半導體裝置的構造的平面圖。

[第 3 圖]顯示根據本發明的第一實施例的半導體裝置的構造的剖面圖。

[第 4 圖]顯示根據本發明的第一實施例的半導體裝置的構造的剖面圖。

[第 5 圖]顯示根據本發明的第一實施例的半導體裝置的構造的剖面圖。

[第 6 圖]顯示根據本發明的第一實施例的半導體裝置中的電位分佈圖。

[第 7 圖]顯示根據本發明的第一實施例的半導體裝置中的電位分佈圖。

[第 8 圖]顯示習知的半導體裝置中的電位分佈圖。

[第 9 圖]顯示習知的半導體裝置中的電位分佈圖。

[第 10 圖]顯示習知的半導體裝置中的電位分佈圖。

[第 11 圖]顯示根據本發明的第一實施例的半導體裝置中的絕緣耐壓的實測值。

[第 12 圖]顯示根據本發明的第二實施例的半導體裝置的構造的平面圖。

[第 13 圖]顯示根據本發明的第二實施例的半導體裝置的構造的剖面圖。

[第 14 圖]顯示根據本發明的第二實施例的半導體裝置的構造的剖面圖。

[第 15 圖]顯示根據本發明的第二實施例的半導體裝置的構造的剖面圖。

[第 16 圖]顯示根據本發明的第三實施例的半導體裝置的構造的方塊圖。

[第 17 圖]顯示根據本發明的第三實施例的半導體裝置的構造的平面圖。

[第 18 圖]顯示根據本發明的第三實施例的半導體裝置的構造的剖面圖。

[第 19 圖]顯示根據本發明的第三實施例的半導體裝置的構造的剖面圖。

[第 20 圖]顯示根據本發明的第三實施例的半導體裝置的構造的剖面圖。

[第 21 圖]顯示根據本發明的第三實施例的半導體裝置中的電位分佈圖。

[第 22 圖]顯示根據本發明的第三實施例的半導體裝置中的電位分佈圖。

[第 23 圖]顯示根習知的半導體裝置中的電位分佈圖。

[第 24 圖]顯示根據本發明的第三實施例的半導體裝置的構造的剖面圖。

[第 25 圖]顯示根據本發明的第四實施例的半導體裝置的構造的平面圖。

[第 26(a)圖至第 26(b)圖]顯示根據本發明的第四實施例的半

導體裝置的構造的剖面圖。

[第 27(a)圖至第 27(b)圖]顯示根據本發明的第四實施例的半導體裝置的構造的剖面圖。

[第 28 圖]顯示根據本發明的第四實施例的半導體裝置中的電位分佈圖。

[第 29 圖]顯示根據本發明的第四實施例的半導體裝置中的電位分佈圖。

[第 30(a)圖至第 30(b)圖]顯示根據本發明的第四實施例的半導體裝置的構造的剖面圖。

[第 31(a)圖至第 31(b)圖]顯示根據本發明的第四實施例的半導體裝置的構造的剖面圖。

[第 32(a)圖至第 32(b)圖]顯示根據本發明的第五實施例的半導體裝置的構造的剖面圖。

[第 33(a)圖至第 33(b)圖]顯示根據本發明的第五實施例的半導體裝置的構造的剖面圖。

[第 34(a)圖至第 34(b)圖]顯示根據本發明的第五實施例的半導體裝置的構造的剖面圖。

[第 35(a)圖至第 35(b)圖]顯示根據本發明的第五實施例的半導體裝置的構造的剖面圖。

[第 36 圖]顯示根據本發明的第六實施例的半導體裝置的構造的剖面圖。

[第 37 圖]依序顯示根據本發明的第六實施例的半導體裝置的製造方法的過程的剖面圖。

[第 38 圖]依序顯示根據本發明的第六實施例的半導體裝置的製造方法的過程的剖面圖。

[第 39 圖]依序顯示根據本發明的第六實施例的半導體裝置的製造方法的過程的剖面圖。

[第 40 圖]依序顯示根據本發明的第六實施例的半導體裝置的製造方法的過程的剖面圖。

[第 41 圖]依序顯示根據本發明的第六實施例的半導體裝置的

製造方法的過程的剖面圖。

[第 42 圖]依序顯示根據本發明的第六實施例的半導體裝置的製造方法的過程的剖面圖。

[第 43 圖]顯示根據本發明的第七實施例的半導體裝置的構造的平面圖。

[第 44 圖]顯示根據本發明的第八實施例的半導體裝置的構造的平面圖。

[第 45 圖]顯示根據本發明的第九實施例的半導體裝置的構造的平面圖。

[第 46 圖]顯示根據本發明的第十實施例的半導體裝置的構造的剖面圖。

#### 【主要元件符號說明】

100~低電位邏輯電路；	101~高電位邏輯電路；
102~MOS 電晶體；	103~電阻；
105~MOS 電晶體；	112~p <sup>+</sup> 雜質區域；
115a~閘極電極；	115b-115e~第 1 場極板；
116、156~電極；	12、52~n <sup>+</sup> 雜質區域；
120a~第 2 場極板；	120b-120d~第 2 場極板；
122a~接點窗插塞；	124~汲極電極；
130~配線；	133~p 雜質區域；
15a、115a~閘極電極；	16、56、116、156~電極；
17~分離絕緣膜；	1~p <sup>-</sup> 半導體基板；
201~高電位島區域；	202~nMOS 區域；
205~pMOS 區域；	21、23~絕緣膜；
24、124~汲極電極；	26~接點窗插塞；
2a、2b~露出部分；	2aa、2bb~分割部分；
2~n <sup>-</sup> 半導體層；	3、133~p 雜質區域；
30、130~配線；	69d、129~切斷處；
70~n 擴散區域；	W1、W2、W11、W12~寬度；

# I277208

22a、26、122a～接點窗插塞；

29、69a、69d、129～切斷處；

300、301～RESURF 分離區域；

a1-a9、b1-b9、c1-c9、d1-d9～角度；

15b-15e、55a-55e、115b-115e～第 1 場極板；

20a-20d、60a-60d、120a-120d～第 2 場極板。

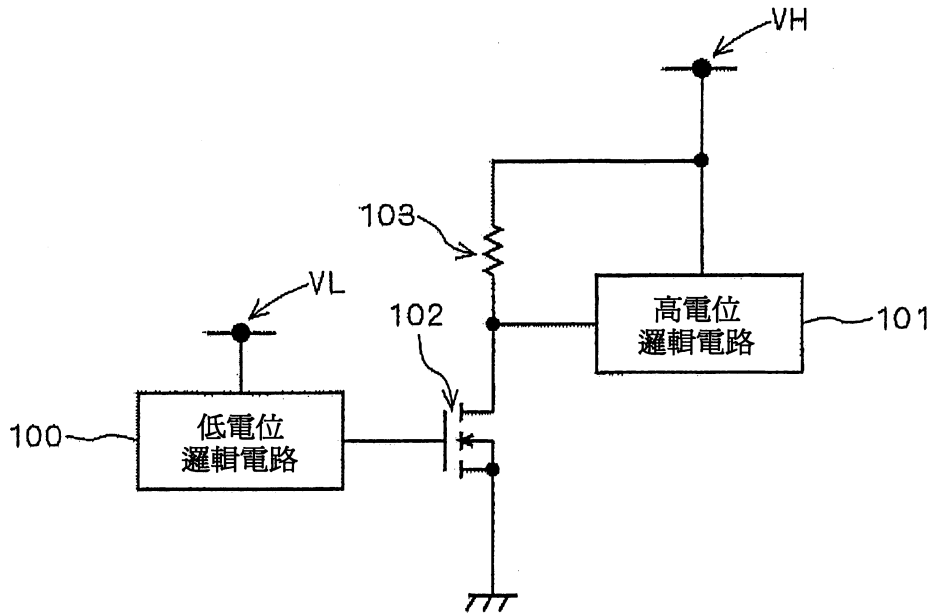
## 五、中文發明摘要：

[課題] 提供使半導體裝置可容易達成所希望的耐壓的技術。

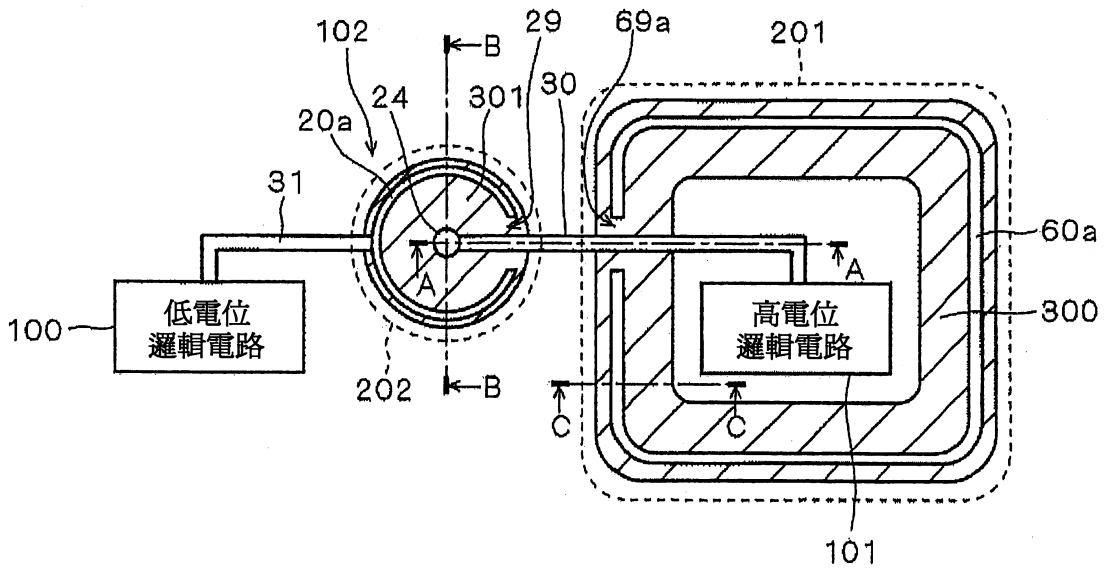
[解決手段] 以 p 雜質區域 3 界定的高電位島區域 201 內的 n<sup>-</sup>半導體層 2 中形成 n<sup>+</sup>雜質區域 52，n<sup>+</sup>雜質區域 52 與 p 雜質區域 3 間的 n<sup>-</sup>半導體層 2 的上方多重地形成第 1 場極板 55a~55e 與複數第 2 場極板。在上層的第 2 場極板位於在下層的的第 1 場極板間間隙上方，且配線 30 通過第 2 場極板的上方。第 2 場極板內最靠近 p 雜質區域 3 的第 2 場極板在配線 30 的下方具有切斷處，而在上述切斷處的下方的第 1 場極板間間隙中形成分離的電極 56。

## 六、英文發明摘要：

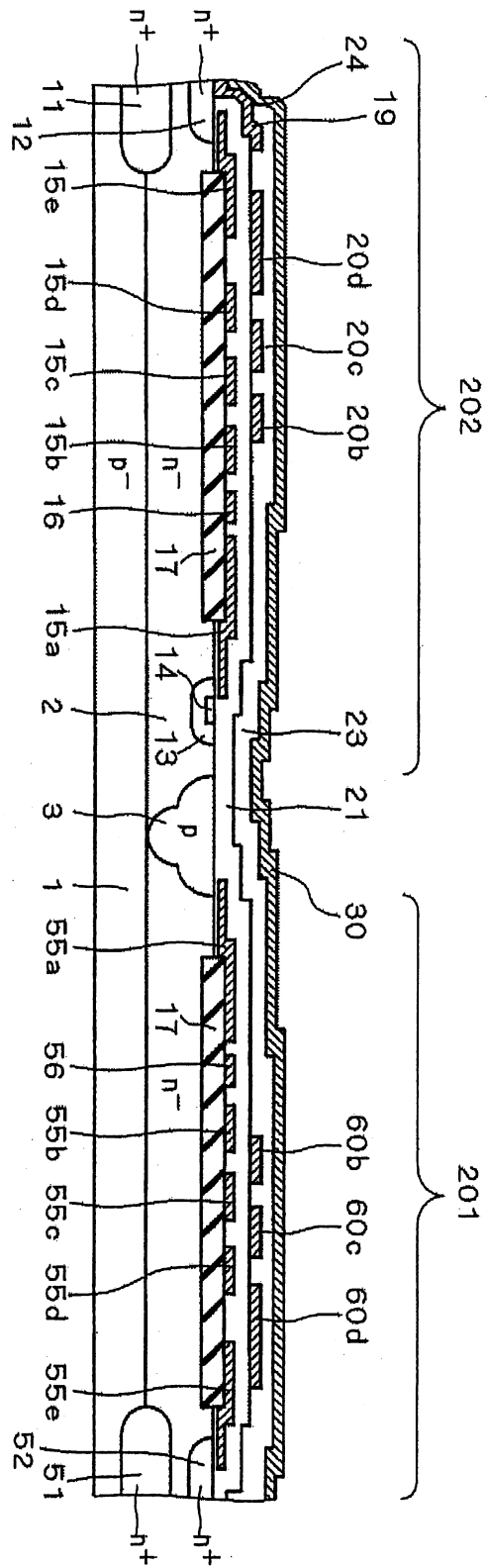
A technique is provided which allows easy achievement of a semiconductor device with desired breakdown voltage. In a high-potential island region (201) defined by a p impurity region (3), an n<sup>+</sup> impurity region (52) is formed in an n<sup>-</sup> semiconductor layer (2), and first field plates (55a-55e) and second field plates are formed in multiple layers above the n<sup>-</sup> semiconductor layer (2) between the n<sup>+</sup> impurity region (52) and the p impurity region (3). The second field plates in the upper layer are located above spaces between the first field plates in the lower layer, over which an interconnect line (30) passes. One of the second field plates which is closest to the p impurity region (3) has a cut portion under the interconnect line (30), and an electrode (56) is spaced between the first field plates located under the cut portion.



第1圖



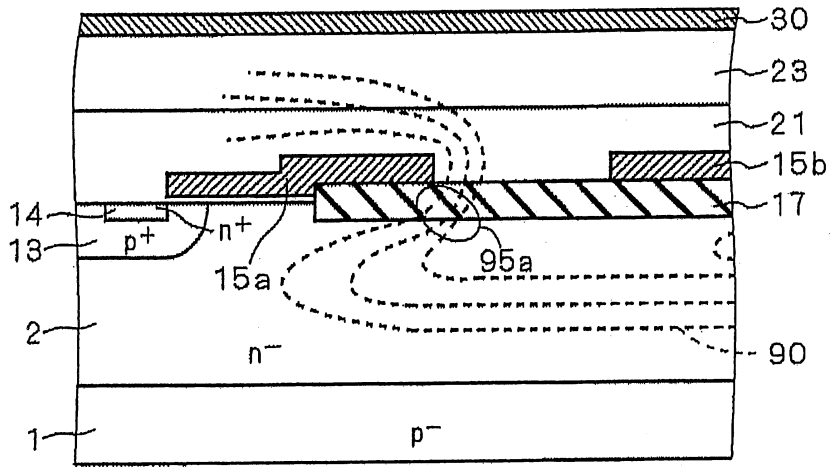
第2圖



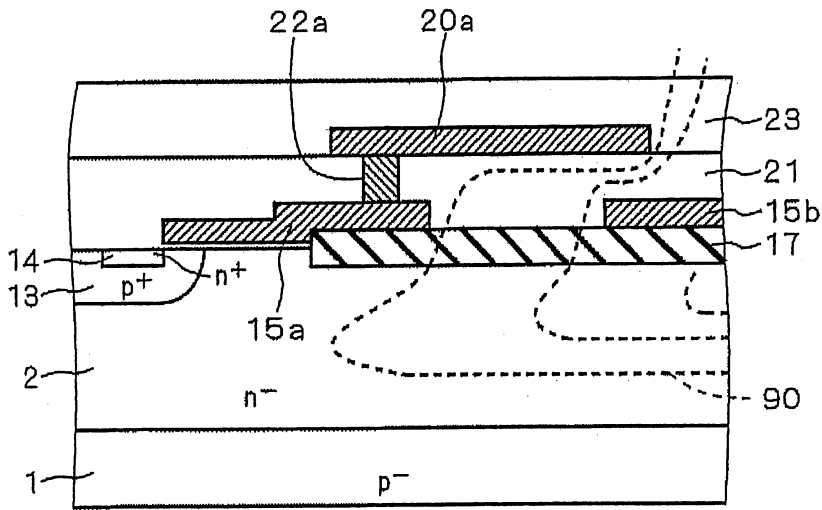
第3圖



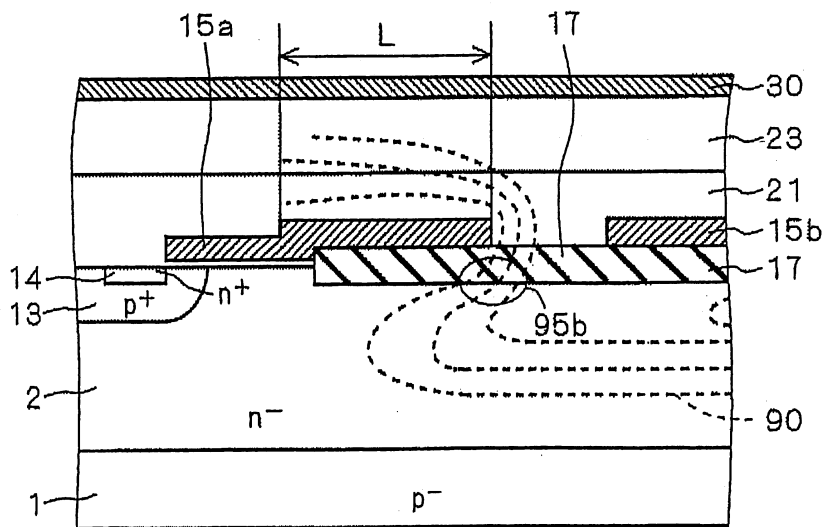




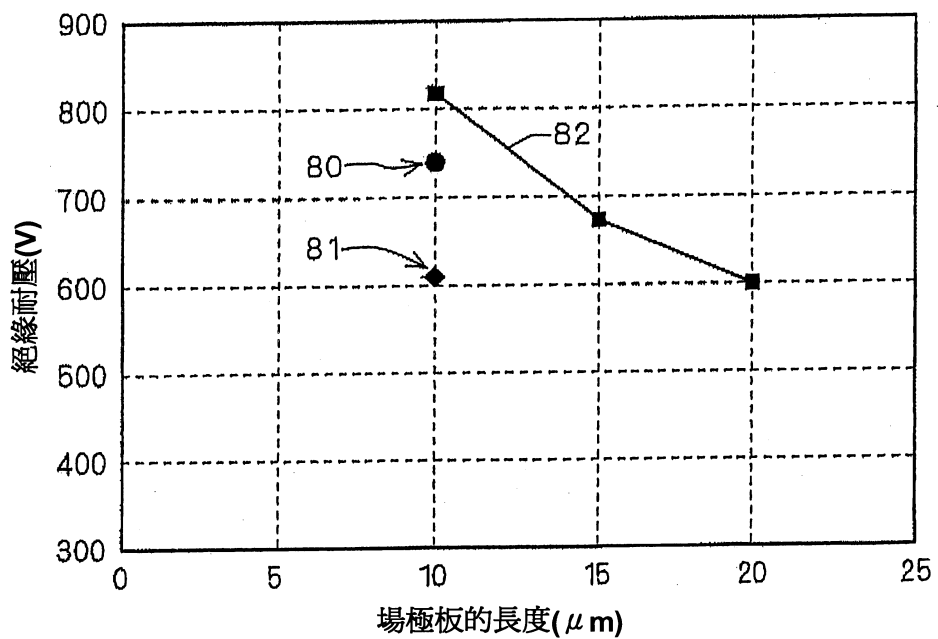
第8圖



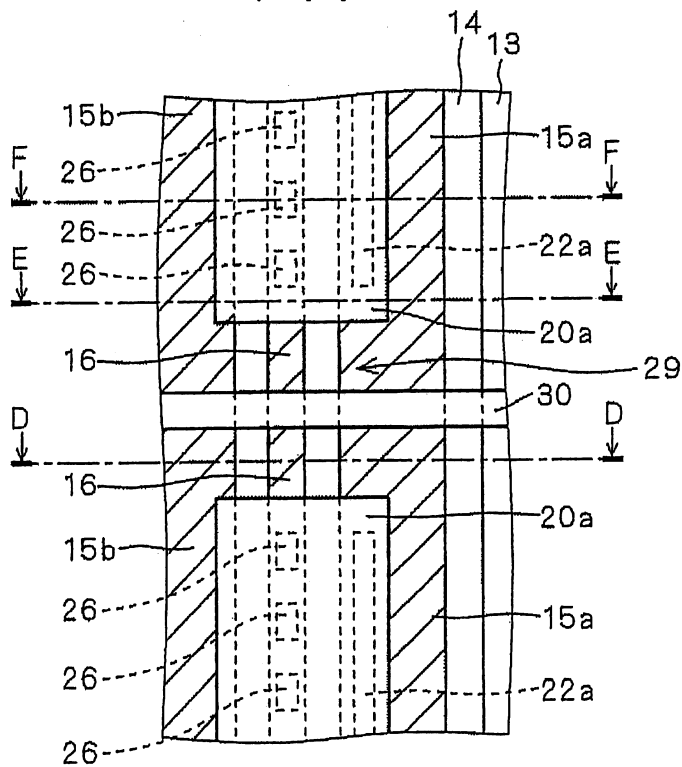
第9圖



第10圖

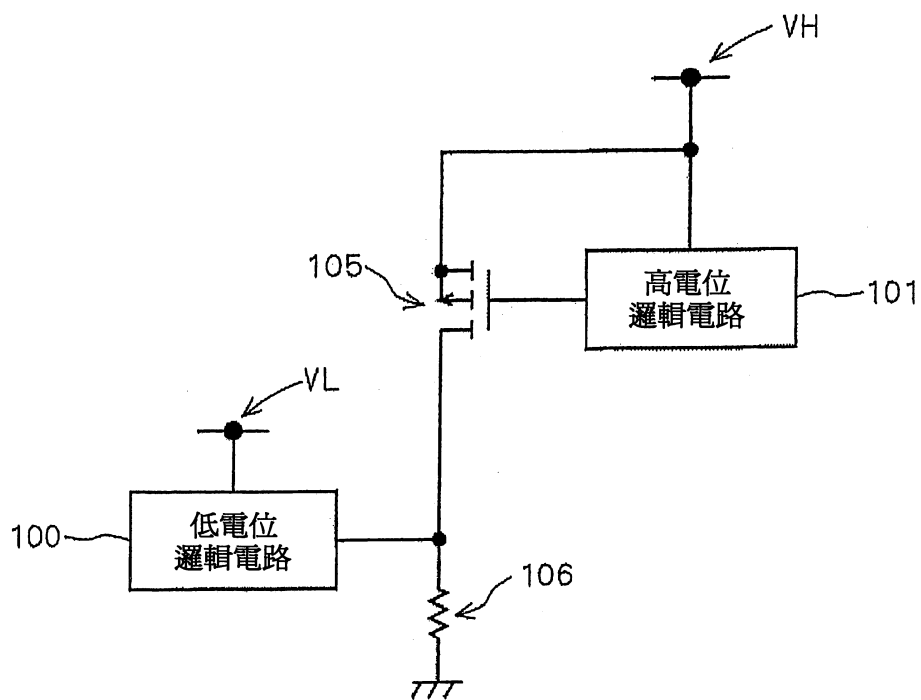


第11圖

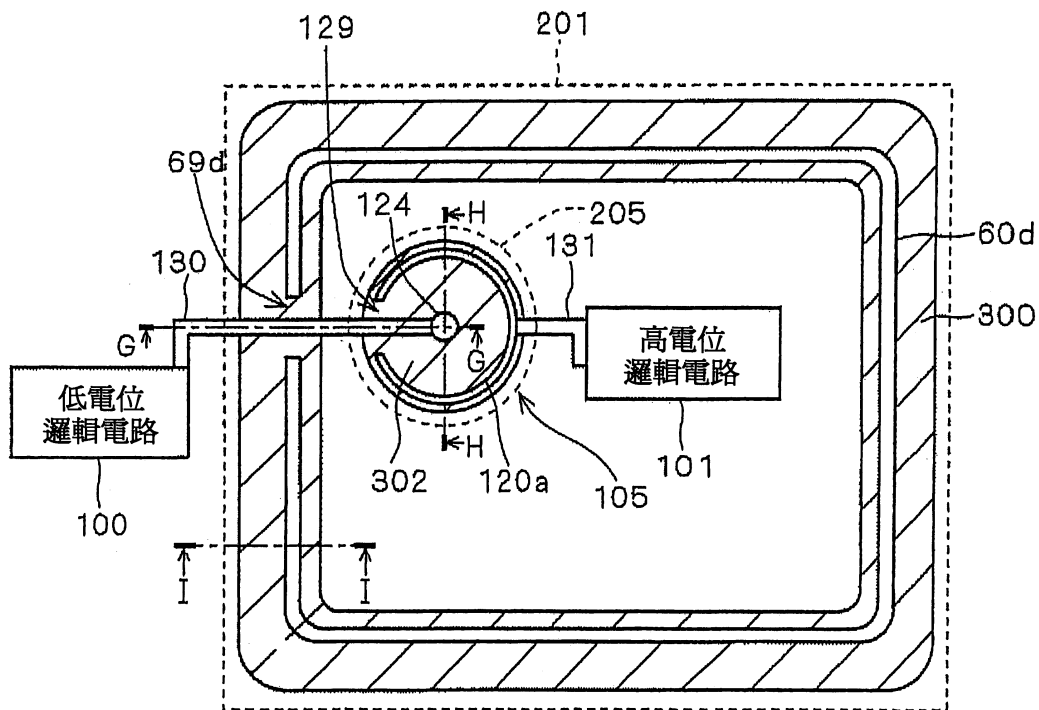


第12圖

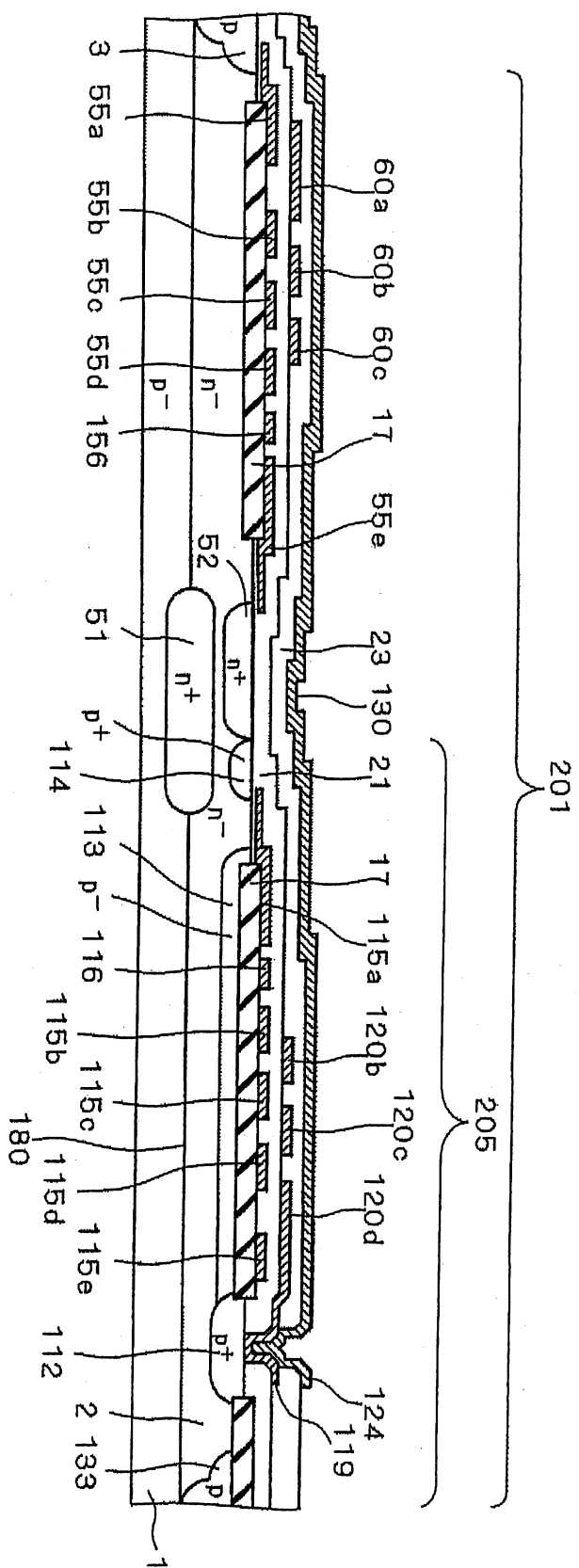




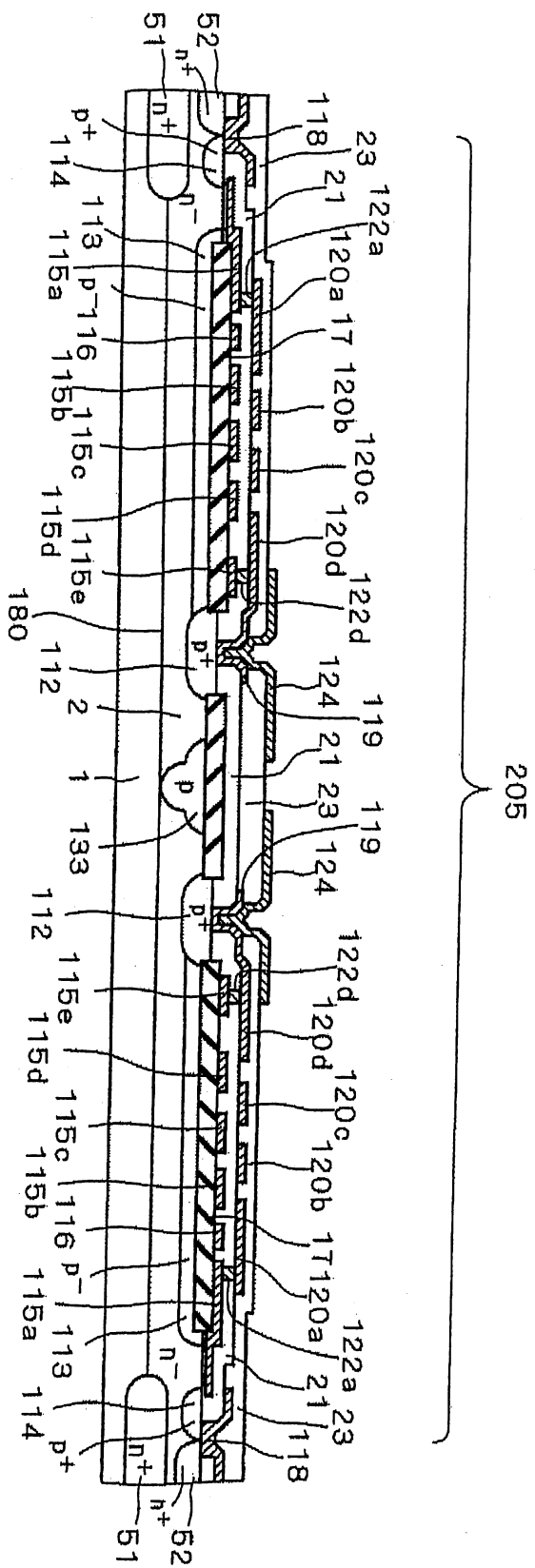
第16圖



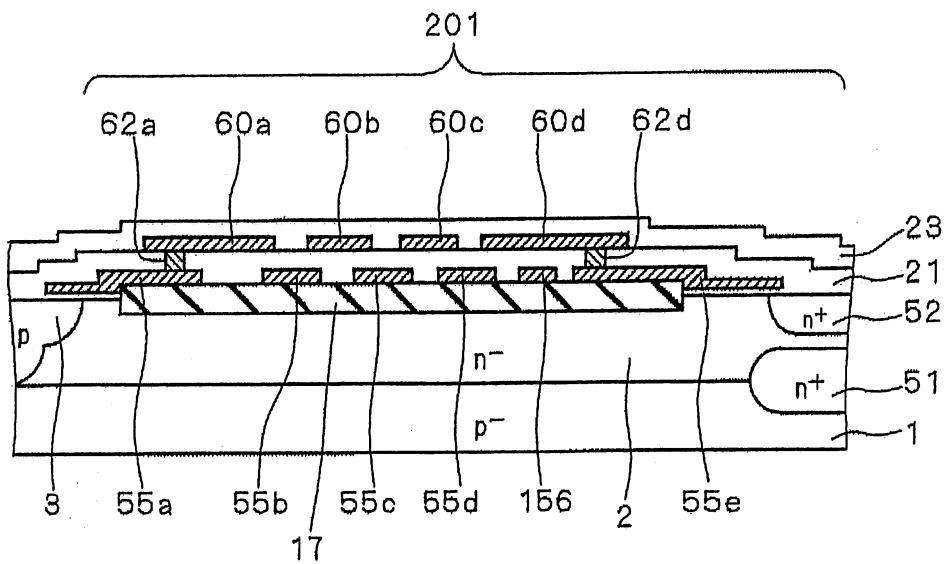
第17圖



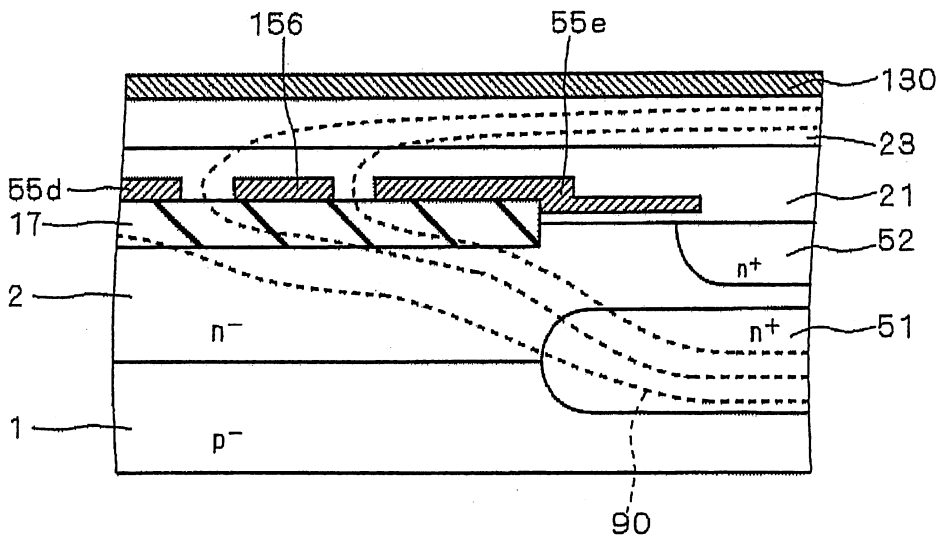
第18圖



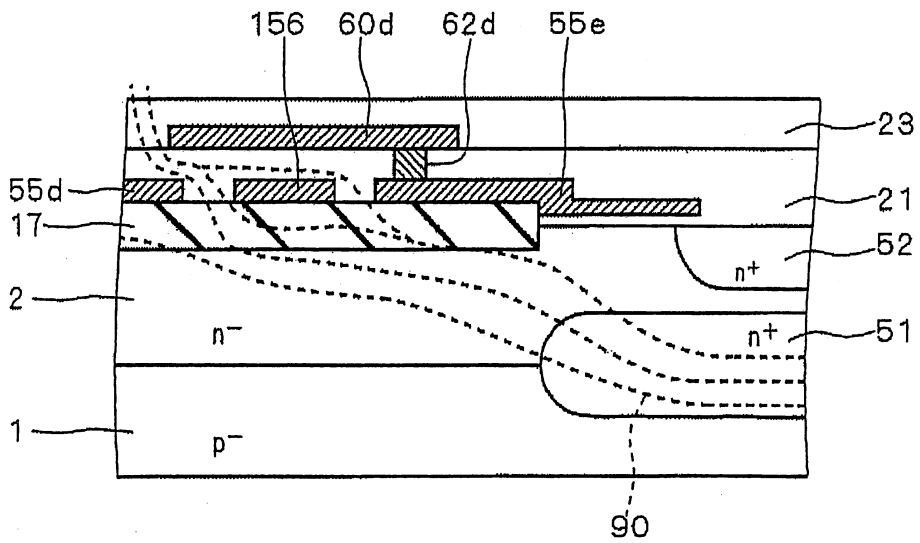
第19圖



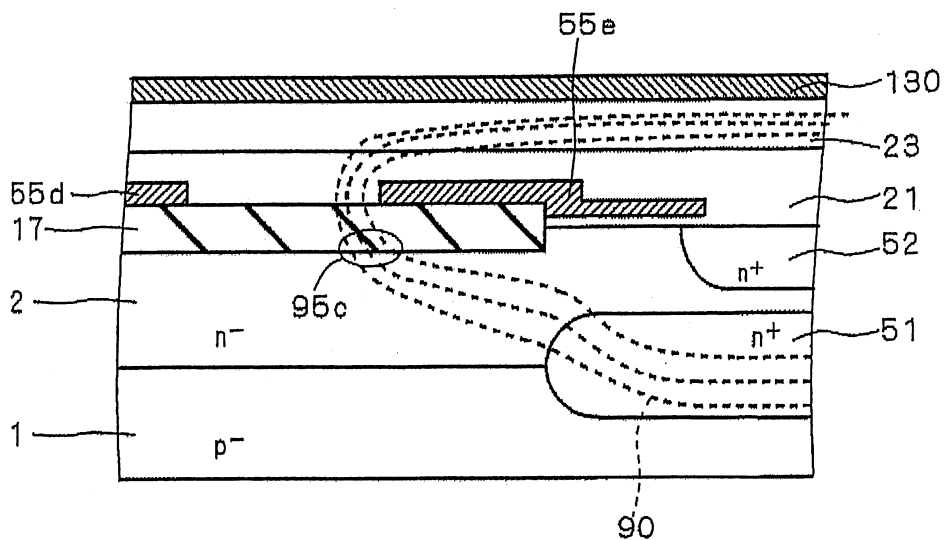
第20圖



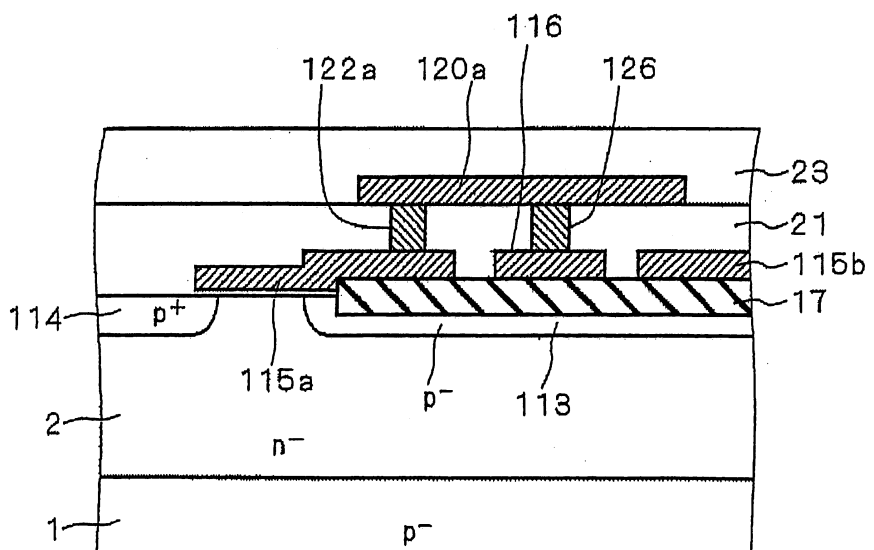
第21圖



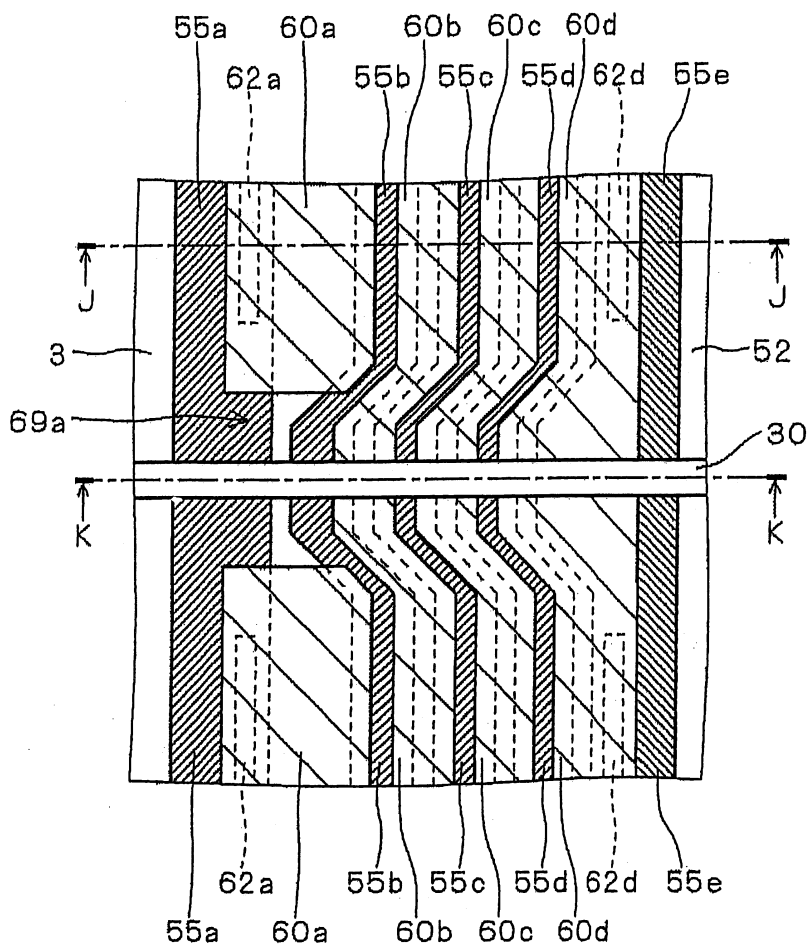
第22圖



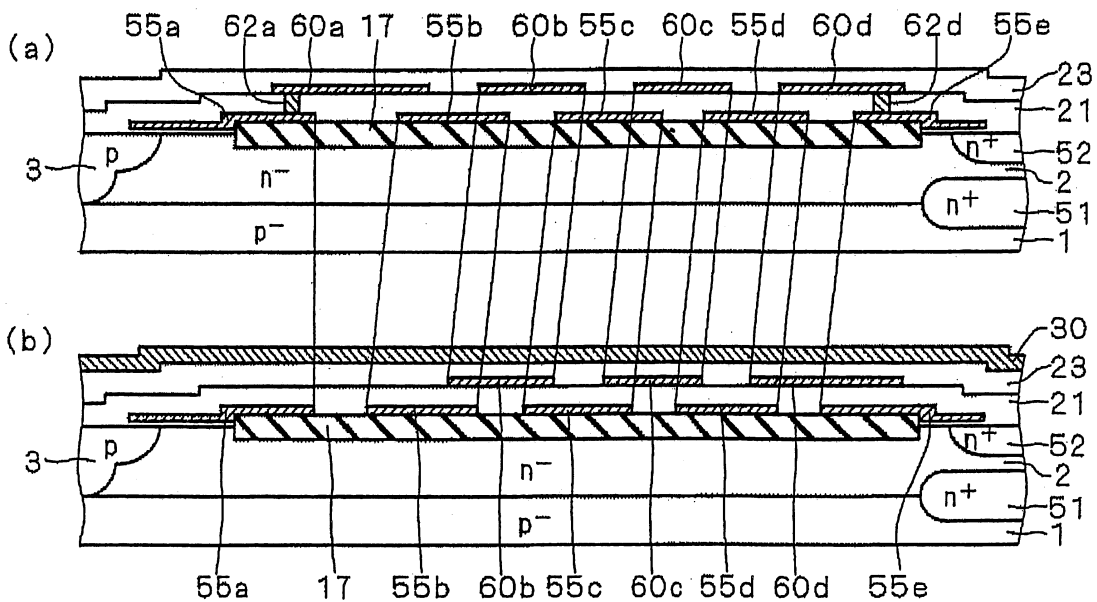
第23圖



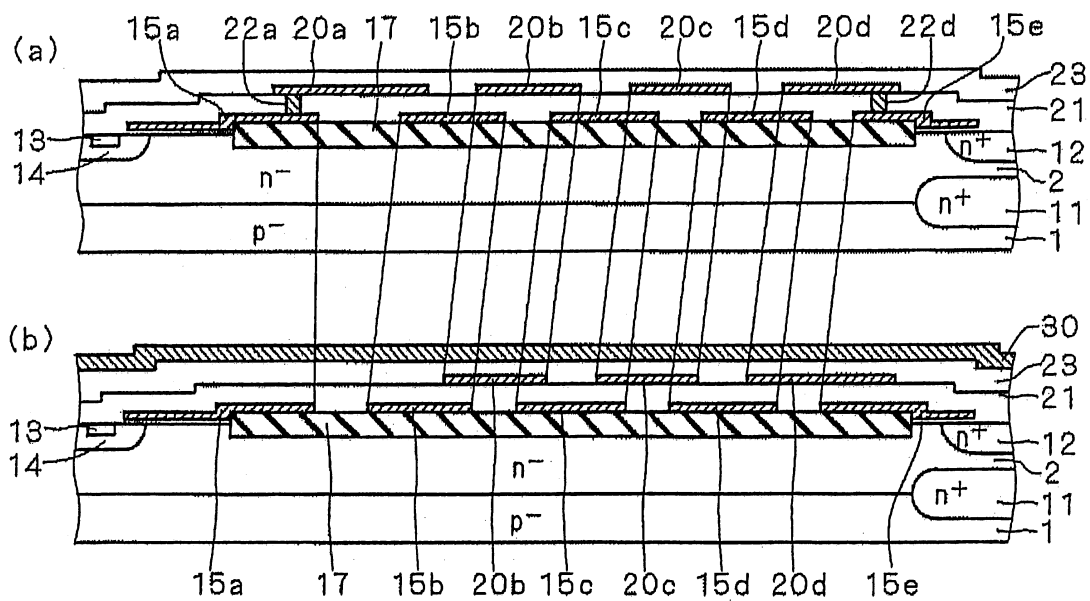
第24圖



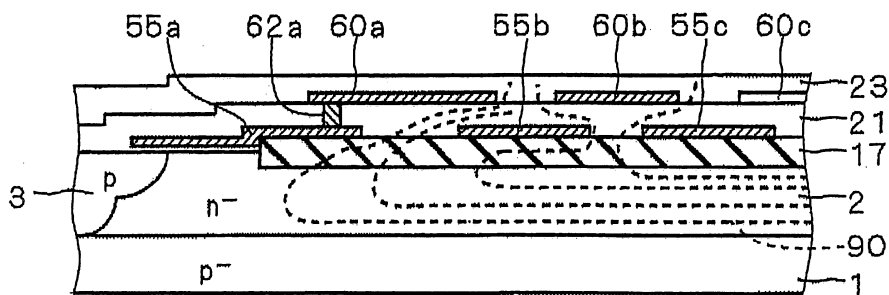
第25圖



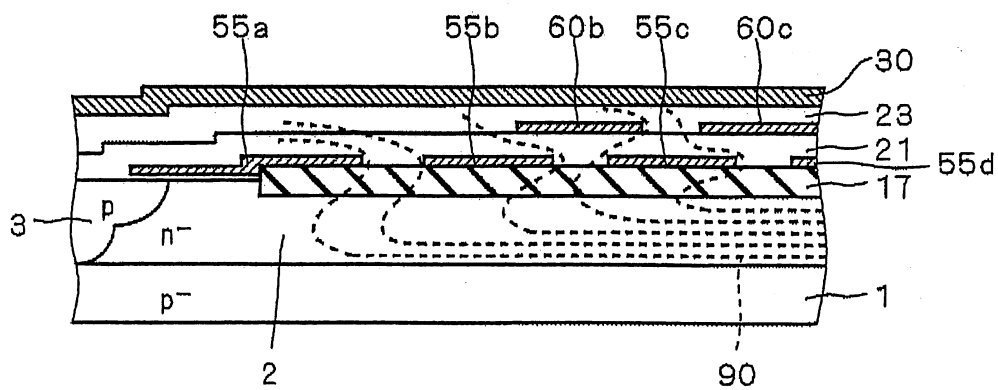
第26圖



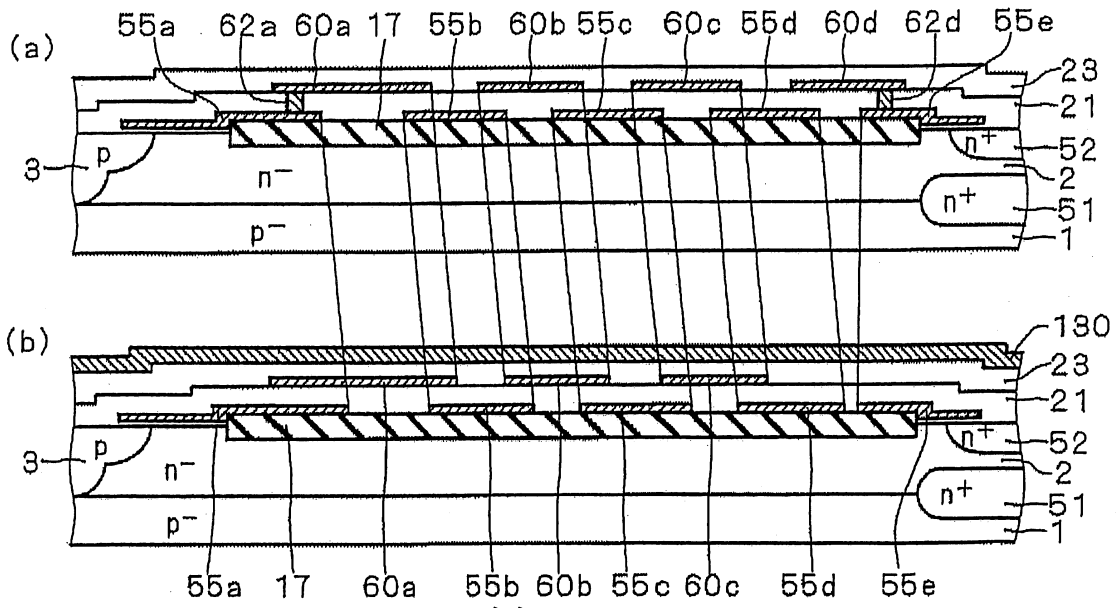
第27圖



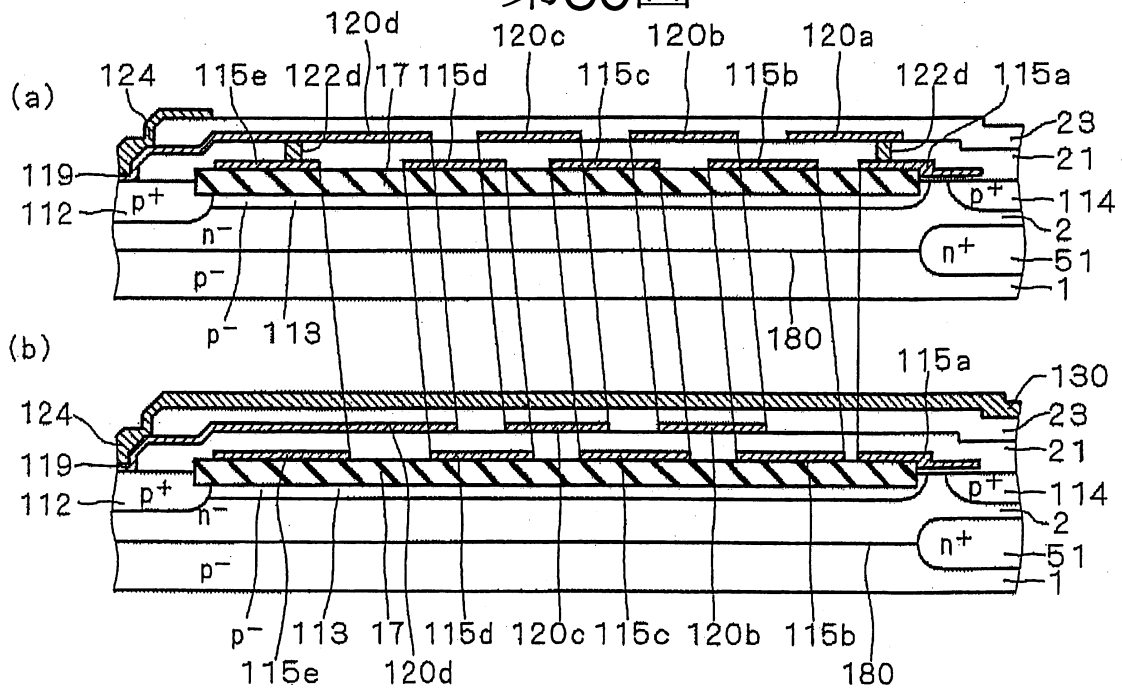
第28圖



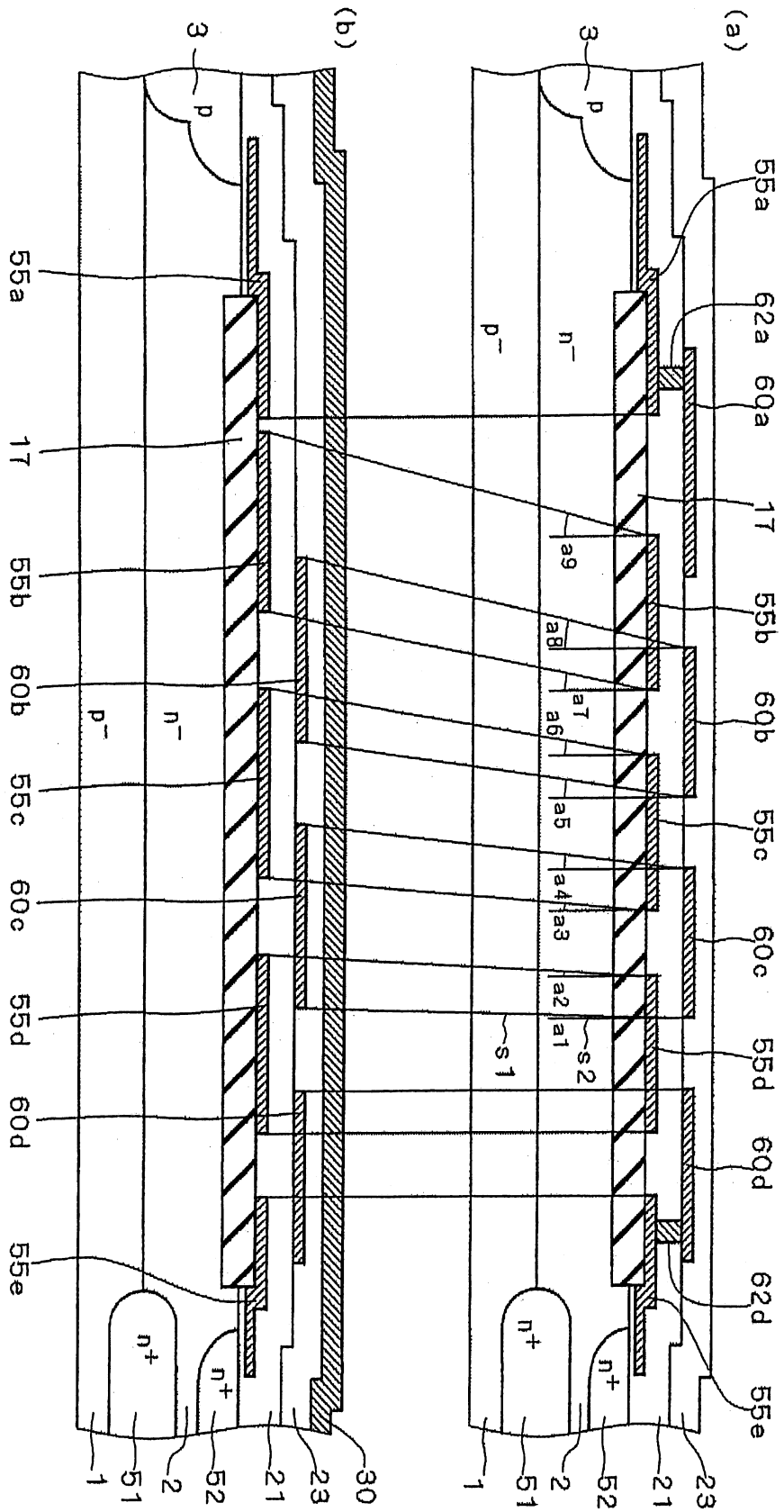
第29圖



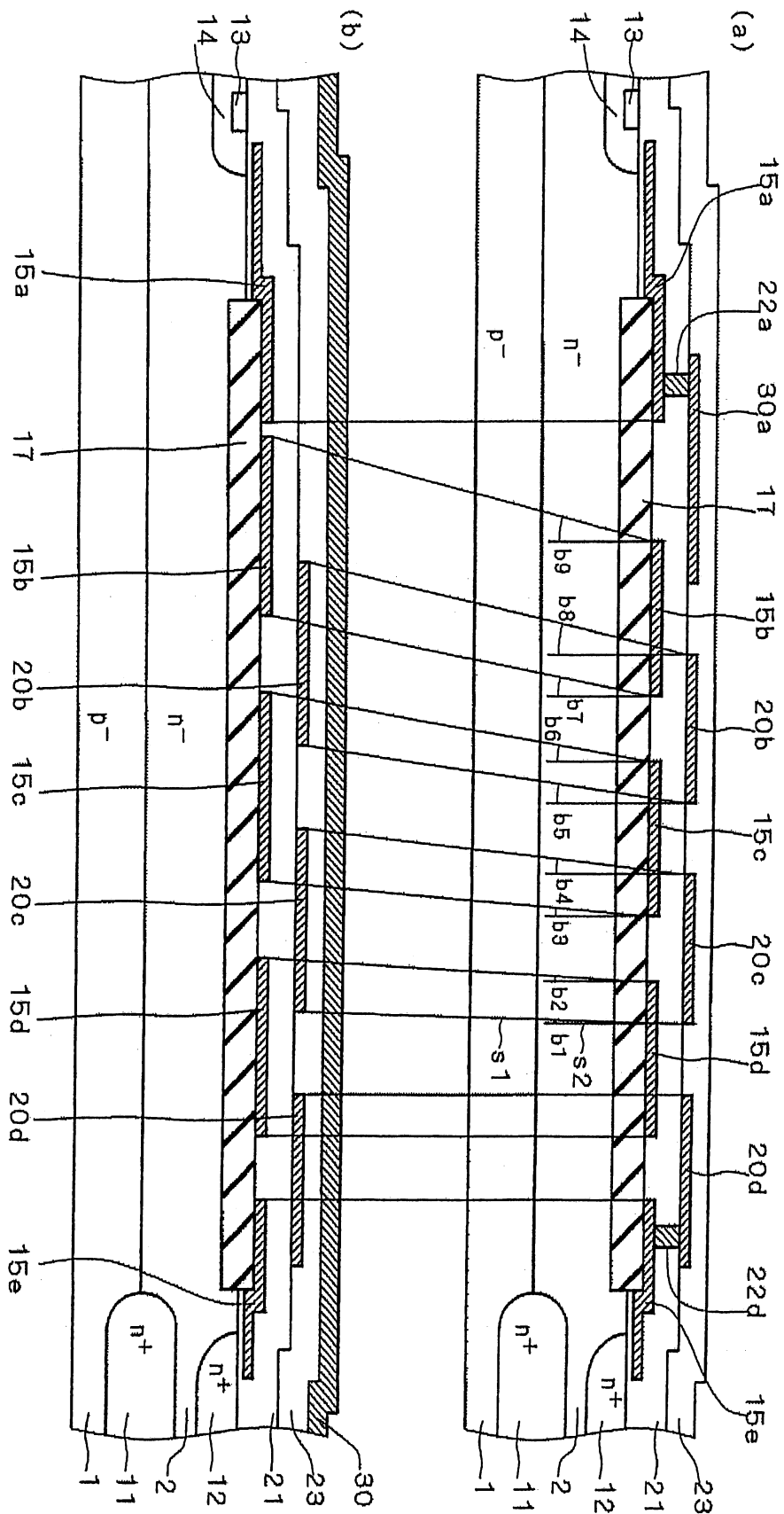
第30圖



第31圖



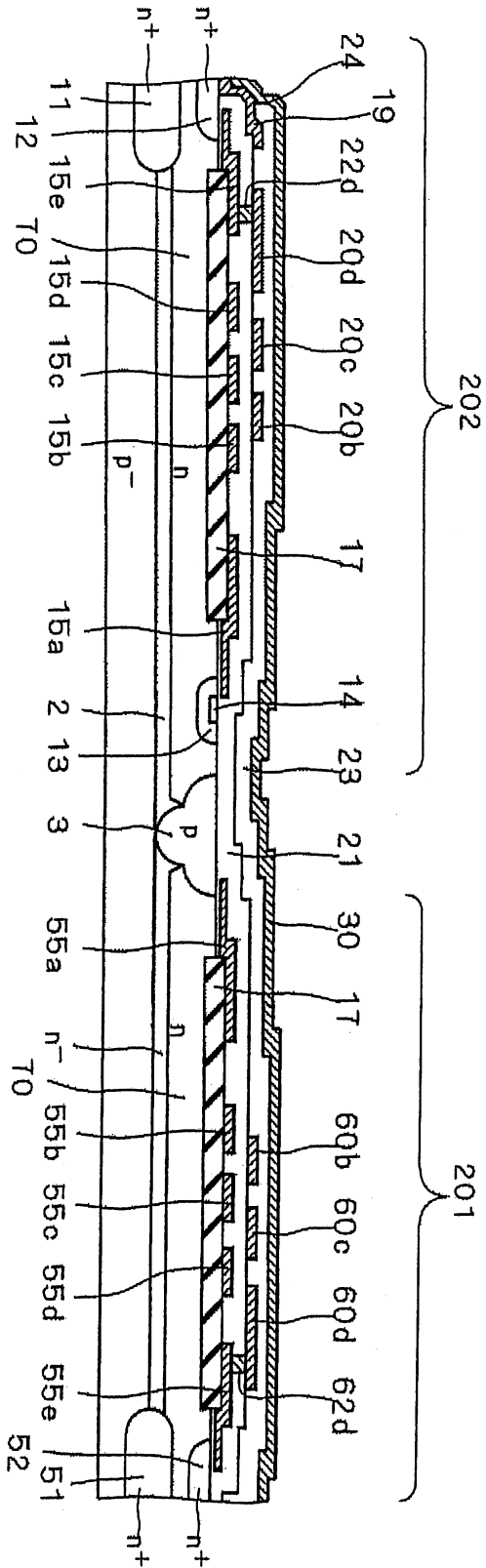
第32圖



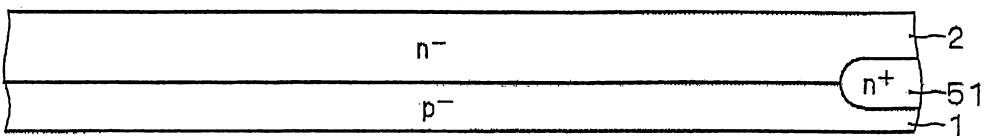
第33圖



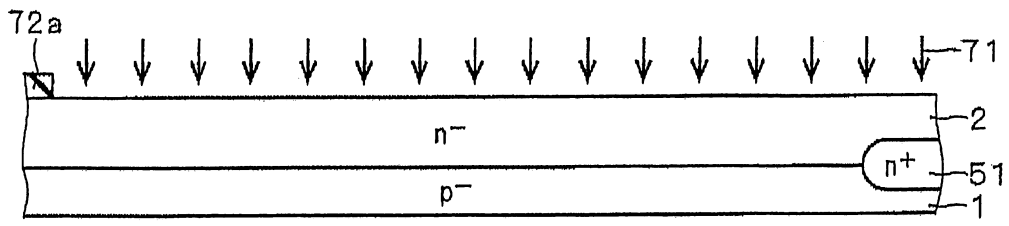




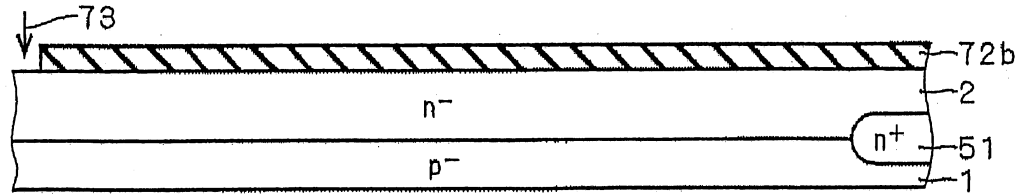
第36圖



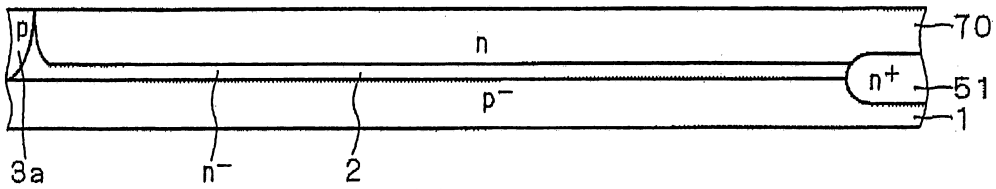
第37圖



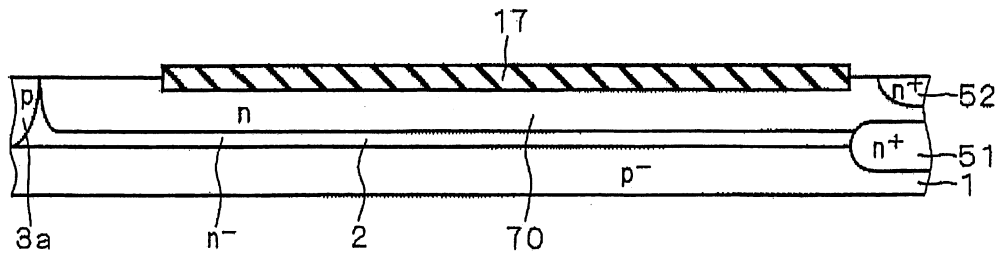
第38圖



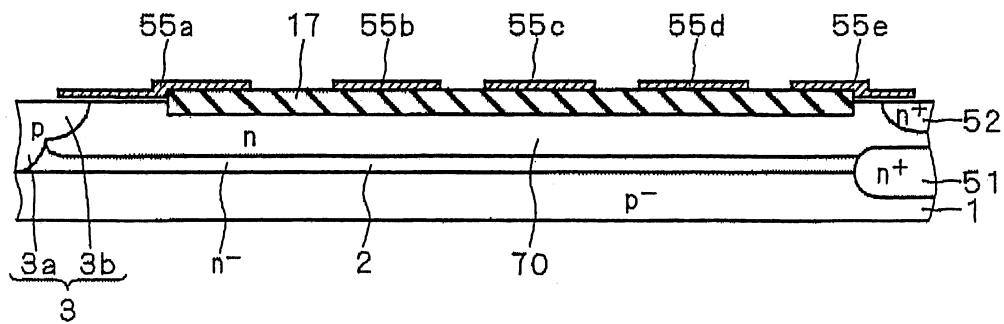
第39圖



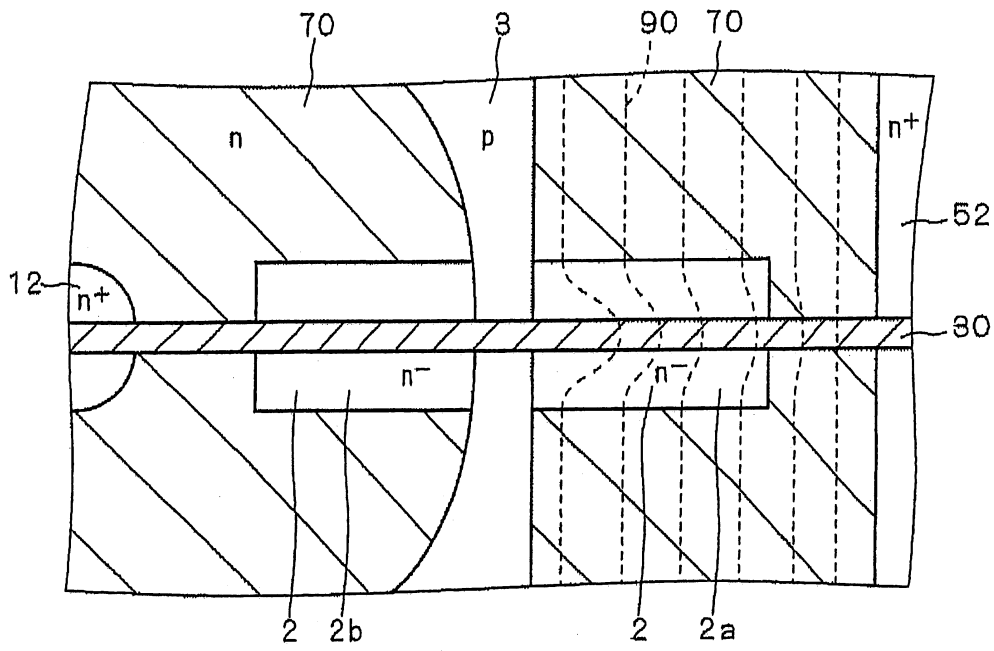
第40圖



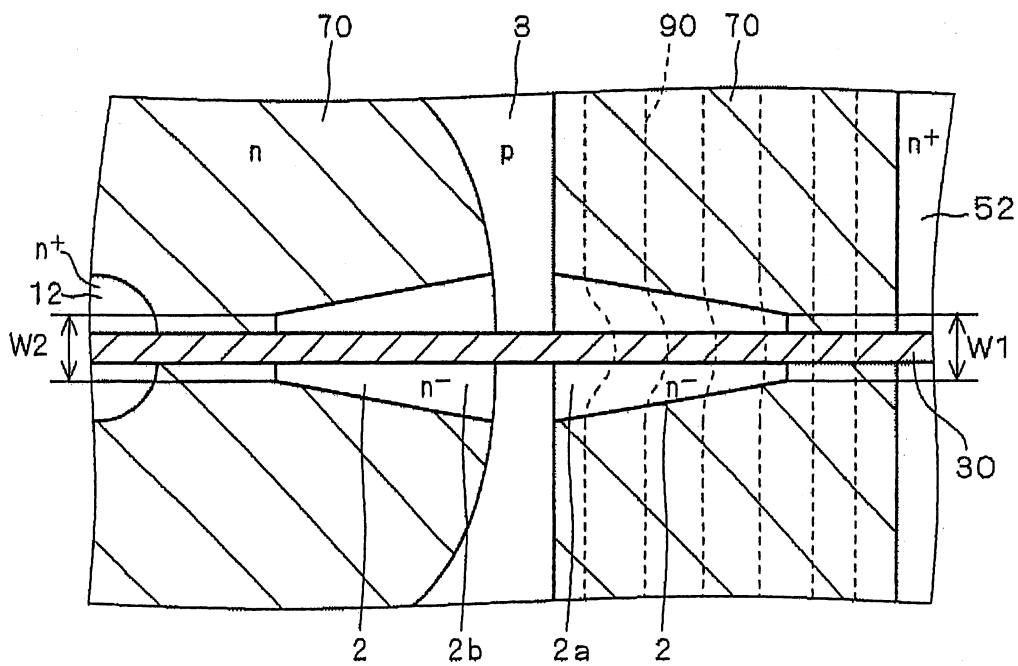
第41圖



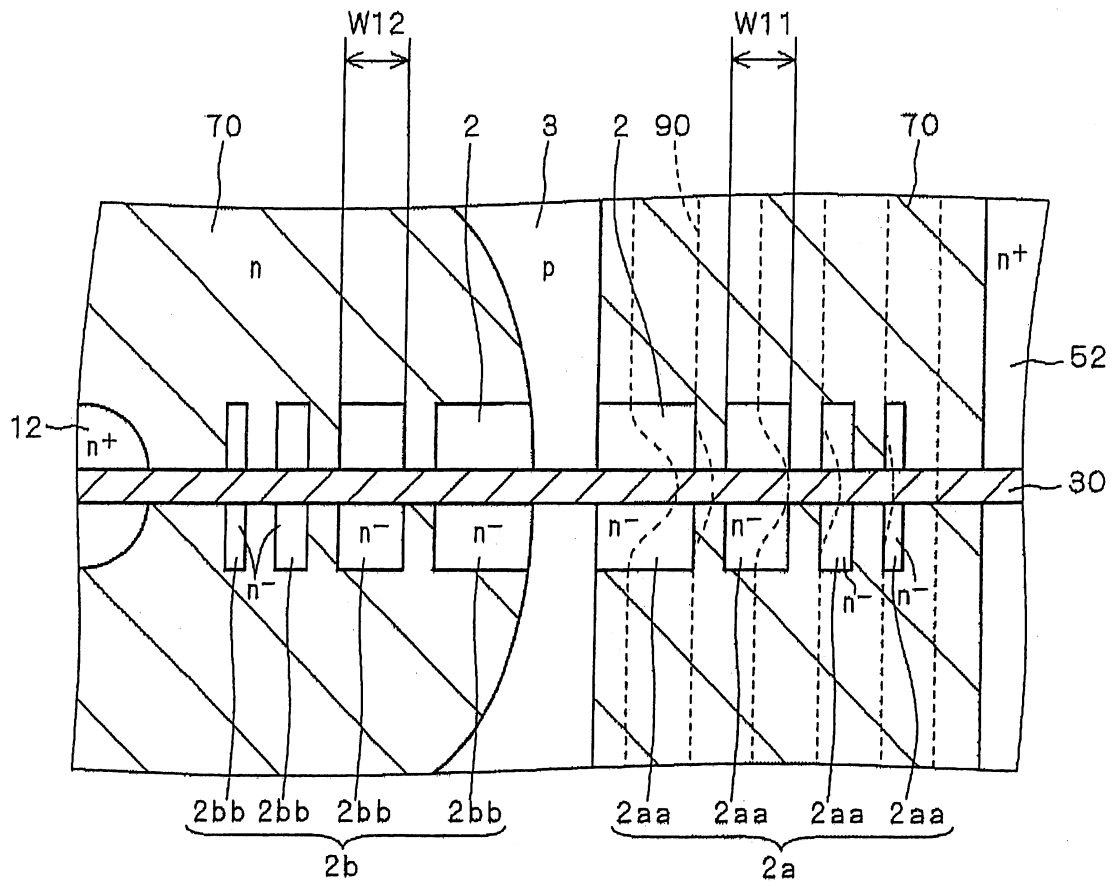
第42圖



第43圖



第44圖



第45圖



七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

100～低電位邏輯電路；	101～高電位邏輯電路；
20a、60a～第2場極板；	29、69a～切斷處；
24～汲極電極；	30～配線；
201～高電位島區域；	202～nMOS區域；
300、301～RESURF分離區域。	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

95年5月4日修(正)正替換頁本

## 十、申請專利範圍：

1. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；

半導體元件，設置於上述既定區域外的上述半導體層中；以及

MOS 電晶體，設置於上述既定區域內的上述半導體層中；

其中，上述 MOS 電晶體包括：

上述第 2 導電型的第 2 雜質區域，設置於上述既定區域內的上述半導體層的上表面內，雜質濃度比上述半導體層高；以及

汲極電極，電氣連接上述第 2 雜質區域；

上述半導體裝置更包括：

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於上述第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；

其中，上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極；

上述複數第 2 場極板分別設置於上述複數第 1 場極板間間隙上方；

上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處；以及

位於上述複數第 1 場極板間間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

2. 如申請專利範圍第 1 項所述的半導體裝置，更包括：

第 1 接點窗插塞，電氣連接上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板與上述閘極電極，並貫通上述第 2 絕緣膜而設置；以及

第 2 接點窗插塞，電氣連接最靠近上述閘極電極的第 2 場極板與上述電極，並貫通上述第 2 絕緣膜而設置。

3. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；

第 1 半導體元件，設置於上述既定區域內的上述半導體層中；

上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；

第 2 半導體元件，設置於上述既定區域外的上述半導體層中；

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於上述第 2 絕緣膜上，沿著由上述第 1

雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；

其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間間隙的上方；

上述複數第 2 場極板中最靠近上述第 1 雜質區域的第 2 場極板具有在上述配線下方的切斷處；以及

位於上述複數第 1 場極板間間隙中的上述切斷處的下方的間隙中，設置有與上述複數第 1 場極板分離的電極。

4. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 2 導電型的第 1 雜質區域，設置於上述半導體層的上表面內且界定上述半導體層中的既定區域，雜質濃度比上述半導體層高；

上述第 1 導電型的第 2 雜質區域，設置於由上述既定區域內的上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部；

半導體元件，設置於上述既定區域外的上述半導體層中；以及

MOS 電晶體，設置於上述既定區域內的上述半導體層中；

其中，上述 MOS 電晶體包括：

上述第 1 導電型的第 3 雜質區域，在上述既定區域內，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層的上表面內；以及

汲極電極，電氣連接至上述第 3 雜質區域；

上述半導體裝置更包括：

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 3 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於上述第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；

其中，上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極；

上述複數第 2 場極板分別設置於上述複數第 1 場極板間間隙上方；

上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處；以及

位於上述複數第 1 場極板間間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

5. 如申請專利範圍第 4 項所述的半導體裝置，更包括：

第 1 接點窗插塞，電氣連接上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板與上述閘極電極，並貫通上述第 2 絕緣膜而設置；以及

第 2 接點窗插塞，電氣連接最靠近上述閘極電極的第 2 場極板與上述電極，並貫通上述第 2 絕緣膜而設置。

6. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；

第 1 半導體元件，設置於上述既定區域內的上述半導體層中；

上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；

第 2 半導體元件，設置於上述既定區域外的上述半導體層中；

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；

其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；

上述複數第 2 場極板中最靠近上述第 2 雜質區域的第 2 場極板具有在上述配線下方的切斷處；以及

位於上述複數第 1 場極板間的間隙中的上述切斷處的下方的間隙中設置有與上述複數第 1 場極板分離的電極。

7. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；

半導體元件，設置於上述既定區域外的上述半導體層中；以及

MOS 電晶體，設置於上述既定區域內的上述半導體層中；

其中，上述 MOS 電晶體包括：

上述第 2 導電型的第 2 雜質區域，設置於上述既定區域內的上述半導體層的上表面內，雜質濃度比上述半導體層高；以及

汲極電極，電氣連接至上述第 2 雜質區域；

上述半導體裝置更包括：

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；

其中，上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極，；

上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；

上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處；

除了上述閘極電極及最接近的第 2 場極板之外的上述複數第 1 場極板和上述複數第 2 場極板中，至少位於鄰接上述閘極電極的第 1 場極板中，位於上述配線下方的部分至少在上述閘極電極側的端部位移至比位於其它部分的上述端部更接近上述閘極電極側。

8. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；

第 1 半導體元件，設置於上述既定區域內的上述半導體層中；

上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；

第 2 半導體元件，設置於上述既定區域外的上述半導體層中；

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於上述第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；

其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板

間的間隙上方；

上述複數第 2 場極板中最靠近上述第 1 雜質區域的第 2 場極板具有在上述配線下方的切斷處；以及

除了最接近上述第 1 雜質區域的第 1 及第 2 場極板之外的上述複數第 1 場極板和上述複數第 2 場極板中，至少位於第 2 靠近上述第 1 雜質區域的第 1 場極板中，位於上述配線下方的部分至少在上述第 1 雜質區域側的端部位移至比位於其它部分的上述端部更接近上述第 1 雜質區域側。

9. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 2 導電型的第 1 雜質區域，設置於上述半導體層的上表面內且界定上述半導體層中的既定區域，雜質濃度比上述半導體層高；

上述第 1 導電型的第 2 雜質區域，設置於由上述既定區域內的上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部；

半導體元件，設置於上述既定區域外的上述半導體層內；以及

MOS 電晶體，設置於上述既定區域內的上述半導體層中；

其中，上述 MOS 電晶體包括：

上述第 1 導電型的第 3 雜質區域，在上述既定區域內，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層的上表面內；以及

汲極電極，電氣連接至上述第 3 雜質區域；

上述半導體裝置更包括：

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 3 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 3 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述汲極電極和上述半導體元件；

其中，上述複數第 1 場極板中最靠近上述第 1 雜質區域的第 1 場極板係上述 MOS 電晶體的閘極電極；

上述複數第 2 場極板分別設置於上述複數第 1 場極板間の間隙上方；

上述複數第 2 場極板中最靠近上述閘極電極的第 2 場極板具有在上述配線下方的切斷處；

除了上述閘極電極及最靠近的第 2 場極板之外的上述複數第 1 場極板和上述複數第 2 場極板中，至少位於鄰接上述閘極電極的第 1 場極板中，位於上述配線下方的部分至少在上述閘極電極側的端部位移至比位於其它部分的上述端部更接近上述閘極電極側。

10. 一種半導體裝置，包括：

第 1 導電型的半導體基板；

第 2 導電型的半導體層，設置於上述半導體基板上；

上述第 1 導電型的第 1 雜質區域，設置於由上述半導體層的上表面至與上述半導體基板的界面中的上述半導體層內部且界定上述半導體層中的既定區域；

第 1 半導體元件，設置於上述既定區域內的上述半導體層中；

上述第 2 導電型的第 2 雜質區域，在上述既定區域內，設置於上述第 1 半導體元件與上述第 1 雜質區域間的上述半導體層的上表面內，雜質濃度比上述半導體層高；

第 2 半導體元件，設置於上述既定區域外的上述半導體層中；

第 1 絕緣膜，設置於上述第 1 雜質區域與上述第 2 雜質區域間的上述半導體層上；

複數第 1 場極板，設置於上述第 1 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 2 絕緣膜，覆蓋上述複數第 1 場極板且設置於上述第 1 絕緣膜上；

複數第 2 場極板，設置於第 2 絕緣膜上，沿著由上述第 1 雜質區域往上述第 2 雜質區域的方向互相分離設置；

第 3 絕緣膜，覆蓋上述複數第 2 場極板且設置於上述第 2 絕緣膜上；以及

配線，設置於上述第 3 絕緣膜上，通過上述複數第 1 場極板及上述複數第 2 場極板的上方，電氣連接上述第 1 半導體元件和上述第 2 半導體元件；

其中，上述複數第 2 場極板分別設置於上述複數第 1 場極板間的間隙上方；

上述複數第 2 場極板中最靠近上述第 2 雜質區域的第 2 場極板具有在上述配線下方的切斷處；

除了最接近上述第 2 雜質區域的第 1 及第 2 場極板之外的上述複數第 1 場極板和上述複數第 2 場極板中，至少第 2 靠近上述第 2 雜質區域的第 1 場極板中，位於上述配線下方的部分至少在上述第 2 雜質區域側的端部位移至比位於其它部分的上述端部更接近上述第 2 雜質區域側。