

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5322408号
(P5322408)

(45) 発行日 平成25年10月23日 (2013. 10. 23)

(24) 登録日 平成25年7月26日 (2013. 7. 26)

(51) Int. Cl.	F I		
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 1 7 N	
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	6 2 7 G	
HO 1 L 21/20 (2006. 01)	HO 1 L 29/78	6 1 8 D	
	HO 1 L 21/20		

請求項の数 4 (全 30 頁)

(21) 出願番号	特願2007-185597 (P2007-185597)	(73) 特許権者	000153878
(22) 出願日	平成19年7月17日 (2007. 7. 17)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2009-26800 (P2009-26800A)		神奈川県厚木市長谷398番地
(43) 公開日	平成21年2月5日 (2009. 2. 5)	(74) 代理人	100110858
審査請求日	平成22年6月17日 (2010. 6. 17)		弁理士 柳瀬 睦肇
		(74) 代理人	100100413
			弁理士 渡部 温
		(72) 発明者	岡崎 豊
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		審査官	鈴木 聡一郎

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に剥離層を形成し、
前記剥離層上に絶縁膜を形成し、
前記絶縁膜上に第1のゲート絶縁膜を形成し、
前記第1のゲート絶縁膜上に非晶質半導体膜を形成し、
前記非晶質半導体膜を結晶化して、前記第1のゲート絶縁膜上に結晶質半導体膜を形成し、

前記結晶質半導体膜上に第2のゲート絶縁膜を形成し、
前記第2のゲート絶縁膜上に、前記結晶質半導体膜と重なる第2のゲート電極を形成し

10

、
前記基板及び前記剥離層を前記絶縁膜から剥離し、
前記絶縁膜に開口部を形成して、前記第1のゲート絶縁膜の一部を露出させ、
前記露出した第1のゲート絶縁膜に接する第1のゲート電極を形成し、
前記結晶質半導体膜は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間にチャンネル形成領域と、を有し、
前記第1のゲート電極と前記第1のゲート絶縁膜とが接する領域は、前記チャンネル形成領域と重なることを特徴とする半導体装置の作製方法。

【請求項2】

基板上に剥離層を形成し、

20

前記剥離層上に絶縁膜を形成し、
 前記絶縁膜上に非晶質半導体膜を形成し、
 前記非晶質半導体膜を結晶化して、前記絶縁膜上に結晶質半導体膜を形成し、
 前記結晶質半導体膜上に第2のゲート絶縁膜を形成し、
 前記第2のゲート絶縁膜上に、前記結晶質半導体膜と重なる第2のゲート電極を形成し

、
 前記基板及び前記剥離層を前記絶縁膜から剥離し、
 前記絶縁膜に開口部を形成して、前記結晶質半導体膜の一部を露出させ、
 前記露出した結晶質半導体膜に接する第1のゲート絶縁膜を形成し、
 前記第1のゲート絶縁膜に接する第1のゲート電極を形成し、
 前記結晶質半導体膜は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間にチャンネル形成領域と、を有し、
 前記結晶質半導体膜と前記第1のゲート絶縁膜とが接する領域は、前記チャンネル形成領域と重なることを特徴とする半導体装置の作製方法。

10

【請求項3】

基板上に剥離層を形成し、
 前記剥離層上に絶縁膜を形成し、
 前記絶縁膜上に非晶質半導体膜を形成し、
 前記非晶質半導体膜を結晶化して、前記絶縁膜上に結晶質半導体膜を形成し、
 前記結晶質半導体膜上に第2のゲート絶縁膜を形成し、
 前記第2のゲート絶縁膜上に、前記結晶質半導体膜と重なる第2のゲート電極を形成し

20

、
 前記基板及び前記剥離層を前記絶縁膜から剥離し、
 前記絶縁膜に開口部を形成して、前記結晶質半導体膜の一部を露出させ、
 前記露出した結晶質半導体膜を部分的に除去して、前記結晶質半導体膜に薄膜領域を形成し、
 前記薄膜領域に接する第1のゲート絶縁膜を形成し、
 前記第1のゲート絶縁膜に接する第1のゲート電極を形成し、
 前記結晶質半導体膜は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間にチャンネル形成領域と、を有し、
 前記薄膜領域と前記第1のゲート絶縁膜とが接する領域は、前記チャンネル形成領域と重なることを特徴とする半導体装置の作製方法。

30

【請求項4】

絶縁膜と、
 前記絶縁膜上に設けられた結晶質半導体膜と、
 前記結晶質半導体膜上に設けられた第2のゲート絶縁膜と、
 前記第2のゲート絶縁膜上に設けられ、かつ前記結晶質半導体膜と重なる第2のゲート電極と、
 前記絶縁膜に設けられ、かつ前記結晶質半導体膜と重なる開口部と、
 前記結晶質半導体膜に設けられた第1の膜厚を有する第1の領域と、
 前記結晶質半導体膜に設けられ、かつ前記開口部と重なり、かつ前記第1の膜厚より小さい第2の膜厚を有する第2の領域と、
 前記開口部及び前記第2の領域に接して設けられた第1のゲート絶縁膜と、
 前記第1のゲート絶縁膜に接して設けられ、かつ前記第1のゲート絶縁膜を介して前記第2の領域と重なる第1のゲート電極と、を具備し、
 前記結晶質半導体膜は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間にチャンネル形成領域と、を有し、
 前記第2の領域は前記チャンネル形成領域と重なることを特徴とする半導体装置。

40

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、デュアルゲート薄膜トランジスタを有する半導体装置及びその作製方法に関する。特に、下部ゲート電極に影響を受けることなく半導体膜を結晶化できる半導体装置及びその作製方法に関する。

【背景技術】

【0002】

図14は、従来のデュアルゲートTFT(Thin-Film Transistor)を示す断面図である。

このデュアルゲートTFTは、基板本体10A、下部ゲート電極33、下部ゲート絶縁膜34、半導体膜35、第1及び第2絶縁層36a、36bからなる上部ゲート絶縁膜36、上部ゲート電極37及び層間絶縁膜38を有し、半導体膜35は、チャンネル領域35a、低濃度ソース領域35bと高濃度ソース領域35dからなるソース領域35x、低濃度ドレイン領域35cと高濃度ドレイン領域35eからなるドレイン領域35yを備えている。上部ゲート絶縁膜36及び層間絶縁膜38にはコンタクトホール13、14が設けられており、このコンタクトホール13、14を介してデータ線6a及びソース線6bそれぞれが半導体膜35の高濃度ソース領域35d及び高濃度ドレイン領域35eに電氣的に接続されている。

10

【0003】

このデュアルゲートTFTの半導体膜35の形成方法について図15を参照しつつ説明する。図15(a)、(b)は、図14に示すデュアルゲートTFTの半導体膜の形成方法を説明する断面図である。

20

【0004】

図15(a)に示すように、表面を超音波洗浄等により清浄化したガラス基板等からなる透光性を有する基板本体10Aを用意し、この基板本体10A全面に、スパッタリング法等によりアルミニウム、タンタル、モリブデン、チタン、クロム等の金属、またはこれらの金属のいずれかを主成分とする合金等からなる遮光性を有する10~500nmの厚みの導電膜72を形成し、その後、この導電膜72をフォトリソグラフィ法によりパターニングすることにより、基板本体10Aの上には遮光性を有する下部ゲート電極33が形成される。

【0005】

次いで、この下部ゲート電極33を含む基板本体10A上に、プラズマCVD法等により、酸化珪素(SiO₂)、窒化珪素(Si₃N₄)等からなる10~50nmの厚みの下部ゲート絶縁膜34を成膜する。

30

【0006】

次いで、図15(b)に示すように、下部ゲート絶縁膜34上に、プラズマCVD法等により、非晶質シリコン(a-Si)からなる10~100nmの厚みの非晶質半導体膜73を成膜する。次いで、この非晶質半導体膜73にレーザー光を照射する等して加熱することにより多結晶化し、多結晶シリコンからなる多結晶半導体膜24とする。次いで、フォトリソグラフィ法により多結晶半導体膜24をパターニングし、島状の半導体膜35とする(例えば特許文献1参照)。

40

【特許文献1】特開2005-79283号公報(第46段落~第51段落、図5、図6)

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、上記従来のデュアルゲートTFTでは、非晶質半導体膜73にレーザー光を照射した際、下部ゲート電極33が熱を吸収することにより、非晶質半導体膜73が均一に結晶化されない可能性がある。これを回避する方法としては下部ゲート絶縁膜34を厚くすることが考えられる。しかし、下部ゲート絶縁膜34を厚くすると下部ゲート電極33に印加する電圧を大きくしなければデュアルゲートTFTが動作しなくなり、消費電力

50

が増加してしまう。

【 0 0 0 8 】

また、上記従来のデュアルゲートTFTでは、下部ゲート電極33の両端の上方に位置する非晶質半導体膜73に段差が生じてしまう。このように段差のある非晶質半導体膜73を結晶化するために熱を加えたりレーザー光を照射すると、非晶質半導体膜が膜ストリップを起こし易くなる。また、非晶質半導体膜を結晶化するために熱を加えたりレーザー光を照射すると、熔融して液状化された非晶質半導体膜が段差により矢印のように下部ゲート電極の脇へ流れ込み、多結晶半導体膜24が不均一な形状になることが危惧される。

【 0 0 0 9 】

本発明は上記のような事情を考慮してなされたものであり、その目的は、下部ゲート電極に影響を受けることなく半導体膜を結晶化できる半導体装置及びその作製方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

上記課題を解決するため、本発明に係る半導体装置の作製方法は、基板上に剥離層を形成し、

前記剥離層上に絶縁膜を形成し、

前記絶縁膜上に下部ゲート絶縁膜を形成し、

前記下部ゲート絶縁膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化することにより前記下部ゲート絶縁膜上に結晶質半導体膜を形成し、

前記結晶質半導体膜上に上部ゲート絶縁膜を形成し、

前記上部ゲート絶縁膜上に上部ゲート電極を形成し、

前記剥離層を前記絶縁膜から剥離し、

前記絶縁膜を加工することにより前記下部ゲート絶縁膜を露出させ、

前記露出した下部ゲート絶縁膜に接する下部ゲート電極を形成することを特徴とする。

【 0 0 1 1 】

上記半導体装置の作製方法によれば、基板上に剥離層を形成し、その上に下部ゲート絶縁膜を形成し、この下部ゲート絶縁膜上に非晶質半導体膜を形成し、この非晶質半導体膜を結晶化した後に、絶縁膜から剥離層を剥離し、下部ゲート絶縁膜に接する下部ゲート電極を形成している。このため、非晶質半導体膜の下に下部ゲート電極が存在しない状態で非晶質半導体膜を結晶化することができる。従って、下部ゲート電極に影響を受けることなく半導体膜を結晶化することができる。

【 0 0 1 2 】

また、本発明に係る半導体装置の作製方法において、前記結晶質半導体膜はチャンネル形成領域を有しており、前記下部ゲート電極が前記下部ゲート絶縁膜に接する領域は、前記チャンネル形成領域に対応する領域の内側に位置していることも可能である。

また、本発明に係る半導体装置の作製方法において、前記結晶質半導体膜は、チャンネル形成領域及び該チャンネル形成領域の外側に形成された低濃度不純物領域を有しており、前記下部ゲート電極が前記下部ゲート絶縁膜に接する領域は、前記チャンネル形成領域と前記低濃度不純物領域とに対応する領域の内側に位置していることも可能である。

【 0 0 1 3 】

本発明に係る半導体装置の作製方法は、基板上に剥離層を形成し、

前記剥離層上に絶縁膜を形成し、

前記絶縁膜上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化することにより前記絶縁膜上に結晶質半導体膜を形成し、

前記結晶質半導体膜上に上部ゲート絶縁膜を形成し、

前記上部ゲート絶縁膜上に上部ゲート電極を形成し、

前記剥離層を前記絶縁膜から剥離し、

前記絶縁膜に開口部を形成することにより該開口部によって前記結晶質半導体膜を露出

させ、

前記露出した結晶質半導体膜に接する下部ゲート絶縁膜を形成し、
前記下部ゲート絶縁膜に接する下部ゲート電極を形成することを特徴とする。

【0014】

また、本発明に係る半導体装置の作製方法において、前記結晶質半導体膜はチャンネル形成領域を有しており、前記開口部によって前記結晶質半導体膜が露出した領域は、前記チャンネル形成領域に対応する領域の内側に位置していることも可能である。

また、本発明に係る半導体装置の作製方法において、前記結晶質半導体膜は、チャンネル形成領域及び該チャンネル形成領域の外側に形成された低濃度不純物領域を有しており、前記開口部によって前記結晶質半導体膜が露出した領域は、前記チャンネル形成領域と前記低濃度不純物領域とに対応する領域の内側に位置していることも可能である。

10

【0015】

本発明に係る半導体装置の作製方法は、基板上に剥離層を形成し、
前記剥離層上に絶縁膜を形成し、
前記絶縁膜上に非晶質半導体膜を形成し、
前記非晶質半導体膜を結晶化することにより前記絶縁膜上に結晶質半導体膜を形成し、
前記結晶質半導体膜上に上部ゲート絶縁膜を形成し、
前記上部ゲート絶縁膜上に上部ゲート電極を形成し、
前記剥離層を前記絶縁膜から剥離し、
前記絶縁膜を加工することにより前記結晶質半導体膜を露出させ、
前記露出した結晶質半導体膜を加工することにより、前記結晶質半導体膜にその膜厚を薄くした薄膜領域を形成し、
前記薄膜領域に接する下部ゲート絶縁膜を形成し、
前記下部ゲート絶縁膜に接する下部ゲート電極を形成することを特徴とする。

20

【0016】

また、本発明に係る半導体装置の作製方法において、前記結晶質半導体膜はチャンネル形成領域を有しており、前記薄膜領域は、前記チャンネル形成領域に対応する領域の内側に位置していることが好ましい。

【0017】

本発明に係る半導体装置は、絶縁膜と、
前記絶縁膜上に形成された下部ゲート絶縁膜と、
前記下部ゲート絶縁膜上に形成され、非晶質半導体膜が結晶化された結晶質半導体膜と、
前記結晶質半導体膜上に形成された上部ゲート絶縁膜と、
前記上部ゲート絶縁膜上に形成された上部ゲート電極と、
前記絶縁膜に形成され、前記下部ゲート絶縁膜下に位置された開口部と、
前記開口部内に形成され、前記下部ゲート絶縁膜に接して形成された下部ゲート電極と、
を具備することを特徴とする。

30

【0018】

なお、上記半導体装置において、前記絶縁膜は平面上に形成されていることが好ましく、この場合の平面は、例えばガラス基板などの表面に相当する程度の平面であることを意味する。このような半導体装置によれば、平面上に絶縁膜を形成し、この絶縁膜上に下部ゲート絶縁膜を形成し、この下部ゲート絶縁膜上に形成された非晶質半導体膜を結晶化している。このため、非晶質半導体膜の形状を平面上に形成されたものとすることができ、それにより、従来技術のように下部ゲート電極に影響を受けることなく半導体膜を結晶化することができる。

40

また、絶縁膜が平面上に形成されていることが好ましいことは以下の半導体装置においても同様である。

【0019】

50

本発明に係る半導体装置は、絶縁膜と、
 前記絶縁膜上に形成され、非晶質半導体膜が結晶化された結晶質半導体膜と、
 前記結晶質半導体膜上に形成された上部ゲート絶縁膜と、
 前記上部ゲート絶縁膜上に形成された上部ゲート電極と、
 前記絶縁膜に形成され、前記結晶質半導体膜下に位置された開口部と、
 前記開口部内に形成され、前記結晶質半導体膜に接して形成された下部ゲート絶縁膜と、
 前記開口部内に形成され、前記下部ゲート絶縁膜に接して形成された下部ゲート電極と、
 を具備することを特徴とする。

10

【0020】

また、本発明に係る半導体装置において、前記結晶質半導体膜はチャンネル形成領域を有しており、前記下部ゲート電極が前記下部ゲート絶縁膜に接する領域は、前記チャンネル形成領域に対応する領域の内側に位置していることも可能である。

また、本発明に係る半導体装置において、前記結晶質半導体膜は、チャンネル形成領域及び該チャンネル形成領域の外側に形成された低濃度不純物領域を有しており、前記下部ゲート電極が前記下部ゲート絶縁膜に接する領域は、前記チャンネル形成領域と前記低濃度不純物領域とに対応する領域の内側に位置していることも可能である。

【0021】

本発明に係る半導体装置は、絶縁膜と、
 前記絶縁膜上に形成され、非晶質半導体膜が結晶化された結晶質半導体膜と、
 前記結晶質半導体膜上に形成された上部ゲート絶縁膜と、
 前記上部ゲート絶縁膜上に形成された上部ゲート電極と、
 前記絶縁膜に形成され、前記結晶質半導体膜下に位置された開口部と、
 前記開口部に繋げられ、前記結晶質半導体膜内に形成された凹部と、
 前記凹部上に形成され、前記結晶質半導体膜の膜厚が薄くされた薄膜領域と、
 前記凹部内に形成され、前記薄膜領域に接して形成された下部ゲート絶縁膜と、
 前記凹部内及び前記開口部内に形成され、前記下部ゲート絶縁膜に接して形成された下部ゲート電極と、
 を具備することを特徴とする。

20

30

【0022】

また、本発明に係る半導体装置において、前記結晶質半導体膜はチャンネル形成領域を有しており、前記薄膜領域は、前記チャンネル形成領域に対応する領域の内側に位置していることが好ましい。

【発明の効果】

【0023】

以上説明したように本発明によれば、下部ゲート電極に影響を受けることなく半導体膜を結晶化できる半導体装置及びその作製方法を提供することができる。

【発明を実施するための最良の形態】

【0024】

以下、図面を参照して本発明の実施の形態について説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態および詳細を変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

40

【0025】

(実施の形態1)

図1～図3は、本発明の実施の形態1による半導体装置の作製方法を示す断面図である。

50

【0026】

まず、基板101上に剥離層102、絶縁膜107、下部ゲート絶縁膜103、半導体膜104を積層させて形成する(図1(A)参照)。剥離層102、絶縁膜107、下部ゲート絶縁膜103及び半導体膜104は連続して形成することができる。連続して形成することにより、大気に曝されないため不純物の混入を防ぐことができる。

【0027】

基板101は、ガラス基板、石英基板、金属基板やステンレス基板、本工程の処理温度に耐えうる耐熱性があるプラスチック基板等を用いるとよい。このような基板であれば、その面積や形状に大きな制限はないため、例えば、1辺が1メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。

10

【0028】

なお、本工程では、剥離層102を基板101の全面に設けているが、必要に応じて、基板101の全面に剥離層を設けた後に、選択的にエッチングして剥離層102を選択的に設けてもよい。また、基板101に接するように剥離層102を形成しているが、必要に応じて、基板101に接するように酸化珪素(SiO_x)膜、酸化窒化珪素(SiO_xN_y)($x > y$)膜、窒化珪素(SiN_x)膜、窒化酸化珪素(SiN_xO_y)($x > y$)膜等の絶縁膜を形成し、当該絶縁膜に接するように剥離層102を形成してもよい。

【0029】

剥離層102は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または前記元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタリング法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気または N_2O 雰囲気下におけるプラズマ処理、酸素雰囲気下または N_2O 雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。また、金属膜を形成した後に、オゾン水等の酸化力の強い溶液で表面を処理することにより、金属膜表面に当該金属膜の酸化物又は酸化窒化物を設けることができる。

20

30

【0030】

絶縁膜107は、スパッタリング法やプラズマCVD法等により、珪素の酸化物または珪素の窒化物を含む膜を、単層又は積層で形成する。絶縁膜107が2層構造の場合、例えば、1層目として窒化酸化珪素膜を形成し、2層目として酸化窒化珪素膜を形成するとよい。絶縁膜107が3層構造の場合、1層目の絶縁膜として酸化珪素膜を形成し、2層目の絶縁膜として窒化酸化珪素膜を形成し、3層目の絶縁膜として酸化窒化珪素膜を形成するとよい。または、1層目の絶縁膜として酸化窒化珪素膜を形成し、2層目の絶縁膜として窒化酸化珪素膜を形成し、3層目の絶縁膜として酸化窒化珪素膜を形成するとよい。絶縁膜107は、基板101からの不純物の侵入を防止するブロッキング膜として機能する。

40

【0031】

半導体膜104は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm(好ましくは30~150nm)の厚さで形成する。半導体膜104としては、例えば、非晶質珪素膜を形成すればよい。

【0032】

次に、非晶質半導体膜104にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜104の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチング加工して、結

50

晶質半導体膜 104a、104b を形成し、当該半導体膜 104a、104b を覆うように上部ゲート絶縁膜 105 を形成した後、導電膜 106 を形成する（図 1（B）参照）。

【0033】

結晶質半導体膜 104a、104b の作製工程の一例を以下に簡単に説明すると、まず、プラズマ CVD 法を用いて、膜厚 50 ~ 60 nm の非晶質半導体膜 104（例えば、非晶質珪素膜）を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理（500、1 時間）と、熱結晶化の処理（550、4 時間）を行って結晶質半導体膜を形成する。その後、レーザー発振器から発振したレーザー光を照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜 104a、104b を形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

【0034】

レーザー発振器から発振させるレーザー光としては、連続発振型のレーザー光（CW レーザー光）やパルス発振型のレーザー光（パルスレーザー光）を用いることができる。ここで用いることができるレーザー光は、Ar レーザー、Kr レーザー、エキシマレーザーなどの気体レーザー、単結晶の YAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザー光の基本波、及びこれらの基本波の第 2 高調波から第 4 高調波のレーザー光を照射することで、大粒径の結晶を得ることができる。例えば、Nd：YVO₄ レーザー（基本波 1064 nm）の第 2 高調波（532 nm）や第 3 高調波（355 nm）を用いることができる。このときレーザーのパワー密度は 0.01 ~ 100 MW/cm² 程度（好ましくは 0.1 ~ 10 MW/cm²）が必要である。そして、走査速度を 10 ~ 2000 cm/sec 程度として照射する。なお、単結晶の YAG、YVO₄、フォルステライト（Mg₂SiO₄）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）の YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ に、ドーパントとして Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta のうち 1 種または複数種添加されているものを媒質とするレーザー、Ar イオンレーザー、または Ti：サファイアレーザーは、連続発振をさせることが可能であり、Q スイッチ動作やモード同期などを行うことによって 10 MHz 以上の発振周波数でパルス発振をさせることも可能である。10 MHz 以上の発振周波数でレーザー光を発振させると、半導体膜がレーザーによって熔融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0035】

導電膜 106 は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素でなる膜、またはこれらの元素の窒化物でなる膜（代表的には、窒化タンタル、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には Mo-W 合金、Mo-Ta 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜）を用いることができる。また、導電膜 106 は、複数の導電膜を積層させた構造で設けてもよく、例えば、膜厚が 20 nm ~ 100 nm の窒化タンタル膜と、膜厚が 100 nm ~ 400 nm のタングステン膜を順に積層させた構造で設けることができる。タングステンや窒化タンタルは、耐熱性が高いため、導電膜を形成した後に、熱活性化を目的とした加熱処理を行

うことができる。

【0036】

次に、導電膜106を選択的にエッチングすることにより、半導体膜104a上に上部ゲート絶縁膜105を介して導電膜106a、半導体膜104b上に上部ゲート絶縁膜105を介して導電膜106bを残存させるとともに、半導体膜が形成されていない領域における上部ゲート絶縁膜105上に導電膜106cを残存させる(図1(C)参照)。導電膜106a、106bは、後に完成するトランジスタにおいて上部ゲート電極として機能しうる。また、導電膜106cは、配線として機能しうる。

【0037】

次に、導電膜106a、106bをマスクとして、半導体膜104a、104bに不純物元素を導入し、半導体膜104a、104bに不純物領域108を形成する(図1(D)参照)。

【0038】

導入する不純物元素は、n型の不純物元素又はp型の不純物元素を用いる。n型の不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型の不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、半導体膜104a、104bにリン(P)を導入し、n型の不純物領域108を形成する場合について示す。

【0039】

次に、上部ゲート絶縁膜105と導電膜106a、106b、106cを覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜106a、106b、106cの側面に接する絶縁膜109(サイドウォールともよばれる)を形成する(図1(E)参照)。絶縁膜109は、後にLDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。

【0040】

次に、導電膜106a、106b及び絶縁膜109をマスクとして用いて、半導体膜104a、104bに不純物元素を導入することにより、チャネル形成領域110、第1の不純物領域110b、第2の不純物領域110cを形成する(図2(A)参照)。第1の不純物領域110bはトランジスタのソース領域又はドレイン領域として機能し、第2の不純物領域110cはLDD領域として機能しうる。また、第2の不純物領域110cに含まれる不純物元素の濃度は、第1の不純物領域110bに含まれる不純物元素の濃度より低くなるよう設ける。

【0041】

本実施の形態では、第2の不純物領域110cを設けた構成を示したが、第2の不純物領域110cを設けない構成としてもよい。この場合、絶縁膜109を設けない構成とすることができる。

【0042】

次に、導電膜106a、106b、106cを覆うように絶縁膜111を形成し、当該絶縁膜111上に薄膜トランジスタ120a、120bのソース電極又はドレイン電極として機能しうる導電膜112を形成する(図2(B)参照)。

【0043】

絶縁膜111は、CVD法、スパッタリング法、SOG法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。また、絶縁膜111は積層構造としてもよく、例えば、1層目を窒化酸化珪素膜で形成し、2層目を酸化窒化珪素膜で形成することができる。

【0044】

10

20

30

40

50

導電膜 112 は、フォトリソグラフィ法により絶縁膜 111 等をエッチングして、第 1 の不純物領域 110b を露出させるコンタクトホールを形成した後、当該コンタクトホールを介して第 1 の不純物領域 110b における半導体膜と電氣的に接続するように導電膜を形成し、当該導電膜を選択的にエッチングして形成する。なお、導電膜を形成する前に、コンタクトホールにおいて露出した半導体膜 104a、104b の表面にシリサイドを形成してもよい。

【0045】

導電膜 112 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジウム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 112 は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 112 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0046】

次に、絶縁膜 111、導電膜 112 を覆うように絶縁膜 113 を形成した後、薄膜トランジスタ 120a、120b 等を含む素子形成層 114 を基板 101 から剥離する。具体的には、絶縁膜 107 から剥離層 102 を剥離する (図 2 (C) 参照)。

なお、本実施の形態では、素子形成層 114 を基板 101 から剥離しているが、これに限定されるものではなく、基板 101 及び剥離層 102 を、研削処理、研磨処理又は化学処理によるエッチングを行うことにより除去しても良い。

【0047】

この後、剥離により露出した素子形成層 114 を、図 2 (C) に示す状態と上下を逆にして転置した後、素子形成層 114 の裏面側 (ここでは、絶縁膜 107 の露出面側) から加工して下部ゲート電極 115a、115b 及び導電膜 (配線) 115c ~ 115e を形成する。なお、上記のように上下を逆にして転置しているため、後述する図 3 に示す工程を説明する際には、図 3 とは上下関係を逆に説明する。

詳細には、絶縁膜 107 の露出面にフォトレジスト膜 (図示せず) を塗布し、このフォトレジスト膜を露光、現像することにより、絶縁膜 107 の露出面にはレジストパターンが形成される。このレジストパターンをマスクとして絶縁膜 107 をエッチングすることにより、絶縁膜 107 には下部ゲート絶縁膜 103 を介してチャネル形成領域 110 上に位置する開口部 103a、103b が形成される。開口部 103a、103b によって露出される下部ゲート絶縁膜 103 は、チャネル形成領域 110 に対応する領域と同じかそれより内側にあつて小さい領域である。

次いで、前記レジストパターンを剥離する。

【0048】

次に、絶縁膜 107 の露出面にフォトレジスト膜 (図示せず) を塗布し、このフォトレジスト膜を露光、現像することにより、絶縁膜 107 の露出面にはレジストパターンが形成される。このレジストパターンをマスクとして絶縁膜 107、下部ゲート絶縁膜 103 及び上部ゲート絶縁膜 105 をエッチングすることにより、絶縁膜 107、下部ゲート絶

10

20

30

40

50

縁膜 103 及び上部ゲート絶縁膜 105 には導電膜 106c 上に位置する開口部 103c が形成される。次いで、前記レジストパターンを剥離する。

【0049】

次に、開口部 103a ~ 103c 内及び絶縁膜 107 上に導電膜を形成した後、この導電膜を選択的にエッチングすることにより、チャンネル形成領域 110 上に下部ゲート絶縁膜 103 を介して導電膜 115a, 115b を残存させ、導電膜 106c 上に導電膜 115c を残存させ、絶縁膜 107 上に導電膜 115d, 115e を残存させる（図 3 (A) 参照）。導電膜 115a, 115b は、下部ゲート電極として機能しうる。また、導電膜 115c, 115d, 115e は、配線として機能しうる。下部ゲート電極として機能する導電膜 115a, 115b は、チャンネル形成領域 110 と同じ大きさ又はチャンネル形成領域 110 より小さい大きさであってチャンネル形成領域 110 の内側に位置することが好ましい。

10

【0050】

前記導電膜は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等から選択された元素でなる膜、またはこれらの元素の窒化物でなる膜（代表的には、窒化タンタル、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には Mo - W 合金、Mo - Ta 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜）を用いることができる。また、前記導電膜は、複数の導電膜を積層させた構造で設けてもよく、例えば、膜厚が 20 nm ~ 100 nm の窒化タンタル膜と、膜厚が 100 nm ~ 400 nm のタングステン膜を順に積層させた構造で設けることができる。タングステンや窒化タンタルは、耐熱性が高いため、導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。

20

上記のようにしてデュアルゲート TFT を作製することができる。

【0051】

次に、導電膜 115a ~ 115e を覆うように絶縁膜 116 を形成し、当該絶縁膜 116 上に配線として機能しうる導電膜 117 を形成する（図 3 (B) 参照）。

【0052】

絶縁膜 116 は、CVD 法、スパッタリング法、SOG 法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。また、絶縁膜 116 は積層構造としてもよく、例えば、1 層目を窒化酸化珪素膜で形成し、2 層目を酸化窒化珪素膜で形成することができる。

30

【0053】

導電膜 117 は、フォトリソグラフィ法により絶縁膜 116 等をエッチングして、導電膜 115d, 115e を露出させるコンタクトホール 116a, 116b を形成した後、当該コンタクトホール 116a, 116b を介して導電膜 115d, 115e と電気的に接続するように導電膜を形成し、当該導電膜を選択的にエッチングして形成する。

【0054】

導電膜 117 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジウム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 117 は、例えば、バリア膜とアルミニウムシリコン (Al - Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al - Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタン

40

50

の窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 112 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、導電膜 115d, 115e 上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、導電膜 115d, 115e と良好なコンタクトをとることができる。

【0055】

上記実施の形態 1 によれば、基板 101 上に剥離層 102 を形成し、その上に TFT を作製した後に、剥離層 102 から剥離して転置し、裏面側から加工して下部ゲート電極 115a, 115b を形成することにより、デュアルゲート TFT を作製している。そのため、非晶質半導体膜 104 の下に下部ゲート絶縁膜と下部ゲート電極が存在しない状態で非晶質半導体膜 104 を結晶化することができる。即ち、非晶質半導体膜 104 を結晶化するとき下部ゲート絶縁膜と下部ゲート電極の影響を受けない。

10

【0056】

また、上記実施の形態 1 では、両面に配線 106c, 112, 115c ~ 115e, 117 を形成しているため、デバイスの面積を縮小することができる。

【0057】

また、上記実施の形態 1 では、下部ゲート電極に電圧をかけることによりしきい値電圧 V_{th} をシフトさせる（調整する）こともできる。また、上部ゲート電極及び下部ゲート電極それぞれに電圧をかけることにより、上下でチャンネルが形成され、その結果、大きなオン電流を得ることができる。

20

【0058】

（実施の形態 2）

図 4 は、本発明の実施の形態 2 による半導体装置の作製方法を説明する断面図である。図 4 に示す工程は、図 3 (A) に示す工程に対応するものであり、図 3 と同一部分には同一符号を付し、実施の形態 1 と異なる部分についてのみ説明する。

【0059】

絶縁膜 107 に、下部ゲート絶縁膜 103 を介してチャンネル形成領域 110 上に位置する開口部 103a, 103b を形成する。この開口部 103a, 103b によって露出する下部ゲート絶縁膜 103 は、チャンネル形成領域 110 に対応する領域より外側まで広がっており、且つ、チャンネル形成領域 110 と第 2 の不純物領域 (LDD 領域) 110c に対応する領域と同じかそれより内側にあつて小さい領域である (図 4 参照)。

30

【0060】

上記実施の形態 2 においても実施の形態 1 と同様の効果を得ることができる。

【0061】

（実施の形態 3）

図 5 (A), (B) は、本発明の実施の形態 3 による半導体装置の作製方法を説明する断面図である。図 5 に示す工程は、図 3 (A) に示す工程に対応するものであり、図 3 と同一部分には同一符号を付し、実施の形態 1 と異なる部分についてのみ説明する。

40

【0062】

実施の形態 1 では、図 1 (A) に示す工程で、剥離層 102 上に絶縁膜 107 を形成し、この絶縁膜 107 上に下部ゲート絶縁膜 103 を形成し、この下部ゲート絶縁膜 103 上に半導体膜 104 を形成しているが、本実施の形態では、実施の形態 1 でいう下部ゲート絶縁膜 103 を下部ゲート絶縁膜として用いず単に絶縁膜として用いることとする。つまり、本実施の形態における図 1 (A) に示す工程では、剥離層 102 上に絶縁膜 107 を形成し、この絶縁膜 107 上に絶縁膜 103 を形成し、この絶縁膜 103 上に半導体膜 104 を形成しているものとする。

【0063】

絶縁膜 107, 103 をエッチングすることにより、絶縁膜 107, 103 にはチャネ

50

ル形成領域 110 上に位置する開口部 103a, 103b 及び配線 106c 上に位置する開口部 103c が形成される。開口部 103a, 103b によって露出される半導体膜は、チャンネル形成領域 110 に対応する領域と同じかそれより内側にあつて小さい領域である(図5(A)参照)。

【0064】

次に、絶縁膜 107 上及び開口部 103a, 103b, 103c 内に下部ゲート絶縁膜 103f を形成する(図5(A)参照)。この下部ゲート絶縁膜 103f の膜厚は、実施の形態 1 における下部ゲート絶縁膜より薄いものである。

【0065】

この後、下部ゲート絶縁膜 103f 及び上部ゲート絶縁膜 105 をエッチングすることにより、下部ゲート絶縁膜 103f 及び上部ゲート絶縁膜 105 に開口部が形成され、この開口部によって配線 106c が露出される。次いで、下部ゲート絶縁膜 103f 上及び導電膜 106c 上に、実施の形態 1 と同様の方法で下部ゲート電極 115a, 115b 及び導電膜(配線) 115c ~ 115e を形成する。これにより、前記開口部内で導電膜 115c が配線 106c に電氣的に接続される(図5(B)参照)。このようにしてデュアルゲート TFT を作製することができる。

【0066】

上記実施の形態 3 においても実施の形態 1 と同様の効果を得ることができる。

また、上記実施の形態 3 では、下部ゲート絶縁膜 103f の膜厚を実施の形態 1 におけるそれより薄くしているため、実施の形態 1 に比べてデバイスの消費電力を低くすることができる。

【0067】

また、本実施の形態では、図5(A)に示す工程で下部ゲート絶縁膜 103f を形成しているのは、上述したように実施の形態 1 における下部ゲート絶縁膜より膜厚の薄い下部ゲート絶縁膜 103f を形成するためである。

【0068】

詳細に説明すると、実施の形態 1 のように図1(A)に示す工程で実施の形態 3 のような膜厚の薄い下部ゲート絶縁膜を形成した場合、図3(A)に示す工程で絶縁膜 107 に開口部 103a, 103b を形成するためのエッチングを行った際に、前記開口部内の前記膜厚の薄い下部ゲート絶縁膜がエッチング除去されてしまうことがあるからである。

これに対し、実施の形態 3 のように図5(A)に示す工程で膜厚の薄い下部ゲート絶縁膜 103f を形成し、この下部ゲート絶縁膜 103f 上に下部ゲート電極 115a, 115b を形成した場合、前記膜厚の薄い下部ゲート絶縁膜 103f を確実に形成することが可能となる。

【0069】

なお、本実施の形態 3 では、剥離層 102 上に絶縁膜 107 を形成し、この絶縁膜 107 上に絶縁膜 103 を形成し、この絶縁膜 103 上に半導体膜 104 を形成するが、剥離層 102 上に絶縁膜 107 を形成し、この絶縁膜 107 上に半導体膜 104 を形成することも可能である。即ち、絶縁膜 103 を形成しないことも可能である。

【0070】

(実施の形態 4)

図6(A), (B) は、本発明の実施の形態 4 による半導体装置の作製方法を説明する断面図である。図6(A), (B) に示す工程は、図5(A), (B) に示す工程に対応するものであり、図5と同一部分には同一符号を付し、実施の形態 3 と異なる部分についてのみ説明する。

【0071】

絶縁膜 107, 103 の開口部 103a, 103b によって露出される半導体膜は、チャンネル形成領域 110 に対応する領域より外側まで広がっており、且つ、チャンネル形成領域 110 と第 2 の不純物領域(LDD領域) 110c とに対応する領域と同じかそれより内側にあつて小さい領域である(図6(A)参照)。

10

20

30

40

50

【 0 0 7 2 】

上記実施の形態 4 においても実施の形態 3 と同様の効果を得ることができる。

【 0 0 7 3 】

(実施の形態 5)

図 7 (A) , (B) は、本発明の実施の形態 5 による半導体装置の作製方法を説明する断面図である。図 7 (A) , (B) に示す工程は、図 5 (A) , (B) に示す工程に対応するものであり、図 5 と同一部分には同一符号を付し、実施の形態 3 と異なる部分についてのみ説明する。

【 0 0 7 4 】

絶縁膜 1 0 7 , 1 0 3、上部ゲート絶縁膜 1 0 5 及び結晶質半導体膜をエッチングすることにより、絶縁膜 1 0 7 , 1 0 3 及び結晶質半導体膜にはチャネル形成領域 1 1 0 上に位置する開口部 1 0 3 a , 1 0 3 b が形成され、絶縁膜 1 0 7 , 1 0 3 及び上部ゲート絶縁膜 1 0 5 には配線 1 0 6 c 上に位置する開口部 1 0 3 c が形成される。前記開口部 1 0 3 a , 1 0 3 b それぞれによって露出された結晶質半導体膜は、その膜厚が薄くされた薄膜領域 1 1 0 a が形成される (図 7 (A) 参照) 。

10

【 0 0 7 5 】

詳細には、まず結晶質半導体膜と導電膜 1 0 6 c とにエッチング選択比のある条件でエッチングを行うことにより絶縁膜 1 0 7 , 1 0 3 及び上部ゲート絶縁膜 1 0 5 をエッチングし、続いて、導電膜 1 0 6 c と絶縁膜とにエッチング選択比のある条件でエッチングを行うことにより結晶質半導体膜をエッチングする。これにより、開口部 1 0 3 a ~ 1 0 3 c が形成される。開口部 1 0 3 a , 1 0 3 b によって露出された結晶質半導体膜の薄膜領域 1 1 0 a は、チャネル形成領域 1 1 0 に対応する領域と同じかそれより内側にあって小さい領域である (図 7 (A) 参照) 。

20

【 0 0 7 6 】

次に、絶縁膜 1 0 7 上及び開口部 1 0 3 a ~ 1 0 3 c 内に下部ゲート絶縁膜 1 0 3 f を形成する。この下部ゲート絶縁膜 1 0 3 f の膜厚は、実施の形態 1 における下部ゲート絶縁膜より薄いものである。

【 0 0 7 7 】

この後、下部ゲート絶縁膜 1 0 3 f をエッチングすることにより、下部ゲート絶縁膜 1 0 3 f に開口部が形成され、この開口部によって配線 1 0 6 c が露出される。次いで、下部ゲート絶縁膜 1 0 3 f 上及び導電膜 1 0 6 c 上に、実施の形態 1 と同様の方法で下部ゲート電極 1 1 5 a , 1 1 5 b 及び導電膜 (配線) 1 1 5 c ~ 1 1 5 e を形成する。これにより、前記開口部内で導電膜 1 1 5 c が配線 1 0 6 c に電氣的に接続される (図 7 (B) 参照) 。このようにしてデュアルゲート T F T を作製することができる。

30

【 0 0 7 8 】

上記実施の形態 5 においても実施の形態 3 と同様の効果を得ることができる。

また、上記実施の形態 5 では、チャネル形成領域 1 1 0 に対応する領域の結晶質半導体膜に、その膜厚を薄くした薄膜領域 1 1 0 a を形成することにより、S 値を小さくすることができ、その結果、実施の形態 3 に比べてデバイスの消費電力を低くすることができる。

40

【 0 0 7 9 】

また、上記実施の形態 5 では、上記のように膜厚を薄くした薄膜領域 1 1 0 a を形成することにより、上下の反転チャネルが重なりあい易くなり、ドレインからソースへの電界の侵入を減少させ、短チャネル効果を抑制することができる。なお、この短チャネル効果を抑制するという効果は、薄膜領域 1 1 0 a を形成した本実施の形態において得られ易くなるものであるが、実施の形態 1 ~ 4 においても結晶質半導体膜の膜厚などの条件によっては得ることができるものである。

【 0 0 8 0 】

(実施の形態 6)

実施の形態 6 では、上記実施の形態 1 ~ 5 で示した半導体装置の使用形態の一例につい

50

て説明する。具体的には、非接触でデータの入出力が可能である半導体装置の適用例に関して図8及び図9を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

【0081】

半導体装置80は、非接触でデータを交信する機能を有し、高周波回路81、電源回路82、リセット回路83、クロック発生回路84、データ復調回路85、データ変調回路86、他の回路の制御を行う制御回路87、記憶回路88およびアンテナ89を有している(図8(A))。高周波回路81はアンテナ89より信号を受信して、データ変調回路86より受信した信号をアンテナ89から出力する回路であり、電源回路82は受信信号から電源電位を生成する回路であり、リセット回路83はリセット信号を生成する回路であり、クロック発生回路84はアンテナ89から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路85は受信信号を復調して制御回路87に出力する回路であり、データ変調回路86は制御回路87から受信した信号を変調する回路である。また、制御回路87としては、例えばコード抽出回路91、コード判定回路92、CRC判定回路93および出力ユニット回路94が設けられている。なお、コード抽出回路91は制御回路87に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路92は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC回路は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

【0082】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ89により無線信号が受信される。無線信号は高周波回路81を介して電源回路82に送られ、高電源電位(以下、VDDと記す)が生成される。VDDは半導体装置80が有する各回路に供給される。また、高周波回路81を介してデータ復調回路85に送られた信号は復調される(以下、復調信号)。さらに、高周波回路81を介してリセット回路83およびクロック発生回路84を通った信号及び復調信号は制御回路87に送られる。制御回路87に送られた信号は、コード抽出回路91、コード判定回路92およびCRC判定回路93等によって解析される。そして、解析された信号にしたがって、記憶回路88内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路94を通過して符号化される。さらに、符号化された半導体装置80の情報はデータ変調回路86を通過して、アンテナ89により無線信号に載せて送信される。なお、半導体装置80を構成する複数の回路においては、低電源電位(以下、VSS)は共通であり、VSSはGNDとすることができる。

【0083】

このように、リーダー/ライターから半導体装置80に信号を送り、当該半導体装置80から送られてきた信号をリーダー/ライターで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0084】

また、半導体装置80は、各回路への電源電圧の供給を電源(バッテリー)を搭載せず電磁波により行うタイプとしてもよいし、電源(バッテリー)を搭載して電磁波又は電源(バッテリー)により各回路に電源電圧を供給するタイプとしてもよい。

【0085】

上記実施の形態1~5で示した作製方法を高周波回路81、電源回路82、リセット回路83、クロック発生回路84、データ復調回路85、データ変調回路86、制御回路87、記憶回路に適用することによって、半導体装置を得ることができる。

【0086】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部3210を含む携帯端末の側面には、リーダー/ライター3200が設けられ、品物3220の側面には半導体装置3230が設けられる(図8(B))。品物3220が含

10

20

30

40

50

む半導体装置 3 2 3 0 にリーダ/ライタ 3 2 0 0 をかざすと、表示部 3 2 1 0 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3 2 6 0 をベルトコンベアにより搬送する際に、リーダ/ライタ 3 2 4 0 と、商品 3 2 6 0 に設けられた半導体装置 3 2 5 0 を用いて、該商品 3 2 6 0 の検品を行うことができる（図 8（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【 0 0 8 7 】

また、上述した非接触データの入出力が可能である半導体装置における信号の伝送方式は、電磁結合方式、電磁誘導方式またはマイクロ波方式等を用いることができる。伝送方式は、実施者が使用用途を考慮して適宜選択すればよく、伝送方式に伴って最適なアンテナを設ければよい。

10

【 0 0 8 8 】

例えば、半導体装置における信号の伝送方式として、電磁結合方式または電磁誘導方式（例えば 1 3 . 5 6 M H z 帯）を適用する場合には、磁界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電膜を輪状（例えば、ループアンテナ）、らせん状（例えば、スパイラルアンテナ）に形成する。

【 0 0 8 9 】

また、半導体装置における信号の伝送方式として、マイクロ波方式（例えば、UHF帯（860～960MHz帯）、2.45GHz帯等）を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよく、例えば、アンテナとして機能する導電膜を線状（例えば、ダイポールアンテナ）、平坦な形状（例えば、パッチアンテナ）またはリボン型の形状等に形成することができる。また、アンテナとして機能する導電膜の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。なお、アンテナとして機能する導電膜をどのような形状に設けた場合であっても、上記実施の形態で示したように、素子群を貼り合わせて設ける際に素子群に加わる圧力をモニタリングして素子群に過度の圧力が加わらないように制御することにより素子群の破損等を防止することができる。

20

【 0 0 9 0 】

アンテナとして機能する導電膜は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

30

【 0 0 9 1 】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜を形成する場合には、粒径が数nmから数十 μ mの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）およびチタン（Ti）等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子（例えば粒径1nm以上100nm以下）を用いる場合、150～300の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよ

40

50

く、この場合は粒径20 μm以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

【0092】

なお、上述した以外にも可撓性を有する半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。これらの例に関して図9を用いて説明する。

【0093】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの（金券）、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す（図9（A））。証書類とは、運転免許証、住民票等を指す（図9（B））。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す（図9（C））。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す（図9（D））。書籍類とは、書物、本等を指す（図9（E））。記録媒体とは、DVDソフト、ビデオテープ等を指す（図9（F））。乗物類とは、自転車等の車両、船舶等を指す（図9（G））。身の回り品とは、鞆、眼鏡等を指す（図9（H））。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（テレビ受像機、薄型テレビ受像機）、携帯電話機等を指す。

【0094】

紙幣、硬貨、有価証券類、証書類、無記名債券類等に半導体装置80を設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等に半導体装置80を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等に半導体装置80を設けることにより、偽造や盗難の防止、薬品類ならば、薬の服用の間違いを防止することができる。半導体装置80の設け方としては、物品の表面に貼ったり、物品に埋め込んだりして設ける。例えば、本ならば紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。可撓性を有する半導体装置を用いることによって、紙等に設けた場合であっても、上記実施の形態で示した構造を有する半導体装置を用いて半導体装置を設けることにより、当該半導体装置に含まれる素子の破損等を防止することができる。

【0095】

このように、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物にセンサーを備えた半導体装置を埋め込むことによって、生まれた年や性別または種類等はもちろん体温等の健康状態を容易に管理することが可能となる。

【0096】

なお、本実施の形態は、本明細書の他の実施の形態で示した半導体装置の構成や作製方法と組み合わせて行うことができる。つまり、上記実施の形態1～5で示した半導体装置の構成を本実施の形態で示した半導体装置に適用することができる。

【0097】

（実施の形態7）

本実施の形態では、上記実施の形態6で示した非接触でデータの入出力が可能である半導体装置の作製方法に関して図10～図13を参照して説明する。なお、本実施の形態では、薄膜トランジスタ等の素子を一度支持基板（仮基板）に設けた後、可撓性を有する基

10

20

30

40

50

板に転置して半導体装置を作製する場合に関して説明する。

【0098】

まず、基板301の一表面に絶縁膜302を介して剥離層303を形成し、続けて下地膜として機能する絶縁膜304と下部ゲート絶縁膜103と半導体膜305（例えば、非晶質シリコンを含む膜、非晶質半導体膜）を積層して形成する（図10（A）参照）。なお、絶縁膜302、剥離層303、絶縁膜304、下部ゲート絶縁膜103及び半導体膜305は、連続して形成することができる。

【0099】

基板301は、上記実施の形態1で示した基板101と同様のものを用いればよい。

【0100】

絶縁膜302、絶縁膜304は、CVD法やスパッタリング法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜等を用いて形成する。例えば、絶縁膜302又は絶縁膜304を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。

【0101】

剥離層303は、上記実施の形態1で示した剥離層102と同様のものを用いればよい。また、下部ゲート絶縁膜103は、上記実施の形態1で用いたものと同様のものを用いればよい。

【0102】

非晶質半導体膜305は、スパッタリング法、LPCVD法、プラズマCVD法等により、25～200nm（好ましくは30～150nm）の厚さで形成する。

【0103】

次に、非晶質半導体膜305にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜305の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、半導体膜305a～半導体膜305fを形成し、当該半導体膜305a～305fを覆うようにゲート絶縁膜306を形成する（図10（B）参照）。

【0104】

ゲート絶縁膜306は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜306を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0105】

なお、本実施の形態では、半導体膜305fを容量素子の電極として利用するため、当該半導体膜305fに不純物元素を導入する。具体的には、ゲート絶縁膜306の形成前または形成後に、半導体膜305a～305eをレジストで覆い、イオンドーブ法またはイオン注入法により半導体膜305fにn型またはp型の不純物元素を選択的に導入することができる。n型の不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型の不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、n型の不純物元素であるリン（P）を用い、半導体膜305fに選択的に導入する。

【0106】

次に、ゲート絶縁膜306上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20～100nmの厚さで形成する。第2の導電膜は、100～400nmの厚さで形成する。第1の導電膜

10

20

30

40

50

と第2の導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

10

【0107】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜305a~305fの上方にゲート電極307を形成する。ここでは、ゲート電極307として、第1の導電膜307aと第2の導電膜307bの積層構造で設けた例を示している。

【0108】

次に、ゲート電極307をマスクとして半導体膜305a~305fに、イオンドープ法またはイオン注入法により、n型の不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、p型の不純物元素を高濃度に添加する。ここでは、n型の不純物元素であるリン(P)を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜305a~305fにゲート電極307をマスクとして選択的に導入し、n型の不純物領域308を形成する。続いて、半導体膜305a、305b、305d、305fをレジストで覆い、p型の不純物元素であるボロン(B)を、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜305c、305eに導入し、p型の不純物領域309を形成する(図10(C)参照)。

20

【0109】

続いて、ゲート絶縁膜306とゲート電極307を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、シリコン、シリコンの酸化物又はシリコンの窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極307の側面に接する絶縁膜310(サイドウォールともよばれる)を形成する。絶縁膜310は、LDD(Lightly Doped Drain)領域を形成する際のドーピング用のマスクとして用いる。

30

【0110】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極307および絶縁膜310をマスクとして用いて、半導体膜305a、305b、305d、305fにn型の不純物元素を高濃度に添加して、n型の不純物領域311を形成する。ここでは、n型の不純物元素としてリン(P)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜305a、305b、305d、305fに選択的に導入し、不純物領域308より高濃度のn型の不純物領域311を形成する。

40

【0111】

以上の工程により、デュアルゲートの一方のゲート電極が形成されたまでのnチャンネル型薄膜トランジスタ300a、300b、300dと、pチャンネル型薄膜トランジスタ300c、300eと、容量素子300fが形成される(図10(D)参照)。

【0112】

nチャンネル型薄膜トランジスタ300aは、ゲート電極307と重なる半導体膜305aの領域にチャンネル形成領域が形成され、ゲート電極307及び絶縁膜310と重ならない領域にソース領域又はドレイン領域を形成する不純物領域311が形成され、絶縁膜310と重なる領域であってチャンネル形成領域と不純物領域311の間に低濃度不純物領域

50

(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ300b、300dも同様にチャネル形成領域、低濃度不純物領域及び不純物領域311が形成されている。

【0113】

pチャネル型薄膜トランジスタ300cは、ゲート電極307と重なる半導体膜305cの領域にチャネル形成領域が形成され、ゲート電極307と重ならない領域にソース領域又はドレイン領域を形成する不純物領域309が形成されている。また、pチャネル型薄膜トランジスタ300eも同様にチャネル形成領域及び不純物領域309が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ300c、300eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

10

【0114】

次に、半導体膜305a~305f、ゲート電極307等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ300a~300eのソース領域又はドレイン領域を形成する不純物領域309、311、容量素子300fの一方の電極と電気的に接続する導電膜313を形成する(図11(A)参照)。絶縁膜は、CVD法、スパッタリング法、SOG法、液滴吐出法、スクリーン印刷法等により、シリコンの酸化物やシリコンの窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を2層で設け、1層目の絶縁膜312aとして窒化酸化シリコン膜で形成し、2層目の絶縁膜312bとして酸化窒化シリコン膜で形成する。また、導電膜313は、薄膜トランジスタ300a~300eのソース電極又はドレイン電極を形成しうる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

20

【0115】

なお、絶縁膜312a、312bを形成する前、または絶縁膜312a、312bのうちの1つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを適用するとよい。

30

【0116】

導電膜313は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜313は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜313を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

40

50

【0117】

次に、導電膜313を覆うように、絶縁膜314を形成し、当該絶縁膜314上に、薄膜トランジスタ300aのソース電極又はドレイン電極を形成する導電膜313と電氣的に接続する導電膜316を形成する。導電膜316は、上述した導電膜313で示したいずれかの材料を用いて形成することができる。

【0118】

続いて、導電膜316にアンテナとして機能する導電膜317が電氣的に接続されるように形成する(図11(B)参照)。

【0119】

絶縁膜314は、CVD法やスパッタリング法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

10

【0120】

導電膜317は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

20

【0121】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜317を形成する場合には、粒径が数nmから数十 μ mの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下)を用いる場合、150~300の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20 μ m以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。

30

【0122】

次に、導電膜317を覆うように絶縁膜318を形成した後、薄膜トランジスタ300a~300e、容量素子300f、導電膜317等を含む層(以下、「素子形成層319」と記す)を基板301から剥離する。ここでは、レーザー光(例えばUV光)を照射することによって、薄膜トランジスタ300a~300e、容量素子300fを避けた領域に開口部を形成後(図11(C)参照)、基板301から素子形成層319を剥離することができる。なお、素子形成層319を剥離する際に、水等の液体で濡らしながら行うことによって、静電気により素子形成層319に設けられた薄膜トランジスタの破壊を防止することができる。また、素子形成層319が剥離された基板301を再利用することによって、コストの削減をすることができる。

40

【0123】

絶縁膜318は、CVD法やスパッタリング法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜やDLC(ダ

50

イヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0124】

本実施の形態では、レーザー光の照射により素子形成層319に開口部を形成した後に、当該素子形成層319の一方の面(絶縁膜318の露出した面)に第1のシート材320を貼り合わせた後、基板301から素子形成層319を剥離する(図12(A)参照)。

【0125】

次に、素子形成層319の他方の面(剥離により露出した面)からレーザー光を照射してレーザーアニールを行うことによって、半導体膜305a~305fの活性化を行う(図12(B)参照)。なお、レーザーアニールと同時に熱処理を行ってもよい。

【0126】

また、レーザーアニールを行う前に、例えば、窒化珪素膜を露出した素子形成層319の他方の面に形成した後、窒素雰囲気下で加熱処理を行うことによって、半導体膜305a~305fに脱水素化処理を行ってもよい。脱水素化処理により、レーザー照射時に水素が突沸して半導体膜の結晶状態を乱すことを防ぐことができる。半導体膜305a~305fに脱水素化処理を行った後にレーザーアニールを行うことによって、半導体膜の結晶状態をより良くすることが可能となる。

なお、本実施の形態では、図12(B)に示す工程でレーザーアニールを行っているが、図12(B)の工程は必ずしも必要ではなく、この工程を省略することも可能である。

【0127】

次に、絶縁膜304の露出面にフォトリジスト膜(図示せず)を塗布し、このフォトリジスト膜を露光、現像することにより、絶縁膜304の露出面にはレジストパターンが形成される。このレジストパターンをマスクとして絶縁膜304をエッチングすることにより、絶縁膜304には下部ゲート絶縁膜103を介してチャンネル形成領域上に位置する開口部304a~304e及び容量素子に位置する開口部304fが形成される。開口部304a~304eによって露出される下部ゲート絶縁膜103は、チャンネル形成領域に対応する領域と同じかそれより内側にあって小さい領域である。次いで、前記レジストパターンを剥離する。

【0128】

次に、開口部304a~304f内及び絶縁膜304上に導電膜を形成した後、この導電膜を選択的にエッチングすることにより、チャンネル形成領域上に下部ゲート絶縁膜103を介して導電膜322a~322eを残存させ、容量素子の導電膜322fを残存させる(図13参照)。導電膜322a~322eは、下部ゲート電極として機能しうる。また、導電膜322fは、容量素子の電極として機能しうる。下部ゲート電極として機能する導電膜322a~322eは、チャンネル形成領域と同じ大きさ又はチャンネル形成領域より小さい大きさであってチャンネル形成領域の内側に位置することが好ましい。

【0129】

前記導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素でなる膜、またはこれらの元素の窒化物でなる膜(代表的には、窒化タンタル、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜)を用いることができる。また、前記導電膜は、複数の導電膜を積層させた構造で設けてもよく、例えば、膜厚が20nm~100nmの窒化タンタル膜と、膜厚が100nm~400nmのタングステン膜を順に積層させた構造で設けることができる。タングステンや窒化タンタルは、耐熱性が高いため、導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。

10

20

30

40

50

上記のようにしてデュアルゲートTFTを作製することができる。

【0130】

次に、導電膜322a~322fを覆うように絶縁膜323を形成する(図13参照)

【0131】

絶縁膜323は、CVD法やスパッタリング法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

10

【0132】

絶縁膜323上に、第2のシート材321を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第2のシート材321を貼り合わせる(図13参照)。第1のシート材320、第2のシート材321として、ホットメルトフィルム等を用いることができる。

【0133】

また、第1のシート材320、第2のシート材321として、静電気等を防止する帯電防止対策を施したフィルム(以下、帯電防止フィルムと記す)を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物(ITO)、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

20

30

【0134】

なお、本実施の形態で示した半導体装置の構成は、様々な形態をとることができる。つまり、本実施の形態では、図3(A)に示す半導体装置とほぼ同様の構成を採用しているが、これに限定されるものではなく、他の構成の半導体装置を採用することも可能である。例えば、図3(B)に示す半導体装置の構成と同様の構成を採用しても良いし、実施の形態2~5のいずれかの半導体装置の構成を採用しても良い。

【0135】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の主旨を逸脱しない範囲内で種々変更して実施することが可能である。例えば、上述した実施の形態を相互に組み合わせて実施することも可能である。

40

【図面の簡単な説明】

【0136】

【図1】(A)~(E)は、本発明の実施の形態1による半導体装置の作製方法を示す断面図である。

【図2】(A)~(C)は、本発明の実施の形態1による半導体装置の作製方法を示すものであり、図1(E)の次の工程を示す断面図である。

【図3】(A),(B)は、本発明の実施の形態1による半導体装置の作製方法を示すものであり、図2(C)の次の工程を示す断面図である。

50

【図 4】本発明の実施の形態 2 による半導体装置の作製方法を説明する断面図である。

【図 5】(A), (B) は、本発明の実施の形態 3 による半導体装置の作製方法を説明する断面図である。

【図 6】(A), (B) は、本発明の実施の形態 4 による半導体装置の作製方法を説明する断面図である。

【図 7】(A), (B) は、本発明の実施の形態 5 による半導体装置の作製方法を説明する断面図である。

【図 8】本発明の半導体装置の使用形態の一例を示す図である。

【図 9】本発明の半導体装置の使用形態の一例を示す図である。

【図 10】本発明の半導体装置の作製方法の一例を示す図である。

10

【図 11】本発明の半導体装置の作製方法の一例を示す図である。

【図 12】本発明の半導体装置の作製方法の一例を示す図である。

【図 13】本発明の半導体装置の作製方法の一例を示す図である。

【図 14】従来のデュアルゲート T F T を示す断面図である。

【図 15】(a)、(b) は、図 14 に示すデュアルゲート T F T の半導体膜の形成方法を説明する断面図である。

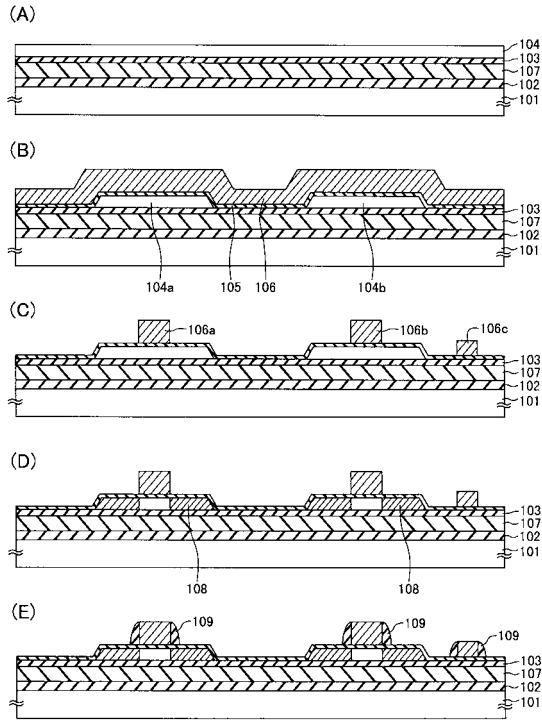
【符号の説明】

【 0 1 3 7 】

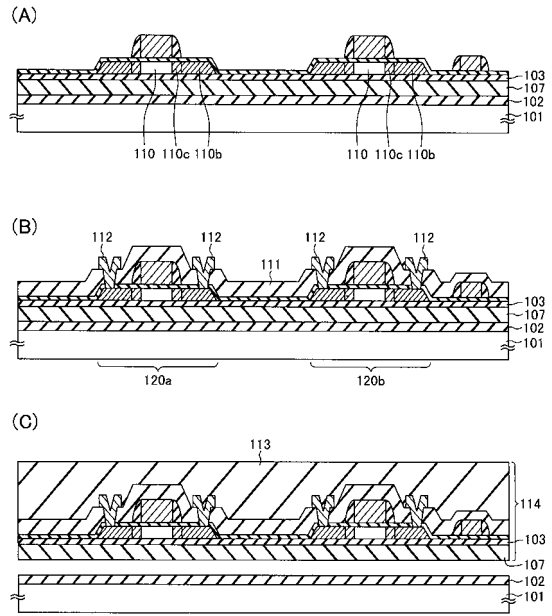
8 0	半導体装置	
8 1	高周波回路	20
8 2	電源回路	
8 3	リセット回路	
8 4	クロック発生回路	
8 5	データ復調回路	
8 6	データ変調回路	
8 7	制御回路	
8 8	記憶回路	
8 9	アンテナ	
9 1	コード抽出回路	
9 2	コード判定回路	30
9 3	C R C 判定回路	
9 4	出力ユニット回路	
1 0 1	基板	
1 0 2	剥離層	
1 0 3	下部ゲート絶縁膜	
1 0 3 a ~ 1 0 3 c	開口部	
1 0 3 f	下部ゲート絶縁膜	
1 0 4	半導体膜	
1 0 4 a , 1 0 4 b	結晶質半導体膜	
1 0 5	上部ゲート絶縁膜	40
1 0 6	導電膜	
1 0 6 a , 1 0 6 b	導電膜 (上部ゲート電極)	
1 0 6 c	導電膜 (配線)	
1 0 7	絶縁膜	
1 0 8	低濃度不純物領域	
1 0 9	絶縁膜	
1 1 0	チャネル形成領域	
1 1 0 b	高濃度不純物領域	
1 1 0 c	低濃度不純物領域	
1 1 1 , 1 1 3 , 1 1 6	絶縁膜	50

1 1 2	導電膜	
1 1 4	素子形成層	
1 1 5 a , 1 1 5 b	導電膜 (下部ゲート電極)	
1 1 5 c ~ 1 1 5 e , 1 1 7	導電膜 (配線)	
1 2 0 a , 1 2 0 b	薄膜トランジスタ	
3 0 0 a ~ 3 0 0 c , 3 0 0 e	薄膜トランジスタ	
3 0 0 f	容量素子	
3 0 1	基板	
3 0 2 , 3 0 4	絶縁膜	
3 0 3	剥離層	10
3 0 4 a ~ 3 0 4 f	開口部	
3 0 5 , 3 0 5 a ~ 3 0 5 f	半導体膜	
3 0 6	ゲート絶縁膜	
3 0 7	ゲート電極	
3 0 7 a , 3 0 7 b	導電膜	
3 0 8 , 3 0 9	不純物領域	
3 1 0 , 3 1 2 a , 3 1 2 b , 3 1 4 , 3 1 8 , 3 2 3	絶縁膜	
3 1 1	不純物領域	
3 1 3 , 3 1 6 , 3 1 7	導電膜	
3 1 9	素子形成層	20
3 2 0 , 3 2 1	シート材	
3 2 2 a ~ 3 2 2 e	導電膜 (下部ゲート電極)	
3 2 2 f	導電膜	
3 2 0 0	リーダ / ライタ	
3 2 1 0	表示部	
3 2 2 0	品物	
3 2 3 0 , 3 2 5 0	半導体装置	
3 2 4 0	リーダ / ライタ	
3 2 6 0	商品	

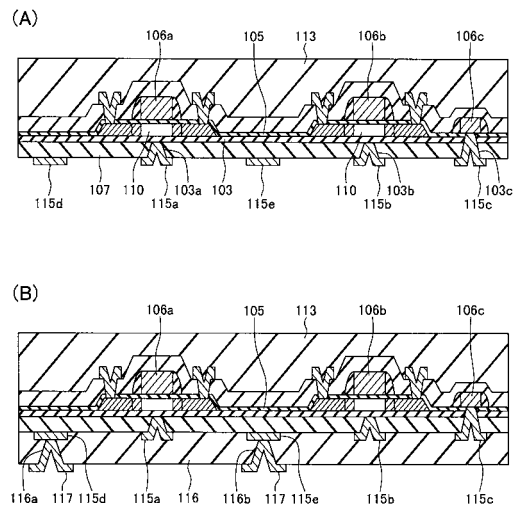
【 図 1 】



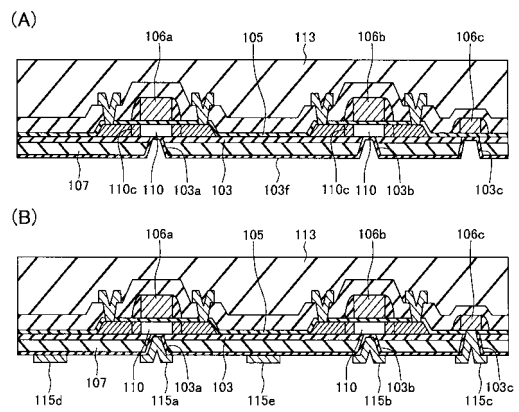
【 図 2 】



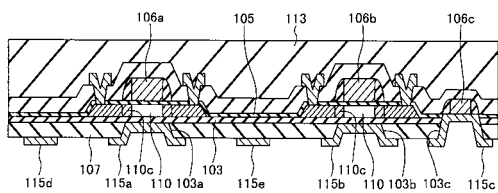
【 図 3 】



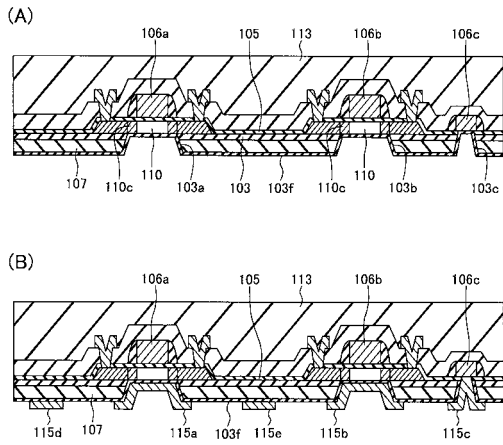
【 図 5 】



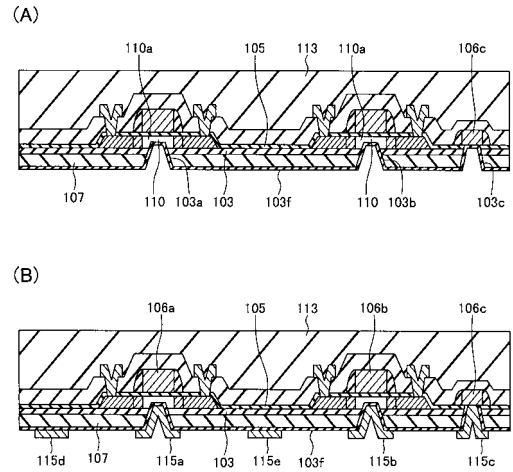
【 図 4 】



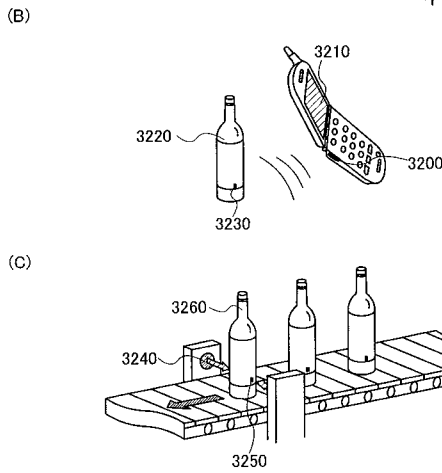
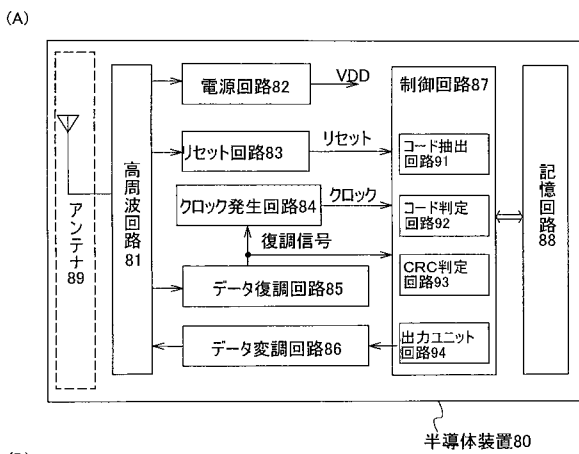
【図6】



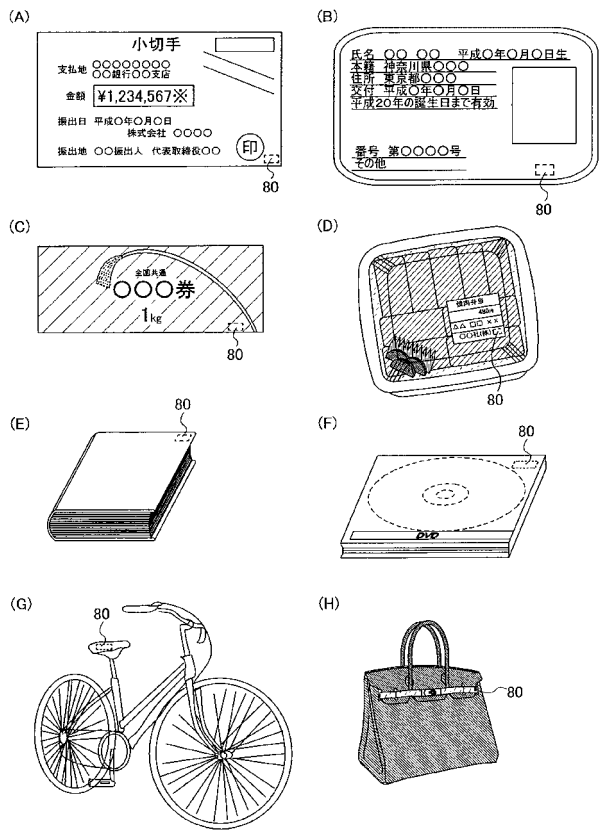
【図7】



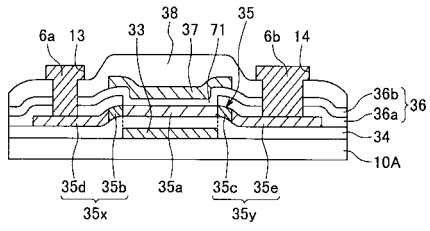
【図8】



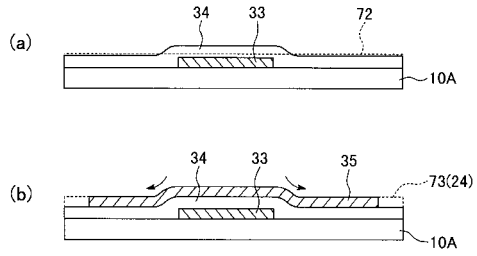
【図9】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

- (56)参考文献 特開2001-028354(JP,A)
特開2004-119936(JP,A)
特開2005-093625(JP,A)
特開2005-210081(JP,A)
特開平09-116036(JP,A)
特開平06-196696(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20
H01L 21/336
H01L 29/786