

(21)申請案號：100143597

(22)申請日：中華民國 100 (2011) 年 11 月 28 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2011/03/09 日本

2011-050928

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.  
(JP)

日本

(72)發明人：增田健良 MASUDA, TAKEYOSHI (JP)

(74)代理人：陳長文

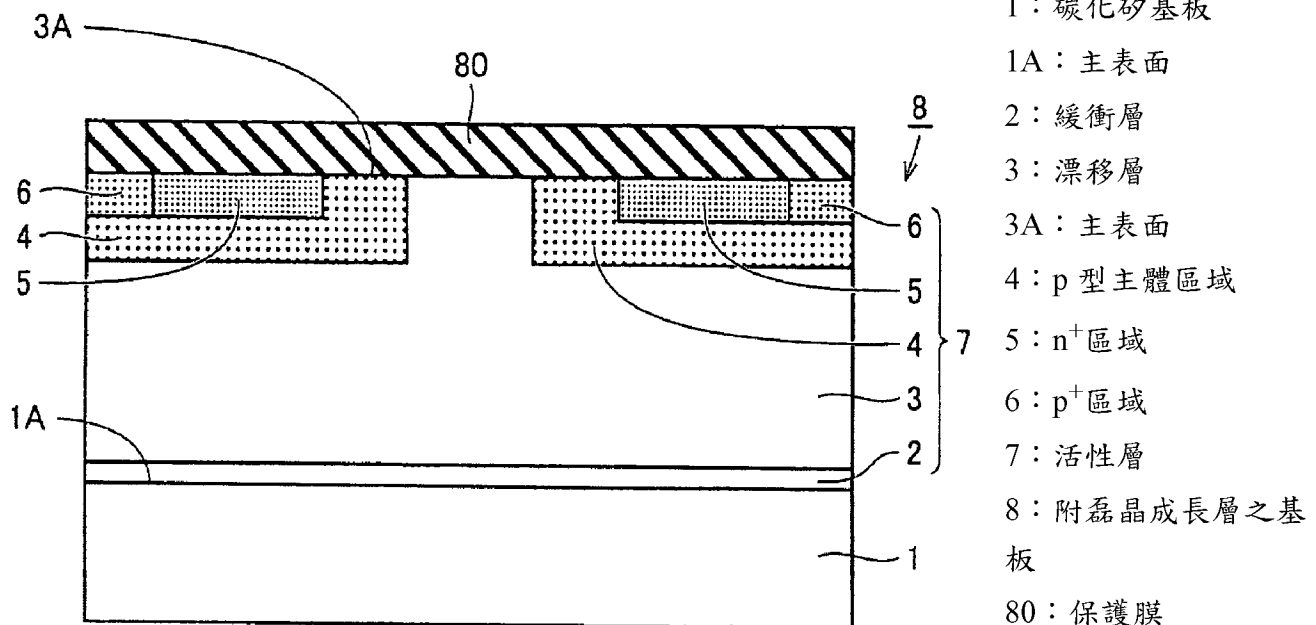
申請實體審查：無 申請專利範圍項數：5 項 圖式數：8 共 23 頁

(54)名稱

半導體裝置之製造方法

(57)摘要

本發明之 MOSFET 之製造方法包括如下步驟：準備包含碳化矽之附磊晶成長層之基板(8)；對附磊晶成長層之基板(8)實施離子注入；於已實施離子注入之附磊晶成長層之基板(8)上形成包含二氧化矽之保護膜(80)；及將形成有保護膜(80)之附磊晶成長層之基板(8)於含有含氧原子之氣體之環境中加熱至 1600°C 以上之溫度區。



(21)申請案號：100143597

(22)申請日：中華民國 100 (2011) 年 11 月 28 日

(51)Int. Cl. : **H01L21/336 (2006.01)**

***H01L29/78 (2006.01)***

(30)優先權：2011/03/09 日本

2011-050928

(71)申請人：住友電氣工業股份有限公司(日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.  
(JP)

日本

(72)發明人：增田健良 MASUDA, TAKEYOSHI (JP)

(74)代理人：陳長文

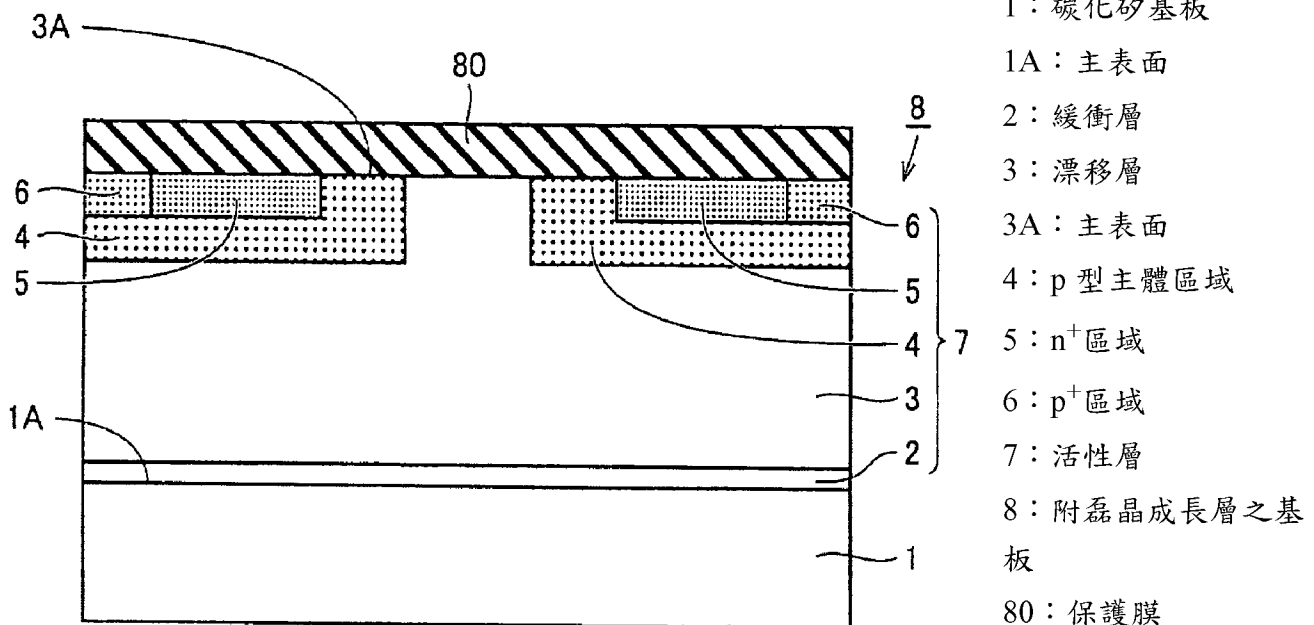
申請實體審查：無 申請專利範圍項數：5 項 圖式數：8 共 23 頁

(54)名稱

# 半導體裝置之製造方法

(57)摘要

本發明之 MOSFET 之製造方法包括如下步驟：準備包含碳化矽之附磊晶成長層之基板(8)；對附磊晶成長層之基板(8)實施離子注入；於已實施離子注入之附磊晶成長層之基板(8)上形成包含二氧化矽之保護膜(80)；及將形成有保護膜(80)之附磊晶成長層之基板(8)於含有含氧原子之氣體之環境中加熱至 1600℃ 以上之溫度區。



## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造方法，更特定而言，係關於一種可抑制使導入至包含碳化矽之基板之雜質活化之活化退火中基板之表面粗糙的半導體裝置之製造方法。

### 【先前技術】

近年來，為使半導體裝置之高耐壓化、低損失化、於高溫環境下之使用等成為可能，正在推進採用碳化矽作為構成半導體裝置之材料。碳化矽係與自先前以來被廣泛用作構成半導體裝置之材料之矽相比能帶隙較大之寬能帶隙半導體。因此，藉由採用碳化矽作為構成半導體裝置之材料，可達成半導體裝置之高耐壓化、導通電阻之降低等。又，採用碳化矽作為材料之半導體裝置與採用矽作為材料之半導體裝置相比，亦具有於高溫環境下使用之情形時之特性下降較小之優點。

於此種使用碳化矽作為材料之半導體裝置之製造方法中，係向包含碳化矽之基板導入所期望之雜質後，實施使該雜質活化之活化退火。此處，包含碳化矽之基板之活化退火必需於高溫下實施。其結果為，存在因活化退火而產生基板之表面粗糙之情況。該表面粗糙有對所製造之半導體裝置之特性造成不良影響之虞，故而較理想的是使其減少。

相對於此，已提出有如下碳化矽半導體裝置之製造方

法：於藉由離子注入而導入之雜質之活化退火前，利用氮化矽膜覆蓋已進行離子注入之區域之表面(例如，參照日本專利特開平7-86199號公報(專利文獻1))。

#### 先前技術文獻

#### 專利文獻

專利文獻1：日本專利特開平7-86199號公報

#### 【發明內容】

#### 發明所欲解決之問題

然而，於上述活化退火中，基板必需加熱至 $1600^{\circ}\text{C}$ 以上之高溫。因此，於上述專利文獻1所記載之半導體裝置之製造方法中，有可能因碳化矽與氮化矽之線膨脹係數不同等而引起氮化矽膜上產生龜裂。而且，若於作為保護膜之氮化矽膜上產生龜裂，則會產生無法充分抑制基板之表面粗糙之問題。

本發明係為因應上述問題而完成者，其目的在於提供一種可抑制包含碳化矽之基板之活化退火中之表面粗糙的半導體裝置之製造方法。

#### 解決問題之技術手段

根據本發明之半導體裝置之製造方法包括如下步驟：準備包含碳化矽之基板；對基板實施離子注入；於已實施離子注入之基板上形成包含二氧化矽之保護膜；及將形成有保護膜之基板於含有含氧原子之氣體之環境中加熱至 $1600^{\circ}\text{C}$ 以上之溫度區。

於本發明之半導體裝置之製造方法中，於已實施離子注

入之包含碳化矽之基板上形成包含二氧化矽之保護膜後，於含有含氧原子之氣體之環境中加熱至 $1600^{\circ}\text{C}$ 以上之溫度區，藉此實施活化退火。此時，即便於成為於包含二氧化矽之保護膜上可能產生龜裂之狀態之情形時，亦可藉由自碳化矽基板脫離之矽與環境中之氣體中所含之氧原子結合而生成之二氧化矽，抑制該龜裂之產生。其結果為，根據本發明之半導體裝置之製造方法，可抑制包含碳化矽之基板之活化退火中之表面粗糙。

於上述本發明之半導體裝置之製造方法中，於加熱基板之步驟中，亦可將形成有保護膜之基板加熱至 $1700^{\circ}\text{C}$ 以下之溫度區。藉由將基板之加熱溫度設為 $1700^{\circ}\text{C}$ 以下，可藉由包含二氧化矽之保護膜更確實地抑制基板之表面粗糙。

於上述本發明之半導體裝置之製造方法中，於加熱基板之步驟中，係於含有氧氣之環境中加熱形成有保護膜之基板。

氧氣由於價格低廉且亦容易處理，故而適宜作為構成加熱上述基板之步驟之環境的氣體(包含氧原子之氣體)。

於上述本發明之半導體裝置之製造方法中，於形成保護膜之步驟中，亦可藉由熱氧化而形成保護膜。藉此，可容易地形成包含二氧化矽之保護膜。

於上述本發明之半導體裝置之製造方法中，形成保護膜之步驟與加熱基板之步驟亦可作為單一之步驟而實施。

於藉由熱氧化處理形成上述保護膜之情形時，上述基板係於含有含氧原子之氣體的環境中受到加熱。因此，可作

為單一之步驟實施形成該保護膜之步驟與後續之於含有含氧原子之氣體的環境中加熱上述基板之步驟。藉此，可簡化半導體裝置之製造製程。

### 發明之效果

由以上說明表明，根據本發明之半導體裝置之製造方法，可提供一種能夠抑制包含碳化矽之基板之活化退火中之表面粗糙的半導體裝置之製造方法。

### 【實施方式】

以下，基於圖式對本發明之實施形態進行說明。再者，於以下圖式中對相同或相當之部分標註相同參照編號，且不對其作重複說明。

首先，說明可藉由本發明之一實施形態之半導體裝置之製造方法而製造之半導體裝置。參照圖1，作為半導體裝置之MOSFET(Metal Oxide Semiconductor Field Effect Transistor，金屬氧化物半導體場效應電晶體)100係DiMOSFET(Double Implanted Metal Oxide Semiconductor Field Effect Transistor，雙重注入型金屬氧化物半導體場效應電晶體)，其包括導電型為n型(第1導電型)之碳化矽基板1、包含碳化矽且導電型為n型之緩衝層2、包含碳化矽且導電型為n型之漂移層3、導電型為p型(第2導電型)之一對p型主體區域4、導電型為n型之 $n^+$ 區域5、及導電型為p型之 $p^+$ 區域6。

緩衝層2係形成於碳化矽基板1之一主表面1A上，且藉由包含n型雜質而使導電型成為n型。漂移層3係形成於緩衝

層2上，且藉由包含n型雜質而使導電型成為n型。漂移層3中所含之n型雜質例如為N(氮)，且以低於緩衝層2中所含之n型雜質之濃度(密度)而含有。緩衝層2及漂移層3係形成於碳化矽基板1之一主表面1A上之磊晶成長層。

一對p型主體區域4係於磊晶成長層上，以包含與碳化矽基板1側之主表面為相反側之主表面3A之方式相互分離而形成，且藉由包含p型雜質(導電型為p型之雜質)而使導電型成為p型。p型主體區域4中所含之p型雜質例如為鋁(Al)、硼(B)等。

$n^+$ 區域5係以包含上述主表面3A且被p型主體區域4包圍之方式，形成於一對p型主體區域4之各自之內部。 $n^+$ 區域5係以高於漂移層3中所含之n型雜質之濃度(密度)而含有n型雜質例如P等。 $p^+$ 區域6係以包含上述主表面3A且被p型主體區域4包圍，並且與 $n^+$ 區域5鄰接之方式，形成於一對p型主體區域4之各自之內部。 $p^+$ 區域6係以高於p型主體區域4中所含之p型雜質之濃度(密度)而含有p型雜質例如Al等。上述緩衝層2、漂移層3、p型主體區域4、 $n^+$ 區域5及 $p^+$ 區域6係構成活性層7。

進而，參照圖1，MOSFET 100包括作為閘極絕緣膜之閘極氧化膜91、閘極電極93、一對源極接觸電極92、層間絕緣膜94、源極配線95、及汲極電極96。

閘極氧化膜91係以與主表面3A接觸且自一 $n^+$ 區域5之上部表面起延伸至另一 $n^+$ 區域5之上部表面為止之方式形成於磊晶成長層之主表面3A上，且包含例如二氧化矽

(SiO<sub>2</sub>)。

閘極電極93係以自一n<sup>+</sup>區域5上延伸至另一n<sup>+</sup>區域5上為止之方式與閘極氧化膜91接觸而配置。又，閘極電極93包含添加有雜質之多晶矽、Al等之導電體。

源極接觸電極92係分別自一對n<sup>+</sup>區域5上向自閘極氧化膜91離開之方向延伸而抵達至p<sup>+</sup>區域6上為止，並且與主表面3A接觸而配置。又，源極接觸電極92包含例如Ni<sub>x</sub>Si<sub>y</sub>(矽化鎳)等之與n<sup>+</sup>區域5可歐姆接觸之材料。

層間絕緣膜94係以於漂移層3之主表面3A上包圍閘極電極93，且自一p型主體區域4上延伸至另一p型主體區域4上為止之方式形成，且包含例如作為絕緣體之二氧化矽(SiO<sub>2</sub>)。

源極配線95係於漂移層3之主表面3A上包圍層間絕緣膜94，且延伸至源極接觸電極92之上部表面上為止。又，源極配線95包含Al等之導電體，且經由源極接觸電極92與n<sup>+</sup>區域5電性連接。

汲極電極96係形成於碳化矽基板1上之與形成有漂移層3之側為相反側之主表面接觸。該汲極電極96包含例如Ni<sub>x</sub>Si<sub>y</sub>等之與碳化矽基板1可歐姆接觸之材料，且與碳化矽基板1電性連接。

其次，對MOSFET 100之動作進行說明。參照圖1，於閘極電極93之電壓未達臨界電壓之狀態即斷開狀態下，即便對汲極電極施加電壓，位於閘極氧化膜91之正下方的p型主體區域4與漂移層3之間之pn接合亦成為逆向偏壓，而成

為非導通狀態。另一方面，若對閘極電極93施加臨界電壓以上之電壓，則於p型主體區域4之與閘極氧化膜91接觸之附近即通道區域內形成反轉層。其結果為， $n^+$ 區域5與漂移層3電性連接，電流於源極配線95與汲極電極96之間流動。

此處，如上所述於MOSFET 100中，於p型主體區域4之與閘極氧化膜91接觸之附近區域即通道區域內形成反轉層，電流於該反轉層中流動。因此，於主表面3A上產生表面粗糙之情形時，可能產生使反轉層中之電阻(通道電阻)上升，導通電阻升高之問題。然而，本實施形態之MOSFET 100係藉由以下說明之本實施形態之半導體裝置之製造方法而製造，藉此主表面3A之表面粗糙得以降低，從而上述問題之產生得到抑制。

其次，參照圖2~圖8對本實施形態之MOSFET 100之製造方法進行說明。參照圖2，於本實施形態之MOSFET 100之製造方法中，首先，實施碳化矽基板準備步驟作為步驟(S110)。於該步驟(S110)中，參照圖3，準備對利用例如昇華法製造之鑄錠進行切片而獲得之碳化矽基板1。

其次，實施磊晶成長步驟作為步驟(S120)。於該步驟(S120)中，參照圖3，藉由磊晶成長，於碳化矽基板1之一主表面1A上依次形成包含碳化矽之緩衝層2及漂移層3。藉此，獲得作為包含碳化矽之基板的附磊晶成長層之基板8。

其次，實施離子注入步驟作為步驟(S130)。於該步驟

(S130)中，參照圖3及圖4，首先，實施用以形成p型主體區域4之離子注入。具體而言，藉由向漂移層3注入例如Al(鋁)離子，形成p型主體區域4。其次，實施用以形成 $n^+$ 區域5之離子注入。具體而言，藉由向p型主體區域4注入例如P(磷)離子，於p型主體區域4內形成 $n^+$ 區域5。進而，實施用以形成 $p^+$ 區域6之離子注入。具體而言，藉由向p型主體區域4注入例如Al離子，於p型主體區域4內形成 $p^+$ 區域6。上述離子注入例如可於漂移層3之主表面上形成包含二氧化矽( $\text{SiO}_2$ )且於應實施離子注入之所期望之區域內具有開口之掩模層而實施。

其次，實施保護膜形成步驟作為步驟(S140)。於該步驟(S140)中，參照圖5，於在步驟(S130)中已實施離子注入之附磊晶成長層之基板8之主表面3A上形成包含二氧化矽之保護膜80。該保護膜80例如可藉由熱氧化而形成。又，保護膜80之厚度例如可設為 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下。保護膜80亦可藉由電漿CVD(Chemical Vapor Deposition，化學氣相沈積)等之CVD法而形成。

其次，實施活化退火步驟作為步驟(S150)。於該步驟(S150)中，將於步驟(S140)中形成有保護膜80之附磊晶成長層之基板8於含有含氧原子之氣體的環境中加熱至 $1600^\circ\text{C}$ 以上之溫度區。藉此，於步驟(S130)中藉由離子注入而導入至附磊晶成長層之基板8之雜質進行活化，獲得所期望之導電型之p型主體區域4、 $n^+$ 區域5及 $p^+$ 區域6。

此時，於步驟(S150)中於例如氬氣環境中已加熱附磊晶

成長層之基板8之情形時，有可能如圖6所示因碳化矽與二氧化矽之線膨脹係數之不同等而引起保護膜80上產生龜裂80A。於此情形時，自附磊晶成長層之基板8脫離之矽原子通過該龜裂80A向環境中放出。其結果為，產生表面粗糙。

相對於此，於本實施形態之步驟(S150)中，係於含有含氧原子之氣體的環境中加熱附磊晶成長層之基板8。因此，自附磊晶成長層之基板8脫離之矽與環境中之氧結合而成為二氧化矽。其結果為，如圖7所示，於附磊晶成長層之基板8與保護膜80之邊界部形成二氧化矽膜82，並且形成包含二氧化矽且填充(修復)龜裂80A之龜裂抑制部81。藉此，龜裂80A之產生或成長得以抑制，表面粗糙之產生得以減少。

此處，作為上述含氧原子之氣體，可採用例如氧氣、臭氧氣體、一氧化氮氣體、二氧化氮氣體、一氧化碳氣體等。氧氣由於價格低廉且亦容易處理，故特別適宜作為上述含氧原子之氣體。又，於步驟(S150)中，亦可於氧氣環境中、或者含有氧氣與氮氣且包含剩餘雜質之環境中加熱附磊晶成長層之基板8。

又，於步驟(S150)中，附磊晶成長層之基板8之加熱溫度較佳為設為 $1700^{\circ}\text{C}$ 以下。藉由將附磊晶成長層之基板8之加熱溫度設為 $1700^{\circ}\text{C}$ 以下，可藉由包含二氧化矽之保護膜80、二氧化矽膜82及龜裂抑制部81更確實地抑制表面粗糙。

進而，上述步驟(S140)與(S150)亦可作為單一之步驟實施。具體而言，在例如藉由將附磊晶成長層之基板8於調整為含有氧氣與氫氣且包含剩餘雜質之環境的反應室內加熱至1100°C以上1600°C以下之溫度區並保持5分鐘以上120分鐘以下之時間而形成保護膜80後，藉由不改變環境而於同一反應室內加熱至1600°C以上1700°C以下之溫度區並保持1分鐘以上30分鐘以下之時間而實施活化退火。藉由如此作為單一之步驟實施步驟(S140)與(S150)，可簡化MOSFET 100之製造製程。

其次，實施保護膜去除步驟作為步驟(S160)。於該步驟(S160)中，去除保護膜80。保護膜80之去除例如可使用氫氟酸系之液體實施，亦可藉由氟系電漿處理來實施。

其次，實施氧化膜形成步驟作為步驟(S170)。於該步驟(S170)中，參照圖8，藉由實施例如於氧環境中加熱至1300°C並保持60分鐘之熱處理，形成氧化膜(閘極氧化膜)91。

其次，實施電極形成步驟作為步驟(S180)。參照圖8及圖1，於該步驟(S180)中，首先，藉由例如CVD法、光微影及蝕刻，形成包含多晶矽之閘極電極93，該多晶矽係高濃度地添加有雜質之導電體。其後，例如藉由CVD法，於主表面3A上以包圍閘極電極93之方式形成包含作為絕緣體之SiO<sub>2</sub>之層間絕緣膜94。其次，藉由光微影及蝕刻，去除應形成源極接觸電極92之區域之層間絕緣膜94與氧化膜91。其次，藉由對例如利用蒸鍍法所形成之鎳(Ni)膜進行

加熱並加以矽化，形成源極接觸電極92及汲極電極96。繼而，例如藉由蒸鍍法，於主表面3A上以包圍層間絕緣膜94並且延伸至 $n^+$ 區域5及源極接觸電極92之上部表面上為止之方式形成包含作為導電體之Al之源極配線95。藉由以上之步驟，本實施形態之MOSFET 100完成。

如上所述，於本實施形態之MOSFET 100之製造方法中，即便於步驟(S150)中成為於包含二氧化矽之保護膜80上可能產生龜裂80A之狀態之情形時，亦可藉由自附磊晶成長層之基板8脫離之矽與環境中之氣體中所含之氧原子結合而生成的二氧化矽，抑制該龜裂80A之產生。其結果為，根據本實施形態之MOSFET 100之製造方法，可抑制附磊晶成長層之基板8之活化退火中之表面粗糙。

再者，於上述實施形態中，作為本發明之半導體裝置之製造方法之一例，已說明製造MOSFET之情況，但可藉由本發明之製造方法而製造之半導體裝置並不限定於此。本發明之半導體裝置之製造方法可廣泛應用於採用對包含碳化矽之基板實施離子注入後實施活化退火之製程的半導體裝置之製造方法，具體而言，亦可應用於二極體、JFET (Junction Field Effect Transistor，接面場效應電晶體)、IGBT(Insulated Gate Bipolar Transistor，絕緣閘雙極電晶體)等之製造方法。

此次所揭示之實施形態應認為於所有方面均為例示而非限制性者。本發明之範圍並非藉由上述說明而係藉由申請專利範圍而揭示，且意圖包含與申請專利範圍均等之涵義

及範圍內之全部變更。

### 產業上之可利用性

本發明之半導體裝置之製造方法可特別有利地應用於採用對包含碳化矽之基板實施離子注入後實施活化退火之製程的半導體裝置之製造方法。

### 【圖式簡單說明】

圖1係表示本發明之一實施形態之MOSFET(Metal Oxide Semiconductor Field Effect Transistor)之構造之概略剖面圖。

圖2係表示MOSFET之製造方法之概略之流程圖。

圖3係用以說明MOSFET之製造方法之概略剖面圖。

圖4係用以說明MOSFET之製造方法之概略剖面圖。

圖5係用以說明MOSFET之製造方法之概略剖面圖。

圖6係用以說明MOSFET之製造方法之概略剖面圖。

圖7係用以說明MOSFET之製造方法之概略剖面圖。

圖8係用以說明MOSFET之製造方法之概略剖面圖。

### 【主要元件符號說明】

|    |                   |
|----|-------------------|
| 1  | 碳化矽基板             |
| 1A | 主表面               |
| 2  | 緩衝層               |
| 3  | 漂移層               |
| 3A | 主表面               |
| 4  | p型主體區域            |
| 5  | n <sup>+</sup> 區域 |

|           |                   |
|-----------|-------------------|
| 6         | p <sup>+</sup> 區域 |
| 7         | 活性層               |
| 8         | 附磊晶成長層之基板         |
| 80        | 保護膜               |
| 80A       | 龜裂                |
| 81        | 龜裂抑制部             |
| 82        | 二氧化矽膜             |
| 91        | 閘極氧化膜(氧化膜)        |
| 92        | 源極接觸電極            |
| 93        | 閘極電極              |
| 94        | 層間絕緣膜             |
| 95        | 源極配線              |
| 96        | 汲極電極              |
| 100       | MOSFET            |
| S110~S180 | 步驟                |

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100(4)597

※申請日：100-11-28

※IPC 分類：H01L 21/336

2006.01

一、發明名稱：(中文/英文)

H01L 21/336

2006.01

半導體裝置之製造方法

## 二、中文發明摘要：

本發明之MOSFET之製造方法包括如下步驟：準備包含碳化矽之附磊晶成長層之基板(8)；對附磊晶成長層之基板(8)實施離子注入；於已實施離子注入之附磊晶成長層之基板(8)上形成包含二氧化矽之保護膜(80)；及將形成有保護膜(80)之附磊晶成長層之基板(8)於含有含氧原子之氣體之環境中加熱至1600℃以上之溫度區。

## 三、英文發明摘要：

## 七、申請專利範圍：

1. 一種半導體裝置(100)之製造方法，其包括如下步驟：  
準備包含碳化矽之基板(8)；  
對上述基板(8)實施離子注入；  
於已實施上述離子注入之上述基板(8)上形成包含二氧化矽之保護膜(80)；及  
將形成有上述保護膜(80)之上述基板(8)於含有含氧原子之氣體之環境中加熱至1600°C以上之溫度區。
2. 如請求項1之半導體裝置(100)之製造方法，其中於加熱上述基板(8)之步驟中，將形成有上述保護膜(80)之上述基板(8)加熱至1700°C以下之溫度區。
3. 如請求項1之半導體裝置(100)之製造方法，其中於加熱上述基板(8)之步驟中，於含有氧氣之環境中加熱形成有上述保護膜(80)之上述基板(8)。
4. 如請求項1之半導體裝置(100)之製造方法，其中於形成上述保護膜(80)之步驟中，藉由熱氧化而形成上述保護膜(80)。
5. 如請求項4之半導體裝置(100)之製造方法，其中形成上述保護膜(80)之步驟與加熱上述基板(8)之步驟係以單一步驟而實施。

### 八、圖式：

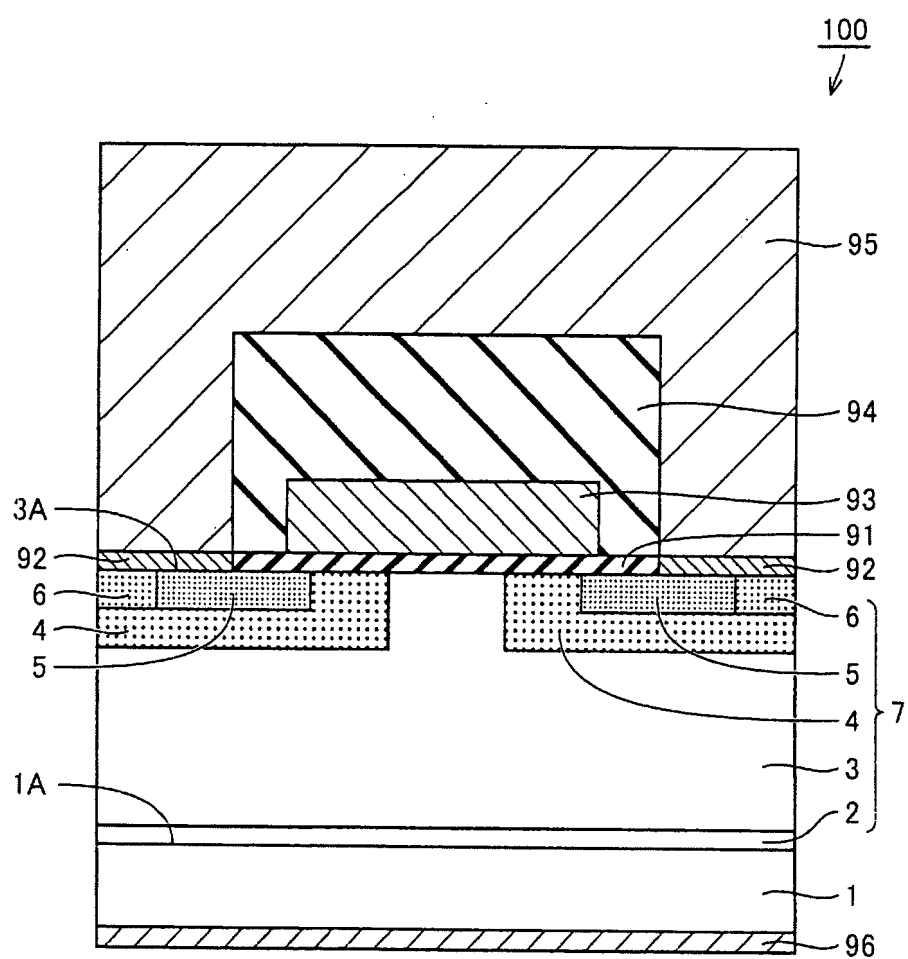


圖 1

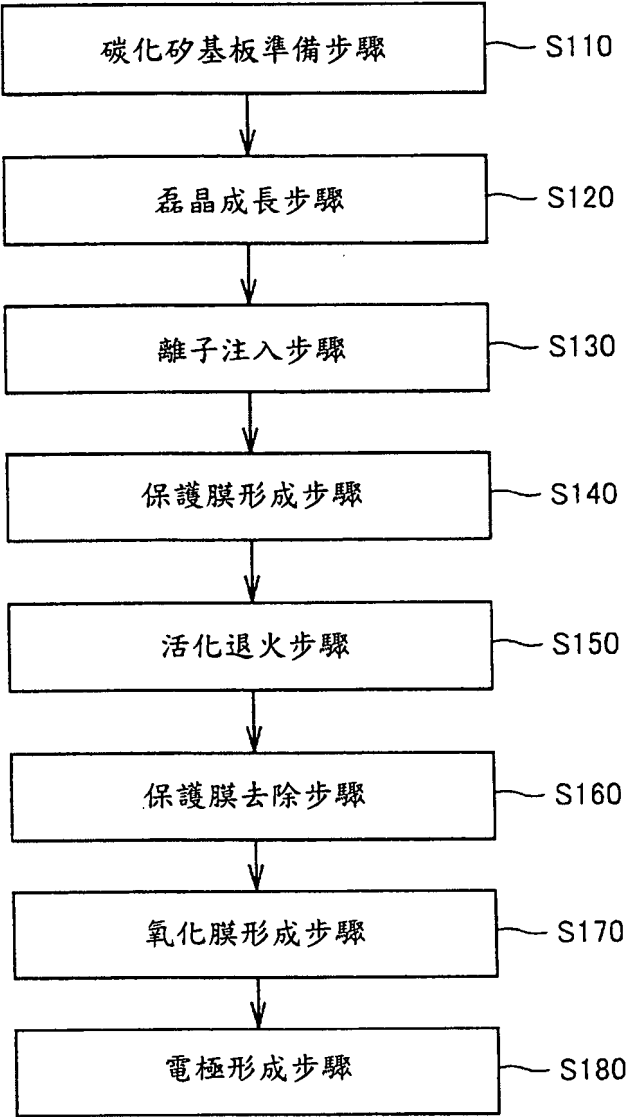


圖2

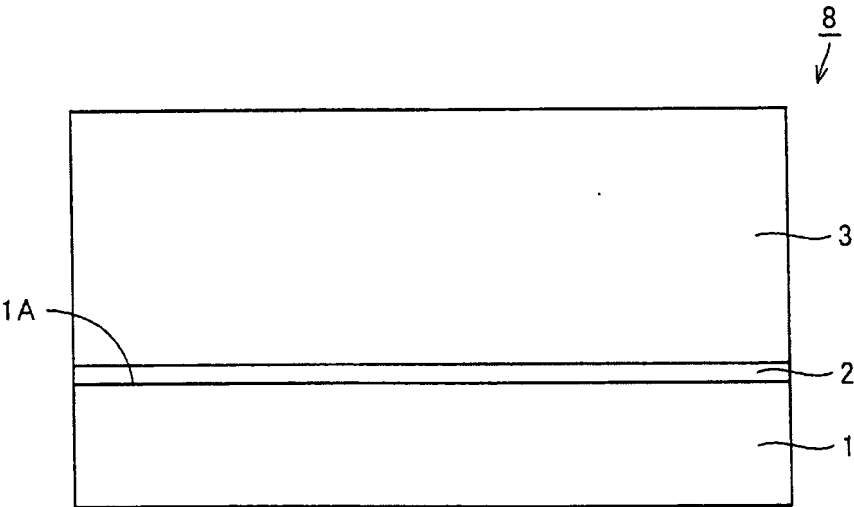


圖3

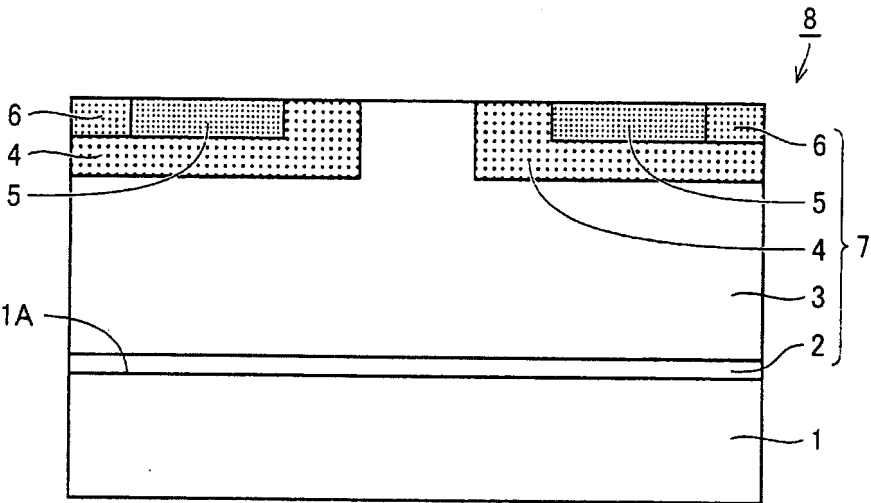


圖4

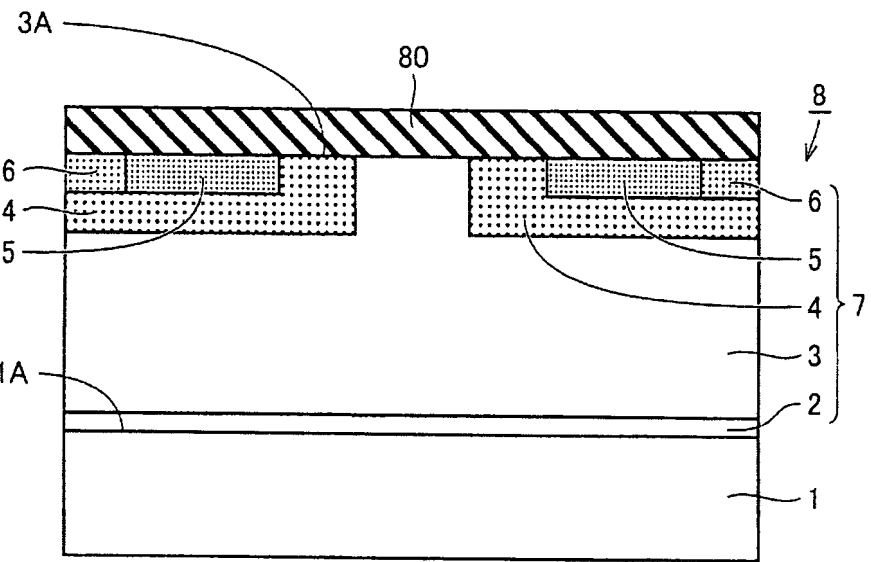


圖5

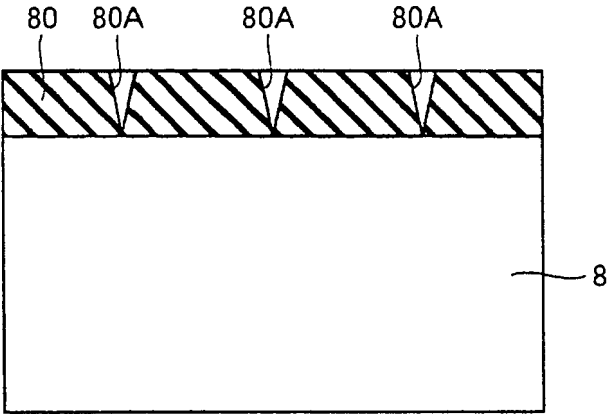


圖6

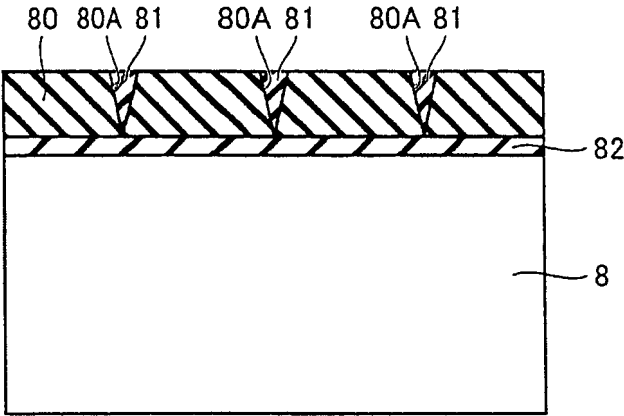


圖7

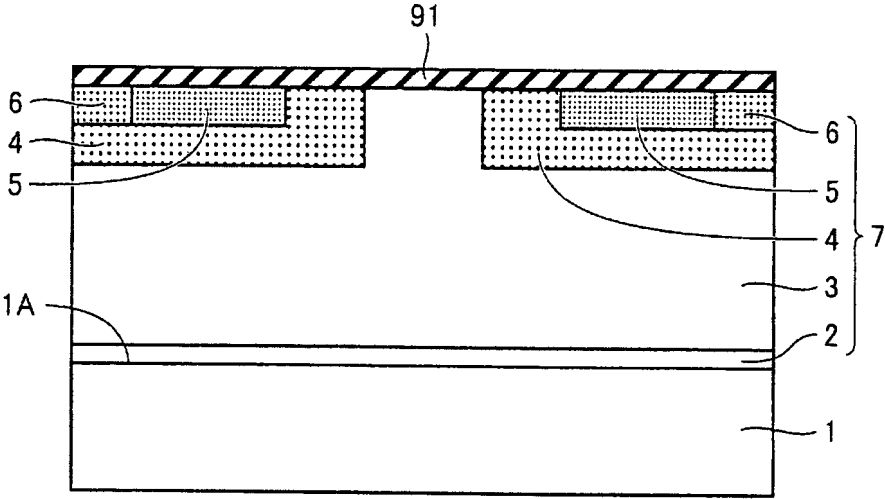


圖 8

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

|    |           |
|----|-----------|
| 1  | 碳化矽基板     |
| 1A | 主表面       |
| 2  | 緩衝層       |
| 3  | 漂移層       |
| 3A | 主表面       |
| 4  | p型主體區域    |
| 5  | $n^+$ 區域  |
| 6  | $p^+$ 區域  |
| 7  | 活性層       |
| 8  | 附磊晶成長層之基板 |
| 80 | 保護膜       |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)