

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：**97113552**

※ 申請日期：**97.4.14**

※IPC 分類：**H01L** ^{21/}3205, ^{23/}538, ^{23/}52

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

塚本 克博

TSUKAMOTO, KATSUHIRO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區大手町2-6-2

6-2, OTEMACHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 川下 道宏
KAWASHITA, MICHIIHIRO
2. 吉村 保廣
YOSHIMURA, YASUHIRO
3. 田中 直敬
TANAKA, NAOTAKA
4. 內藤 孝洋
NAITO, TAKAHIRO
5. 赤澤 隆
AKAZAWA, TAKASHI

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN
5. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年06月06日；特願2007-150289

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造技術，尤其係關於具有三維積層之複數個半導體晶片的半導體裝置、及於其製造技術中應用並有效之技術。

【先前技術】

於日本專利特開平11-204720號公報(專利文獻1)中記載有一技術，即，對於三維積層型之SiP(System in Package，系統級封裝)，以引線接合之方式將所積層之半導體晶片間實施電性連接。

於日本專利特開2000-260934號公報(專利文獻2)中記載有一技術，即，將以電解電鍍法或者無電解電鍍法使焊錫或低熔點金屬埋入至半導體晶片內所形成之貫通孔中的電極，形成於所積層之上下半導體晶片上。並且，於加熱後，以熔融接合之方法連接埋入至上下半導體晶片之貫通孔中之電極，以此進行所積層之上下半導體晶片間的電性連接。

於日本專利特開2005-340389號公報(專利文獻3)中記載有一技術，即，於所積層之半導體晶片中，配置於上側之半導體晶片上形成柱狀凸起電極，配置於下側之半導體晶片上形成貫通電極。並且，形成於上側半導體晶片上之柱狀凸起電極經加壓熔接而變形注入至形成於下側半導體晶片上之貫通電極，以幾何學方式嵌入柱狀凸起電極與貫通電極，以進行上下半導體晶片間的電性連接。

於日本專利特開2005-93486號公報(專利文獻4)中記載有以下電極之形成技術，即，從經由層間絕緣膜而形成於矽基板之表面上的焊墊電極向矽基板之背面引出之電極。該技術中，以硬質遮罩作為遮罩，從矽基板之背面對矽基板進行蝕刻，藉此形成以層間絕緣膜為底面之開口部(專利文獻4之圖4(C))。並且，於去除硬質遮罩後(專利文獻4之圖5(A))，在包含開口部內之矽基板之整個背面上形成絕緣膜(專利文獻4之圖5(B))。其後，將覆蓋開口部之側壁及開口部以外之光阻膜(專利文獻4之圖5(C))作為遮罩來蝕刻層間絕緣膜，從而於開口部之底面露出焊墊電極(專利文獻4之圖6(A))。藉此，可形成從矽基板之背面到達焊墊電極之貫通孔。繼而，於上述貫通孔中埋入金屬材料，以此可形成電性連接於焊墊電極、且到達矽基板之背面的電極。此處，當去除對矽基板蝕刻時所使用之硬質遮罩時，從開口部之底面露出之層間絕緣膜亦有若干被蝕刻，從而導致絕緣膜減少。

於日本專利特開2006-32699號公報(專利文獻5)中記載有以下所示之半導體裝置之製造技術。即，於半導體基板之表面上形成第1絕緣膜，從半導體基板之表面側至膜厚之中途為止，對第1絕緣膜之一部分部位進行選擇性蝕刻，以實現薄膜化。藉由該蝕刻而形成一具有底面之凹部，該底面係第1絕緣膜經薄膜化而形成。其後，於包含凹部內之第1絕緣膜上形成焊墊電極(專利文獻5之圖16)。繼而，於半導體基板之背面形成第2絕緣膜後，對第1絕緣膜之凹

部所對應之位置上的第2絕緣膜及半導體基板進行蝕刻，以形成較凹部大的開口。藉由該蝕刻而形成一通孔，該通孔具有較凹部大的開口徑，且貫通第2絕緣膜及半導體基板(專利文獻5之圖17)。其次，於包含通孔內之第2絕緣膜上形成第3絕緣膜(專利文獻5之圖18)，然後從半導體基板之背面進行蝕刻。藉由該蝕刻而去除形成於第2絕緣膜上之第3絕緣膜、形成於通孔底面上之第3絕緣膜、以及薄膜化之第1絕緣膜。從而，於通孔之底面露出焊墊電極(專利文獻5之圖19)。並且，藉由於貫通孔中埋入金屬材料，而可形成電性連接於焊墊電極、且到達矽基板之背面之電極。

於日本專利特開2007-53149號公報(專利文獻6)中記載有一技術，即，在將複數個半導體晶片積層時，從半導體基板之背面對連接於焊墊上之接點電極(貫通電極)進行加工。具體而言，開口部從半導體基板之背面形成研鉢狀之貫通孔之後，在包含貫通孔內部之半導體基板之背面上形成絕緣膜。繼而，去除貫通孔底面之絕緣膜後，於貫通孔之壁面上形成導體膜並將其圖案化，以此形成接點電極。

於日本專利特開2006-222138號公報(專利文獻7)中，記載有以下所示之半導體裝置之製造技術。具體而言，記載有於半導體基板之厚度方向上貫通之貫通電極之形成方法。該技術中，於半導體基板之表面上形成第1絕緣膜，於半導體基板之背面上形成第2絕緣膜(專利文獻7之圖1(a))。繼而，於第2絕緣膜上，形成與半導體基板之蝕刻

速率不同的由導電性構件所構成之第1蝕刻終止層(專利文獻7之圖1(b))。其次，於貫通電極之形成部位上形成一凹部，該凹部貫通第1絕緣膜、半導體基板及第2絕緣膜而到達第1蝕刻終止層(專利文獻7之圖1(c))。其後，將第1蝕刻終止層作為仔晶層，以電鍍法將導電材料埋入至上述凹部內，以此形成貫通電極(專利文獻7之圖1(d)~圖1(f))。

[專利文獻1]日本專利特開平11-204720號公報

[專利文獻2]日本專利特開2000-260934號公報

[專利文獻3]日本專利特開2005-340389號公報

[專利文獻4]日本專利特開2005-93486號公報

[專利文獻5]日本專利特開2006-32699號公報

[專利文獻6]日本專利特開2007-53149號公報

[專利文獻7]日本專利特開2006-222138號公報

【發明內容】

[發明所欲解決之問題]

近年來，高密度地安裝複數個半導體晶片並以較短時間實現較高功能之系統的SiP正在積極開發，各公司提出了多種安裝構造。尤其將複數個晶片三維積層之SiP在安裝面積方面優異。

如日本專利特開平11-204720號公報(專利文獻1)所示，於三維積層型之SiP中，通常是以引線接合方式進行半導體晶片間之連接。然而，引線接合方式之半導體晶片間之連接必須使佈線落到安裝基板上以進行再佈線。其結果使得半導體晶片間的佈線變長，安裝基板之佈線成為高密

度。藉此，佈線間之電感增加，從而難以高速傳送，而且形成於安裝基板上之佈線之高密度化會導致良率惡化，由此產生半導體裝置之成本上升之問題。

針對該等引線接合連接之問題，提出形成一貫通於半導體晶片內部之電極並積層複數個晶片之方法。例如，於日本專利特開2000-260934號公報(專利文獻2)中記載有一技術，即，將以電解電鍍法或者無電解電鍍法使焊錫或低熔點金屬埋入至半導體晶片內所形成之貫通孔中的電極，形成於所積層之上下半導體晶片上。並且，於加熱後，以熔融接合之方法連接埋入至上下半導體晶片之貫通孔中之電極，以此進行所積層之上下半導體晶片間之電性連接。

又，於日本專利特開2005-340389號公報(專利文獻3)中記載有一技術，即，於所積層之半導體晶片中，配置於上側之半導體晶片上形成柱狀凸起電極，配置於下側之半導體晶片上形成貫通電極。並且，形成於上側半導體晶片上之柱狀凸起電極經加壓熔接而變形注入至形成於下側半導體晶片上之貫通電極，以幾何學方式嵌入柱狀凸起電極與貫通電極，以進行上下半導體晶片間的電性連接。

例如，於日本專利特開2005-340389號公報(專利文獻3)所示之技術中，形成從半導體晶圓背面到達形成於半導體晶圓表面上之焊墊的貫通電極。在安裝有如微電腦般高積體電路之半導體晶圓中，遍及多層而形成佈線層，故於半導體晶圓之表面上具有厚的層間絕緣膜。因此，為了形成從半導體晶圓之背面到達形成於半導體晶圓表面上之焊墊

的貫通電極，必須對厚的層間絕緣膜上進行加工，在其上開通一孔。如日本專利特開2005-340389號公報(專利文獻3)中提出之製程，在以與貫通電極相同尺寸之徑長形成到達焊墊之孔時，會失去焊墊之大部分所鄰接之層間絕緣膜之支持，從而產生焊墊強度降低之問題。

因此，為了抑制焊墊強度降低，考慮如下技術，即，於孔之加工中途變更孔徑，在鄰接於焊墊之層間絕緣膜上形成小徑之孔(第2孔)。該技術中，對半導體基板進行蝕刻直至層間絕緣膜露出為止，以此形成大徑之孔(第1孔)，繼而，對層間絕緣膜進行加工而形成小徑之孔(第2孔)。此時，必須於大徑之孔(第1孔)之內部形成光阻遮罩。此時，將所形成之光阻遮罩作為遮罩來蝕刻層間絕緣膜，但於層間絕緣膜之蝕刻中，光阻遮罩亦容易被蝕刻。即，與層間絕緣膜相比，光阻遮罩會被選擇地加工，且於層間絕緣膜加工結束前光阻遮罩會消失。其結果為，必須複數次地形成光阻遮罩，直至層間絕緣膜上小徑之孔(第2孔)之形成結束為止。

然而，由於孔(第2孔)徑為小徑，故無法以清洗而完全去除孔(第2孔)內部之光阻遮罩，進而，複數次的光阻遮罩之對準偏移會導致層間絕緣膜之加工過程中孔(第2孔)之底面粗糙，從而無法順利地進行微影步驟之曝光，由於上述原因而難以在第2次形成光阻遮罩後，於大徑之孔(第1孔)之內部再形成光阻遮罩。其結果產生如下問題：於小徑之孔(第2孔)中層間絕緣膜之加工狀態變得不均勻，半導體裝

置之製造良率降低。

本發明之目的在於提供一種可使具有三維積層之複數個半導體晶片的半導體裝置之製造良率提高的技術。

本發明之上述以及其他目的與新穎之特徵，可根據本說明書之記述及隨附圖式而明確瞭解。

[解決問題之技術手段]

簡單說明本申請案所揭示之發明中具代表性者之概要如下。

本發明之半導體裝置之製造方法，其特徵在於包括以下步驟：(a)在半導體基板之第1面上所形成之半導體元件上形成層間絕緣膜，並且在上述層間絕緣膜之表面上形成經由形成於上述層間絕緣膜之內部的佈線而與上述半導體元件電性連接之焊墊；(b)在與上述半導體基板之上述第1面相反側之第2面上形成第1光阻膜；(c)以在與上述焊墊對向之位置具有第1開口部之方式，將上述第1光阻膜圖案化；(d)將形成有上述第1開口部的上述第1光阻膜作為遮罩來蝕刻上述半導體基板，藉此於上述半導體基板形成在底面露出上述層間絕緣膜之第1孔；(e)去除上述第1光阻膜；(f)蝕刻在上述第1孔之底面露出之上述層間絕緣膜，藉此使上述第1孔之底面形成於上述層間絕緣膜上，且形成於較上述半導體基板與上述層間絕緣膜之邊界更靠近上述焊墊之位置；(g)於包含上述第1孔之內壁的上述半導體基板之上述第2面上形成絕緣膜；(h)於上述絕緣膜上形成第2光阻膜；

(i)以在上述第1孔之底面具有較上述第1孔之孔徑小的第2開口部之方式，將上述第2光阻膜圖案化；(j)將形成有上述第2開口部的上述第2光阻膜作為遮罩來蝕刻上述絕緣膜及上述層間絕緣膜，藉此形成於底面露出上述焊墊之第2孔；及(k)於包含上述第1孔之內壁及上述第2孔之內壁的上述半導體基板之上述第2面形成導體膜，並將上述導體膜圖案化，藉此形成從上述半導體基板之上述第2面到達上述第1面且電性連接於上述焊墊之貫通電極；上述層間絕緣膜之上述半導體基板側之面反映上述第1孔之底面與上述半導體基板之上述第1面之階差而成為階差形狀，上述導體膜之表面反映上述半導體基板之上述第2面與上述第1孔之底面之階差而成為階差形狀。

又，本發明之半導體裝置，其特徵在於包括：(a)半導體基板；(b)形成於上述半導體基板之第1面之半導體元件；(c)形成於上述半導體基板之上述第1面上之層間絕緣膜；(d)形成於上述層間絕緣膜上之焊墊；(e)形成於上述焊墊上之凸起電極；及(f)從與上述半導體基板之上述第1面相反側之第2面到達上述焊墊之貫通電極；上述貫通電極包括：(f1)第1孔，其係從與上述半導體基板之上述第1面相反側之上述第2面到達上述層間絕緣膜者，且上述第1孔之底面形成於較上述層間絕緣膜與上述半導體基板之邊界更靠近上述焊墊之位置；(f2)第2孔，其係形成為較上述第1孔之孔徑小，且從上述第1孔之底面到達上述焊墊；(f3)絕緣

膜，其係形成於上述第1孔之底面及側面與上述半導體基板之上述第2面上；及(f4)導體膜，其形成於上述第2孔之底面及側面、經由上述絕緣膜之上述第1孔之底面及側面、以及上述半導體基板之上述第2面上，且與上述焊墊電性連接；上述層間絕緣膜之上述半導體基板側之面反映上述第1孔之底面與上述半導體基板之上述第1面之階差而成為階差形狀，上述導體膜之表面反映上述半導體基板之上述第2面與上述第1孔之底面之階差而成為階差形狀。

[發明之效果]

簡單說明本申請案所揭示之發明中由具代表性者所取得之效果如下。

本發明可提高具有三維積層之複數個半導體晶片的半導體裝置之製造良率。

【實施方式】

對於以下實施形態，為方便起見，在需要時分割為複數個部分或實施形態進行說明，除特別明示之情形外，其等並非互不相關，而是具有如下關係：其中一部分為另一部分或者全部之變形例、詳細情形、補充說明等。

又，以下實施形態中，當提及要素之數目等(包含個數、數值、量、範圍等)時，除特別明示之情形及原理上明確限定於特定數目之情形等之外，並非限定於上述特定之數目，亦可為上述特定之數目以上或以下。

進而，於以下實施形態中，其構成要素(亦包含要素級等)除特別明示之情形及原理上認為明確需要之情形等之

外，當然未必為所需。

同樣地，於以下實施形態中，當提及構成要素等之形狀、位置關係等時，除特別明示之情形及原理上認為顯然如此之情形等之外，實質上包含與其形狀等近似或類似者等。此情形對於上述數值及範圍亦相同。

又，於用以說明實施形態之整個圖式中，對於相同之構件，原則上附以相同之符號，省略其重複說明。再者，為了易於理解圖式，於平面圖中有時亦附有影線。

(實施形態1)

本實施形態1中，以安裝有如微電腦晶片般高積體電路之半導體裝置為例，參照圖式來進行說明。

圖1係表示本實施形態1的半導體晶片之平面圖。該圖1係從半導體基板1之第2面(背面)1b側之上方觀察半導體晶片之一部分的示圖。如圖1所示，半導體晶片係由矩形形狀之半導體基板1構成，於半導體基板1之第2面1b上形成有複數個貫通電極17。並且，複數個貫通電極17分別連接於由導體膜15構成之佈線，藉由該等佈線而於半導體基板1之第2面1b上形成佈線圖案。如上所述，本實施形態1中，於半導體晶片形成有複數個貫通電極17，但如圖1所示，該貫通電極17以於平面上形成雙層環之方式構成。其原因在於，如下所述，藉由大徑之第1孔與較該第1孔之孔徑小的第2孔而形成貫通電極17之貫通空間。

圖2係表示圖1之以A-A線截斷後之剖面的剖面圖。如圖2所示，半導體基板1為平板形狀，具有第1面(表面)1a與第

2面(背面)1b。於半導體基板1之第1面1a上，形成有構成高積體電路之半導體元件(MISFET(Metal Insulator Semiconductor Field Effect Transistor)等)(未圖示)，且在形成有該半導體元件之半導體基板1之第1面1a上，形成層間絕緣膜2。於層間絕緣膜2中，連接複數個半導體元件間之佈線遍及多層而形成，藉由形成於半導體基板1之第1面1a上之複數個半導體元件與連接該等半導體元件之佈線，於半導體基板1之第1面1a上形成高積體電路。此處，本實施形態1中，以形成有作為半導體晶片之微電腦晶片般高積體電路之半導體裝置為對象，但其特徵在於佈線層變多。因此，形成有遍及多層之佈線層的層間絕緣膜2之膜厚具有變厚之傾向。如此，本實施形態1中，以層間絕緣膜2之膜厚較厚的半導體裝置為對象。

其次，於層間絕緣膜2之最上層即表面上形成焊墊(電極)3。該焊墊3經由形成於層間絕緣膜2內之佈線而與半導體元件電性連接，焊墊3作為外部端子而發揮功能，該外部端子用以取得形成於半導體基板1上之高積體電路與半導體晶片之外部之界面。並且，於焊墊3上形成有柱狀凸起電極18。

另一方面，以從半導體基板1之第2面1b貫通半導體基板1之第1面1a、進而貫通層間絕緣膜2而與焊墊3電性連接之方式，形成貫通電極17。該貫通電極17係在將複數個半導體晶片三維積層並圖案化時所需之電極。亦即，本實施形態1係以使半導體晶片積層並封裝化之SiP構造為前提，在

積層半導體晶片時，為了將配置於上下側之半導體晶片間進行電性連接而使用。上述各個半導體晶片中，於焊墊3之一側形成有柱狀凸起電極18，於焊墊3之另一側形成有貫通電極17。並且，在將複數個半導體晶片積層時，經加壓熔接而向一個半導體晶片之貫通電極17中變形注入另一個半導體晶片之柱狀凸起電極18，並以幾何學方式嵌入，藉此，使兩個半導體晶片積層於上下側並且電性連接。如此，本實施形態1中，以使用貫通電極17與柱狀凸起電極18來積層半導體晶片作為前提。再者，在形成有貫通電極17之區域中，未形成有構成高積體電路之半導體元件。即，於半導體基板1之第1面1a上形成有半導體元件，但半導體元件形成在與形成有貫通電極17之區域分開著的區域上。

其次，對貫通電極17之構成加以說明。如圖2所示，貫通電極17之貫通空間係由第1孔7及第2孔11所形成。即，從半導體基板1之第2面1b形成第1孔7，於該第1孔7之底面上，形成有較該第1孔7之孔徑小的第2孔11。並且，於第2孔11之底面露出有焊墊3。於第1孔7之底面及側面與半導體基板1之第2面1b上形成有絕緣膜8，進而，在第2孔11之底面及側面、經由絕緣膜8之第1孔7之底面及側面、以及經由絕緣膜8之半導體基板1之第2面1b上，積層而形成仔晶層12與電鍍層14。將該仔晶層12與電鍍層14合稱為導體膜15。形成於半導體基板1之第2面1b上的導體膜15形成圖1所示之佈線圖案。以此構成貫通電極17，於該貫通電極

17中，插入有積層之其他半導體晶片上所形成之柱狀凸起電極18，故該貫通電極17之內部成為空洞而形成貫通空間。因此，構成貫通電極17之導體膜15反映半導體基板1之第2面1b與第1孔7之底面之階差、及第1孔7之底面與第2孔11之底面之階差，從而成為階差形狀。換言之，根據本實施形態1之貫通電極17可知，其並非係以導體膜15完全埋入至第1孔7及第2孔11之內部而構成，而是以於內部形成貫通空間之方式構成。即，若以導體膜15完全填充於貫通電極17之內部，則導體膜15之表面會與半導體基板1之第2面1b一致而不產生階差。相對於此，採取於貫通電極17之內部存在空洞之構成的結果為，構成貫通電極17之導體膜15反映半導體基板1之第2面1b與第1孔7之底面之階差、及第1孔7之底面與第2孔11之底面之階差，從而成為階差形狀。

繼而，對藉由第1孔7與較該第1孔7之孔徑小的第2孔11而形成貫通電極17之理由進行說明。例如，第1孔7之孔徑形成為與插入至內部的柱狀凸起電極18之大小一致，但若將貫通電極17僅以孔徑較大之第1孔7而構成，則會產生以下所示之不良情況。貫通電極17以從半導體基板1之第2面1b貫通於焊墊3之方式而構成，但當以第1孔7而形成從半導體基板1之第2面1b貫通焊墊3之貫通空間時，因形成第1孔7而被去除之半導體基板1及層間絕緣膜2會變多。焊墊3形成於層間絕緣膜2之表面，於此情形時，將與焊墊3之大部分鄰接之層間絕緣膜2去除後之結果為，焊墊3失去層間

絕緣膜2之支持，從而顯然存在焊墊3之強度降低之問題。因此，在第1孔7與焊墊3之間形成較第1孔7之孔徑小的第2孔11，而並非僅以孔徑較大之第1孔7構成貫通電極17。亦即，於層間絕緣膜2上形成較第1孔7之孔徑小的第2孔11，從而可減少因形成貫通電極17而被去除之層間絕緣膜2。由此可確保支持焊墊3之層間絕緣膜2，且可抑制焊墊3之強度降低。如上所述，以第1孔7與較該第1孔7之孔徑小的第2孔11而構成貫通電極17，藉此可抑制焊墊3之強度降低。此時，因形成貫通電極17而產生的焊墊3之強度降低之問題，尤其會在貫通電極17之內部存在空洞之情況下產生。例如，在以導體膜15埋入至貫通電極17之內部時，焊墊3受到埋入至貫通電極17內部之導體膜15之支持，故無需以孔徑不同之孔而形成貫通電極17。即，可知，藉由孔徑較大之第1孔7與較該第1孔7之孔徑小的第2孔11而構成貫通電極17、且於第2孔11之底面露出有焊墊3之構成，係在貫通電極17之內部成為空洞之構成時有用。換言之，對於以導體膜15埋入至貫通電極17內部之構成而言，藉由孔徑較大之第1孔7與較該第1孔7之孔徑小的第2孔11而構成貫通電極17是無用的。

使貫通電極17之內部成為空洞、並且以第1孔7與較該第1孔7之孔徑小的第2孔11而形成貫通電極17之構成，係作為本發明之前提的構成。

此處，問題在於，在哪一區域對構成貫通電極17之第1孔7與第2孔11進行切換。實際上，半導體基板1係由矽形

成，層間絕緣膜2係由氧化矽膜形成。由此認為，通常，從半導體基板1之第2面1b直至半導體基板1與層間絕緣膜2之邊界即半導體基板1之第1面1a為止進行矽蝕刻而形成第1孔7，其後，直至從半導體基板1與層間絕緣膜2之邊界即半導體基板1之第1面1a上露出焊墊3為止，對由氧化矽膜形成之層間絕緣膜2進行蝕刻而形成第2孔11。再者，於第1孔7中插入有形成於其他半導體晶片上之柱狀凸起電極18。然而，通常，半導體基板1之厚度較柱狀凸起電極18之高度厚，因此，當從半導體基板1之第2面1b直至半導體基板1與層間絕緣膜2之邊界即半導體基板1之第1面1a為止形成第1孔7時，不存在問題。

如此，從半導體基板1之第2面1b直至半導體基板1與層間絕緣膜2之邊界即半導體基板1之第1面1a為止，進行矽蝕刻而形成第1孔7，其後，直至從半導體基板1與層間絕緣膜2之邊界即半導體基板1之第1面1a上露出焊墊3為止，對由氧化矽膜形成之層間絕緣膜2進行蝕刻而形成第2孔11，於此情形時，不會產生以下所示之不良情況。本實施形態1中，以形成有作為半導體晶片之微電腦晶片般高積體電路之半導體裝置作為對象，其特徵在於佈線層變多。因此，形成遍及多層之佈線層的層間絕緣膜2之膜厚具有變厚之傾向。如此，難以於膜厚較厚的層間絕緣膜2上形成第2孔11。以下對該理由進行說明。

為了形成第2孔11，首先，對由矽構成之半導體基板1進行蝕刻而形成第1孔7，之後於包含該第1孔7之底面的半導

體基板1之第2面1b上形成絕緣膜8。其後，經由該絕緣膜8，於包含第1孔7之底面的半導體基板1之第2面1b上形成光阻膜。繼而，將該光阻膜圖案化，於第1孔7之底面上形成較該第1孔7之孔徑小的開口部。然後，將圖案化之光阻膜作為遮罩來蝕刻由絕緣膜8及氧化矽膜構成之層間絕緣膜2，以形成第2孔11。此處，在對由絕緣膜8及氧化矽膜構成之層間絕緣膜2進行蝕刻時，用作遮罩之光阻膜亦容易被蝕刻。由此，當層間絕緣膜2之膜厚較厚時，在形成於層間絕緣膜2上之第2孔11貫通層間絕緣膜2而到達焊墊3之前，光阻膜會消失。因此，於再次形成新的光阻膜及進行圖案化之後，必須進行由氧化矽膜構成之層間絕緣膜2之蝕刻。亦即，由於光阻膜亦會在形成第2孔11時被蝕刻，故當層間絕緣膜2之膜厚較厚時，在第2孔11貫通層間絕緣膜2而到達焊墊3之前，必須複數次地形成光阻膜之遮罩。

此時，由於第2孔11之孔徑為小徑，故無法經清洗而完全去除第2孔11內部之光阻膜，進而，複數次的遮罩之對準偏移會導致層間絕緣膜2之加工過程中第2孔11之底面粗糙，從而無法順利地進行微影步驟之曝光，由於上述原因而難以在第2次形成遮罩後，於第1孔7之底面上再形成遮罩。其結果產生以下情況：於第2孔11中，層間絕緣膜2之加工狀態變得不均勻，於第2孔11之底面上不會正常地露出焊墊3。藉此，無法正常地形成貫通電極17，從而產生半導體裝置之製造良率降低之問題。

因此，本實施形態1中，如圖2所示，直至較半導體基板1與層間絕緣膜2之邊界即半導體基板1之第1面1a更深之位置為止，形成第1孔7。即，直至層間絕緣膜2之中途為止形成第1孔7，而並非僅形成於由矽構成之半導體基板1上。藉此，第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄。並且，於膜厚變薄之層間絕緣膜2上形成第2孔11。亦即，本實施形態1的特徵之一在於，當形成第1孔7時，不僅對由矽構成之半導體基板1，而且亦對層間絕緣膜2進行蝕刻，從而於層間絕緣膜2上，直至較半導體基板1與層間絕緣膜2之邊界(半導體基板1之第1面1a)更靠近焊墊3之位置為止，形成有第1孔7之底面。藉此，例如，如形成有高積體電路之微電腦晶片般，即便對於層間絕緣膜2之膜厚較厚的半導體裝置，亦可使為了形成第2孔11而蝕刻之層間絕緣膜2之膜厚變薄。

直至層間絕緣膜2之中途為止形成第1孔7，由此可使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄，故當欲形成從該第1孔7之底面到達焊墊3之第2孔11時，僅使用1次光阻膜之遮罩即可形成到達焊墊3之第2孔11。亦即，當欲形成第2孔11時，殘存於第1孔7之底面與焊墊3之間的層間絕緣膜2、及形成於第1孔7之底面上之絕緣膜8合併後的膜厚，可作為第1次用作遮罩的光阻膜消失之前形成有第2孔11之膜厚。藉此，可改善由於以下原因而導致的第2孔11之加工不良，即，複數次的遮罩之對準偏移會導致層間絕緣膜2之加工過程中第2孔11之底面粗糙，從而無法順

利地進行微影步驟之曝光。因此，可提高貫通電極17之可靠性，且可提高半導體裝置之製造良率。進而，可抑制因層間絕緣膜2之加工不良而導致的第2孔11與焊墊3之連接不均，因此可抑制貫通電極17與焊墊3之連接電阻之不均。

本實施形態1之特徵之一在於，直至層間絕緣膜2之中途為止形成第1孔7，從而可使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄，作為本實施形態1的半導體裝置之構造，顯然存在如下構造，即，與層間絕緣膜2之半導體基板1鄰接之面反映第1孔7之底面與半導體基板1之第1面1a之階差，從而成為階差形狀。亦即，於未形成有第1孔7之區域中，半導體基板1之第1面1a成為半導體基板1與層間絕緣膜2之邊界，於形成有第1孔7之區域中，半導體基板1之第1面1a成為第1孔7之底面與層間絕緣膜2之邊界。於當前情況下，越過半導體基板1之第1面1a直至層間絕緣膜2之中途為止形成有第1孔7之底面，故與層間絕緣膜2之半導體基板1鄰接之面成為階差形狀。

本實施形態1的半導體晶片以上述方式而構成，以下，對於其製造方法，參照圖式來說明。

首先，準備半導體基板1。此時，半導體基板1成為大致圓盤狀之半導體晶圓之狀態，於該半導體晶圓上形成有複數個晶片區域。以下所示之步驟中，於半導體晶圓之狀態下加工半導體基板1。

如圖3所示，於半導體基板1之第1面1a上使用通常之MISFET形成技術而形成複數個半導體元件(未圖示)，且於

形成有該半導體元件之半導體基板1之第1面1a上形成層間絕緣膜2。層間絕緣膜2例如藉由氧化矽膜而形成。於該層間絕緣膜2上遍及多層而形成佈線(未圖示)，以該佈線將複數個半導體元件間進行連接。並且，於層間絕緣膜2之表面上，形成經由形成於層間絕緣膜2之內部的佈線而與半導體元件電性連接之焊墊3。焊墊3例如係由鋁膜形成。

當半導體基板1例如薄型化至10 μm ~50 μm 左右時，下述步驟中形成的貫通電極之深度會變淺，從而使得加工難度降低，但隨著半導體基板1之薄型化，會導致因半導體基板1之強度下降以及半導體基板1之翹曲所引起之良率降低。

因此，本實施形態1中，如圖4所示，於形成焊墊3之層間絕緣膜2之表面上塗佈黏接層4，例如，將石英或玻璃、矽基板等構成之支持基板5與半導體基板1貼合。將支持基板5貼合於半導體基板1，藉此可抑制半導體基板1之薄型化所導致的強度下降以及半導體基板1之翹曲。又，黏接層4具有將支持基板5與半導體基板1黏接之功能，並且具有保護形成於半導體基板1上之積體電路之功能。

其次，如圖5所示，對半導體基板1之第2面1b實施背面研磨處理，使半導體基板1之厚度變薄。背面研磨處理可藉由研削或研磨而實施。背面研磨處理後之平坦性影響到形成於半導體基板1之第2面1b上的貫通電極之精度，故於實施背面研磨處理後，較理想的是實施乾式拋光、蝕刻、或CMP(Chemical Mechanical Polishing，化學機械研磨)法

之研磨，以使半導體基板1之第2面1b平坦化。

繼而，如圖6所示，於半導體基板1之第2面1b上塗佈光阻膜6。並且，使用光微影技術使光阻膜6圖案化。圖案化係以使與光阻膜6之焊墊3相對之位置上形成開口部6a之方式而進行。作為將光阻膜6塗佈於半導體基板1之第2面1b上的方法，例如可使用旋轉塗佈法。進而，光阻膜6圖案化時開口部6a之形成位置係經紅外顯微鏡確認形成於半導體基板1之第1面1a上的半導體元件之圖案(元件圖案)而決定。並且，將圖案化之光阻膜6作為遮罩來蝕刻由矽構成之半導體基板1。

即，如圖7所示，形成從由矽構成之半導體基板1之第2面1b到達層間絕緣膜2之第1孔7。該蝕刻係非等向異性蝕刻，例如藉由ICP-RIE(Inductively coupled plasma Reactive ion etching，電感耦合電漿蝕刻)而進行。作為蝕刻氣體，使用的是 SF_6 與 C_4H_8 。通常，於矽之乾式蝕刻中，氧化矽膜成為蝕刻阻止層。因此，在以 SF_6 與 C_4H_8 進行之蝕刻中，以氧化矽膜為主成分之層間絕緣膜2中之蝕刻停止。此時的第1孔7之深度藉由半導體基板1之厚度而決定。

其次，如圖8所示，在去除經圖案化之光阻膜6後，不形成新的光阻膜之遮罩，而是使用 SF_6 與 C_4H_8 中混有 C_3F_8 、Ar、 CHF_4 之混合氣體作為蝕刻氣體，一直蝕刻至在第1孔7之底面露出之層間絕緣膜2之中途為止。即，以由矽構成之半導體基板1及形成於半導體基板1上之第1孔7作為遮罩來蝕刻於第1孔7之底面露出之層間絕緣膜2。藉此，可使

存在於第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚實現薄膜化。即，本實施形態1之特徵之一在於，設法實施以下步驟：以由矽構成之半導體基板1及形成於該半導體基板1上之第1孔7作為遮罩，來蝕刻於第1孔7之底面上露出之層間絕緣膜2。以第1孔7作為遮罩設法蝕刻層間絕緣膜2，由此，層間絕緣膜2之蝕刻係以與形成於由矽構成之半導體基板1上之第1孔7之底面的孔徑(圖7參照)相等之孔徑而進展。因此，如圖8所示，對層間絕緣膜2蝕刻而形成之第1孔7之底面與圖7所示之蝕刻矽而形成之第1孔7之底面的孔徑大致相等。再者，藉由實施該步驟，於未形成有第1孔7之區域中，半導體基板1之第1面1a成為半導體基板1與層間絕緣膜2之邊界，於形成有第1孔7之區域中，半導體基板1之第1面1a成為第1孔7之底面與層間絕緣膜2之邊界。於當前情況下，越過半導體基板1之第1面1a直至層間絕緣膜2之中途為止形成有第1孔7之底面，故與層間絕緣膜2之半導體基板1鄰接之面成為階差形狀。

設法蝕刻至從第1孔7露出之層間絕緣膜2之中途為止，藉此可取得如下效果，即，可使存在於第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚實現薄膜化，且亦可取得以下所示之效果。

在對由矽構成之半導體基板1進行蝕刻以形成第1孔7之步驟中，為了使第1孔7之底面完全露出而進行過蝕刻。亦即，於半導體基板1上形成有複數個第1孔7，但此時，根據形成上述第1孔7之部位不同而使得蝕刻速率產生差異。

例如，對於形成於某區域上之第1孔7，蝕刻充分地進行，從而於第1孔7之底面露出層間絕緣膜2，但對於形成於另外某區域上之第1孔7，蝕刻不充分，從而產生層間絕緣膜2不露出之狀況。於此情形時，若進行過蝕刻，則會在矽之蝕刻不充分的第1孔7之底面上殘存有矽。由此，可能導致其後無法形成正常的貫通電極。因此，藉由過蝕刻，於蝕刻不充分之區域的第1孔7之底面上亦會完全去除矽，從而於第1孔7之底面上露出層間絕緣膜2。

然而，若進行過蝕刻，則於蝕刻充分進行著的第1孔7中會產生凹槽之問題。即，若於蝕刻充分進行著的第1孔7中再進行矽之蝕刻，則會於第1孔7之底面露出成為蝕刻阻止層之層間絕緣膜2，從而深度方向上不進行蝕刻。但從第1孔7之底面向橫方向(側方向)上矽受到侵蝕而產生凹槽。產生凹槽後，會導致半導體裝置之不良。

此處，於本實施形態1中，在對由矽構成之半導體基板1進行蝕刻而形成第1孔7之後，將該第1孔7作為遮罩而進行層間絕緣膜2之蝕刻，藉此形成同徑之第1孔7。因此，即便不進行由矽構成之半導體基板1之過蝕刻，亦可藉由以第1孔7作為遮罩之層間絕緣膜2之蝕刻，而去除矽之蝕刻不充分的第1孔7之底面上殘存之矽。亦即，在進行以氧化矽膜為主成分的層間絕緣膜2之蝕刻時，第1孔7之底面上少量殘存之矽亦會被去除。由此，可抑制對由矽構成之半導體基板1進行蝕刻而形成第1孔7之步驟中之過蝕刻。如此，根據本實施形態1而可抑制過蝕刻，故可抑制蝕刻充

分進行著的第1孔7中產生凹槽。

又，根據本實施形態1，亦可取得其他效果。例如，在加工半導體基板1時，會於半導體基板1上產生應力，從而易產生半導體基板1之翹曲等問題。然而，本實施形態1中，不將光阻膜用作遮罩，而是將形成於矽上之第1孔7作為遮罩，設法實施對在第1孔7之底面露出之層間絕緣膜2進行蝕刻之步驟。如此，在不使用光阻膜而使矽露出之狀態下進行乾式蝕刻時，可緩和產生於半導體基板1上之應力(應力消除效果)。

繼而，如圖9所示，在包含第1孔7內之半導體基板1之第2面1b上，例如，藉由CVD(Chemical Vapor Deposition，化學氣相沈積)法而形成絕緣膜8。該絕緣膜8沿著第1孔7之底面及側面與半導體基板1之第2面1b，以覆蓋該等面之方式而形成。絕緣膜8具有下述之將貫通電極與半導體基板1絕緣之功能。作為絕緣膜8，使用例如氧化矽膜、氮化矽膜或者聚醯亞胺樹脂等。

其次，如圖10所示，於包含第1孔7內之半導體基板1之第2面1b上所形成之絕緣膜8上，形成鋁膜9。該鋁膜9係用以保護絕緣膜8而設置之膜，例如可藉由濺鍍法或蒸鍍法而形成。

繼而，如圖11所示，於包含第1孔7內之半導體基板1之第2面1b上所形成之鋁膜9上，塗佈光阻膜10。作為光阻膜之塗佈方法，例如有旋轉之塗佈法與噴霧之塗佈法。對於旋轉之塗佈法，為了沿著第1孔7之底面及側面而塗佈光阻

膜10，故較理想的是使用可塗佈成膜厚 $5\text{ }\mu\text{m}\sim 30\text{ }\mu\text{m}$ 之光阻膜10。進而，若光阻膜10中殘留有氣泡，則難以進行光微影技術之曝光處理，從而產生圖案化不良。因此，較理想的是藉由真空脫泡而去除光阻膜10中之氣泡。對於噴霧之塗佈法，其與旋轉之塗佈法不同，其係沿著第1孔7來塗佈光阻膜10。

其後，如圖12所示，使用光微影技術進行的光阻膜10之圖案化係以於第1孔7之底面形成開口部10a之方式而進行。該開口部10a之孔徑形成為小於第1孔7之孔徑。並且，從該開口部10a露出鋁膜9。

其次，如圖13所示，從形成於光阻膜10上之開口部10a露出之鋁膜9經蝕刻而去除。藉此，於開口部10a上，形成於鋁膜9之下層的絕緣膜8會露出。鋁膜9之蝕刻例如可使用以磷酸為主成分之蝕刻液或者稀氫氟酸等。

繼而，如圖14所示，從開口部10a露出之絕緣膜8及形成於絕緣膜8之下層的層間絕緣膜2均經蝕刻而去除。藉此，可於第1孔7之底面上形成較第1孔7之孔徑小的第2孔11。於該第2孔11之底面上露出有焊墊3。在絕緣膜8及層間絕緣膜2之蝕刻中，使用以 CHF_3 及 C_4H_8 為主成分之混合氣體作為蝕刻氣體。於該蝕刻步驟中，光阻膜10亦有若干被蝕刻。

此處，本實施形態1中，如圖8所示，直至層間絕緣膜2之中途為止形成第1孔7，從而可使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄。因此，當欲形成從該第1

孔7之底面到達焊墊3之第2孔11時，僅使用1次光阻膜10之遮罩即可形成到達焊墊3之第2孔11。亦即，當欲形成第2孔11時，殘存於第1孔7之底部與焊墊3之間的層間絕緣膜2、與形成於上述第1孔7之底面上的絕緣膜8合併後的膜厚，可作為第1次用作遮罩之光阻膜10消失之前可形成第2孔11之膜厚。藉此，可改善由於以下原因而導致的第2孔11之加工不良，即，複數次的遮罩之對準偏移會導致層間絕緣膜2之加工過程中第2孔11之底面粗糙，從而無法順利地進行微影步驟之曝光。

其次，如圖15所示，去除圖案化之光阻膜10。光阻膜10之去除例如藉由有機溶劑之利用及氧灰化而進行。然後，如圖16所示，去除形成於光阻膜10之下層的絕緣膜保護用之鋁膜9。此時，於第2孔11之底部上形成有由鋁膜構成之焊墊3，但由於在焊墊3之表面上形成有通常的鈦/氮化鈦膜等障壁導體膜，故焊墊3不會被蝕刻。

繼而，如圖17所示，在第2孔11之底面及側面、經由絕緣膜8之第1孔7之底面及側面、進而經由絕緣膜8之半導體基板1之第2面1b上，形成仔晶層12。仔晶層12例如可使用濺鍍法而形成。作為仔晶層12，考慮例如由鈦膜(Ti膜)與金膜(Au膜)構成之積層膜。此時，為了確保與絕緣膜8、金膜之密著性，鈦膜之厚度形成為 $0.02\ \mu\text{m}\sim 0.3\ \mu\text{m}$ 左右，金膜作為電鍍膜之基底膜(電極膜)，其厚度為 $0.3\ \mu\text{m}\sim 2\ \mu\text{m}$ 左右即可。作為仔晶層12，除鈦膜與金膜之積層膜之外，亦可使用例如鉻膜(Cr膜)與金膜之積層膜。

其次，如圖18所示，塗佈光阻膜13後，使用光微影技術使光阻膜13圖案化。圖案化係以使第1孔7及第2孔11內、進而半導體基板1之第2面1b上之佈線形成區域露出之方式而進行。

繼而，如圖19所示，於從圖案化之光阻膜13上露出之仔晶層12上形成電鍍膜14。電鍍膜14例如係可藉由電解電鍍法而形成。藉此，可於第1孔7及第2孔11內、進而半導體基板1之第2面1b上之佈線形成區域上，形成由仔晶層12與電鍍膜14構成之導體膜15。關於電鍍膜14之膜厚，考慮到電氣電阻，較理想的是1 μm 以上，但電鍍膜14之膜厚藉由貫通電極之內徑而決定，故將貫通電極之內徑調整成特定之徑長。電鍍膜14例如由金膜形成，亦可藉由除電解電鍍法之外的無電解電鍍法或濺鍍法而形成。再者，除金膜之外，亦可考慮金膜與銅膜(Cu膜)之積層膜作為電鍍膜14，從積層半導體晶片之SiP構造之觀點而言，電鍍膜14之表面較理想的是金膜。

其後，如圖20所示，藉由利用有機溶劑及氧灰化而去除光阻膜13。並且，如圖21所示，在半導體基板1之第2面1b上塗佈光阻膜16之後，藉由光微影技術而使光阻膜16圖案化。光阻膜16之圖案化係以覆蓋第1孔7、第2孔11及形成於半導體基板1之第2面1b上的佈線形成區域之方式而實施。

其次，如圖22所示，去除從圖案化之光阻膜16上露出之仔晶層12。仔晶層12係由鈦膜與金膜之積層膜所構成，故

使用鈦膜用之蝕刻溶液與金膜用之蝕刻溶液而去除各個膜。作為金膜用之蝕刻溶液，考慮例如碘與碘化鉍之混合液，作為鈦膜用之蝕刻溶液，考慮例如氫氟酸，但只要能進行蝕刻，則亦可為其他蝕刻溶液。

繼而，如圖23所示，去除圖案化之光阻膜16，由此結束半導體基板1之於半導體晶圓狀態下之加工。藉此，可形成連接於焊墊3之貫通電極17。並且，如圖24所示，剝除對半導體基板1進行支持之支持基板5。例如，若將半導體基板1與支持基板5加以黏接之黏接層4具有熱可塑性之性質，則藉由對半導體基板1進行加熱而剝除半導體基板1與支持基板5。從支持基板5上剝除半導體基板1之後，將半導體晶圓狀態下的半導體基板1切割而單片化為半導體晶片。對半導體晶片之單片化亦可在將半導體基板1貼附於支持基板5上之狀態下進行，但會連同支持基板5而截斷，故無法進行支持基板5之再利用。因此，在將半導體基板1從支持基板5上剝除後，由於半導體基板1較薄，故操作(搬送)困難，但藉由對支持基板5之剝除並切割，而可進行支持基板5之再利用。

最後，如圖25所示，對於經單片化之半導體晶片，在形成於層間絕緣膜2之表面的焊墊3上，例如以柱狀凸起法而形成柱狀凸起電極18。凸起電極之形成方法可使用焊膏凸起法(Solder Paste Bump)、電鍍法、或者蒸鍍法等。

以此，可形成本實施形態1的半導體晶片。根據本實施形態1，越過由矽構成之半導體基板1直至層間絕緣膜2之

中途為止形成第1孔7，藉此，使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄。因此，在形成從第1孔7之底面到達焊墊3之第2孔11時，層間絕緣膜2之膜厚變薄，故加工步驟變得容易。具體而言，在層間絕緣膜2上形成從第1孔7之底面到達焊墊3之第2孔11時，可減少於層間絕緣膜2上開口的光阻遮罩之形成次數。因此，可減少複數次的遮罩之對準偏移而導致的層間絕緣膜2之加工不良，於將第1孔7及第2孔11作為貫通空間之複數個貫通電極17中，藉由層間絕緣膜2之薄膜化而可進行貫通電極17之均勻加工。

由此，可提高貫通電極17之可靠性，且可提高半導體裝置之製造良率。進而，可抑制層間絕緣膜2之加工不良所導致的第2孔11與焊墊3之連接不均，故可抑制貫通電極17與焊墊3之連接電阻之不均。

又，於貫通電極17之形成步驟中，由於可減少加工不均，故製程範圍(process margin)會增加，從而提高半導體裝置之製造良率。

進而，由於並非以到達焊墊3之方式形成大徑之第1孔7，而是形成較第1孔7之孔徑小的第2孔11並與焊墊3連接，故可使支持焊墊3之層間絕緣膜2亦有較多殘留，從而可抑制焊墊3之強度降低。即，可提高於焊墊3上形成柱狀凸起電極18時之可靠性。

本實施形態1中，在形成從第1孔7之底面到達焊墊3之第2孔11時，層間絕緣膜2之膜厚會變薄，故加工步驟變得容

易。因此，可取得以下優點，即，可提高第2孔11之形成步驟中之製造良率。另一方面，由於存在於第1孔7與焊墊3之間的層間絕緣膜2之膜厚會變薄，故可能會使得對焊墊3進行支持的層間絕緣膜2之強度降低。然而，如本實施形態1，即便層間絕緣膜2之膜厚變薄，當形成於第2孔11之底面及側面上的導體膜15之膜厚與形成於層間絕緣膜2與第1孔7之底部上的絕緣膜8合併後的膜厚、及第2孔11之孔徑滿足特定之關係時，亦可抑制焊墊3之強度降低，故可於焊墊3上正常地形成柱狀凸起電極18，以下對此進行說明。

圖26係表示本實施形態1的半導體晶片之剖面圖，其以特定部位之尺寸作為變數而表示。具體而言，將形成於第2孔11之底面及側面上的導體膜15(電鍍膜14與籽晶層12合併後的膜)之膜厚設為 a ，將存在於第1孔7與焊墊3之間的層間絕緣膜2之膜厚與形成於第1孔7之底面上的絕緣膜8之膜厚合併後的膜(所謂底部絕緣膜)之膜厚設為 b 。進而，將第2孔11之孔徑設為 c 。

圖27係表示圖26所示之變數 a 、 b 、 c 間的關係之圖表。於圖27中，橫軸表示相對於整個膜厚($a+b$)的導體膜15之膜厚(a)。又，縱軸(左側)表示相對於整個膜厚($a+b$)的底部絕緣膜(層間絕緣膜2與絕緣膜8)之膜厚(b)，縱軸(右側)表示相對於整個膜厚($a+b$)的第2孔11之孔徑(c)。如圖27所示，可知，根據變數 a 、 b 、 c 之值而可分類為4個區域(區域I~區域IV)，該4個區域包含：於焊墊3上可正常地形成柱狀凸

起電極18之區域、以及於焊墊3上無法正常地形成柱狀凸起電極18之區域。再者，由於圖27中焊墊3之膜厚根據設計規則而決定，故考慮為固定之膜厚。

首先，對區域I進行說明。圖28係表示區域I中包含變數 a 、 b 、 c 之關係時的半導體晶片之構成之示圖。圖28表示導體膜15之膜厚 a 相對於第2孔11之孔徑 c 充分厚、且底部絕緣膜之膜厚 b 足以維持焊墊3之強度之情形。由此可知，區域I所包含之構成中，於焊墊3上可正常地形成柱狀凸起電極18。

繼而，對區域II進行說明。圖29係表示區域II中包含變數 a 、 b 、 c 之關係時的半導體晶片之構成之示圖。圖29所示之半導體晶片之構成中，底部絕緣膜之膜厚 b 具有用以維持焊墊3之強度的充分之膜厚，但導體膜15之膜厚 a 相對於第2孔11之孔徑 c 變薄。因此，在焊墊3上按壓柱狀凸起電極18時，導體膜15會產生變形而導致柱狀凸起電極18與導體膜15之電性連接不良。由此可知，區域II所包含之構成中，於焊墊3上無法正常地形成柱狀凸起電極18。

其次，對區域III進行說明。圖30係表示區域III中包含變數 a 、 b 、 c 之關係時的半導體晶片之構成之示圖。圖30所示之半導體晶片之構成中，相對於第2孔11之孔徑 c 而言，導體膜15之膜厚 a 變得充分厚，但底部絕緣膜之膜厚 b 變薄。因此，在焊墊3上按壓柱狀凸起電極18時，底部絕緣膜對焊墊3之支持不充分，從而於構成底部絕緣膜之層間絕緣膜2上會產生裂縫19。由此可知，區域III所包含之構

成中，於焊墊3上無法正常地形成柱狀凸起電極18。

繼而，對區域IV進行說明。圖31係表示區域IV中包含變數a、b、c之關係時的半導體晶片之構成之示圖。圖31所示之半導體晶片之構成中，相對於第2孔11之孔徑c而言，導體膜15之膜厚a變薄，進而，底部絕緣膜之膜厚b亦變薄。因此，在焊墊3上按壓柱狀凸起電極18時，導體膜15會產生變形而導致柱狀凸起電極18與導體膜15之電性連接不良，並且底部絕緣膜對焊墊3之支持不充分，從而於構成底部絕緣膜之層間絕緣膜2上會產生裂縫19。由此可知，區域IV所包含之構成中，於焊墊3上無法正常地形成柱狀凸起電極18。

根據以上所述可知，為了於焊墊3上正常地形成柱狀凸起電極18，必須使變數a、b、c之關係包含於區域I中。因此，本實施形態1中，越過由矽構成之半導體基板1直至層間絕緣膜2之中途為止形成第1孔7，從而取得使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄之構成，另一方面，以使變數a、b、c之關係包含於區域I中之方式，來規定各個部位之尺寸。藉此，可使第2孔11之形成步驟變得容易，並且可充分保持焊墊3之強度，以於焊墊3上正常地形成柱狀凸起電極18。具體而言，由圖27可知，將形成於第2孔11之底面的焊墊3上之導電膜15的膜厚設為a，將形成於第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚與形成於第1孔7之底面上的絕緣膜8之膜厚合併後的膜厚設為b，此時，使至少 $a/(a+b)$ 之值為0.11以上而構成，由此

可充分確保焊墊3之強度。

此處，本實施形態1中，對以下構成進行說明，即，如圖26所示，於第2孔11之底面及側面上形成導體膜15，且於第2孔11之內部存在空洞。然而，如圖32所示，可使導體膜15之膜厚變厚且填充於孔徑小的第2孔11之內部而形成導體膜15。於此情形時，焊墊3與層間絕緣膜2一併受到第2孔11內部所埋入的導體膜15之支持，故可進一步抑制焊墊3之強度降低。此時，由於在較第2孔11之孔徑大的第1孔7之內部插入有形成於其他半導體晶片上之柱狀凸起電極18，所以毫無疑問會成為空洞。

(實施形態2)

於上述實施形態1中，對如微電腦晶片般形成高積體電路之半導體晶片進行了說明，但本實施形態2中，對如插入式晶片之用以再佈線之半導體晶片進行說明。

例如，在將複數個半導體晶片三維積層時，配置於下側之半導體晶片上所形成之貫通電極內，變形插入有配置於上側之其他半導體晶片上所形成之柱狀凸起電極，從而將上下側之半導體晶片電性連接。此時，多數情況下，配置於上側之半導體晶片與配置於下側之半導體晶片分別具有形成有不同積體電路之不同功能。因此，上下側之半導體晶片分別具有不同之布局圖案。由此，配置於下側的半導體晶片之貫通電極之位置與配置於上側的半導體晶片之柱狀凸起電極之位置並不一定要一致。於此情形時，上下側之半導體晶片間所插入之半導體晶片係插入式晶片。即，

插入式晶片以使與配置於上側的半導體晶片之柱狀凸起電極之形成位置相一致的方式形成貫通電極，且將配置於上側之半導體晶片與插入式晶片相連接。並且，於插入式晶片內，形成與上述貫通電極連接之佈線，且與該佈線連接之柱狀凸起電極以與下側的半導體晶片之貫通電極之形成位置相一致的方式而形成。藉此，將形成於插入式晶片上之柱狀凸起電極與形成於下側半導體晶片上之貫通電極相連接。以此，即便配置於上側的半導體晶片上所形成之柱狀凸起電極之配置位置與配置於下側的半導體晶片上所形成之貫通電極之配置位置有所偏移，亦可藉由於上下側半導體晶片間夾入插入式晶片而將上下側的半導體晶片電性連接。

其次，參照圖式來說明插入式晶片之構成。使本實施形態2的插入式晶片與上述實施形態1的半導體晶片具有大致相同之構成。圖33係表示本實施形態2的半導體晶片之平面圖。該圖33係從半導體基板1之第2面(背面)1b側之上方觀察半導體晶片之一部分的示圖。如圖33所示，半導體晶片係由矩形形狀之半導體基板1構成，於半導體基板1之第2面1b上形成有複數個貫通電極17。並且，複數個貫通電極17分別連接於由導體膜15構成之佈線，藉由該等佈線而於半導體基板1之第2面1b上形成佈線圖案。

圖34係表示以圖33之A-A線截斷後之剖面的剖面圖。如圖34所示，本實施形態2的半導體晶片與圖2所示之上述實施形態1的半導體晶片之不同點在於，本實施形態2中，貫

通電極17之形成位置與柱狀凸起電極18之形成位置的相對位置不同。此情況下，即便在配置於上側之半導體晶片上所形成的柱狀凸起電極之配置位置、與配置於下側之半導體晶片上所形成的貫通電極之配置位置有所偏移時，亦可藉由在上下半導體晶片間夾入本實施形態2的插入式晶片而將上下側的半導體晶片電性連接。貫通電極17與柱狀凸起電極18藉由焊墊3及佈線而電性連接著。然而，亦存在貫通電極17之形成位置與柱狀凸起電極18之形成位置相等之情形。

進而，如微電腦晶片般形成有高積體電路之半導體晶片與插入式晶片之不同點在於，層間絕緣膜2之膜厚。如微電腦晶片般形成有高積體電路之半導體晶片之佈線中，較多的層間絕緣膜2之膜厚變厚。相對於此，本實施形態2的插入式晶片由於以再佈線為目的，故其特徵在於，形成於層間絕緣膜2內部之佈線為單層，且層間絕緣膜2之膜厚比較薄。其他構成與上述實施形態1大致相同。

本實施形態2的插入式晶片係以上述方式而構成，以下對其製造方法進行說明。本實施形態2的製造方法亦與上述實施形態1相同，主要對其特徵點進行說明。如圖3~圖7所示，形成從半導體基板1之第2面1b到達層間絕緣膜2之第1孔7。其後，如圖35所示，去除形成於半導體基板1之第2面1b上的光阻膜6。此處，本實施形態2中，與上述實施形態1相比，層間絕緣膜2之膜厚較薄，進而從使第2孔之加工步驟容易進行之觀點而言，例如，如圖36所示，亦

可將由矽構成之半導體基板1及形成於半導體基板1上之第1孔7作為遮罩，對在第1孔7之底面露出之層間絕緣膜2進行蝕刻，直至該層間絕緣膜2之中途為止。即，本實施形態2中亦可具有與上述實施形態1相同之步驟。

另一方面，於本實施形態2中，只要層間絕緣膜2之膜厚充分薄，且於第2孔之加工步驟中亦不會有問題之限度內，則如圖37所示，亦可不進行層間絕緣膜2之蝕刻。

其後，實施從圖9至圖24所示之步驟。然後，如圖34所示，在與貫通電極17相對之位置所不同的位置上形成柱狀凸起電極18，但是，有時會在與貫通電極17相對之位置上形成柱狀凸起電極18。以此，可形成本實施形態2的插入式晶片。根據本實施形態2，由於層間絕緣膜2之膜厚充分薄，故在由矽構成之半導體基板1上形成第1孔7之後，未必需要對在該第1孔7之底面露出的層間絕緣膜2進行蝕刻。然而，從使第2孔11之加工容易進行之觀點而言，亦即，當層間絕緣膜之膜厚在無法以1次光微影技術而形成第2孔11之程度時，較理想的是，對在第1孔7之底面露出的層間絕緣膜2進行蝕刻，直至該層間絕緣膜2之中途為止，藉此使層間絕緣膜2之膜厚進一步變薄。如上所述，本申請案之發明可根據形成於半導體基板1上的層間絕緣膜2之膜厚而靈活地應對。再者，本實施形態2亦可取得與上述實施形態1相同之效果。

(實施形態3)

上述實施形態1中，對使用絕緣膜8之例進行了說明，本

實施形態3中，對使用感光性絕緣膜取代絕緣膜8之例進行說明。以下，對本實施形態3的半導體晶片之製造方法進行說明。

藉由實施圖3至圖7所示之步驟而形成從半導體基板1之第2面1b到達層間絕緣膜2之第1孔7。並且，如圖38所示，在去除光阻膜6之後，將由矽構成之半導體基板1及形成於半導體基板1上之第1孔7作為遮罩，對在第1孔7之底面露出的層間絕緣膜2進行蝕刻，直至該層間絕緣膜2之中途為止。

其次，如圖39所示，於包含第1孔7內之半導體基板1之第2面1b上，形成感光性絕緣膜8a。該感光性絕緣膜8a沿著第1孔7之底面及側面與該半導體基板1之第2面1b，以覆蓋該等面之方式而形成。感光性絕緣膜8a具有下述的使貫通電極與半導體基板1絕緣之功能。

繼而，如圖40所示，使用光微影技術而使感光性絕緣膜8a圖案化。圖案化係以使第1孔7之底面上形成開口部10a之方式進行。作為光微影技術中之曝光裝置，使用步進裝置及雷射曝光裝置等。

其後，如圖41所示，將從開口部10a露出之層間絕緣膜2全部蝕刻而去除。藉此，可於第1孔7之底面上形成較第1孔7之孔徑小的2孔11。於該第2孔11之底面上露出有焊墊3。

此處，本實施形態3中，如圖38所示，直至層間絕緣膜2之中途為止形成第1孔7，藉此可使第1孔7之底面與焊墊3

之間的層間絕緣膜2之膜厚變薄。因此，在形成從該第1孔7之底面到達焊墊3之第2孔11時，僅使用1次感光性絕緣膜8a之遮罩即可形成到達焊墊3之第2孔11。亦即，當欲形成第2孔11時，將殘存於第1孔7之底部與焊墊3之間的層間絕緣膜2之膜厚作為用作遮罩的感光性絕緣膜8a消失之前可形成第2孔11之膜厚。

其後，實施圖17~圖25所示之步驟，藉此可製造實施形態3的半導體晶片。

本實施形態3之特徵在於使用感光性絕緣膜8a。上述實施形態1中，於第1孔7之內部形成絕緣膜8及鋁膜9之後，於鋁膜9上形成光阻膜10。並且，在光阻膜10上形成開口部10a之後，對從開口部10a露出之鋁膜9、絕緣膜8及層間絕緣膜2進行蝕刻，藉此形成從第1孔7之底面到達焊墊3為止的第2孔11。此處，絕緣膜8具有使貫通電極17與半導體基板1絕緣之功能，光阻膜10具有形成開口部10a之功能。因此，本實施形態3中，使用感光性絕緣膜8a作為一併具有上述的絕緣膜8之功能與光阻膜10之功能之膜。上述實施形態1中，必須具有形成絕緣膜8與光阻膜10之步驟，但本實施形態3中，可將該等步驟替換為感光性絕緣膜8a之形成步驟。即，根據本實施形態3，具有可使半導體晶片之製造步驟簡化之優點。使用感光性絕緣膜8a可使步驟簡化之優點，藉由與本申請發明之特徵之一的步驟併用而可實現，即，使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄之步驟。

亦即，感光性絕緣膜8a之抗蝕刻性低，但由於第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄，故可在感光性絕緣膜8a消失之前，於層間絕緣膜2上形成第2孔11。

感光性絕緣膜8a係取代絕緣膜8之膜，於形成第2孔11之後亦需使其殘存於半導體基板1上。亦即，必須使感光性絕緣膜8a不會因以感光性絕緣膜8a為遮罩之層間絕緣膜2之蝕刻而消失。考慮到該情況，本申請發明之特徵之一在於，追加使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄之步驟，從而產生使用感光性絕緣膜8a之有用性。例如，為了簡化步驟而使用感光性絕緣膜8a時，若不實施本申請發明之特徵之一的使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄之步驟，則會對厚的層間絕緣膜2進行蝕刻，於該厚的層間絕緣膜2蝕刻之中途，抗蝕刻性低的感光性絕緣膜8a會消失，從而使用感光性絕緣膜8a之優點消失。

根據以上所述，使用感光性絕緣膜8a所產生的步驟簡化之優點，藉由實施本申請發明之特徵之一的步驟而獲得，即，使第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚變薄之步驟。進而，使用感光性絕緣膜8a之優點在於，當形成第2孔11時，僅蝕刻層間絕緣膜2即可。即，對於上述實施形態1，必須對存在於光阻膜10之下層的絕緣膜8與層間絕緣膜2合併後的膜進行蝕刻，但本實施形態3中，由於感光性絕緣膜8a本身為遮罩，故在形成第2孔11時，僅蝕刻形成於感光性絕緣膜8a之下層的層間絕緣膜2即可。因

此，對第2孔11加工時欲去除的膜之膜厚變薄，故第2孔11之加工步驟變得更容易。再者，本實施形態3亦可取得與上述實施形態1相同之效果。

(實施形態4)

本實施形態4中，例如，對上述實施形態1~3中製造的半導體晶片經三維積層而形成的SiP構造之半導體裝置進行說明。

圖42係表示本實施形態4的半導體裝置之剖面圖。如圖42所示，例如，將由微電腦晶片構成之半導體晶片20a與由SDRAM構成之半導體晶片20c經由進行再佈線之作為插入式晶片的半導體晶片20b而三維積層著。並且，所積層之3個半導體晶片20a~20c搭載於佈線基板21上。

由微電腦晶片構成之半導體晶片20a係形成有高積體電路之半導體晶片，其上形成有貫通電極17a與柱狀凸起電極18a。同樣地，由SDRAM構成之半導體晶片20c係形成有高積體電路之半導體晶片，其上形成有貫通電極17c與柱狀凸起電極18c。另一方面，半導體晶片20b係插入式晶片，其上形成有貫通電極17b與柱狀凸起電極18b。並且，於佈線基板21上搭載有半導體晶片20a，以使形成於半導體晶片20a上之柱狀凸起電極18a與形成於佈線基板21上之電極22電性連接。進而，於半導體晶片20a上搭載著半導體晶片20b。此時，半導體晶片20a與半導體晶片20b之電性連接，係藉由將形成於半導體晶片20b上之柱狀凸起電極18b插入至形成於半導體晶片20a上之貫通電極17a中而

進行。進而，於半導體晶片20b上，搭載著半導體晶片20c。並且，半導體晶片20b與半導體晶片20c之電性連接，係藉由將形成於半導體晶片20c上之柱狀凸起電極18c插入至形成於半導體晶片20b上之貫通電極17b中而進行。

在與佈線基板21之搭載有半導體晶片20a~20c之面相反側之一面上，形成有焊錫凸起電極23。該焊錫凸起電極23經由佈線基板之內部而與電極22電性連接著。焊錫凸起電極23具有用以與半導體裝置之外部電性連接之外部端子之功能。

進而，以埋入至佈線基板21及半導體晶片20a~20c之間隙之方式形成封裝用黏接材24。密封用黏接材24具有如下功能：提高半導體裝置之機械強度，提高半導體裝置之組裝步驟之操作性，並且保護半導體裝置不受外部環境影響。

本實施形態4的半導體裝置以上述方式而構成。以下，對半導體晶片20a~20c之積層方法進行說明。

例如，使用第1半導體晶圓作為半導體基板，對第1半導體晶圓上的各個晶片區域實施上述實施形態1所說明之處理，以形成貫通電極17a(第1貫通電極)，該貫通電極17a電性連接於在第1半導體晶圓之各個晶片區域上所形成之第1焊墊。其後，使第1半導體晶圓單片化為複數個半導體晶片而取得半導體晶片20a(第1半導體晶片)。並且，於半導體晶片20a中，在與貫通電極17a連接之一側的相反側之第1焊墊上，形成柱狀凸起電極18a。

同樣地，使用第2半導體晶圓作為半導體基板，對第2半導體晶圓上的各個晶片區域實施上述實施形態2所說明之處理，以形成貫通電極17b(第2貫通電極)，該貫通電極17b電性連接於在第2半導體晶圓之各個晶片區域上所形成之第2焊墊。其後，使第2半導體晶圓單片化為複數個半導體晶片而取得半導體晶片20b(第2半導體晶片)。並且，於半導體晶片20b中，在與貫通電極17b連接之一側的相反側之第2焊墊上，形成柱狀凸起電極18b。

繼而，於半導體晶片20a上，積層並電性連接半導體晶片20b。該步驟係將形成於半導體晶片20b上之柱狀凸起電極18b經加壓熔接而變形注入至形成於半導體晶片20a上之貫通電極17a中進行的。如此，分別形成半導體晶片20a及半導體晶片20b之後，可藉由積層而形成半導體裝置。再者，於半導體晶片20b上積層半導體晶片20c之情形亦相同。

其次，對積層半導體晶片20a~20c之其他方法進行說明。例如，對第1半導體晶圓上的各個晶片區域實施上述實施形態1所說明之處理，藉此形成貫通電極17a，該貫通電極17a電性連接於形成在第1半導體晶圓之各個晶片區域上之第1焊墊，然後，在與貫通電極17a連接之一側的相反側之上述第1焊墊上，形成柱狀凸起電極18a。如此，亦可於半導體晶圓之狀態下形成柱狀凸起電極18a。

同樣地，對第2半導體晶圓上的各個晶片區域實施上述實施形態2所說明之處理，藉此形成貫通電極17b，該貫通

電極17b電性連接於形成在第2半導體晶圓之各個晶片區域上之第2焊墊，然後，在與貫通電極17b連接之一側的相反側之第2焊墊上，形成柱狀凸起電極18b。

其後，於第1半導體晶圓上，積層並電性連接上述第2半導體晶圓。該步驟係將形成於第2半導體晶圓上之柱狀凸起電極18b經加壓熔接而變形注入至形成於第1半導體晶圓上之貫通電極17a中進行的。如此，亦可於半導體晶圓之狀態下積層。

其次，使第1半導體晶圓與第2半導體晶圓在積層化狀態下單片化為半導體晶片。藉此，可獲得半導體晶片20a與半導體晶片20b之積層構造。再者，對於在半導體晶片20b上積層半導體晶片20c之情形亦相同。

以上，根據實施形態對本發明者完成之發明進行了具體地說明，但本發明並非限定於上述實施形態，當然，於不脫離其要旨之範圍內可進行種種變更。

最後，將專利文獻4(日本專利特開2005-93486號公報)與本申請發明進行比較觀察。認為專利文獻4與本申請發明在以下方面類似，即，藉由第1孔及較該第1孔之孔徑小的第2孔而形成貫通電極、以及對在第1孔之底面露出之層間絕緣膜進行蝕刻。然而，專利文獻4中，以導體膜完全填充於貫通電極之內部，本申請發明中，與之相比的不同之處在於，貫通電極之內部形成有空洞。該不同點之差異較大。即，本申請發明中採用之構造為，向貫通電極之內部變形注入柱狀凸起電極，以此積層複數個半導體晶片。因

此，貫通電極之內部必須具有注入柱狀凸起電極之空間。由此，形成在貫通電極中插入有柱狀凸起電極之第1孔。此時，亦可以從貫通電極到達焊墊之方式形成第1孔。然而，在以到達焊墊之方式形成孔徑較大之第1孔後，支持焊墊之層間絕緣膜會被去除，從而顯然存在焊墊之強度降低的現象。因此，本申請發明中，直至半導體基板之中途為止形成第1孔，且形成較第1孔之孔徑小的第2孔，作為從上述第1孔之底面到達焊墊之孔。藉此，可於第2孔之周圍充分殘留有層間絕緣膜，故可防止焊墊之強度降低。如此，以第1孔與第2孔來形成貫通電極之技術思想，在解決因貫通電極之內部為空洞而產生的焊墊強度降低之問題時有效。進而，焊墊強度降低之問題係在焊墊上形成柱狀凸起電極時之問題。即，本申請發明之構成係以焊墊上形成有柱狀凸起電極之構成作為前提。

相對於此，專利文獻4中，藉由第1孔與較該第1孔之孔徑小的第2孔而形成貫通電極，但貫通電極之內部以導體膜填充著。因此，焊墊之強度受到填充於貫通電極內部之導體膜之支持，故不會產生原先的焊墊強度降低之問題。進而，亦不存在於焊墊上形成柱狀凸起電極之構成，故焊墊強度方面沒有問題。即，藉由第1孔與較該第1孔之孔徑小的第2孔而形成貫通電極，其目的與效果於專利文獻4中既無記載亦無提示。專利文獻4中，於第1孔之側面上形成絕緣膜，此後，經對第2孔加工後，認為第2孔之孔徑僅變小一與形成於第1孔之側面上的絕緣膜之膜厚相應之量。

即，本申請發明與形成於第1孔之側面上的絕緣膜之膜厚無關，而是設法形成較第1孔之孔徑小的第2孔作為從第1孔之底面到達焊墊之孔。由此，認為專利文獻4中並不存在容易想到本申請發明的發明動機之記載。

繼而，本申請發明之特徵在於，對在第1孔之底面露出之層間絕緣膜進行蝕刻，以控制為設法使層間絕緣膜之膜厚減少。如此以使存在於第1孔與焊墊間的層間絕緣膜之膜厚減少之方式加以控制，從而可取得以下優點：容易實施對層間絕緣膜蝕刻而形成的第2孔之加工步驟，故可提高形成第2孔之可靠性。

相對於此，專利文獻4中，對第1孔之底面露出之層間絕緣膜進行蝕刻之方面與上所述類似，但專利文獻4中，在將形成第1孔時使用之硬質遮罩去除時，於第1孔之底面露出之層間絕緣膜亦會附帶被蝕刻。即，專利文獻4中，對在第1孔之底面露出之層間絕緣膜設法進行蝕刻以控制膜厚之技術思想既無記載亦無提示，故認為並不存在容易想到本申請發明之發明動機之記載。

如上所述，認為專利文獻4中揭示有與本申請發明乍一看類似之構成，但經詳細研究後明確得知，本申請發明與專利文獻4具有完全不同之技術思想，專利文獻4中並不存在容易想到本申請發明之發明動機之記載。由此認為，即便是本領域技術人員，亦難以根據專利文獻4之記載而容易想到本申請發明。

[產業上之可利用性]

本發明可廣泛利用於製造半導體裝置之製造業中。

【圖式簡單說明】

圖1係表示本發明之實施形態1的半導體晶片之一部分之平面圖。

圖2係表示圖1之以A-A線截斷後之剖面的剖面圖。

圖3係表示實施形態1的半導體裝置之製造步驟之剖面圖。

圖4係表示繼圖3之後之半導體裝置之製造步驟的剖面圖。

圖5係表示繼圖4之後的半導體裝置之製造步驟之剖面圖。

圖6係表示繼圖5之後的半導體裝置之製造步驟之剖面圖。

圖7係表示繼圖6之後的半導體裝置之製造步驟之剖面圖。

圖8係表示繼圖7之後的半導體裝置之製造步驟之剖面圖。

圖9係表示繼圖8之後的半導體裝置之製造步驟之剖面圖。

圖10係表示繼圖9之後的半導體裝置之製造步驟之剖面圖。

圖11係表示繼圖10之後的半導體裝置之製造步驟之剖面圖。

圖12係表示繼圖11之後的半導體裝置之製造步驟之剖面

圖。

圖 13 係表示繼圖 12 之後的半導體裝置之製造步驟之剖面圖。

圖 14 係表示繼圖 13 之後的半導體裝置之製造步驟之剖面圖。

圖 15 係表示繼圖 14 之後的半導體裝置之製造步驟之剖面圖。

圖 16 係表示繼圖 15 之後的半導體裝置之製造步驟之剖面圖。

圖 17 係表示繼圖 16 之後的半導體裝置之製造步驟之剖面圖。

圖 18 係表示繼圖 17 之後的半導體裝置之製造步驟之剖面圖。

圖 19 係表示繼圖 18 之後的半導體裝置之製造步驟之剖面圖。

圖 20 係表示繼圖 19 之後的半導體裝置之製造步驟之剖面圖。

圖 21 係表示繼圖 20 之後的半導體裝置之製造步驟之剖面圖。

圖 22 係表示繼圖 21 之後的半導體裝置之製造步驟之剖面圖。

圖 23 係表示繼圖 22 之後的半導體裝置之製造步驟之剖面圖。

圖 24 係表示繼圖 23 之後的半導體裝置之製造步驟之剖面

圖。

圖 25 係表示繼圖 24 之後的半導體裝置之製造步驟之剖面圖。

圖 26 係表示實施形態 1 的半導體晶片之剖面圖，其係將特定部位之尺寸表示為變數之示圖。

圖 27 係表示使用圖 26 所示之尺寸的特定關係之圖表。

圖 28 係表示圖 27 所示之區域 I 中包含之半導體晶片之構成的剖面圖。

圖 29 係表示圖 27 所示之區域 II 中包含之半導體晶片之構成的剖面圖。

圖 30 係表示圖 27 所示之區域 III 中包含之半導體晶片之構成的剖面圖。

圖 31 係表示圖 27 所示之區域 IV 中包含之半導體晶片之構成的剖面圖。

圖 32 係表示實施形態 1 之變形例的半導體裝置之剖面圖。

圖 33 係表示實施形態 2 的半導體晶片之一部分之平面圖。

圖 34 係表示圖 33 之以 A-A 線截斷後之剖面的剖面圖。

圖 35 係表示實施形態 2 的半導體裝置之製造步驟之剖面圖。

圖 36 係表示繼圖 35 之後的半導體裝置之製造步驟之剖面圖。

圖 37 係表示實施形態 2 之變形例的半導體裝置之製造步

驟之剖面圖。

圖 38 係表示實施形態 3 的半導體裝置之製造步驟之剖面圖。

圖 39 係表示繼圖 38 之後的半導體裝置之製造步驟之剖面圖。

圖 40 係表示繼圖 39 之後的半導體裝置之製造步驟之剖面圖。

圖 41 係表示繼圖 40 之後的半導體裝置之製造步驟之剖面圖。

圖 42 係表示實施形態 4 的半導體裝置之剖面圖。

【主要元件符號說明】

1	半導體基板
1a	第 1 面
1b	第 2 面
2	層間絕緣膜
3	焊墊
4	黏接層
5	支持基板
6	光阻膜
6a	開口部
7	第 1 孔
8	絕緣膜
8a	感光性絕緣膜
9	鋁膜

10	光阻膜
10a	開口部
11	第2孔
12	仔晶層
13	光阻膜
14	電鍍膜
15	導體膜
16	光阻膜
17	貫通電極
17a	貫通電極
17b	貫通電極
17c	貫通電極
18	柱狀凸起電極
18a	柱狀凸起電極
18b	柱狀凸起電極
18c	柱狀凸起電極
19	裂縫
20a	半導體晶片
20b	半導體晶片
20c	半導體晶片
21	佈線基板
22	電極
23	焊錫凸起電極
24	密封用黏接材

五、中文發明摘要：

本發明提供一種可提高具有三維積層之複數個半導體晶片的半導體裝置之製造良率的技術。本發明之半導體裝置上形成有從半導體基板1之第2面1b到達焊墊3之貫通電極17。在貫通電極17內部之貫通空間係由第1孔7與孔徑較第1孔7小的第2孔11所構成。從半導體基板1之第2面1b貫通半導體基板1至層間絕緣膜2之中途形成有第1孔7。並且，形成有從第1孔7之底部貫通層間絕緣膜2到達焊墊3之第2孔11。此時，形成於半導體基板1之第1面1a上之層間絕緣膜2反映第1孔7之底面與半導體基板1之第1面1a之階差而成為階差形狀。即，存在於第1孔7之底面與焊墊3之間的層間絕緣膜2之膜厚較其他位置上的層間絕緣膜2之膜厚薄。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵在於包括以下步驟：

(a)在半導體基板之第1面上所形成之半導體元件上形成層間絕緣膜，並且在上述層間絕緣膜之表面形成經由形成於上述層間絕緣膜內部之佈線而與上述半導體元件電性連接之焊墊；

(b)在與上述半導體基板之上述第1面相反側之第2面上形成第1光阻膜；

(c)以使在與上述焊墊對向之位置上具有第1開口部之方式，將上述第1光阻膜圖案化；

(d)將形成有上述第1開口部的上述第1光阻膜作為遮罩來蝕刻上述半導體基板，藉此於上述半導體基板形成在底面露出上述層間絕緣膜之第1孔；

(e)去除上述第1光阻膜；

(f)蝕刻在上述第1孔之底面露出之上述層間絕緣膜，藉此使上述第1孔之底面形成於上述層間絕緣膜上，且係形成於較上述半導體基板與上述層間絕緣膜之邊界更靠近上述焊墊之位置；

(g)於包含上述第1孔之內壁的上述半導體基板之上述第2面上形成絕緣膜；

(h)於上述絕緣膜上形成第2光阻膜；

(i)以使在上述第1孔之底面具有較上述第1孔之孔徑小的第2開口部之方式，將上述第2光阻膜圖案化；

(j)將形成有上述第2開口部的上述第2光阻膜作為遮罩來蝕刻上述絕緣膜及上述層間絕緣膜，藉此形成於底面露出上述焊墊之第2孔；及

(k)於包含上述第1孔之內壁及上述第2孔之內壁的上述半導體基板之上述第2面形成導體膜，並將上述導體膜圖案化，藉此形成從上述半導體基板之上述第2面到達上述第1面且電性連接於上述焊墊之貫通電極；

上述層間絕緣膜之上述半導體基板側之面反映上述第1孔之底面與上述半導體基板之上述第1面之階差而成為階差形狀；

上述導體膜之表面反映上述半導體基板之上述第2面與上述第1孔之底面之階差而成為階差形狀。

2. 如請求項1之半導體裝置之製造方法，其中

上述導體膜之表面反映上述半導體基板之上述第2面與上述第1孔之底面之階差、及上述第1孔之底面與上述第2孔之底面之階差而成為階差形狀。

3. 如請求項1之半導體裝置之製造方法，其中

上述(f)步驟係將形成於上述半導體基板之上述第1孔作為遮罩來蝕刻於上述第1孔之底面露出之上述層間絕緣膜。

4. 如請求項3之半導體裝置之製造方法，其中

上述(f)步驟中，不使用新的光阻膜之遮罩，另一方面，上述(d)步驟之蝕刻所使用之蝕刻氣體與上述(f)步驟之蝕刻所使用之蝕刻氣體不同。

5. 如請求項1之半導體裝置之製造方法，其中

上述(d)步驟後的上述第1孔之底面孔徑與上述(f)步驟後的上述第1孔之底面孔徑相等。

6. 如請求項1之半導體裝置之製造方法，其中

於上述(g)步驟後，殘留於上述第1孔之底面與上述焊墊之間的上述層間絕緣膜、及形成於上述第1孔之底面上之上述絕緣膜合併後的膜厚，係上述(j)步驟中用作遮罩之上述第2光阻膜消失之前形成有上述第2孔之膜厚。

7. 如請求項1之半導體裝置之製造方法，其中

上述(c)步驟係使用紅外顯微鏡將上述第1光阻膜圖案化，以使得在與上述焊墊對向之位置具有上述第1開口部。

8. 如請求項1之半導體裝置之製造方法，其中進而包括以下步驟：

(1)在與上述貫通電極連接之側相反側之上述焊墊上形成凸起電極。

9. 如請求項1之半導體裝置之製造方法，其中

上述貫通電極之內部為空洞。

10. 如請求項1之半導體裝置之製造方法，其中包括以下步驟：

(m)對第1半導體晶圓中之各個晶片區域實施從上述(a)步驟至上述(k)步驟為止之處理，藉此形成第1貫通電極，其係電性連接於在上述第1半導體晶圓之各個晶片區域所形成之第1焊墊，其後在與上述第1貫通電極連接

之側相反側之上述第1焊墊上形成第1凸起電極；

(n)對第2半導體晶圓中之各個晶片區域實施從上述(a)步驟至上述(k)步驟為止之處理，藉此形成第2貫通電極，其係電性連接於在上述第2半導體晶圓之各個晶片區域所形成之第2焊墊，其後在與上述第2貫通電極連接之側相反側之上述第2焊墊上形成第2凸起電極；及

(o)將上述第2半導體晶圓積層並電性連接於上述第1半導體晶圓上；

上述(o)步驟係將形成於上述第2半導體晶圓上之上述第2凸起電極藉由加壓焊接而變形注入至形成於上述第1半導體晶圓之上述第1貫通電極，藉此使上述第1半導體晶圓與上述第2半導體晶圓電性連接。

11. 如請求項1之半導體裝置之製造方法，其中包括以下步驟：

(p)將第1半導體晶圓用作上述半導體基板，對上述第1半導體晶圓中之各個晶片區域實施從上述(a)步驟至上述(k)步驟為止之處理，藉此形成第1貫通電極，其係電性連接於在上述第1半導體晶圓之各個晶片區域所形成之第1焊墊，其後將上述第1半導體晶圓單片化為複數個半導體晶片而取得第1半導體晶片；

(q)上述第1半導體晶片中，在與上述第1貫通電極連接之側相反側之上述第1焊墊上形成第1凸起電極；

(r)將第2半導體晶圓用作上述半導體基板，對上述第2半導體晶圓中之各個晶片區域實施從上述(a)步驟至上述

(k)步驟為止之處理，藉此形成第2貫通電極，其係電性連接於在上述第2半導體晶圓之各個晶片區域上所形成之第2焊墊，其後將上述第2半導體晶圓單片化為複數個半導體晶片而取得第2半導體晶片；

(s)上述第2半導體晶片中，在與上述第2貫通電極連接之側相反側之上述第2焊墊上形成第2凸起電極；及

(t)將上述第2半導體晶片積層並電性連接於上述第1半導體晶片上；

上述(t)步驟係將形成於上述第2半導體晶片上之上述第2凸起電極藉由加壓焊接而變形注入至形成於上述第1半導體晶片上之上述第1貫通電極，藉此使上述第1半導體晶片與上述第2半導體晶片電性連接。

12. 一種半導體裝置之製造方法，其特徵在於包括以下步驟：

(a)在半導體基板之第1面所形成之半導體元件上形成層間絕緣膜，並且在上述層間絕緣膜之表面形成經由形成於上述層間絕緣膜內部之佈線而與上述半導體元件電性連接之焊墊；

(b)在與上述半導體基板之上述第1面相反側之第2面上形成第1光阻膜；

(c)以使在與上述焊墊對向之位置具有第1開口部之方式，將上述第1光阻膜圖案化；

(d)將形成有上述第1開口部的上述第1光阻膜作為遮罩來蝕刻上述半導體基板，藉此於上述半導體基板形成在

底面露出上述層間絕緣膜之第1孔；

(e)去除上述第1光阻膜；

(f)蝕刻在上述第1孔之底面露出之上述層間絕緣膜，藉此使上述第1孔之底面形成於上述層間絕緣膜上，且較上述半導體基板與上述層間絕緣膜之邊界更靠近上述焊墊之位置；

(g)於包含上述第1孔之內壁之上述半導體基板之上上述第2面上形成感光性絕緣膜；

(h)以使在上述第1孔之底面具有較上述第1孔之孔徑小的第2開口部之方式，將上述感光性絕緣膜圖案化；

(i)將形成有上述第2開口部的感光性絕緣膜作為遮罩來蝕刻上述層間絕緣膜，藉此形成於底面露出上述焊墊之第2孔；

(j)於包含上述第1孔之內壁及上述第2孔之內壁之上述半導體基板之上上述第2面形成導體膜，並將上述導體膜圖案化，藉此形成從上述半導體基板之上上述第2面到達上述第1面且電性連接於上述焊墊之貫通電極；

上述層間絕緣膜之上上述半導體基板側之面反映上述第1孔之底面與上述半導體基板之上上述第1面之階差而成為階差形狀；

上述導體膜之表面反映上述半導體基板之上上述第2面與上述第1孔之底面之階差而成為階差形狀。

13. 請求項12之半導體裝置之製造方法，其中

上述導體膜之表面反映上述半導體基板之上上述第2面

與上述第1孔之底面之階差、及上述第1孔之底面與上述第2孔之底面之階差而成為階差形狀。

14. 如請求項12之半導體裝置之製造方法，其中

於上述(f)步驟後，殘留於上述第1孔之底面與上述焊墊之間的上述層間絕緣膜之膜厚，係上述(i)步驟中用作遮罩之上述感光性絕緣膜消失之前形成有上述第2孔之膜厚。

15. 如請求項12之半導體裝置之製造方法，其中

上述貫通電極之內部為空洞。

16. 一種半導體裝置，其特徵在於包括：

(a)半導體基板；

(b)形成於上述半導體基板之第1面之半導體元件；

(c)形成於上述半導體基板之上述第1面上之層間絕緣膜；

(d)形成於上述層間絕緣膜上之焊墊；

(e)形成於上述焊墊上之凸起電極；及

(f)從與上述半導體基板之上述第1面相反側之第2面到達上述焊墊之貫通電極；

上述貫通電極包含：

(f1)第1孔，其係從與上述半導體基板之上述第1面相反側之上述第2面到達上述層間絕緣膜，且上述第1孔之底面形成於較上述層間絕緣膜與上述半導體基板之邊界更靠近上述焊墊之位置；

(f2)第2孔，其係形成為較上述第1孔之孔徑小，且從

上述第1孔之底面到達上述焊墊；

(f3)絕緣膜，其係形成於上述第1孔之底面及側面與上述半導體基板之上上述第2面上；及

(f4)導體膜，其形成於上述第2孔之底面及側面、經由上述絕緣膜之上上述第1孔之底面及側面、以及上述半導體基板之上上述第2面上，且與上述焊墊電性連接；

上述層間絕緣膜之上上述半導體基板側之面反映上述第1孔之底面與上述半導體基板之上上述第1面之階差而成為階差形狀；

上述導體膜之表面反映上述半導體基板之上上述第2面與上述第1孔之底面之階差而成為階差形狀。

17. 如請求項16之半導體裝置，其中

上述導體膜之表面反映上述半導體基板之上上述第2面與上述第1孔之底面之階差、及上述第1孔之底面與上述第2孔之底面之階差而成為階差形狀。

18. 如請求項16之半導體裝置，其中

上述貫通電極之內部成為空洞。

19. 如請求項16之半導體裝置，其中

從上述半導體基板之上上述第2面側觀察上述貫通電極時，於平面上，藉由上述第1孔之環與較上述第1孔小的上述第2孔之環而形成雙層環。

20. 如請求項16之半導體裝置，其中

將作為上述第2孔之底面的上述焊墊上所形成之上上述導電膜之膜厚設為 a ，將上述第1孔之底面與上述焊墊間

所形成之上述層間絕緣膜之膜厚、及上述第1孔之底面上所形成之上述絕緣膜之膜厚合併後的膜厚設為b時， $a/(a+b)$ 之值為0.11以上。

十一、圖式：

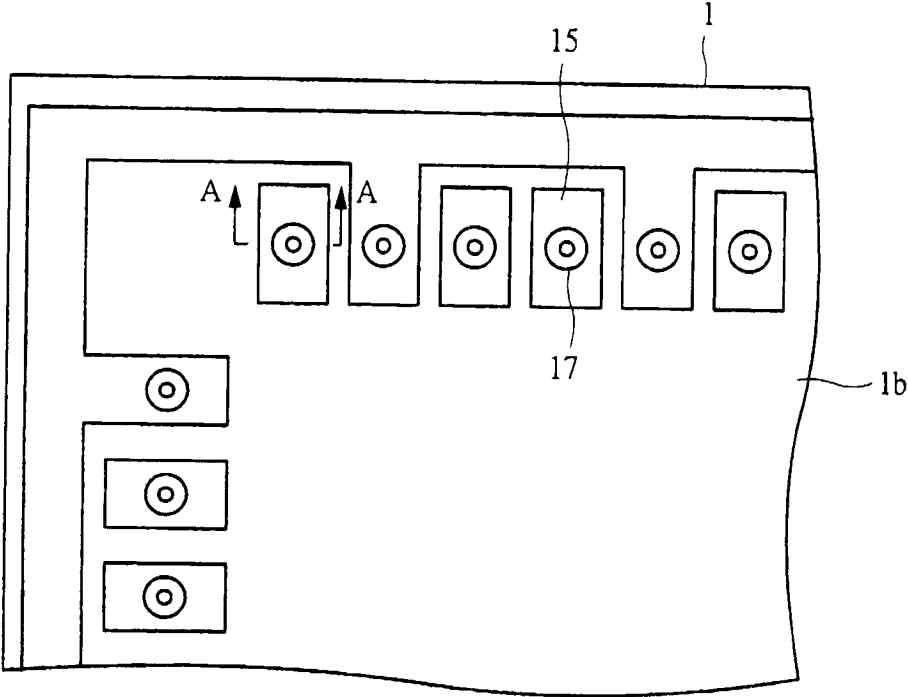


圖 1

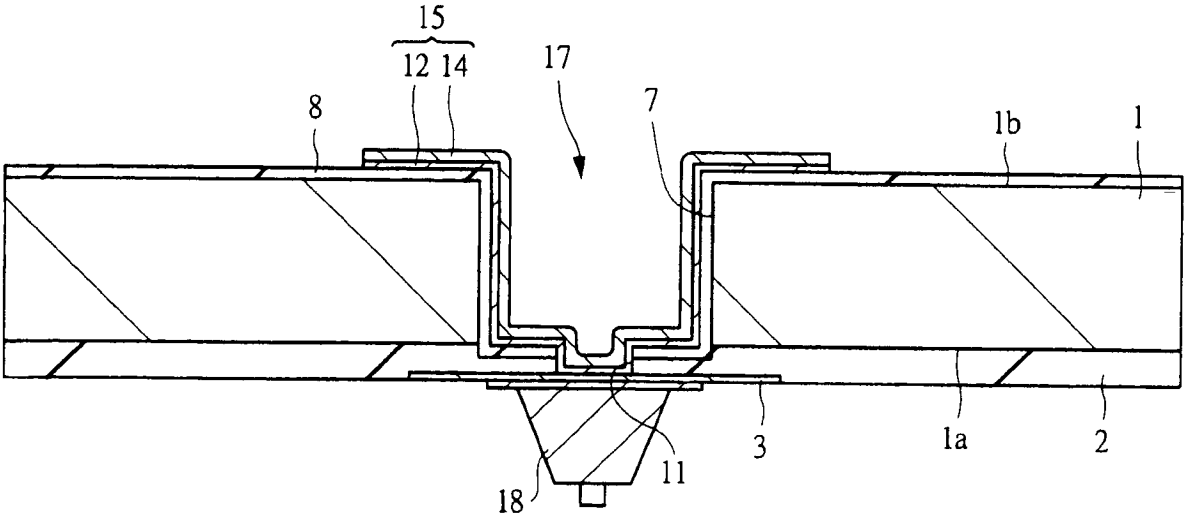


圖 2

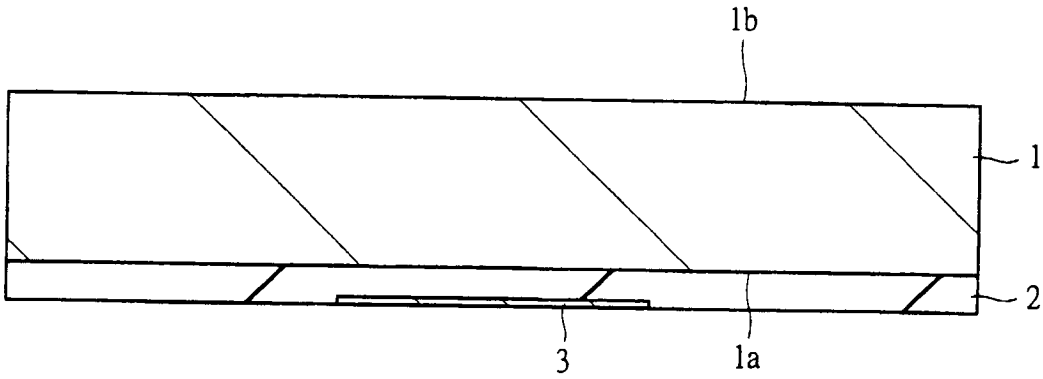


圖3

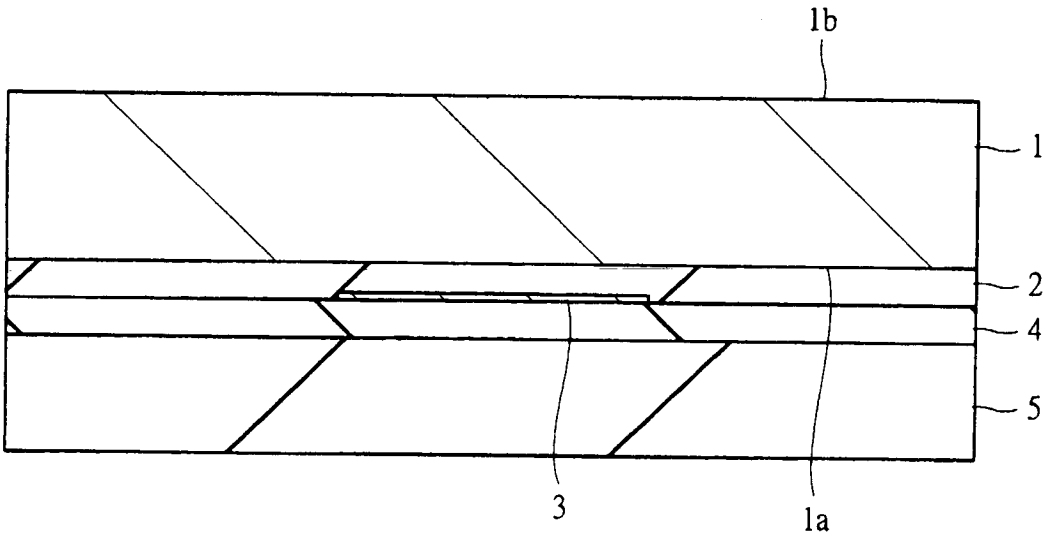


圖4

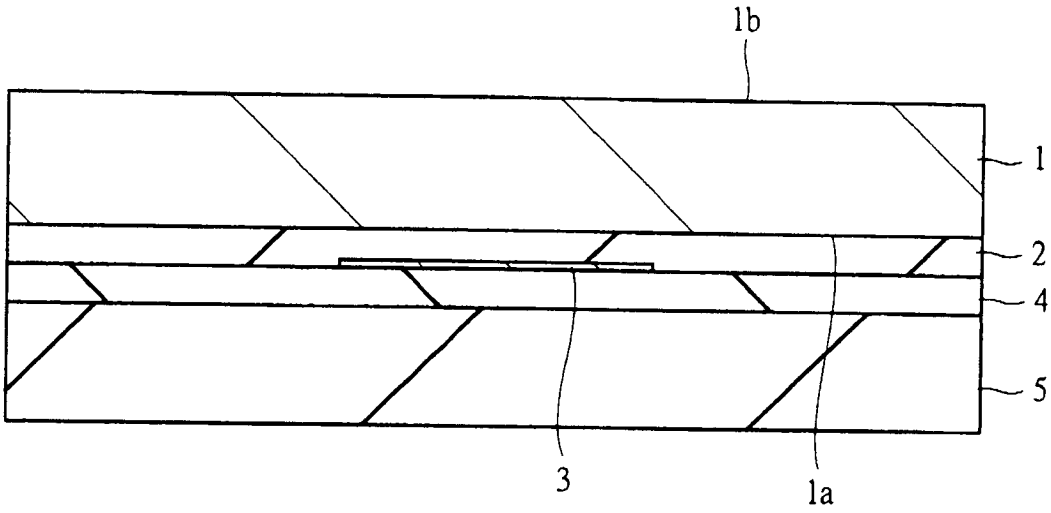


圖5

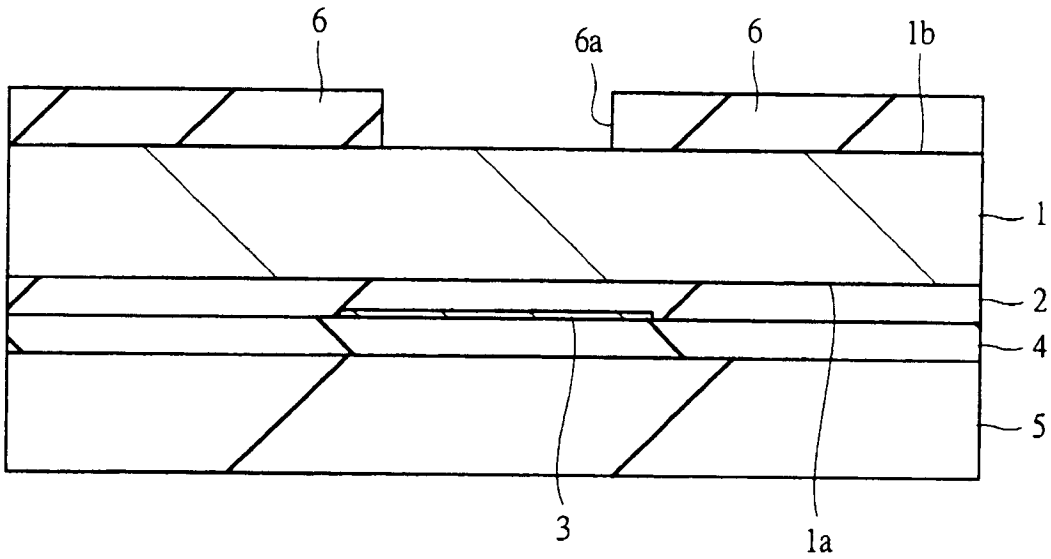


圖6

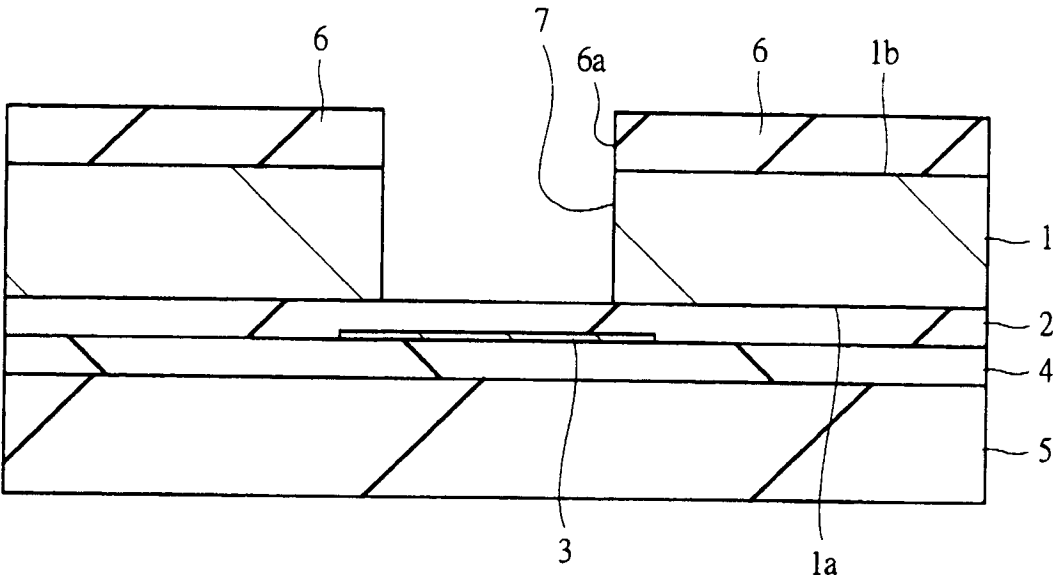


圖7

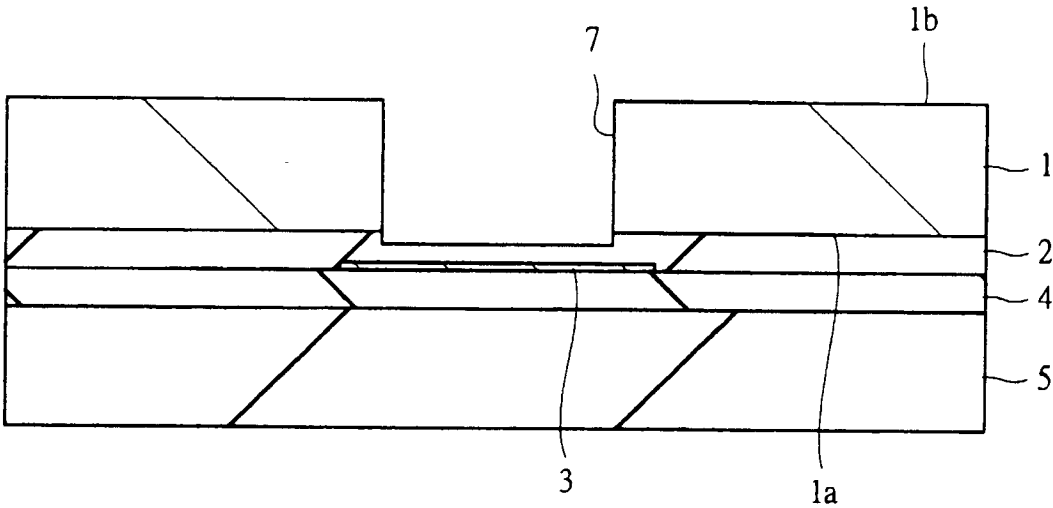


圖8

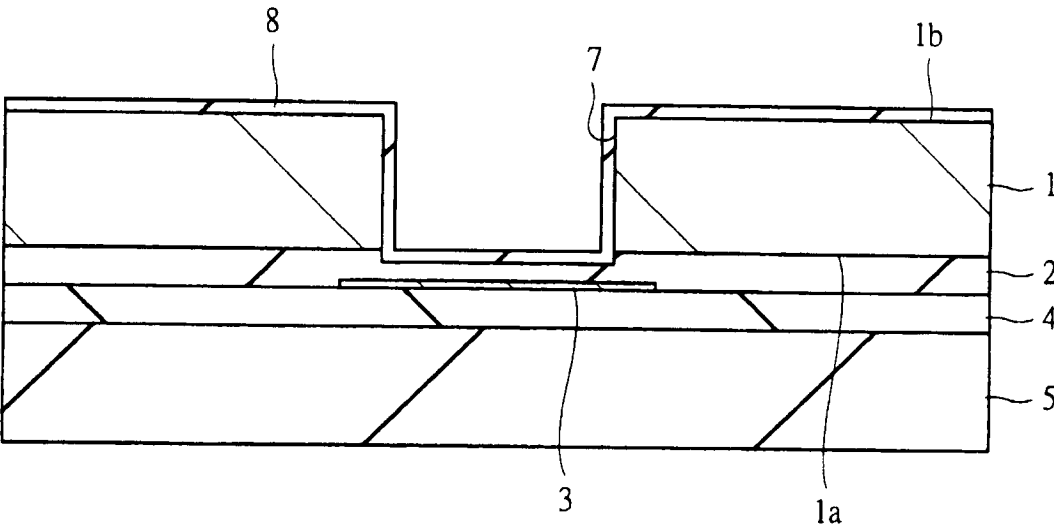


圖9

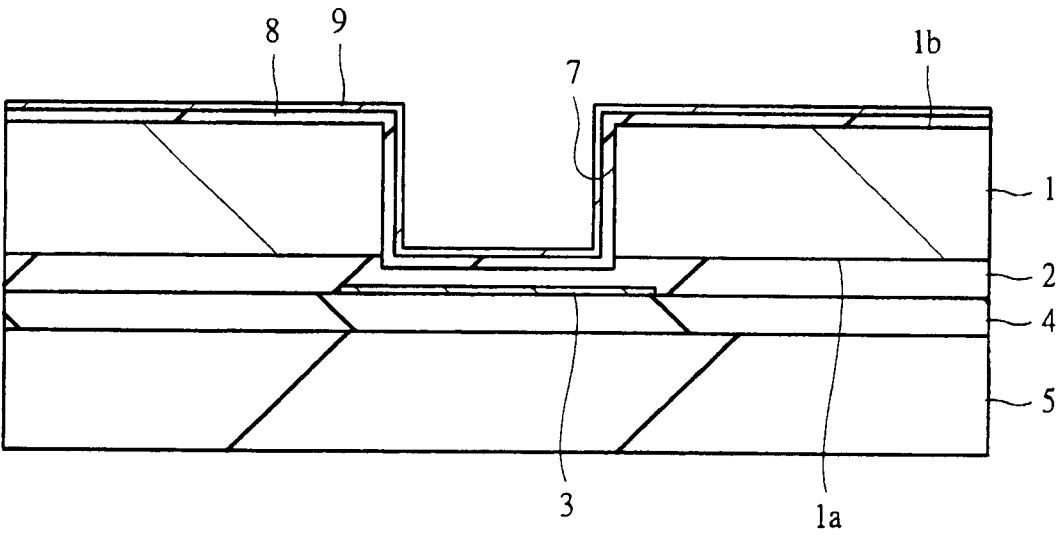


圖10

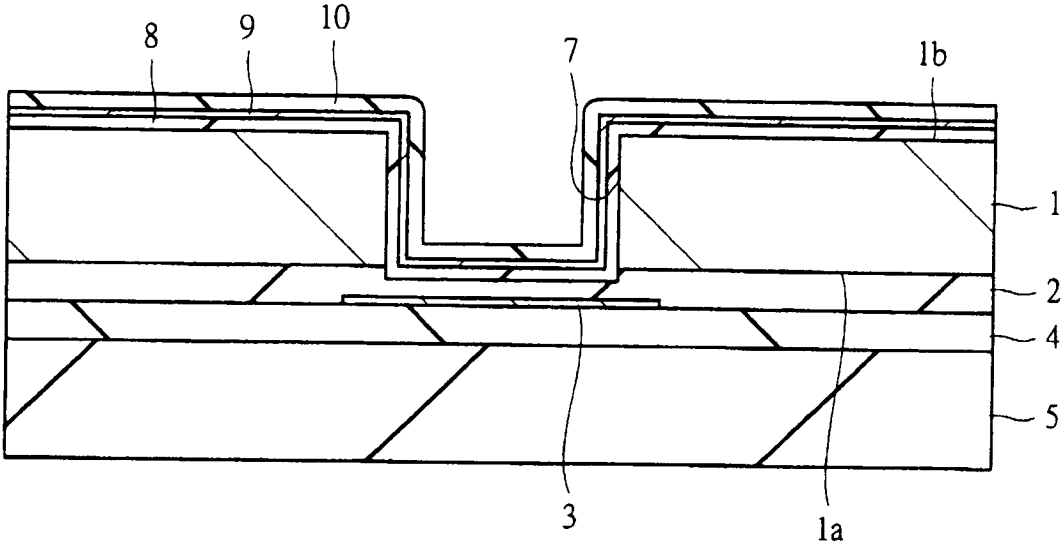


圖11

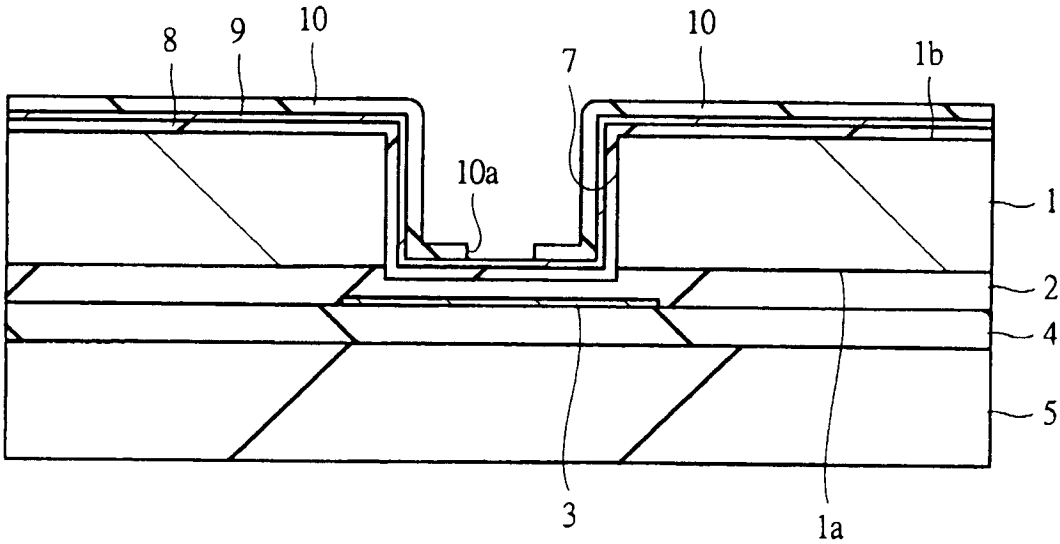


圖12

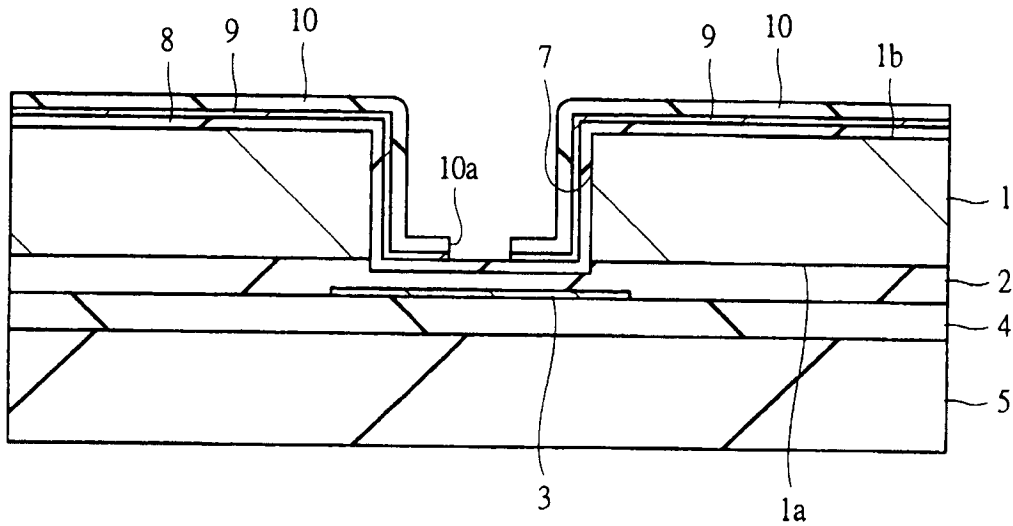


圖13

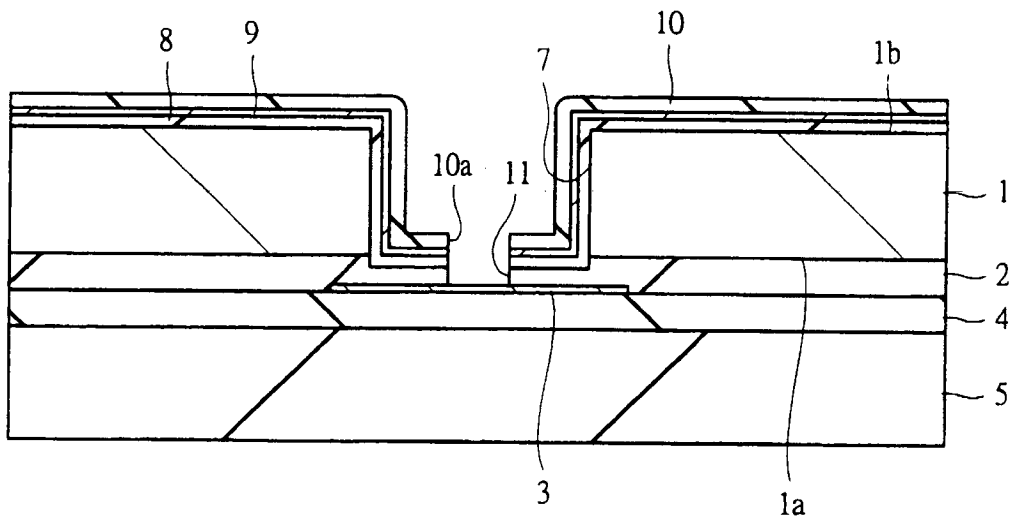


圖14

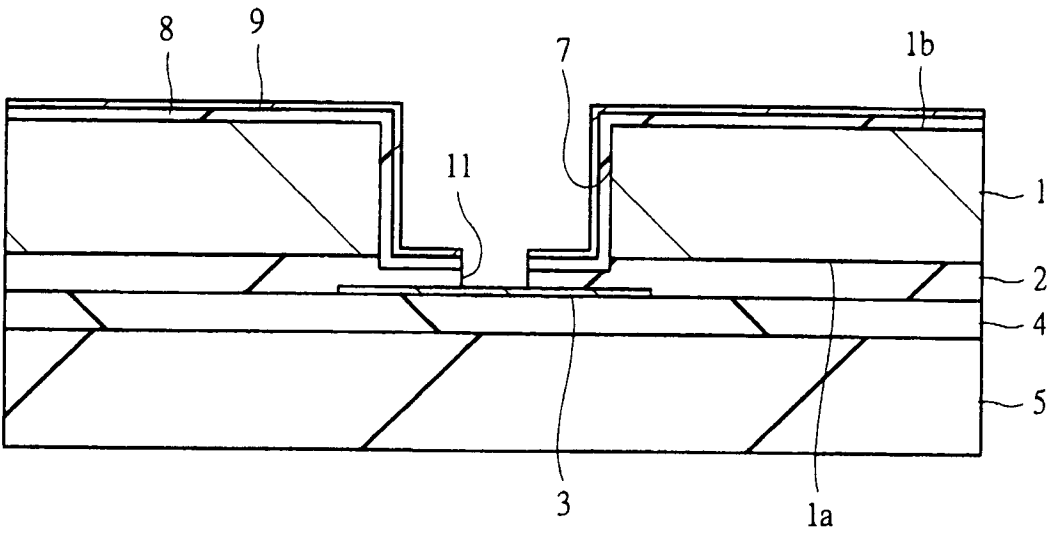


圖 15

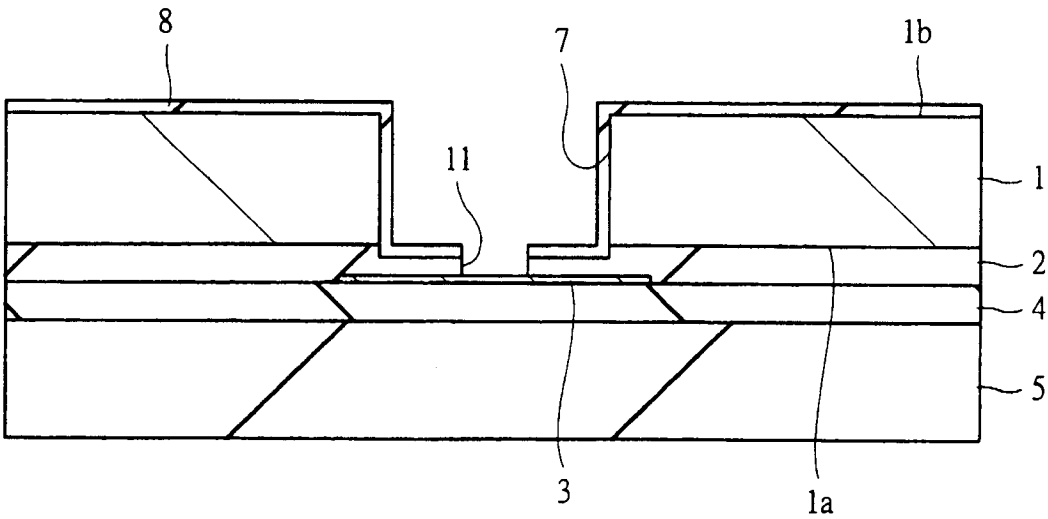


圖 16

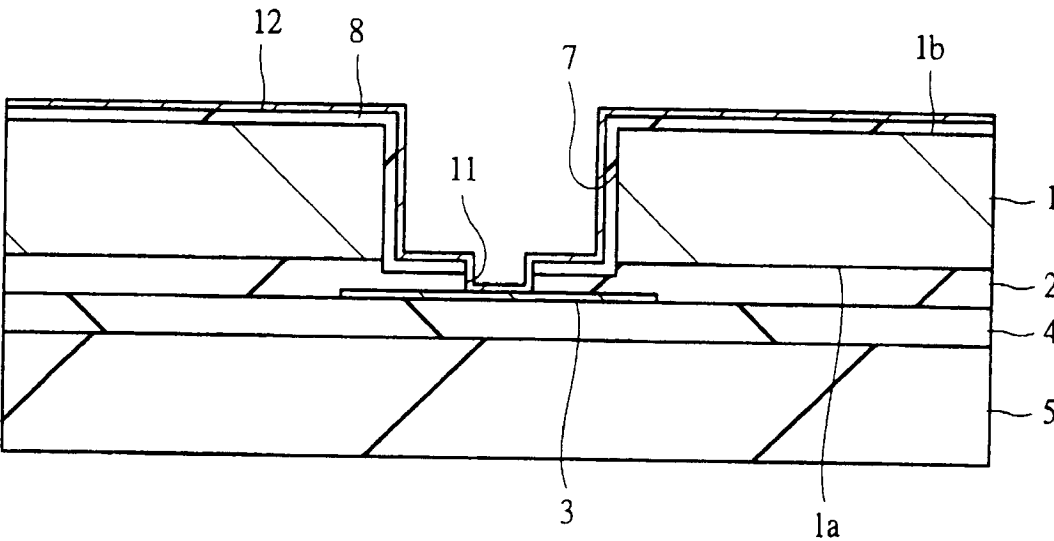


圖17

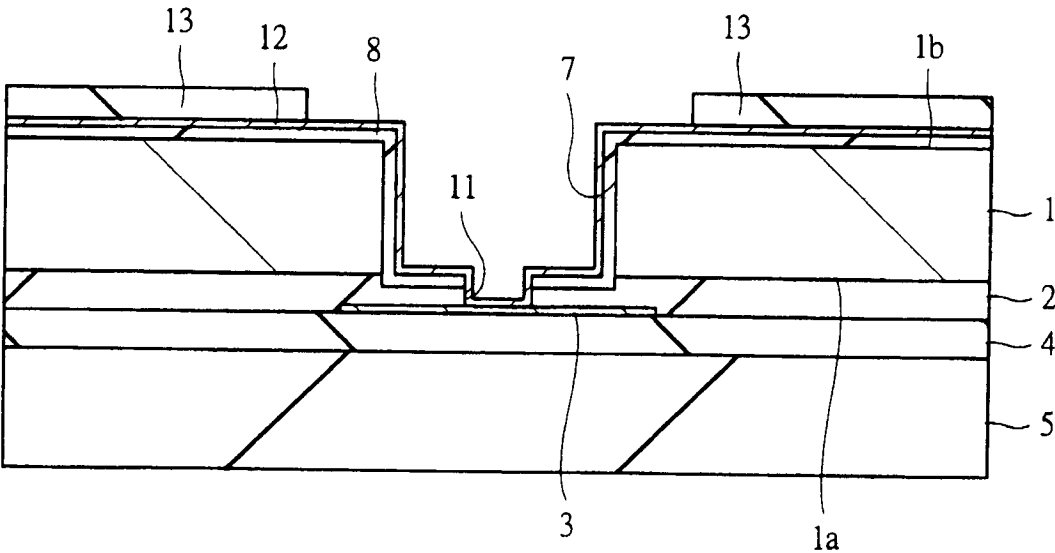


圖18

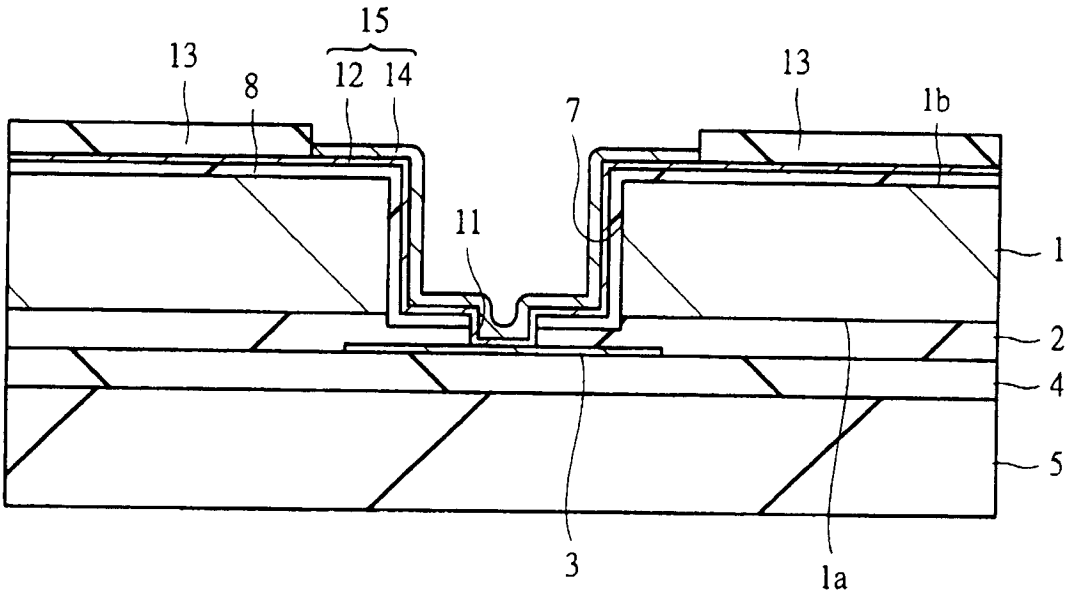


圖 19

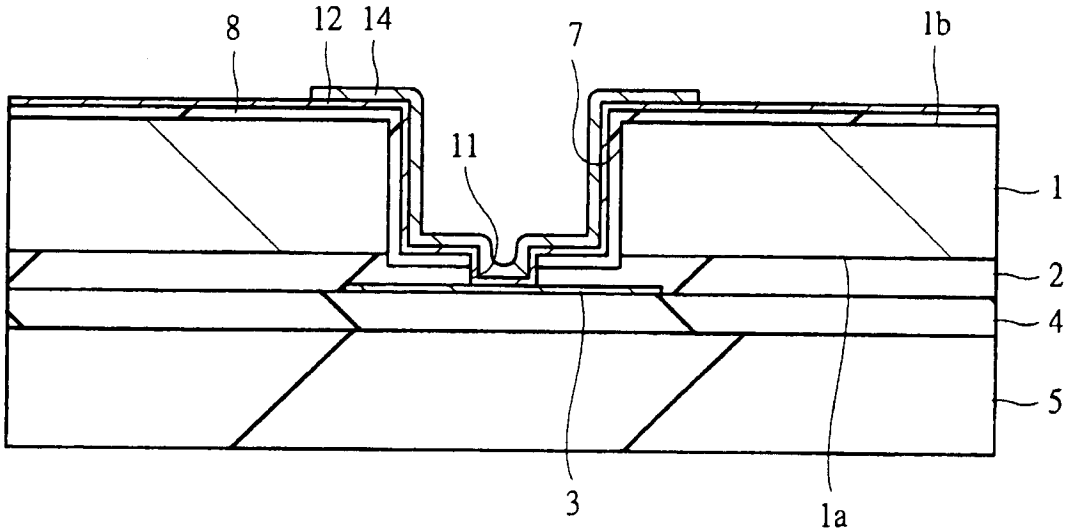


圖 20

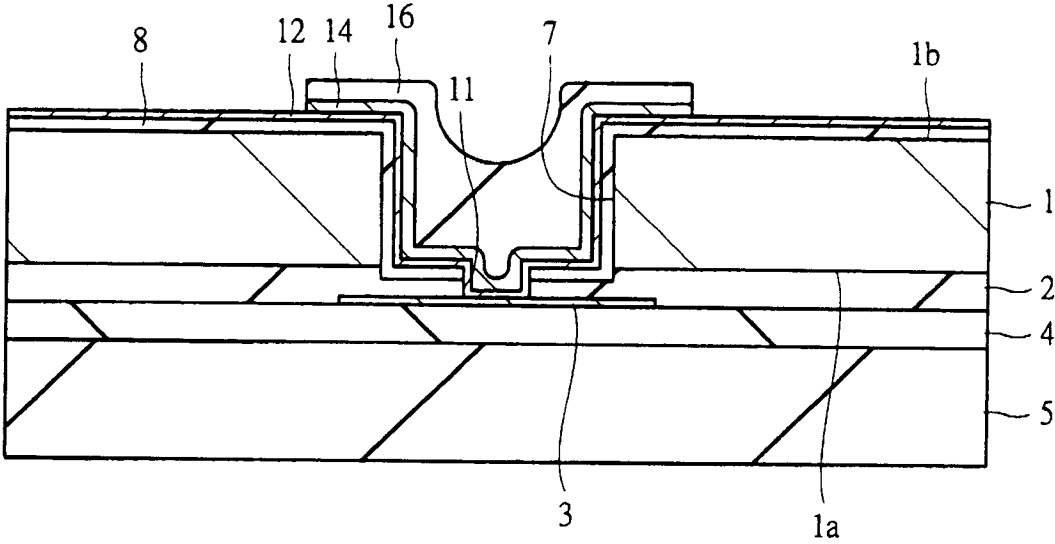


圖21

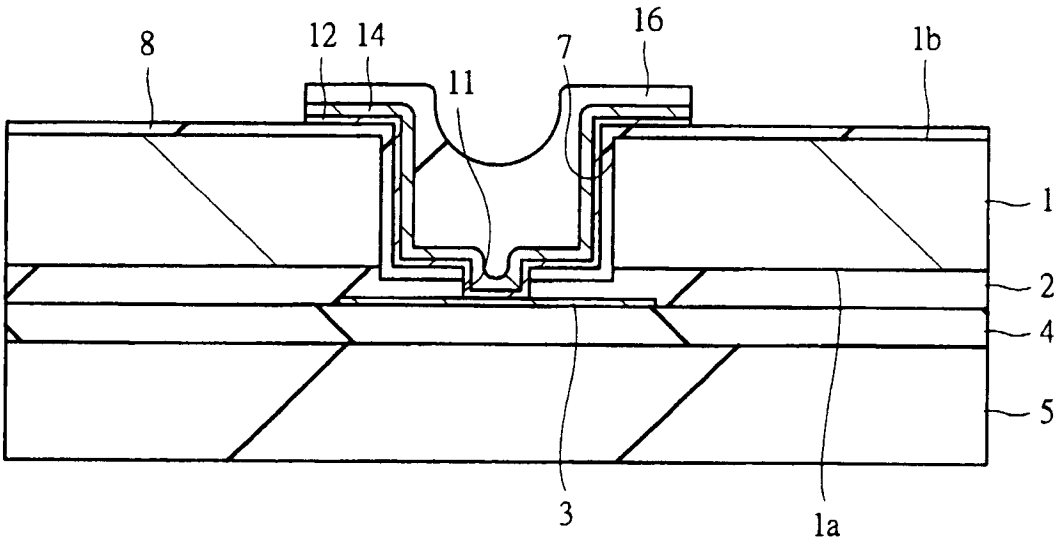


圖22

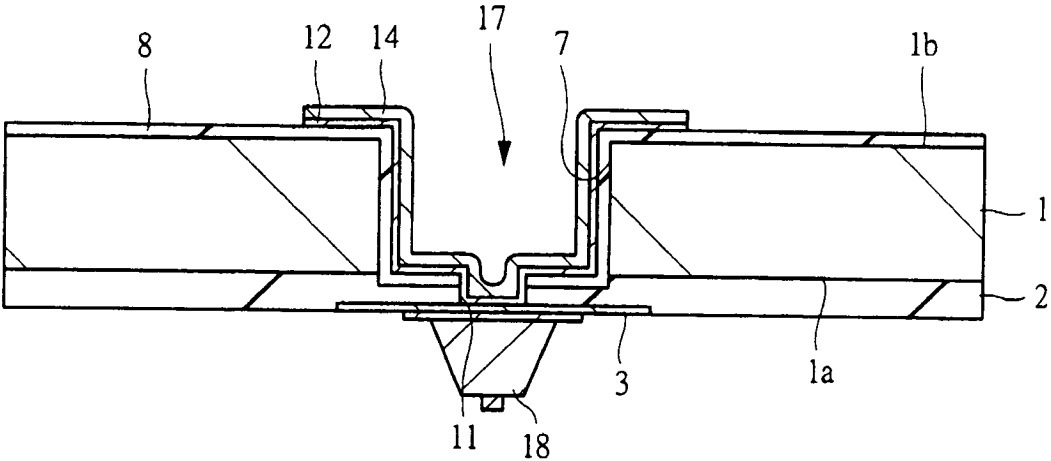


圖 25

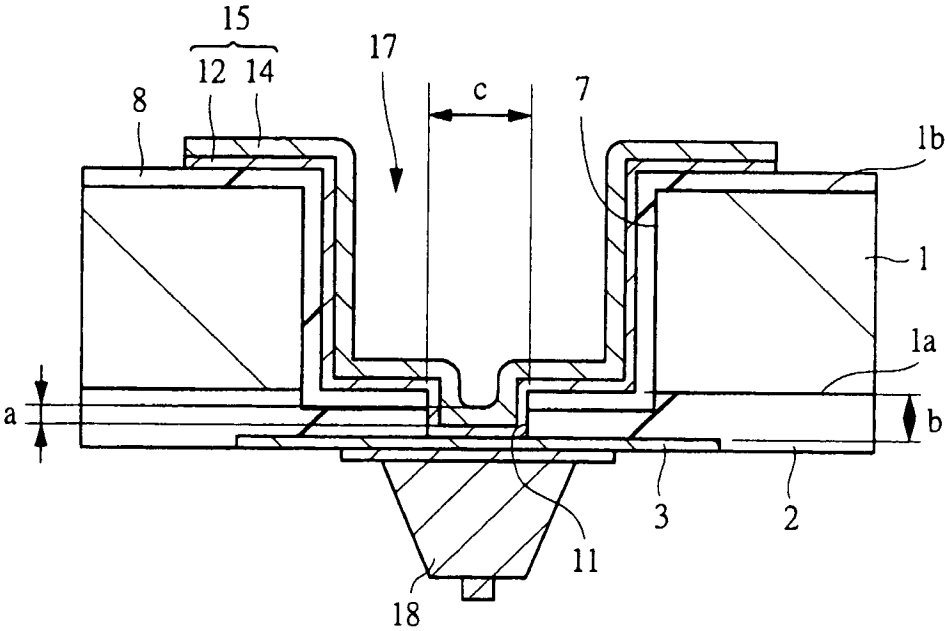


圖 26

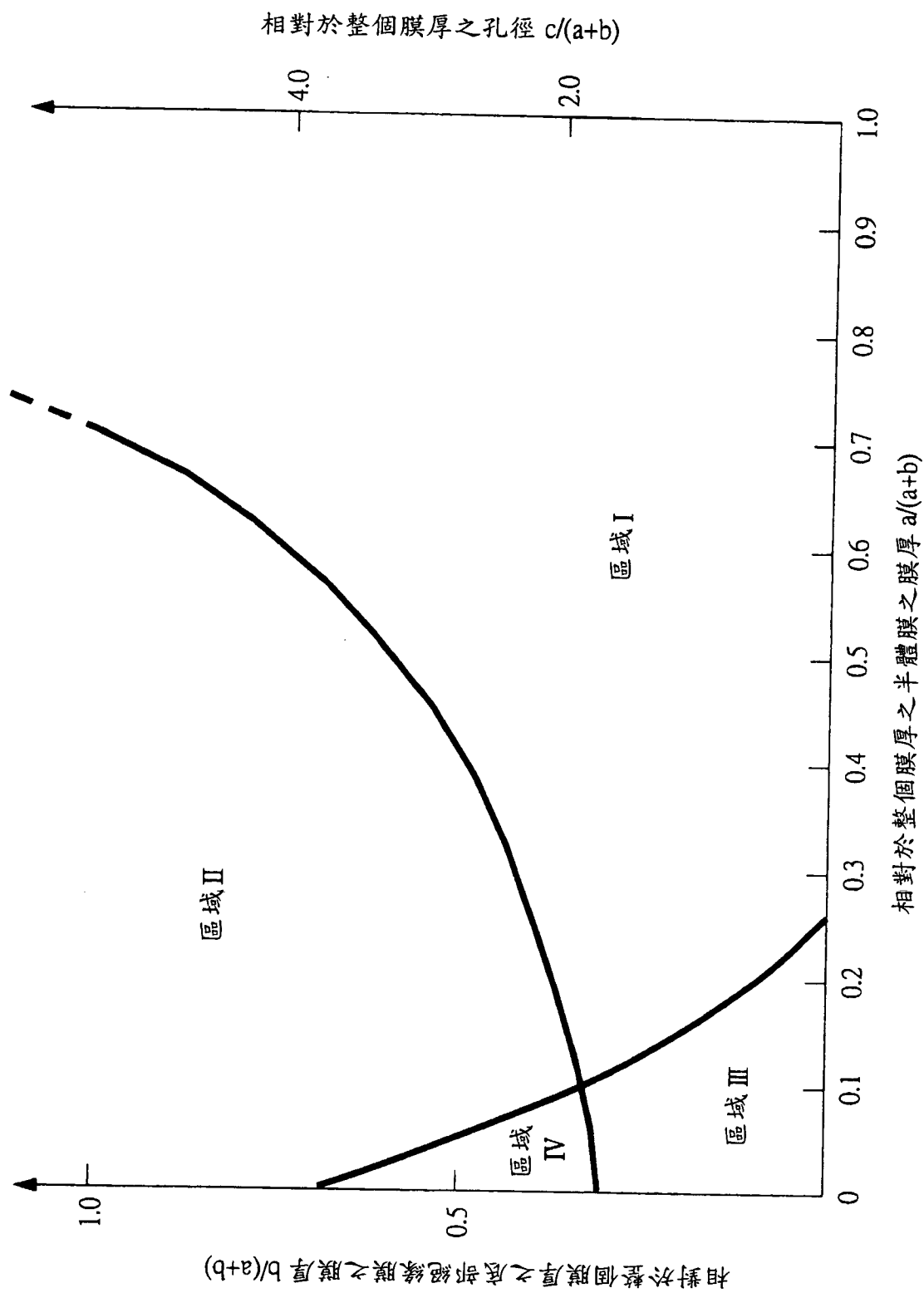


圖27

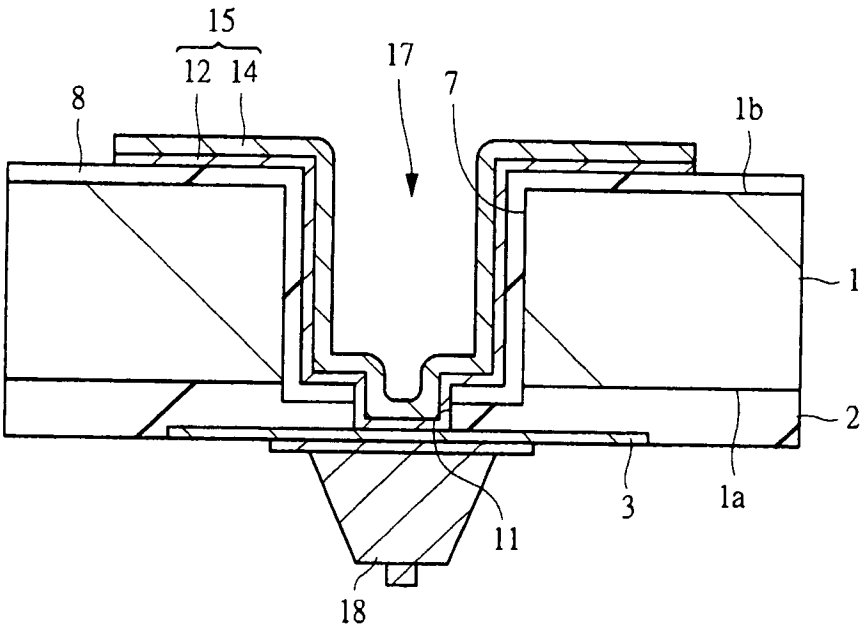


圖 28

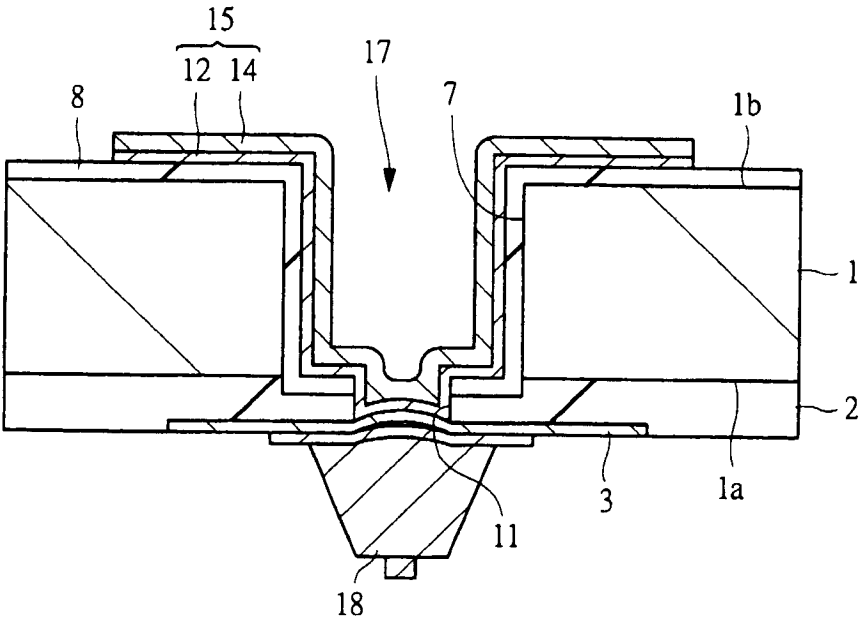


圖 29

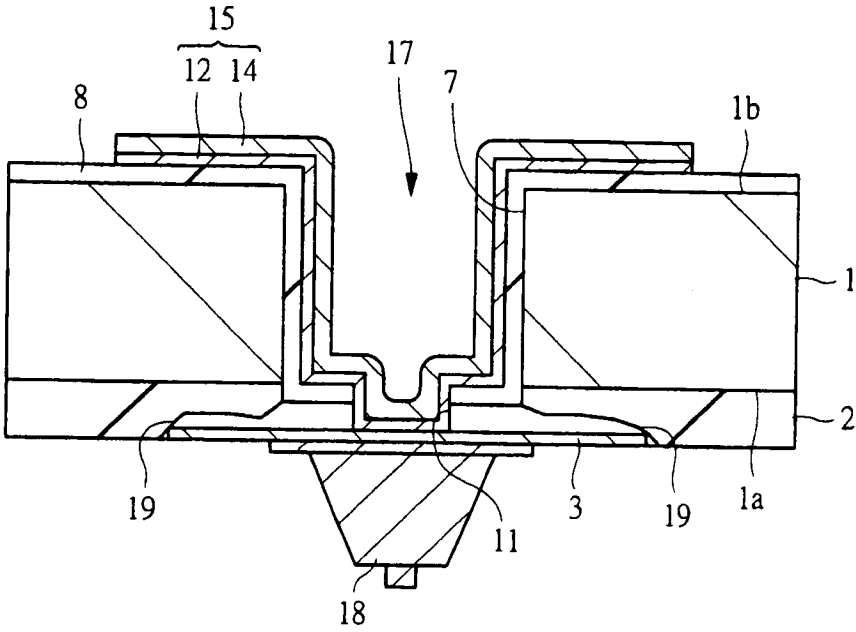


圖30

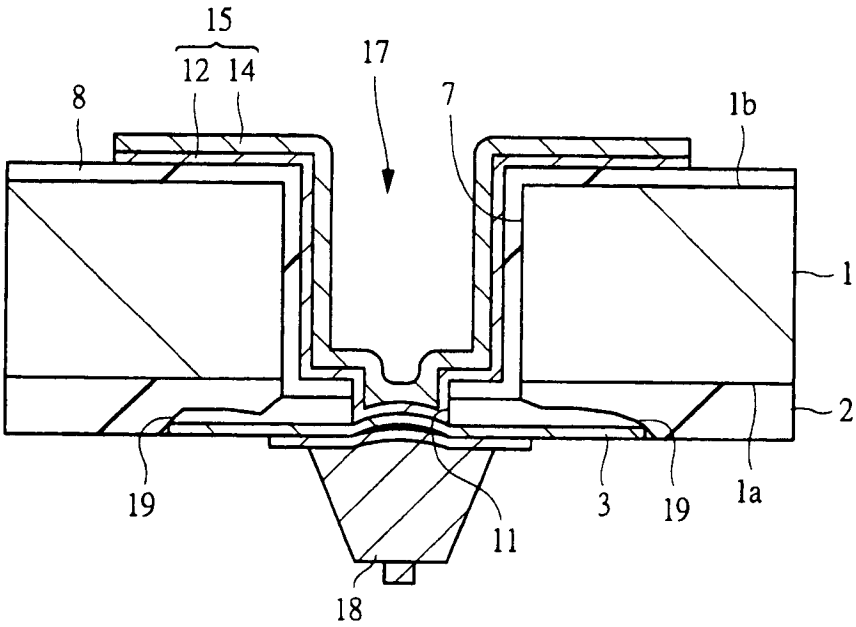


圖31

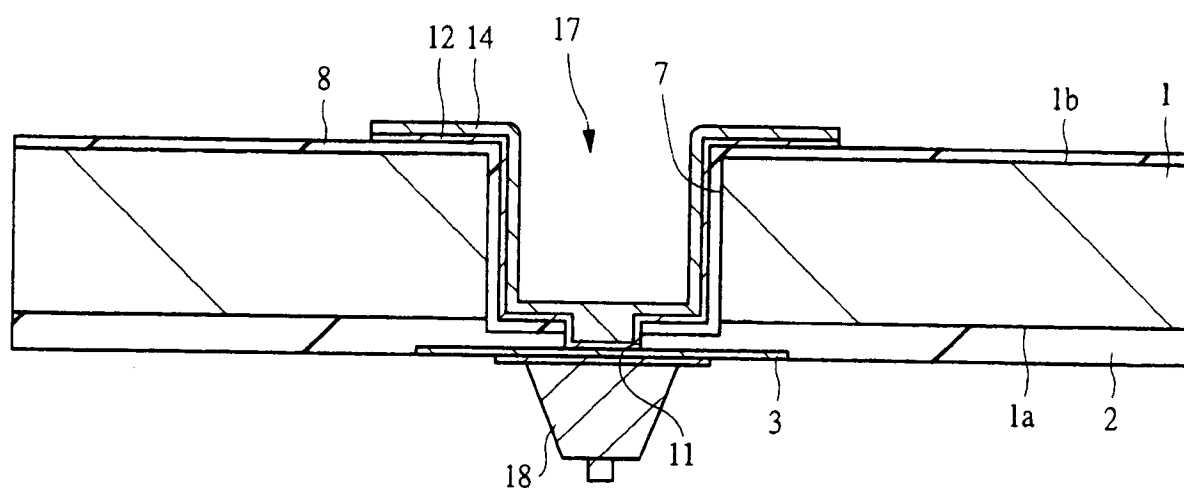


圖 32

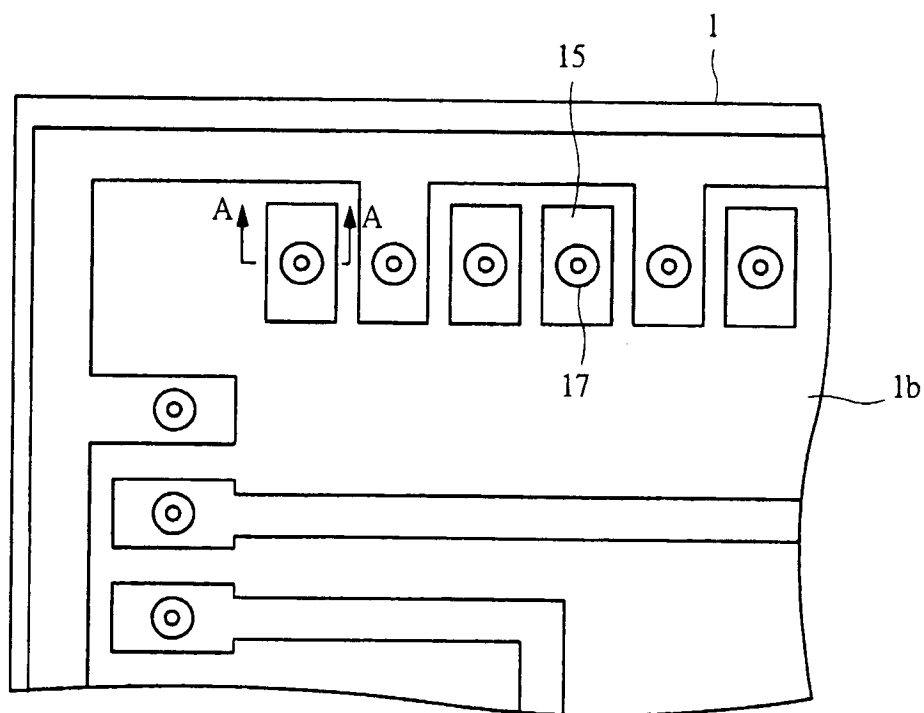


圖 33

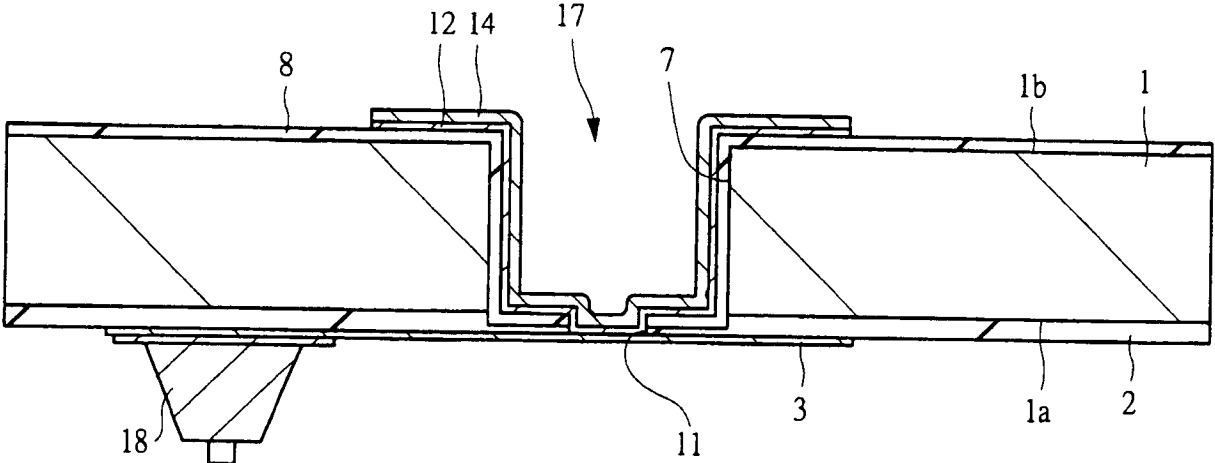


圖 34

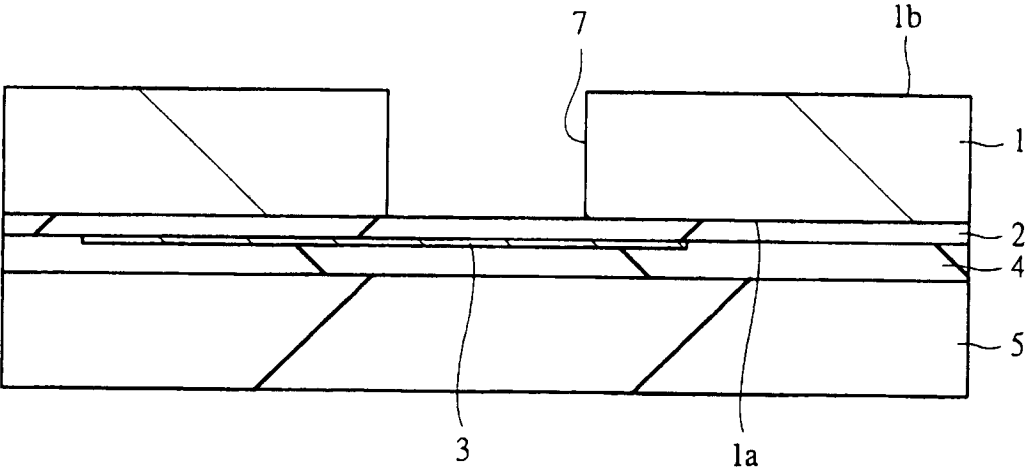


圖 35

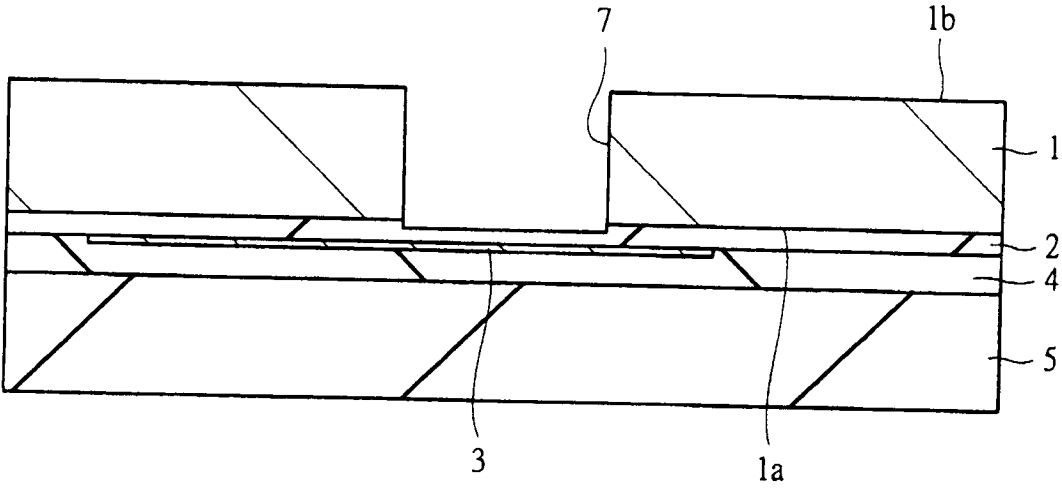


圖36

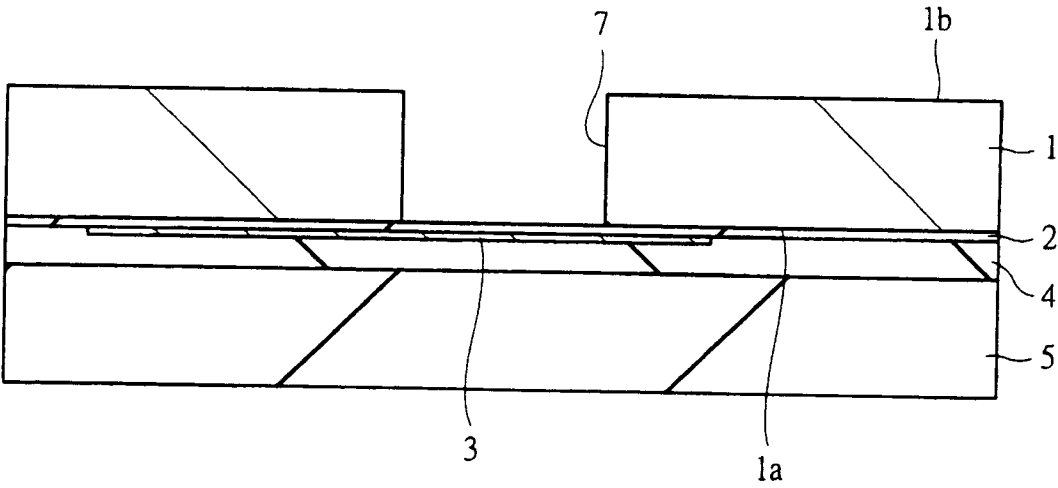


圖37

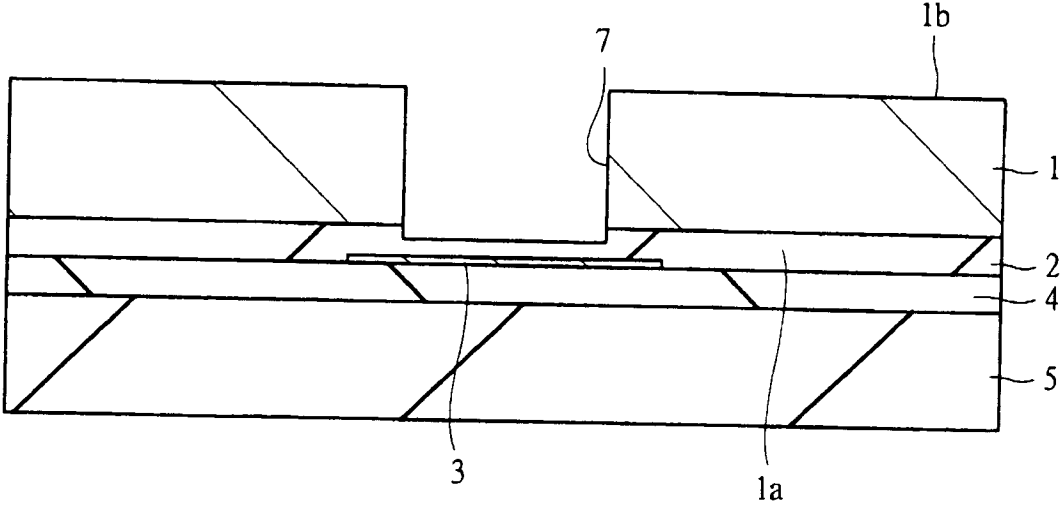


圖 38

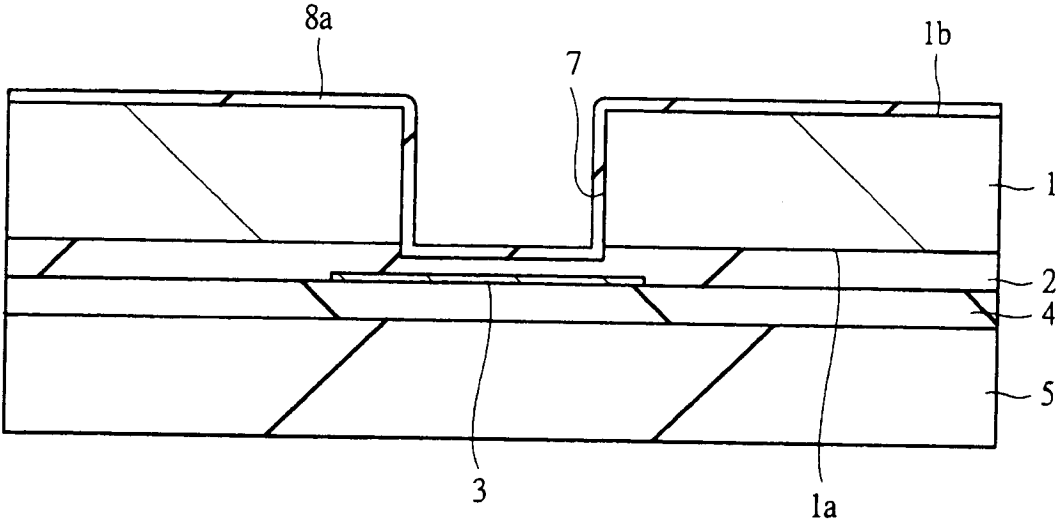


圖 39

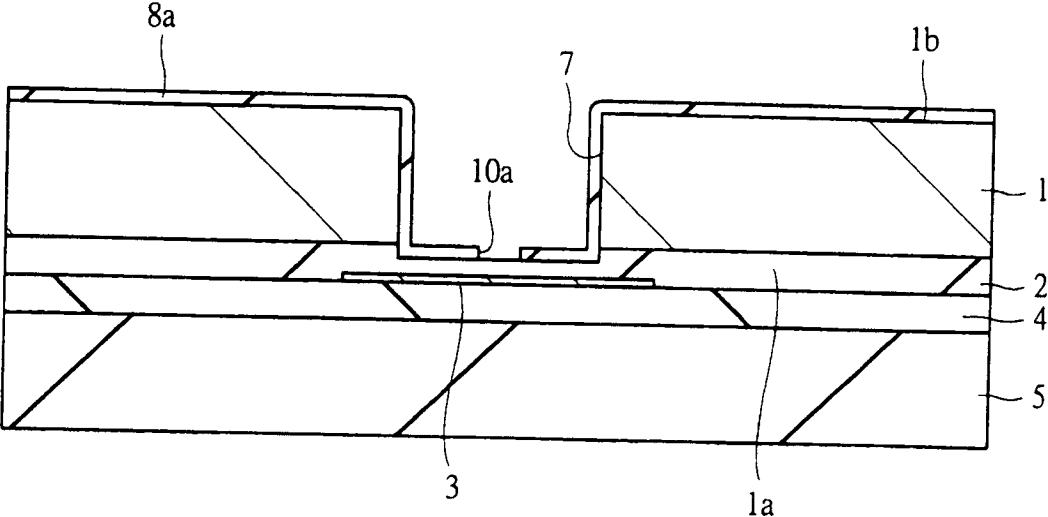


圖 40

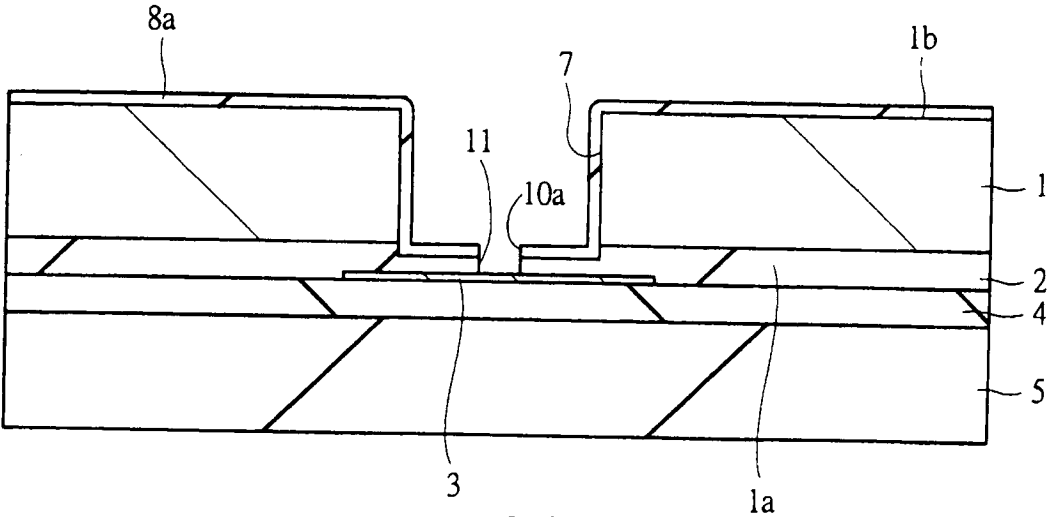
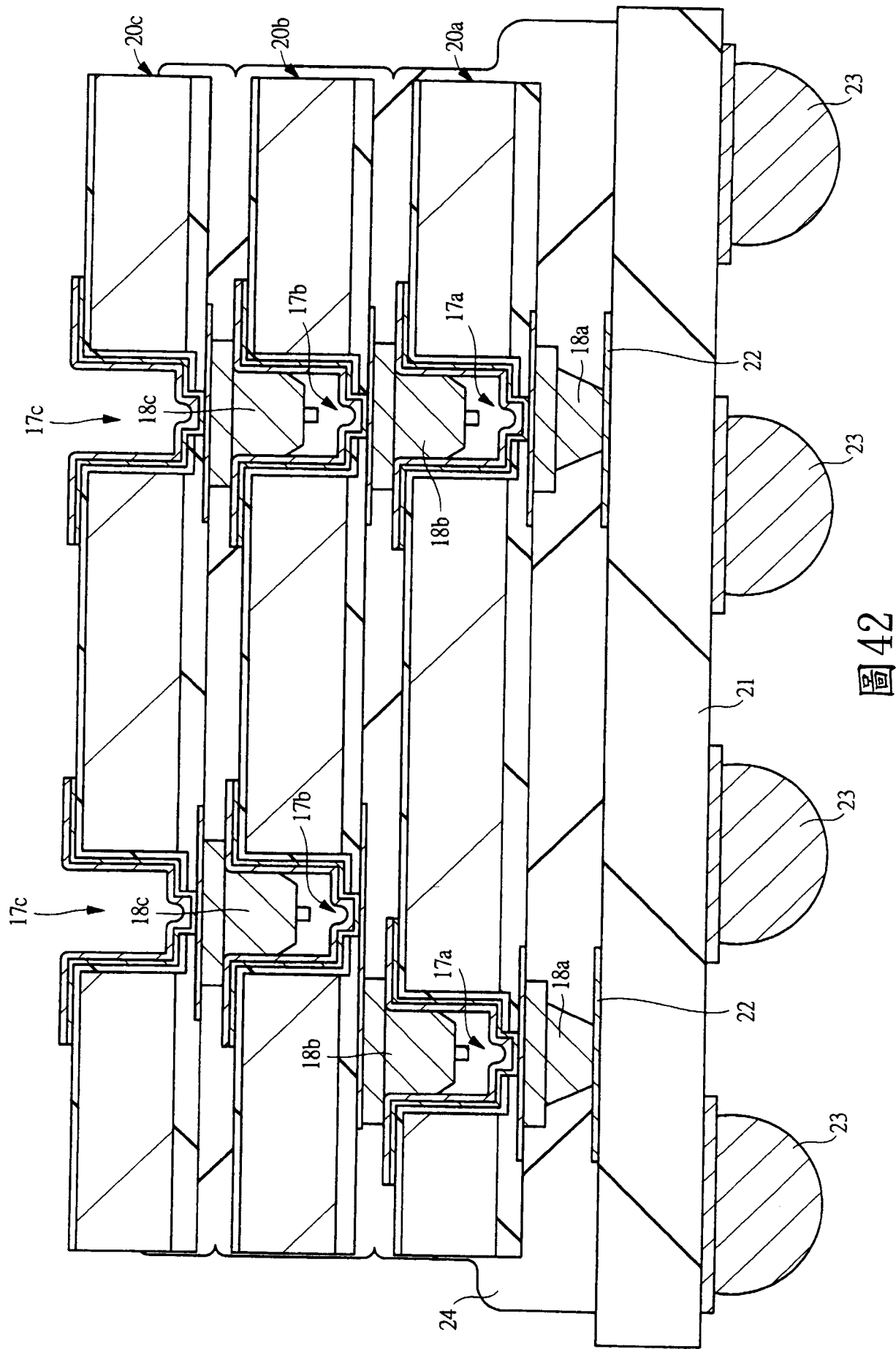


圖 41



七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

1	半導體基板
1a	第1面
1b	第2面
2	層間絕緣膜
3	焊墊
7	第1孔
8	絕緣膜
11	第2孔
12	仔晶層
14	電鍍膜
15	導體膜
17	貫通電極
18	柱狀凸起電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)