

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2022/241997 A1

(43) 国际公布日

2022 年 11 月 24 日 (24.11.2022)

(51) 国际专利分类号:

H01L 21/308 (2006.01) H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/120290

(22) 国际申请日: 2021 年 9 月 24 日 (24.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202110548237.3 2021年5月19日 (19.05.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 卢经文 (LU, Jingwen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。朱柄宇 (ZHU, Bingyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。崔兆培 (CUI, Zhaopei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。冯伟 (FENG, Wei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: METHOD FOR FORMING SEMICONDUCTOR STRUCTURE, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的形成方法及半导体结构

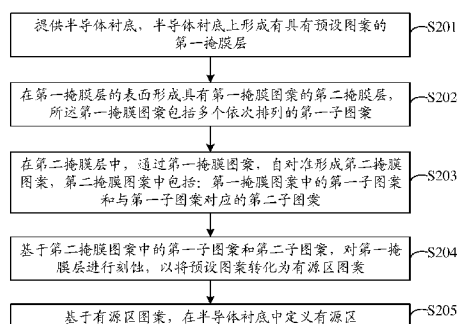


图 2

S201 Provide a semiconductor substrate on which a first mask layer having a preset pattern is formed
S202 Form a second mask layer having a first mask pattern on the surface of the first mask layer, the first mask pattern comprising a plurality of first sub patterns arranged in sequence
S203 In the second mask layer, form, by means of self-alignment, a second mask pattern by means of the first mask pattern, the second mask pattern comprising the first sub patterns in the first mask pattern and second sub patterns corresponding to the first sub patterns
S204 Etch the first mask layer on the basis of the first sub patterns and the second sub patterns in the second mask pattern to convert the preset pattern into an active region pattern
S205 Define an active region in the semiconductor substrate on the basis of the active region pattern

(57) Abstract: Embodiments of the present application provide a method for forming a semiconductor structure and a semiconductor structure. The method for forming the semiconductor structure comprises: providing a semiconductor substrate on which a first mask layer having a preset pattern is formed; forming a second mask layer having a first mask pattern on the surface of the first mask layer, the first mask pattern comprising a plurality of first sub patterns arranged in sequence; in the second mask layer, forming, by means of self-alignment, a second mask pattern by means of the first mask pattern, the second mask pattern comprising the first sub patterns in the first mask pattern and second sub patterns corresponding to the first sub patterns; etching the first mask layer on the basis of the first sub patterns and the second sub patterns in the second mask pattern to convert the preset pattern into an active region pattern; and defining an active region in the semiconductor substrate on the basis of the active region pattern.

(57) 摘要: 本申请实施例提供一种半导体结构的形成方法及半导体结构, 其中, 所述半导体结构的形成方法包括: 提供半导体衬底, 半导体衬底上形成有具有预设图案的第一掩膜层; 在第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层, 第一掩膜图案包括多个依次排列的第一子图案; 在第二掩膜层中, 通过第一掩膜图案, 自对准形成第二掩膜图案, 第二掩膜图案包括: 第一掩膜图案中的第一子图案和与第一子图案对应的第二子图案; 基于第二掩膜图案中的第一子图案和第二子图案, 对第一掩膜层进行刻蚀, 以将预设图案转化为有源区图案; 基于有源区图案, 在半导体衬底中定义有源区。

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

半导体结构的形成方法及半导体结构

相关申请的交叉引用

本申请基于申请号为 202110548237.3、申请日为 2021 年 5 月 19 日、发明名称为“半导体结构的形成方法及半导体结构”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请实施例涉及但不限于一种半导体结构的形成方法及半导体结构。

背景技术

在半导体结构，如动态随机存取存储器中（Dynamic Random Access Memory, DRAM），通常需要在衬底中定义出有源区（Active Area, AA），并在有源区中制备相应的器件单元。通常是先后使用两道光罩在衬底中制备有源区，因此，两道光罩之间的对准就尤为重要。任意一个光罩的偏移都会造成相邻 AA 的错位和连接。

发明内容

本申请实施例提供一种半导体结构的形成方法，包括：提供半导体衬底，所述半导体衬底上形成有具有预设图案的第一掩膜层；在所述第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层，其中，所述第一掩膜图案包括多个依次排列的第一子图案；在所述第二掩膜层中，通过所述第一掩膜图案，自对准形成第二掩膜图案，其中，所述第二掩膜图案包括：所述第一掩膜图案中的所述第一子图案和与所述第一子图案对应的第二子图案；基于所述第二掩膜图案中的所述第一子图案和所述第二子图案，对所述第一掩膜层进行刻蚀，以将所述预设图案转化为有源区图案；基于所述有源区图案，在所述半导体衬底中定义有源区。

本申请实施例还提供一种半导体结构，包括：多个有源区，形成于半导体衬底中，所述有源区通过上述半导体结构的形成方法形成；多条字线，每条字线在字线延伸方向上与多个所述有源区相交；多条位线，每条位线在位线延伸方向上与多个所述有源区相交。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1a 为相关技术中在衬底表面形成掩膜层结构示意图；
图 1b 为相关技术中采用第一光罩刻蚀掩膜层的俯视图；
图 1c 为相关技术中采用第二光罩刻蚀掩膜层的俯视图；
图 1d 为相关技术中通过第一光罩和第二光罩对掩膜层刻蚀后的俯视图和剖面结

构图;

图 1e 为相关技术中在衬底中形成有源区的俯视图和剖面结构图;

图 2 为本申请实施例提供的半导体结构的形成方法的一种可选的流程示意图;

图 3a 为本申请实施例提供的半导体衬底和第一掩膜层的结构示意图;

图 3b 为本申请实施例提供的半导体衬底和第一掩膜层的俯视图和剖面结构示意图;

图 3c 为本申请实施例提供的形成第二掩膜层的结构示意图;

图 3d 为本申请实施例提供的在第二掩膜层中形成第一掩膜图案的结构示意图;

图 3e 为本申请实施例提供的在第二掩膜层形成第一掩膜图案的俯视图和剖面结构示意图;

图 3f 为本申请实施例提供的形成第一材料柱的结构示意图;

图 3g 为本申请实施例提供的形成具有预设高度的第一材料柱的结构示意图;

图 3h 为本申请实施例提供的形成绝缘材料柱的结构示意图;

图 3i 为本申请实施例提供的对绝缘材料柱进行刻蚀处理结构示意图;

图 3j 为本申请实施例提供的对绝缘材料柱和第一材料柱同时进行刻蚀处理结构示意图;

图 3k 为本申请实施例提供的形成具有预设直径的第二刻蚀孔的结构示意图;

图 3l 为本申请实施例提供的刻蚀去除刻蚀孔中的第一材料的结构示意图;

图 3m 为本申请实施例提供的对阻挡层进行刻蚀的结构示意图;

图 3n 为本申请实施例提供的形成有源区图案的结构示意图;

图 3o 为本申请实施例提供的对隔离层进行刻蚀的结构示意图;

图 3p 为本申请实施例提供的在半导体衬底中形成有源区剖面结构示意图;

图 4a 为本申请实施例提供的形成具有预设图案的第一掩膜层的初始结构的结构示意图;

图 4b 为本申请实施例提供的刻蚀第四掩膜层的结构示意图;

图 4c 为本申请实施例提供的形成第一隔离侧墙的结构示意图;

图 4d 为本申请实施例提供的刻蚀第三掩膜层的结构示意图;

图 4e 为本申请实施例提供的形成第二隔离侧墙的结构示意图;

图 4f 为本申请实施例提供的刻蚀第一掩膜层的结构示意图;

图 5 为本申请实施例提供的半导体结构的一个可选的结构示意图。

具体实施方式

下面将结合本申请实施例中的附图,对发明的具体技术方案做进一步详细描述。以下实施例用于说明本申请,但不用来限制本申请的范围。

在后续的描述中,使用用于表示元件的诸如“模块”或“单元”的后缀仅为了有利于本申请的说明,其本身没有特定的意义。因此,“模块”或“单元”可以混合地使用。

在半导体结构,如 DRAM 中,通常需要在衬底中定义出有源区,并在有源区中制备相应的器件单元。下面,请参考图 1a 至 1e 对相关技术中的有源区的形成过程进行介绍。

相关技术中,有源区的形成过程包括以下步骤:

在衬底表面形成具有初始掩膜图案的掩膜层。

图 1a 为相关技术中在衬底表面形成掩膜层结构示意图,其中,图 1a 中左图为形

成掩膜层的俯视图，图 1a 中右图为形成掩膜层后沿虚线 a-a' 的剖面结构示意图，如图 1a 所示，在衬底 100 的表面形成了阻挡层 101 和掩膜层 102，其中，所述掩膜层具有初始掩膜图案，所述初始掩膜图案包括多个具有第一尺寸 d1 的条状图案，任意相邻的两个具有第一尺寸的条状图案相互平行，所述第一尺寸 d1 为垂直于所述条状图案排列方向上的尺寸。相关技术中，所述阻挡层 101 用于在后续工艺中作为掩膜版来刻蚀所述衬底 100，并在定义出所述有源区的图形之前，对所述衬底 100 进行保护。

采用具有第一预设图案的第一光罩，刻蚀所述掩膜层，以实现将所述掩膜层中的初始掩膜图案转化为第一预设图案。

图 1b 为相关技术中采用第一光罩刻蚀掩膜层的俯视图，如图 1b 所示，相关技术中第一预设图案为均匀排列的圆形孔，以具有均匀排列的圆形孔的第一光罩 AT1 刻蚀所述掩膜层，对掩膜层中的每个具有第一尺寸 d1 的条状图案进行均匀的分割，得到多个间断的、具有第二尺寸 d2 的条状图案，以实现将所述掩膜层中的初始掩膜图案转化为第一预设图案。其中，所述第二尺寸与所述第一尺寸为同一维度上的尺寸，且所述第二尺寸至少小于所述第一尺寸的一半。

采用具有第二预设图案的第二光罩，继续刻蚀所述掩膜层，以实现将所述第一预设图案转化为所述第二预设图案。

图 1c 为相关技术中采用第二光罩刻蚀掩膜层的俯视图，如图 1c 所示，相关技术中第二预设图案也为均匀排列的圆形孔，且第二预设图案中的圆形孔，位于第一预设图案中的任意两两相邻的四个圆形孔的中心。相关技术中，以具有均匀排列的圆形孔的第二光罩 AT2 刻蚀所述掩膜层，对掩膜层中的每个具有第二尺寸 d2 的条状图案进行均匀的分割，得到多个间断的具有第三尺寸 d3 的条状图案，以实现将所述掩膜层中的第一预设图案转化为第二预设图案。其中，所述第三尺寸与所述第二尺寸为同一维度上的尺寸，且所述第三尺寸至少小于所述第二尺寸的一半。

图 1d 为相关技术中通过第一光罩和第二光罩对掩膜层刻蚀后的俯视图和剖面结构图，其中，图 1d 中的左图为刻蚀后的掩膜层的俯视图，图 1d 中的右图为刻蚀后的掩膜层沿虚线 a-a' 的剖面结构示意图，如图 1d 所示，通过第一光罩和第二光罩依次对所述掩膜层 102 进行刻蚀，将所述初始掩膜图案转换为了第二掩膜图案，所述第二掩膜图案即为最终形成有源区的图案。

采用第二掩膜图案刻蚀衬底，在衬底中形成有源区。

图 1e 为相关技术中在衬底中形成有源区的俯视图和剖面结构图，其中，图 1e 中的左图为形成有源区的俯视图，图 1e 中的右图为形成有源区后沿虚线 b-b' 的剖面结构示意图，如图 1e 所示，通过所述第二掩膜图案刻蚀所述衬底，在衬底 100 中形成了有源区 103。相关技术中，在衬底中刻蚀形成有源区 103 之后，在有源区的表面沉积 SiO₂ 作为隔离层 104，以保护有源区。

然而，相关技术中，在采用第二光罩对第一光罩刻蚀后的掩膜层进行刻蚀时，由于当前光刻分辨率不高，因此，第二光罩不能与第一光罩完全对准，当第二光罩与第一光罩之间稍有偏差时，将会导致形成的相邻有源区发生错位或者连接，或者，将会导致形成的有源区的尺寸不一致，从而影响所制备的半导体结构的电性能。

基于相关技术中的存在的上述问题，本申请实施例提供一种半导体结构的形成方法及半导体结构，本申请实施例中仅采用一个光罩，通过自对准技术形成最终的有源区图案，不会造成相邻的有源区发生错位或者相连的问题。

半导体制程微缩时，高分辨率的光刻技术尤为重要，其中，自对准双重成像技术 (Self-aligned Double Patterning, SADP) 可以在光刻分辨率不高时显出很大作用。基于此，本申请实施例提供一种半导体结构的形成方法，图 2 为本申请实施例提供的半

导体结构的形成方法的一种可选的流程示意图，如图 2 所示，所述半导体结构的形成方法包括以下步骤：

步骤 S201、提供半导体衬底，所述半导体衬底上形成有具有预设图案的第一掩膜层。

5 步骤 S202、在所述第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层。

其中，所述第一掩膜图案包括多个依次排列的第一子图案。

步骤 S203、在所述第二掩膜层中，通过所述第一掩膜图案，自对准形成第二掩膜图案。

10 其中，所述第二掩膜图案包括：所述第一掩膜图案中的所述第一子图案和与所述第一子图案对应的第二子图案。

步骤 S204、基于所述第二掩膜图案中的所述第一子图案和所述第二子图案，对所述第一掩膜层进行刻蚀，以将所述预设图案转化为有源区图案。

步骤 S205、基于所述有源区图案，在所述半导体衬底中定义有源区。

15 接下来请参考图 3a 至 3p 中半导体结构的形成过程中的结构示意图，对本申请实施例提供的半导体结构的形成方法进行进一步地详细说明。

首先，请参考图 3a 和 3b，执行步骤 S201、提供半导体衬底，所述半导体衬底上形成有具有预设图案的第一掩膜层。

20 所述半导体衬底的材料可以选择硅 (Si)、硅锗合金 (SiGe)、碳化硅 (SiC)、氧化铝 (Al₂O₃)、氮化铝 (AlN)、氧化锌 (ZnO)、氧化镓 (Ga₂O₃) 或铝酸锂 (LiAlO₂) 等中的任意一种。本申请实施例中以 Si 衬底为示例。所述第一掩膜层可以是多晶硅层，也可以是其它材料层，如氧化硅层、氮化硅层等。本申请实施例中，对第一掩膜层的组成材料不进行限定。

25 在一些实施例中，所述半导体衬底与所述第一掩膜层之间还具有隔离层，所述隔离层用于在后续工艺中作为刻蚀掩膜版刻蚀半导体衬底，并在所述半导体衬底中定义出所述有源区之前，对半导体衬底进行保护。

30 图 3a 为本申请实施例提供的半导体衬底和第一掩膜层的结构示意图，图 3b 为本申请实施例提供的半导体衬底和第一掩膜层的俯视图和剖面结构示意图，其中，图 3b 中的左图为所述第一掩膜层和所述半导体衬底的俯视图，图 3b 中的右图为第一掩膜层和所述半导体衬底沿虚线 c-c' 处的剖面结构图，如图 3a 和 3b 所示，所述半导体衬底 200 上形成有一隔离层 201，所述隔离层 201 之上形成有第一掩膜层 202，所述第一掩膜层 202 由多个相互平行的多晶硅条 2021 组成。

35 所述半导体衬底可以包括处于正面的顶表面以及处于与正面相对的背面的底表面；在忽略顶表面和底表面的平整度的情况下，定义垂直衬底顶表面和底表面的方向为第三方向。在衬底顶表面和底表面（即衬底所在的平面）方向上，定义两彼此相交（例如彼此垂直）的第一方向和第二方向，例如，可以定义多个多晶硅条 2021 的排列方向为第一方向，基于所述第一方向和所述第二方向可以确定所述半导体衬底的平面方向。所述第一方向、所述第二方向和所述第三方向两两垂直。本申请实施例中，定义所述第一方向为 X 轴方向，定义所述第二方向为 Y 轴方向，定义所述第三方向为 Z 轴方向。

40 接下来，请参考图 3c 和 3e，执行步骤 S202、在所述第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层。在一些实施例中，步骤 S202 通过以下步骤形成：

在所述第一掩膜层的表面形成所述第二掩膜层。

在一些实施例中，所述第二掩膜层包括依次堆叠的硬掩膜层、阻挡层和绝缘层，可以通过以下步骤形成：

在所述第一掩膜层的侧壁沉积所述硬掩膜层。

所述硬掩膜层可以是旋涂硬掩膜 (Spin-On Hard Mask, SOH), 也可以是其它硬掩膜层。

5 本申请实施例中, 所述侧壁包括所述第一掩膜层的所有侧壁。本申请实施例中, 在所述第一掩膜层的所有侧壁上均形成有所述硬掩膜层, 所述硬掩膜层用于填充所述第一掩膜层的内部空隙, 使得第一掩膜层具有平整的表面。

在沉积有所述硬掩膜层的第一掩膜层表面, 依次沉积所述阻挡层和所述绝缘层, 形成所述第二掩膜层。

10 在一些实施例中, 所述阻挡层可以是 SiON 层, 所述绝缘层可以是 SiO₂ 层。本申请实施例中, 沉积所述阻挡层和所述绝缘层的方式包括以下任意一种: 化学气相沉积 (Chemical Vapor Deposition, CVD)、物理气相沉积 (Physical Vapor Deposition, PVD)、原子层沉积 (Atomic Layer Deposition, ALD) 和其它任何合适的沉积工艺。

15 图 3c 为本申请实施例提供的形成第二掩膜层的结构示意图, 如图 3c 所示, 在所述第一掩膜层 202 的表面形成了第二掩膜层, 所述第二掩膜层包括依次沉积的硬掩膜层 2031、阻挡层 2032 和绝缘层 2033。

采用具有所述第一掩膜图案的光罩, 在所述第二掩膜层中形成所述第一掩膜图案。

在一些实施例中, 所述采用具有所述第一掩膜图案的光罩, 在所述第二掩膜层中形成所述第一掩膜图案, 可以通过以下步骤形成:

在所述绝缘层的表面形成光刻胶层。

20 采用所述光罩, 在所述光刻胶层中形成所述第一掩膜图案。

基于所述第一掩膜图案刻蚀所述绝缘层, 以实现在所述第二掩膜层形成所述第一掩膜图案。

25 图 3d 为本申请实施例提供的在第二掩膜层中形成第一掩膜图案的结构示意图, 图 3e 为本申请实施例提供的在第二掩膜层形成第一掩膜图案的俯视图和剖面结构示意图, 其中, 图 3e 中的左图为俯视图, 图 3e 中的右图为沿虚线 c-c' 的剖面图, 如图 3d 和 3e 所示, 基于具有第一掩膜图案的光刻胶层刻蚀所述绝缘层 2033, 以实现在所述绝缘层 2033 中形成第一掩膜图案 30。本申请实施例中, 所述第一掩膜图案 30 包括多个沿 X 轴方向排列和多个沿 Y 轴方向依次排列的第一子图案, 所述第一子图案可以是一刻蚀孔 301, 所述刻蚀孔 301 可以贯穿所述绝缘层 2033, 所述刻蚀孔 301 的底部也可以位于所述绝缘层 2033 的内部。

接下来, 请参考图 3f 至 3l, 执行步骤 S203、在所述第二掩膜层中, 通过所述第一掩膜图案, 自对准形成第二掩膜图案。

在一些实施例中, 在所述第二掩膜层中, 通过所述第一掩膜图案, 自对准形成第二掩膜图案, 可以通过以下步骤形成:

35 通过所述第一掩膜图案, 形成具有预设高度的第一材料柱。

本申请实施例中, 所述通过所述第一掩膜图案, 形成具有预设高度的第一材料柱, 包括以下步骤:

在所述第一刻蚀孔中沉积第一材料, 形成多个所述第一材料柱。

40 所述第一材料可以是任何相对于所述绝缘层的绝缘材料的具有高刻蚀选择比的材料, 例如, 所述第一材料可以是氮化硅, 所述绝缘层的绝缘材料可以是氧化硅。

本申请实施例中, 可以通过原子层沉积工艺在所述第一刻蚀孔中沉积第一材料, 形成多个第一材料柱。其中, 形成所述第一材料柱的反应气体除了硅源外, 还包括氨气和氨氢混合气中的至少一种。

如图 3f 为本申请实施例提供的形成第一材料柱的结构示意图, 如图 3f 所示, 在

刻蚀孔 301 中填充氮化硅材料, 形成第一材料柱 302。

在一些实施例中, 在形成所述第一材料柱之后, 对所述绝缘层和所述第一材料柱的表面进行化学机械研磨处理 (Chemical Mechanical Polishing, CMP), 使得第一材料柱的表面与所述绝缘层的表面平齐。

5 刻蚀去除部分厚度的所述绝缘材料, 以形成所述具有预设高度的第一材料柱。

如图 3g 为本申请实施例提供的形成具有预设高度的第一材料柱的结构示意图, 如图 3g 所示, 沿 Z 轴方向, 采用干法刻蚀技术, 刻蚀去除部分厚度的绝缘层, 形成具有预设高度的第一材料柱 3021。

10 由于组成第一材料柱的第一材料与组成绝缘层的绝缘材料相比具有高的刻蚀选择比, 因此, 通过调整刻蚀气体的选择比, 可以实现仅刻蚀部分绝缘材料, 而不对第一材料柱进行刻蚀。

15 本申请实施例中, 所述预设高度小于所述第一材料柱的初始高度。在一些实施例中, 所述预设高度与所述初始厚度之间的比值大于或等于 75%, 且所述预设高度与所述初始厚度之间的比值小于或等于 80%。如此设置, 既能保证后续形成的菱形孔刻蚀变成圆形孔时有足够的刻蚀冗余量, 又能保证刻蚀形成圆形孔的圆整度。

通过所述具有预设高度的第一材料柱, 自对准形成所述第二掩膜图案。

在一些实施例中, 所述通过所述具有预设高度的第一材料柱, 自对准形成所述第二掩膜图案, 可以通过以下步骤形成:

在所述具有预设高度的第一材料柱的表面沉积绝缘材料, 形成绝缘材料柱。

20 所述绝缘材料柱与所述绝缘层由相同的绝缘材料构成, 例如, 所述绝缘材料可以为 SiO_2 。本申请实施例中, 可以通过原子层沉积工艺形成所述绝缘材料柱。

图 3h 为本申请实施例提供的形成绝缘材料柱的结构示意图, 如图 3h 所示, 在裸露的具有预设高度的第一材料柱 3021 的表面形成一绝缘材料柱 303。相邻两个所述绝缘材料柱相接触。

25 刻蚀去除部分厚度的所述绝缘材料柱, 直至暴露出所述第一材料柱为止。

图 3i 为本申请实施例提供的对绝缘材料柱进行刻蚀处理结构示意图, 如图 3i 所示, 沿 Z 轴方向, 对绝缘材料柱 303 进行刻蚀处理, 直至暴露出所述第一材料柱 3021 的表面为止。

30 在一些实施例中, 也可以通过 CMP 工艺对所述绝缘材料柱进行打磨处理, 当暴露出所述第一材料柱的表面时, 停止打磨。

请继续参见图 3i, 本申请实施例中, 任意两两相邻的四个所述绝缘材料柱 303 能够自对准形成一菱形孔 304'。

对所述绝缘材料柱和所述第一材料柱同时进行刻蚀, 直至所述菱形孔变为圆形孔。

35 所述对所述绝缘材料柱和所述第一材料柱同时进行刻蚀, 包括: 采用干法刻蚀对所述绝缘材料柱和所述第一材料柱同时进行刻蚀; 所述干法刻蚀的气体包括以下至少一种: 六氟化硫、四氟化碳、三氟甲烷体、氧气和氩气。

本申请实施例中, 所述干法刻蚀技术可以是等离子体刻蚀技术。

40 图 3j 为本申请实施例提供的对绝缘材料柱和第一材料柱同时进行刻蚀处理结构示意图, 如图 3j 所示, 沿 Z 轴方向, 采用干法刻蚀技术, 对所述绝缘材料柱 303 和所述第一材料柱 3021 同时进行刻蚀处理, 随着刻蚀深度的逐渐变大, 位于任意两两相邻的四个绝缘材料柱中间的菱形孔 304' 逐渐变为圆形孔 304"。

通过所述圆形孔, 在所述绝缘层中形成第二子图案。

本申请实施例中, 所述第二子图案包括具有预设直径的第二刻蚀孔, 所述第二刻蚀孔的投影区域位于所述第一掩膜层中。

图 3k 为本申请实施例提供的形成具有预设直径的第二刻蚀孔的结构示意图, 如图 3k 所示, 以所述圆形孔为刻蚀图案, 刻蚀所述绝缘层 2033, 在所述绝缘层 2033 中形成与圆形孔对应的第二刻蚀孔 304, 并继续同时刻蚀所述绝缘材料和所述第一材料柱, 当所述第二刻蚀孔具有预设直径时, 停止刻蚀, 即可形成所述第二子图案。如此, 通过第一子图案自对准形成了与第一刻蚀孔对应的第二刻蚀孔 304。

去除所述刻蚀孔中的所述第一材料, 形成由所述刻蚀孔和所述圆形孔构成的所述第二掩膜图案。

图 3l 为本申请实施例提供的刻蚀去除刻蚀孔中的第一材料的结构示意图, 如图 3l 所示, 采用干法刻蚀工艺去除所述第一刻蚀孔 301 中的第一材料, 形成由第一刻蚀孔 301 和所述第二刻蚀孔 304 构成的第二掩膜图案 305。

接下来, 请参考图 3m 和图 3n, 执行步骤 S204、基于所述第二掩膜图案中的所述第一子图案和所述第二子图案, 对所述第一掩膜层进行刻蚀, 以将所述预设图案转化为有源区图案。

在一些实施例中, 所述基于所述第二掩膜图案中的所述第一子图案和所述第二子图案, 对所述第一掩膜层进行刻蚀, 以将所述预设图案转化为有源区图案, 包括以下步骤:

基于所述第二掩膜图案中的所述第一子图案和所述第二子图案, 对所述阻挡层进行刻蚀, 以实现将所述第二掩膜图案中的所述第一子图案和所述第二子图案转移至所述阻挡层中。

图 3m 为本申请实施例提供对阻挡层进行刻蚀的结构示意图, 如图 3m 所示, 基于第二掩膜图案中的第一子图案和所述第二子图案, 对阻挡层进行刻蚀, 形成刻蚀后的阻挡层 2032'。所述刻蚀后的阻挡层 2032'具有所述第二掩膜图案。

以刻蚀后的阻挡层为刻蚀掩膜版, 刻蚀所述硬掩膜层和所述第一掩膜层, 以将所述预设图案转化为所述有源区图案。

在一些实施例中, 在将所述预设图案转化为所述有源区图案后, 所述半导体结构的形成方法还包括: 刻蚀去除所述第二掩膜层。

本申请实施例中, 可以通过干法刻蚀技术或者湿法刻蚀技术去除所述第二掩膜层。

图 3n 为本申请实施例提供的形成有源区图案的结构示意图, 如图 3n 所示, 以刻蚀后的阻挡层为刻蚀掩膜版, 刻蚀所述硬掩膜层和所述第一掩膜层, 并去除所述第二掩膜层, 以实现将所述预设图案转化为所述有源区图案 306。

接下来, 请参考图 3o 和 3p, 执行步骤 S205、基于所述有源区图案, 在所述半导体衬底中定义有源区。

在一些实施例中, 所述半导体衬底与所述第一掩膜层之间形成有一隔离层, 所述基于所述有源区图案, 在所述半导体衬底中定义有源区包括以下步骤:

基于所述有源区图案, 刻蚀所述隔离层, 以实现将所述有源区图案转移至所述隔离层中。

图 3o 为本申请实施例提供的对隔离层进行刻蚀的结构示意图, 如图 3o 所示, 基于所述有源区图案 306, 对隔离层进行刻蚀, 形成刻蚀后的隔离层 201'。所述刻蚀后的隔离层 201'具有所述有源区图案 306。

以刻蚀后的隔离层为刻蚀掩膜版, 刻蚀所述半导体衬底, 以实现在所述半导体衬底中形成所述有源区。

图 3p 为本申请实施例提供的在半导体衬底中形成有源区剖面结构示意图, 如图 3p 所示, 以刻蚀后的隔离层为刻蚀掩膜版, 刻蚀所述半导体衬底 200, 并去除所述刻蚀后的隔离层, 以实现在半导体衬底中形成有源区 204。

本申请实施例提供的半导体结构的形成方法及半导体结构，通过在具有预设图案的第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层，其中，第一掩膜图案包括多个依次排列的第一子图案；并在第二掩膜层中，通过第一掩膜图案，自对准形成第二掩膜图案，其中，第二掩膜图案包括：第一掩膜图案中的第一子图案和与第一子图案对应的第二子图案；然后基于第二掩膜图案中的第一子图案和第二子图案，对第一掩膜层进行刻蚀，以将预设图案转化为有源区图案，进而基于有源区图案在半导体衬底中定义出有源区。由于第二掩膜图案是通过第一掩膜图案自对准形成的，如此，可以使得制备的相邻有源区之间不会发生错位和连接。

在一些实施例中，所述具有预设图案的第一掩膜层，通过以下步骤形成：

在半导体衬底的表面依次沉积隔离层、第一掩膜层、第三掩膜层和第四掩膜层，其中，所述第一掩膜层可以是多晶硅层，所述第三掩膜层包括依次堆叠的旋涂硬掩膜层和氮氧化硅层，所述第四掩膜层具有与所述第三掩膜层相同的结构。

图 4a 为本申请实施例提供的形成具有预设图案的第一掩膜层的初始结构的结构示意图，其中，图 4a 中的左图为所述初始结构的俯视图，图 4a 中的右图为所述初始结构沿虚线 c-c' 的剖视图，如图 4a 所示，在半导体衬底 200 的表面依次沉积了隔离层 201、第一掩膜层 202、第三掩膜层 202-1 和第四掩膜层 202-2。所述初始结构上设置有一初始有源区掩膜版 40，所述初始有源区掩膜版用于形成有源区。

采用初始有源区掩膜版，对所述半导体衬底表面的第四掩膜层进行刻蚀，以实现将所述初始有源区掩膜版上的图案转移至所述第四掩膜层中。

图 4b 为本申请实施例提供的刻蚀第四掩膜层的结构示意图，其中，图 4b 中的左图为刻蚀第四掩膜层后形成的结构的俯视图，图 4b 中的右图为刻蚀第四掩膜层后形成的结构沿虚线 c-c' 的剖视图，如图 4b 所示，通过初始有源区掩膜版刻蚀所述第四掩膜层 202-2，将初始有源区掩膜版上的初始有源区图案转移至所述第四掩膜层中，形成刻蚀后的第四掩膜层 202-2'。所述刻蚀后的第四掩膜层 202-2' 具有所述初始掩膜版上的图案。

在所述刻蚀后的第四掩膜层的表面沉积绝缘材料，形成第一隔离侧墙。

图 4c 为本申请实施例提供的形成第一隔离侧墙的结构示意图，其中，图 4c 中的左图为形成第一隔离侧墙后形成的结构的俯视图，图 4c 中的右图为形成第一隔离侧墙后形成的结构沿虚线 c-c' 的剖视图，如图 4c 所示，在刻蚀后的第四掩膜层 202-2' 的表面形成第一隔离侧墙 202-3。可以通过任意一种合适的沉积工艺形成所述第一隔离侧墙。

通过所述第一隔离侧墙，刻蚀所述第三掩膜层，以实现将所述第一隔离侧墙图案转移至所述第三掩膜层中。

图 4d 为本申请实施例提供的刻蚀第三掩膜层的结构示意图，其中，图 4d 中的左图为刻蚀第三掩膜层后形成的结构的俯视图，图 4d 中的右图为刻蚀第三掩膜层后形成的结构沿虚线 c-c' 的剖视图，如图 4d 所示，以位于所述初始有源区图案侧壁上的第一隔离侧墙为新的掩膜图案，刻蚀所述第三掩膜层 202-1，以实现将所述第一隔离侧墙图案转移至所述第三掩膜层中，形成刻蚀后的第三掩膜层 202-1'。

在刻蚀后的第三掩膜层的表面沉积绝缘材料，形成第二隔离侧墙。

图 4e 为本申请实施例提供的形成第二隔离侧墙的结构示意图，其中，图 4e 中的左图为形成第二隔离侧墙后形成的结构的俯视图，图 4e 中的右图为形成第二隔离侧墙后形成的结构沿虚线 c-c' 的剖视图，如图 4e 所示，在刻蚀后的第三掩膜层 202-1' 的表面形成第二隔离侧墙 202-4。可以通过任意一种合适的沉积工艺形成所述第二隔离侧墙。

通过所述第二隔离侧墙，刻蚀所述第一掩膜层，以实现将所述第二隔离侧墙图案转移至所述第一掩膜层中。

图 4f 为本申请实施例提供的刻蚀第一掩膜层的结构示意图，其中，图 4f 中的左图为刻蚀第一掩膜层后形成的结构的俯视图，图 4f 中的右图为刻蚀第一掩膜层后形成的结构沿虚线 c-c' 的剖视图，如图 4f 所示，以位于所述第一隔离侧墙图案侧壁上的第二隔离侧墙为新的掩膜图案，刻蚀所述第一掩膜层 202，以实现将所述第二隔离侧墙图案转移至所述第一掩膜层中，形成刻蚀后的第一掩膜层 202'。所述第二隔离侧墙图案即为本申请实施例中的预设图案。

在一些实施例中，半导体结构的形成方法还包括以下步骤：

形成多条字线，每条所述字线在字线延伸方向上与所述多个有源区相交。

形成多条位线，每条所述位线在位线延伸方向上与所述多个有源区相交。

在一些实施例中，所述有源区用于形成存储器单元，所述存储器单元包括一晶体管，所述字线与所述晶体管的栅极连接，所述字线用于提供字线电压，并通过所述字线电压控制所述晶体管导通或截止。所述位线与所述晶体管的源极或者漏极连接，所述位线用于在所述晶体管导通时，对存储器单元执行读取或写入操作。

在一些实施例中，通过在预设字线位置或预设位线位置形成金属线来实现形成字线或位线。所述金属线包括但不限于钨 (W)、钴 (Co)、铜 (Cu)、铝 (Al)、多晶硅、掺杂硅、硅化物或其任何组合。

在一些实施例中，所述存储单元还包括：存储电容；所述半导体结构的形成方法还包括：在所述有源区中形成所述存储电容。所述存储电容的一端与所述晶体管的漏极或者源极连接，所述存储电容的另一端接地，所述存储电容用于存储写入所述存储器单元的数据。

本申请实施例提供的半导体结构的形成方法，由于形成有源区时只采用了一个光罩，并且有源区的刻蚀图案是通过自对准工艺形成的，因此，形成的多个有源区中相邻有源区之间不会发生错位和连接，如此，可以使得形成的半导体结构具有良好的电性能，并且可以提高制备半导体结构的良率。

除此之外，本申请实施例还提供一种半导体结构，图 5 为本申请实施例提供的半导体结构的一个可选的结构示意图，如图 5 所示，所述半导体结构 50 包括：多个有源区 501、多条位线 502 和多条字线 503。

所述多个有源区 501 形成于半导体衬底中，所述有源区通过上述实施例提供的半导体结构的形成方法形成。

多条位线 502，每条位线在位线延伸方向上与多个所述有源区相交。

多条字线 503，每条字线在字线延伸方向上与多个所述有源区相交。

本申请实施例中，所述有源区用于形成有源器件，例如，晶体管。所述字线用于控制所述有源器件的导通或截止，所述位线用于从所述有源器件中读取数据或向所述有源器件中写入数据。

在一些实施例中，所述半导体结构还包括存储电容。所述存储电容用于存储写入所述存储器单元的数据。

本申请实施例提供的半导体结构与上述实施例提供的半导体结构的形成方法类似，对于本申请实施例未详尽披露的技术特征，请参照上述实施例进行理解。

本申请实施例提供的半导体结构，包括多个有源区，多条字线和多条位线，由于多个有源区中的相邻两个有源区之间不会发生错位和连接，如此，可以使得形成的半导体结构具有良好的电性能，并且可以提高制备半导体结构的良率。

以上所述，仅为本申请的一些实施方式，但本申请的保护范围并不局限于此，任

何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种半导体结构的形成方法，包括：

提供半导体衬底，所述半导体衬底上形成有具有预设图案的第一掩膜层；

5 在所述第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层，其中，所述第一掩膜图案包括多个依次排列的第一子图案；

在所述第二掩膜层中，通过所述第一掩膜图案，自对准形成第二掩膜图案，其中，所述第二掩膜图案包括：所述第一掩膜图案中的所述第一子图案和与所述第一子图案对应的第二子图案；

10 基于所述第二掩膜图案中的所述第一子图案和所述第二子图案，对所述第一掩膜层进行刻蚀，以将所述预设图案转化为有源区图案；

基于所述有源区图案，在所述半导体衬底中定义有源区。

2、根据权利要求 1 所述的方法，其中，所述在所述第一掩膜层的表面形成具有第一掩膜图案的第二掩膜层，包括：

在所述第一掩膜层的表面形成所述第二掩膜层；

15 采用具有所述第一掩膜图案的光罩，在所述第二掩膜层中形成所述第一掩膜图案。

3、根据权利要求 2 所述的方法，其中，所述第二掩膜层包括依次堆叠的硬掩膜层、阻挡层和绝缘层；所述在所述第一掩膜层的表面形成所述第二掩膜层，包括：

在所述第一掩膜层的侧壁沉积所述硬掩膜层；

20 在沉积有所述硬掩膜层的第一掩膜层表面，依次沉积所述阻挡层和所述绝缘层，形成所述第二掩膜层。

4、根据权利要求 3 所述的方法，其中，所述采用具有所述第一掩膜图案的光罩，在所述第二掩膜层中形成所述第一掩膜图案，包括：

在所述绝缘层的表面形成光刻胶层；

采用所述光罩，在所述光刻胶层中形成所述第一掩膜图案；

25 基于所述第一掩膜图案刻蚀所述绝缘层，以实现在所述第二掩膜层形成所述第一掩膜图案。

5、根据权利要求 1 所述的方法，其中，所述第二掩膜层至少包括绝缘层；所述第一掩膜图案形成于所述绝缘层中；

30 所述在所述第二掩膜层中，通过所述第一掩膜图案，自对准形成第二掩膜图案，包括：

通过所述第一掩膜图案，形成具有预设高度的第一材料柱；

通过所述具有预设高度的第一材料柱，自对准形成所述第二掩膜图案。

6、根据权利要求 5 所述的方法，其中，所述第一子图案包括第一刻蚀孔，且所述述第一子图案的投影区域位于所述第一掩膜层中；

35 所述通过所述第一掩膜图案，形成具有预设高度的第一材料柱，包括：

在所述第一刻蚀孔中沉积第一材料，形成多个所述第一材料柱；

刻蚀去除部分厚度的所述绝缘材料，以形成所述具有预设高度的第一材料柱，所述预设高度小于所述第一材料柱的初始高度。

40 7、根据权利要求 6 所述的方法，其中，所述预设高度与所述初始厚度之间的比值大于或等于 75%，且所述比值小于或等于 80%。

8、根据权利要求 6 所述的方法，其中，所述通过所述具有预设高度的第一材料柱，自对准形成所述第二掩膜图案，包括：

在所述具有预设高度的第一材料柱的表面沉积绝缘材料，形成绝缘材料柱，其中，

相邻两个所述绝缘材料柱相接触；

刻蚀去除部分厚度的所述绝缘材料柱，直至暴露出所述第一材料柱为止；其中，任意两两相邻的四个所述绝缘材料柱能够自对准形成一个菱形孔；

对所述绝缘材料柱和所述第一材料柱同时进行刻蚀，直至所述菱形孔变为圆形孔；

5 通过所述圆形孔，在所述绝缘层中形成第二子图案；其中，所述第二子图案包括具有预设直径的第二刻蚀孔；所述第二刻蚀孔的投影区域位于所述第一掩膜层中；

去除所述第一刻蚀孔中的所述第一材料，形成由所述第一刻蚀孔和所述第二刻蚀孔构成的所述第二掩膜图案。

9、根据权利要求 8 所述的方法，其中，所述预设图案包括多个平行排列的第三子图案；所述第三子图案在第一方向上具有预设宽度；其中，所述第一方向为所述第三子图案的排列方向；

所述预设直径等于所述预设宽度。

10、根据权利要求 8 所述的方法，其中，所述第一材料包括氮化硅；所述绝缘材料包括氧化硅；

15 所述第一材料柱和所述绝缘材料柱通过原子层沉积工艺形成。

11、根据权利要求 8 所述的方法，其中，所述对所述绝缘材料柱和所述第一材料柱同时进行刻蚀，包括：

采用干法刻蚀对所述绝缘材料柱和所述第一材料柱同时进行刻蚀；所述干法刻蚀的气体包括以下至少一种：六氟化硫、四氟化碳、三氟甲烷体、氧气和氩气。

20 12、根据权利要求 3 所述的方法，其中，所述基于所述第二掩膜图案中的所述第一子图案和所述第二子图案，对所述第一掩膜层进行刻蚀，以将所述预设图案转化为有源区图案，包括：

基于所述第二掩膜图案中的所述第一子图案和所述第二子图案，对所述阻挡层进行刻蚀，以实现将所述第二掩膜图案中的所述第一子图案和所述第二子图案转移至所述阻挡层中；

25 以刻蚀后的阻挡层为刻蚀掩模版，刻蚀所述硬掩膜层和所述第一掩膜层，以将所述预设图案转化为所述有源区图案。

13、根据权利要求 1 所述的方法，其中，所述方法还包括：

在将所述预设图案转化为所述有源区图案后，刻蚀去除所述第二掩膜层。

30 14、根据权利要求 1 至 13 任一项所述的方法，其中，所述半导体衬底与所述第一掩膜层之间形成有一隔离层；

所述基于所述有源区图案，在所述半导体衬底中定义有源区，包括：

基于所述有源区图案，刻蚀所述隔离层，以实现将所述有源区图案转移至所述隔离层中；

35 以刻蚀后的隔离层为刻蚀掩模版，刻蚀所述半导体衬底，以实现在所述半导体衬底中形成有源区。

15、根据权利要求 1 至 13 任一项所述的方法，其中，还包括：

形成多条字线，每条所述字线在字线延伸方向上与所述多个有源区相交；

形成多条位线，每条所述位线在位线延伸方向上与所述多个有源区相交。

40 16、一种半导体结构，包括：

多个有源区，形成于半导体衬底中，所述有源区通过上述权利要求 1 至 14 任一项提供的半导体结构的形成方法形成；

多条字线，每条字线在字线延伸方向上与多个所述有源区相交；

多条位线，每条位线在位线延伸方向上与多个所述有源区相交。

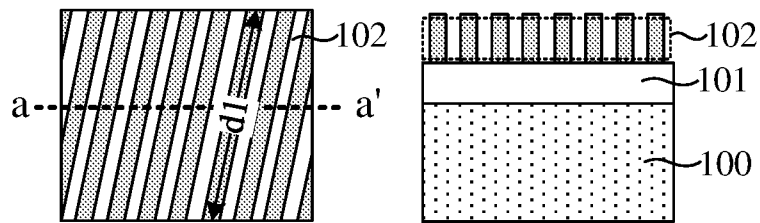


图 1a

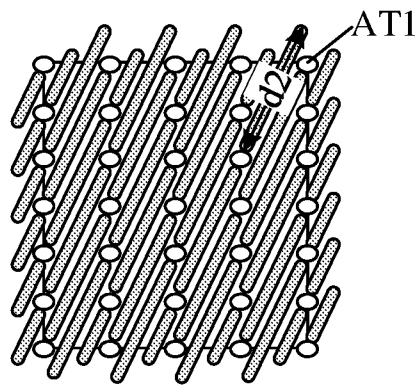


图 1b

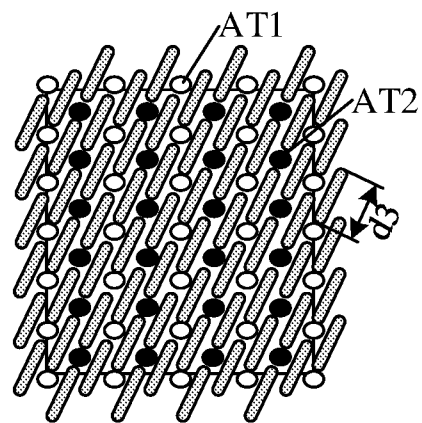


图 1c

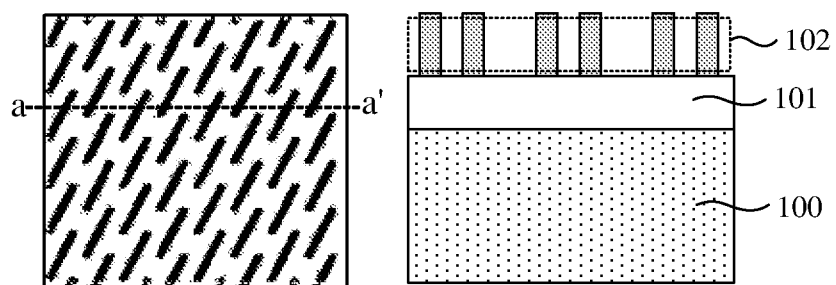


图 1d

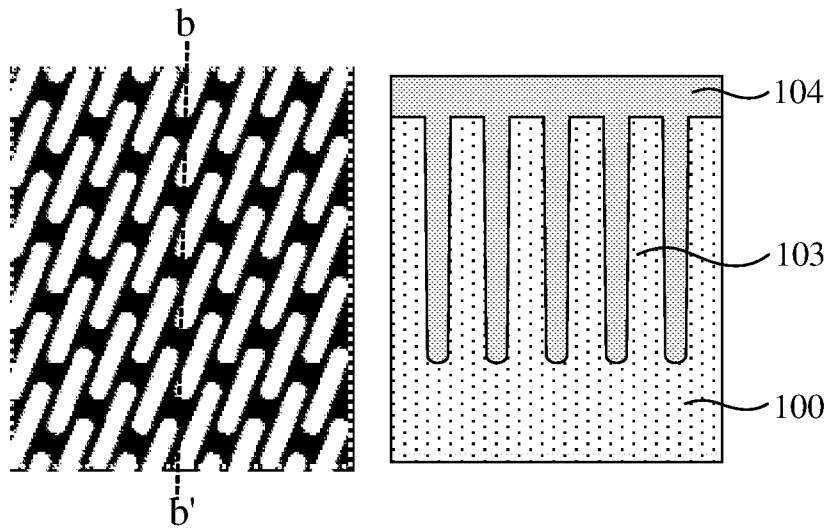


图 1e

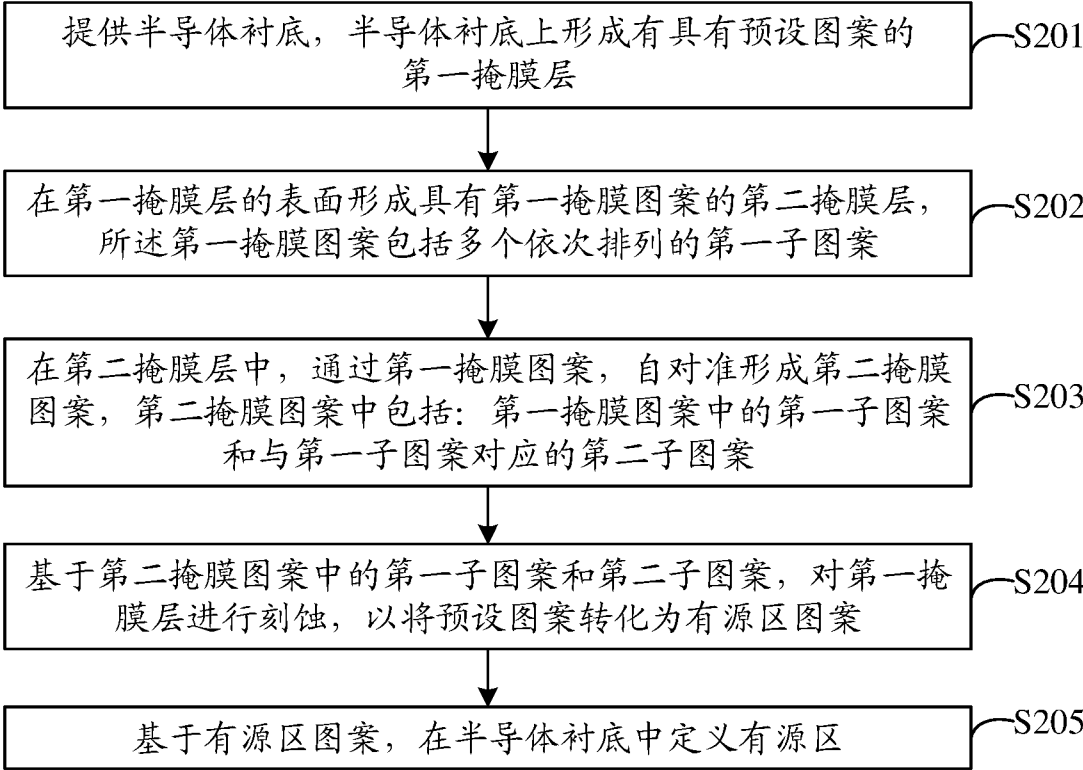


图 2

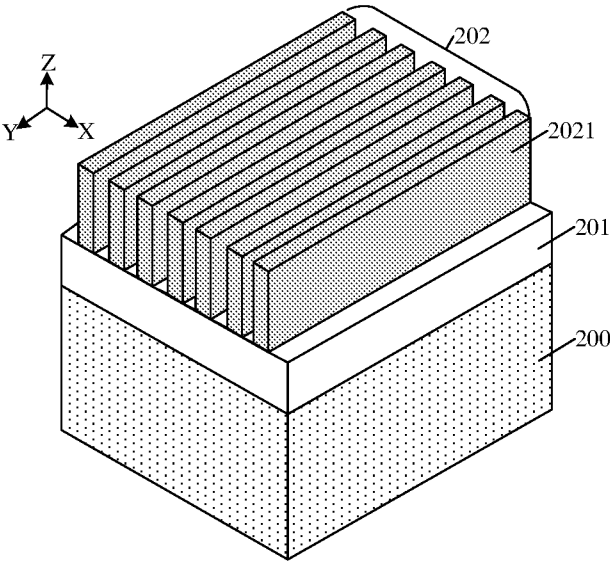


图 3a

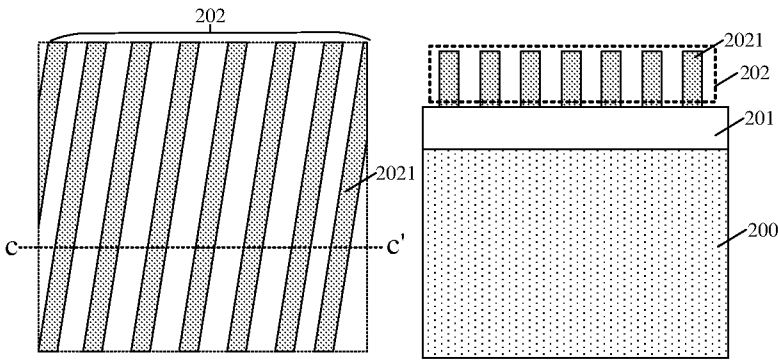


图 3b

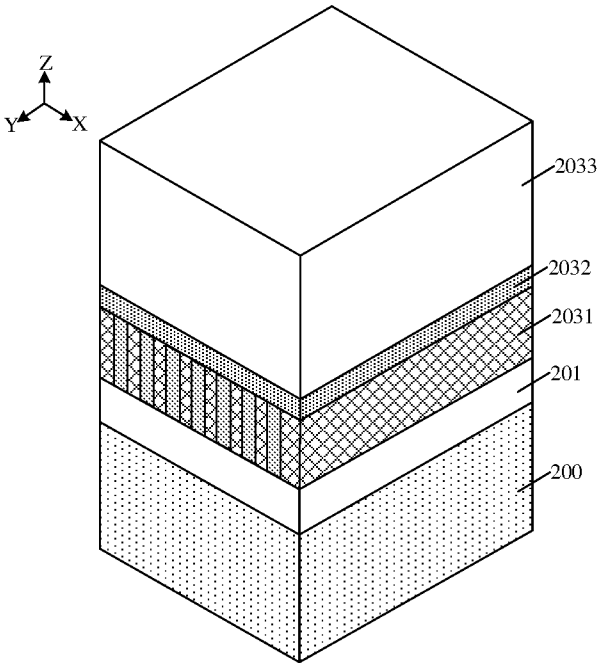


图 3c

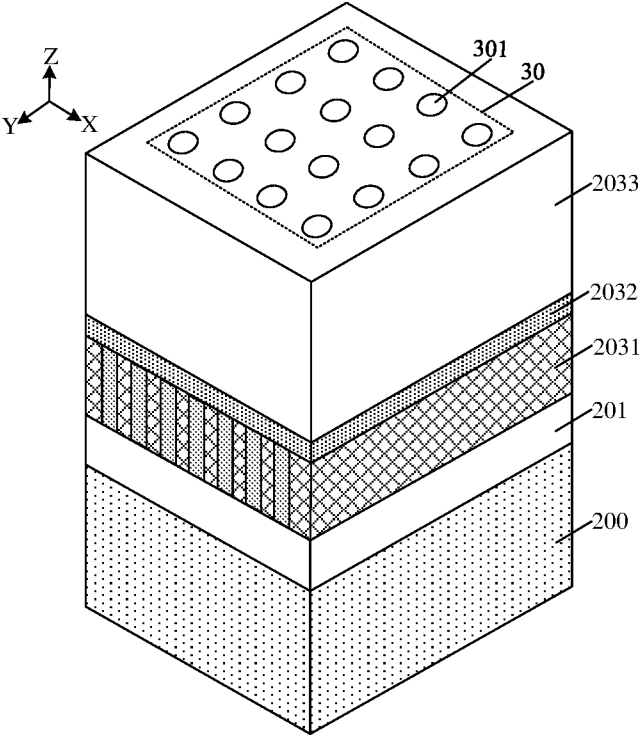


图 3d

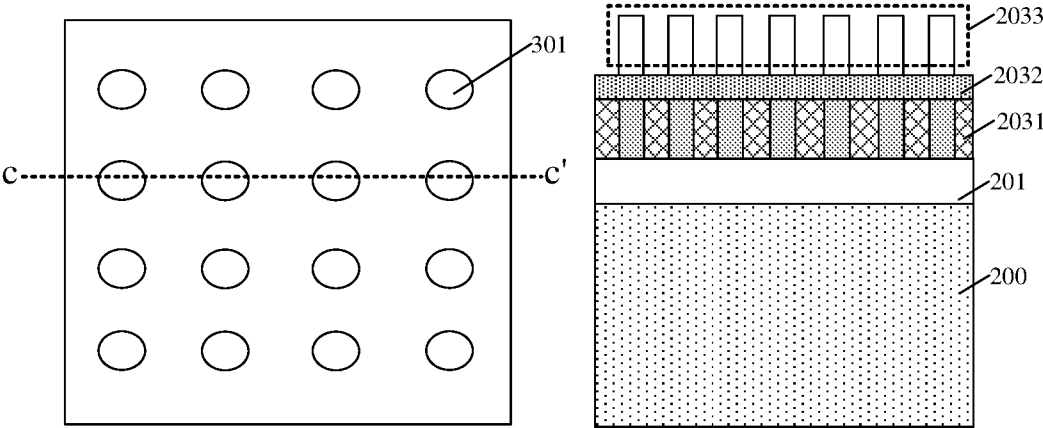


图 3e

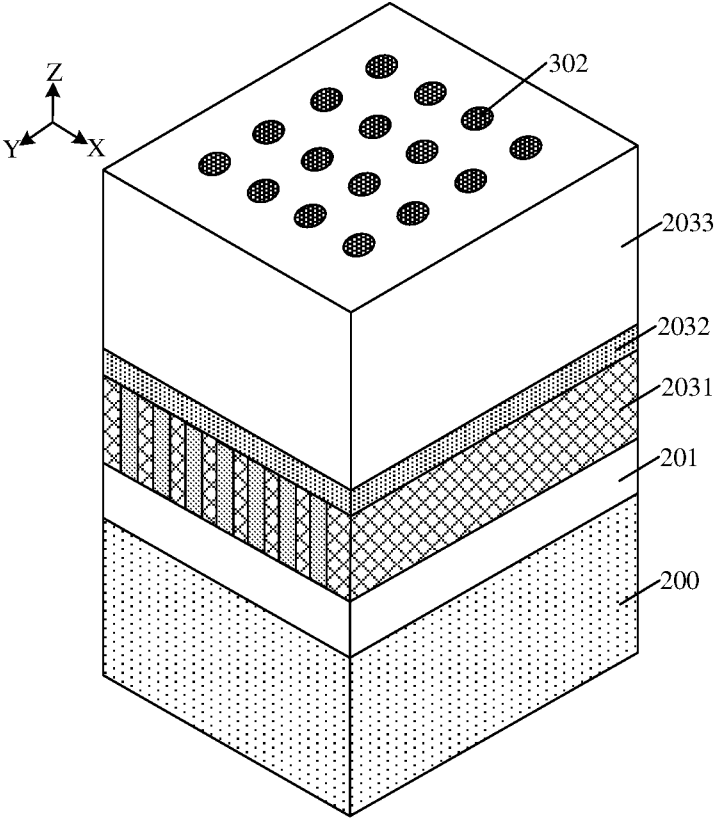


图 3f

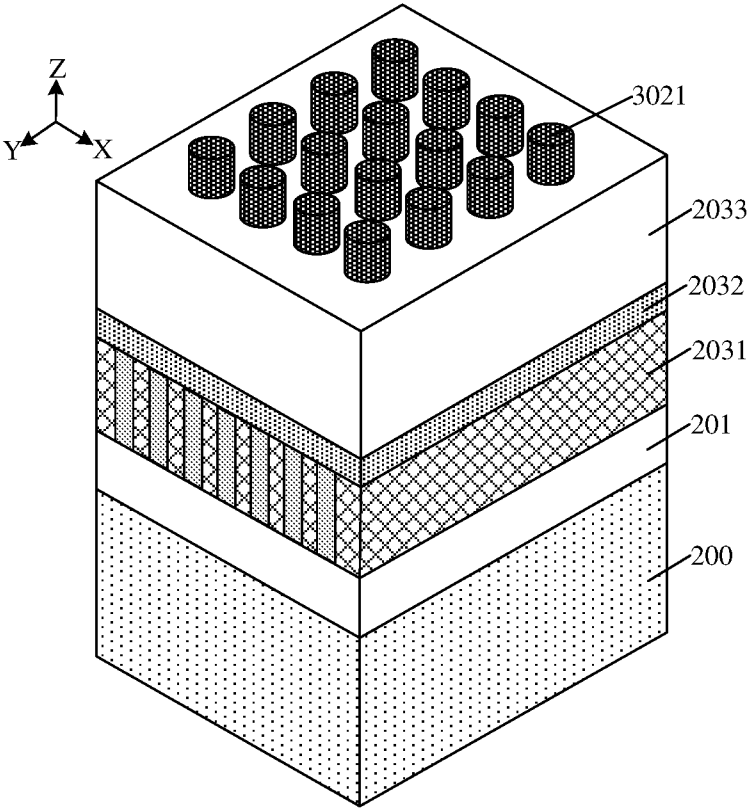


图 3g

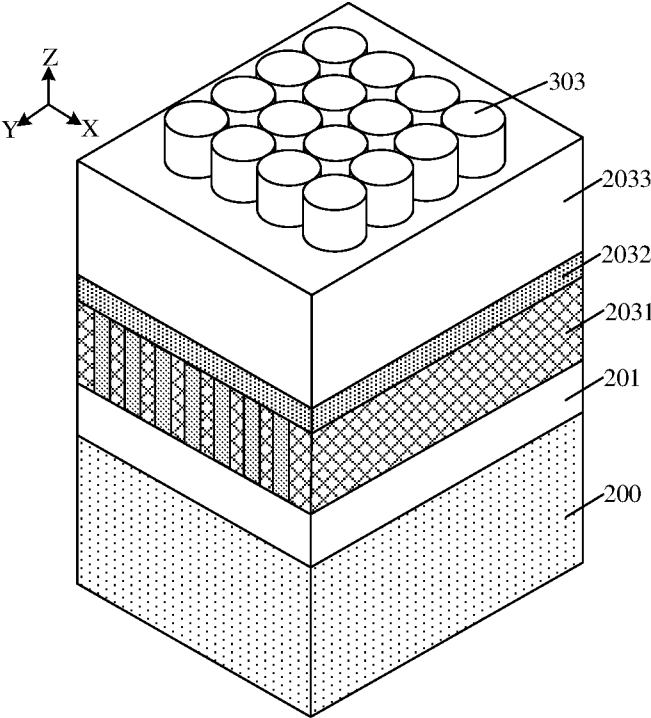


图 3h

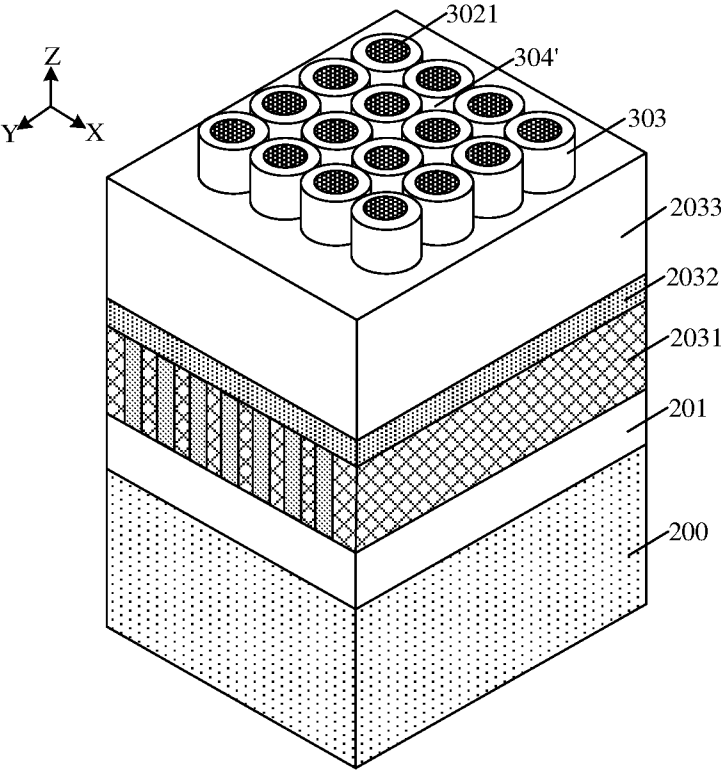


图 3i

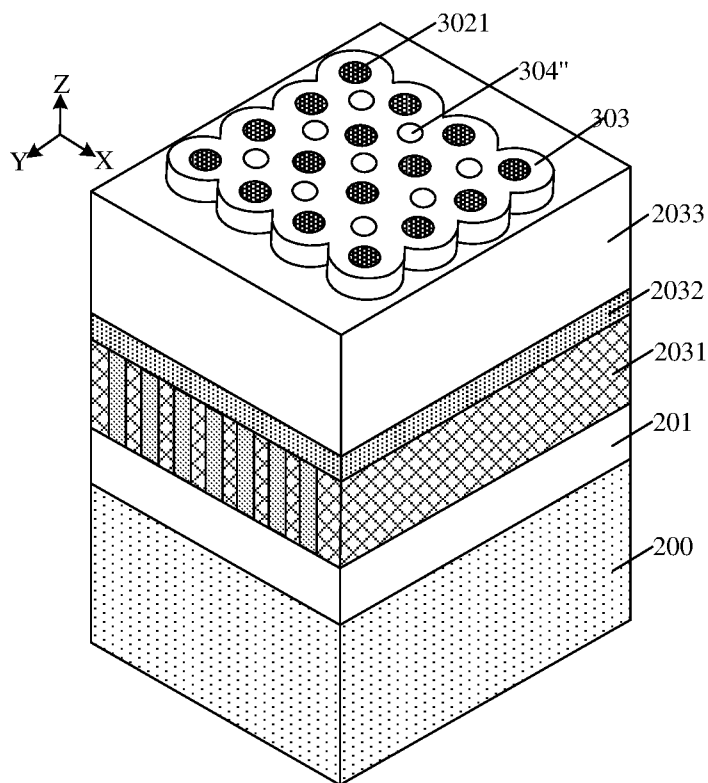


图 3j

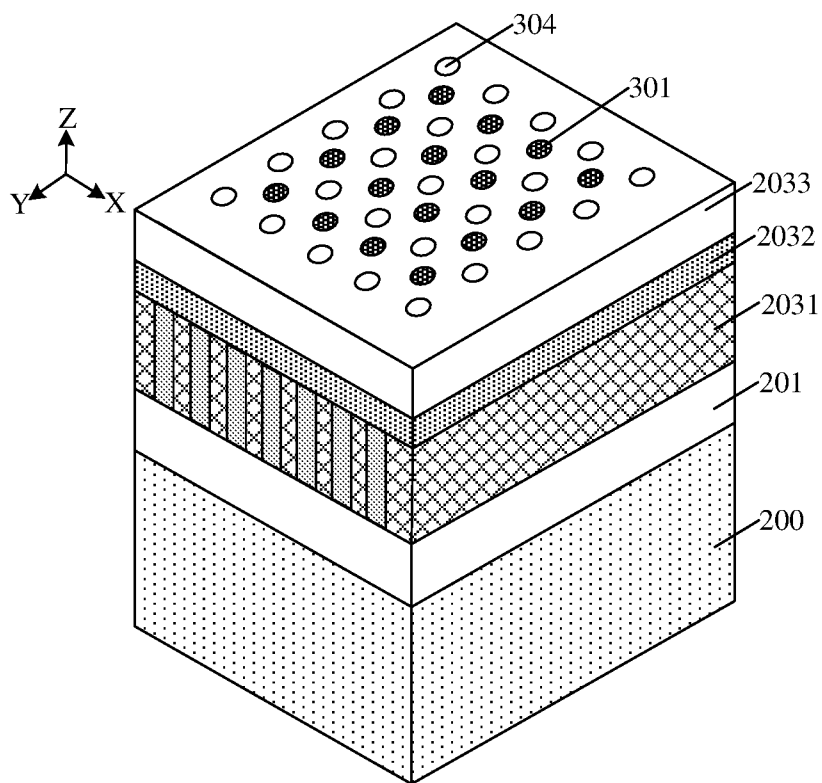


图 3k

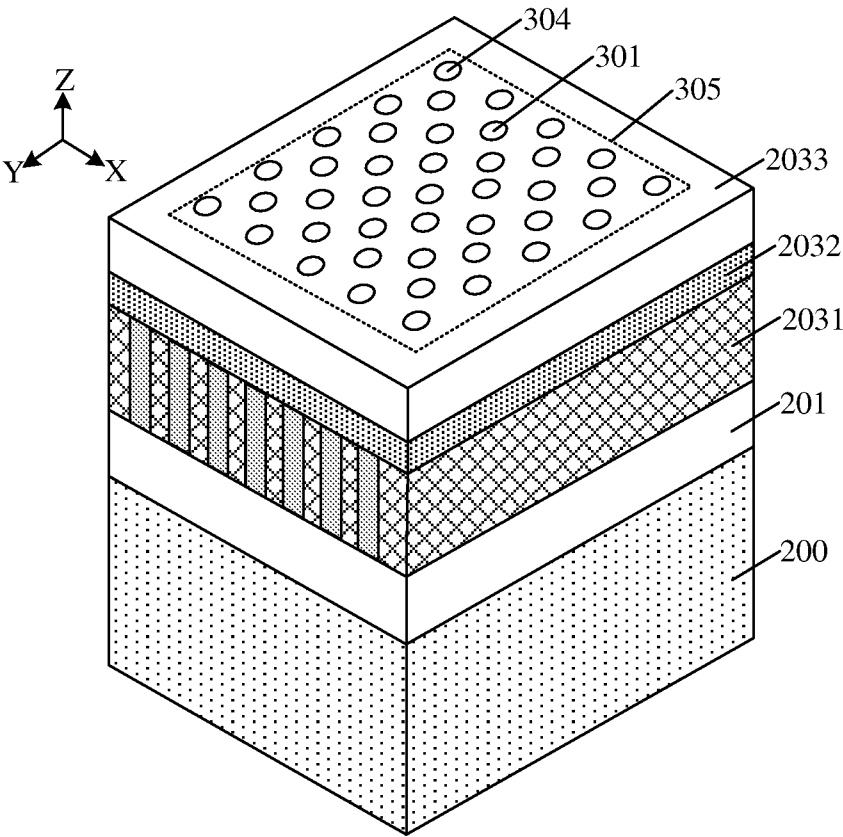


图 31

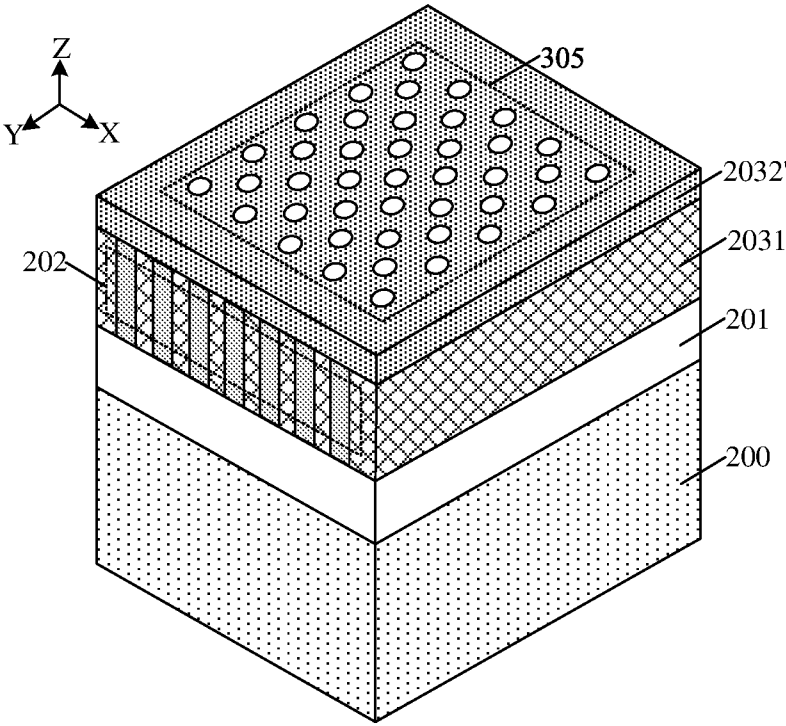


图 3m

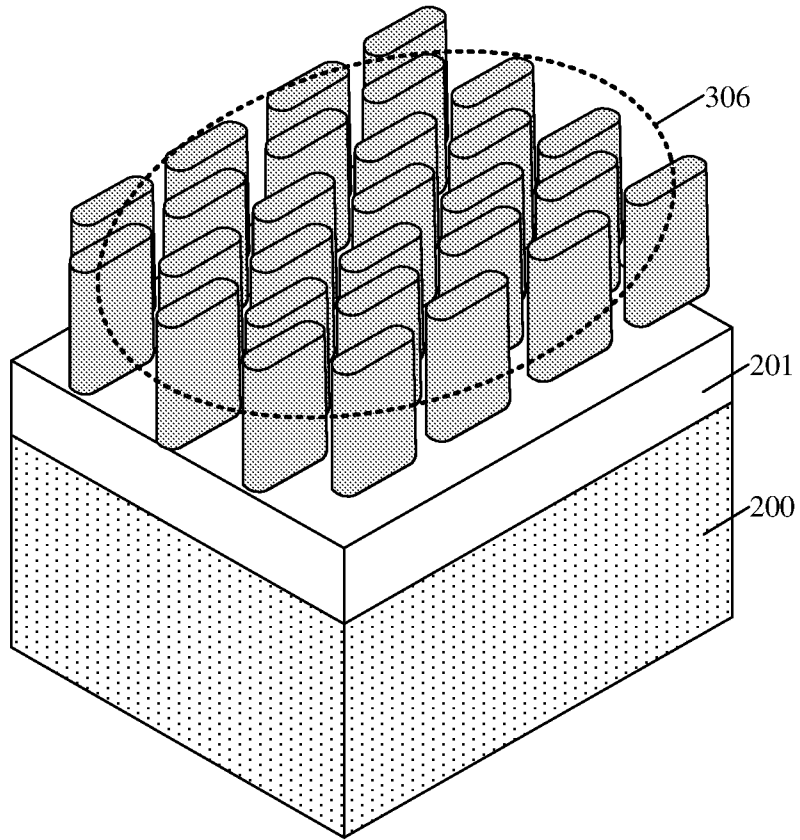


图 3n

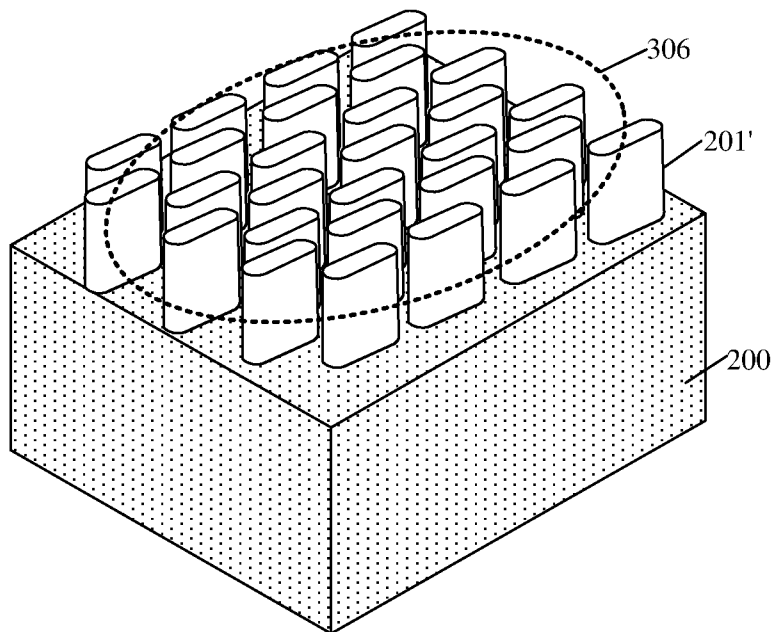


图 3o

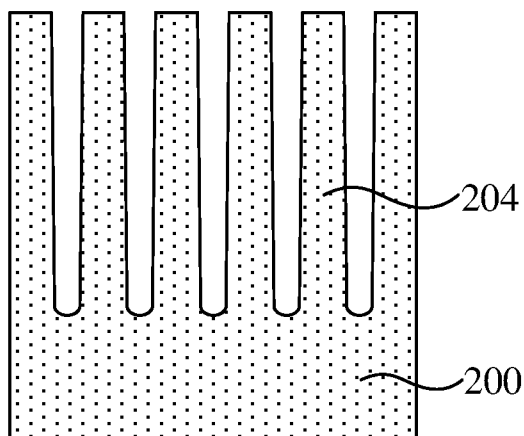


图 3p

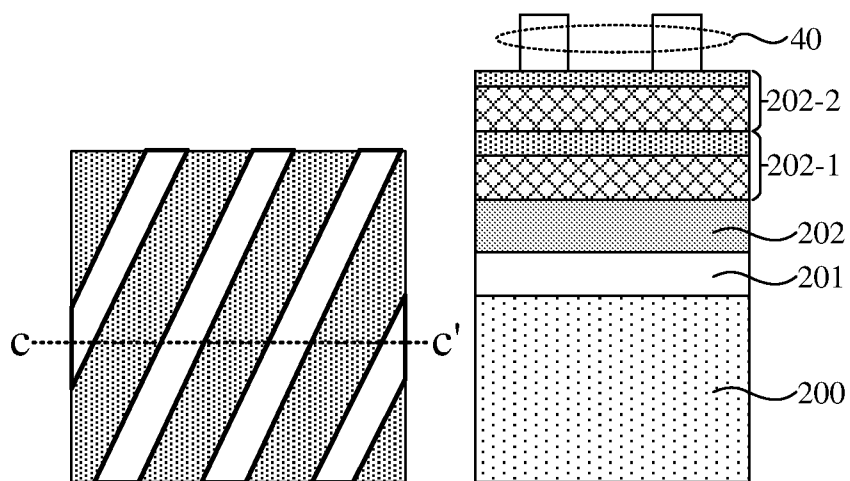


图 4a

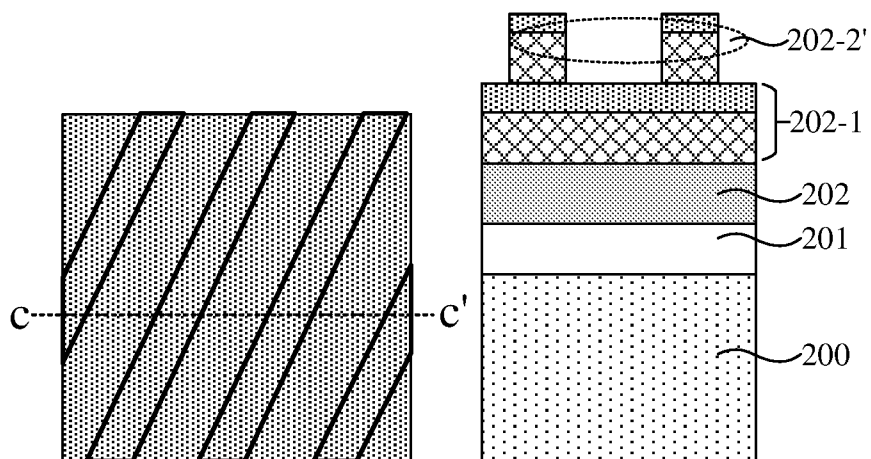


图 4b

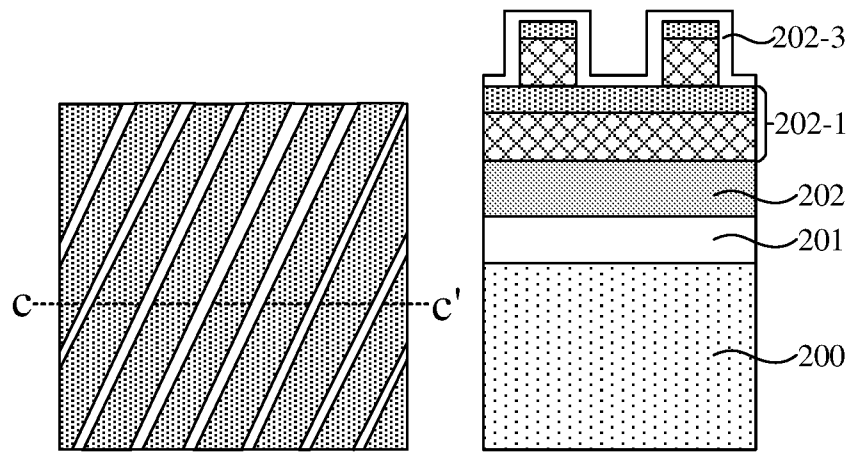


图 4c

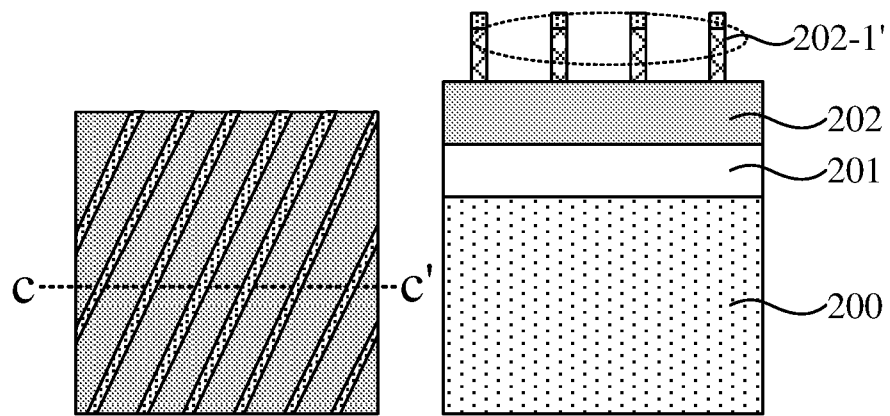


图 4d

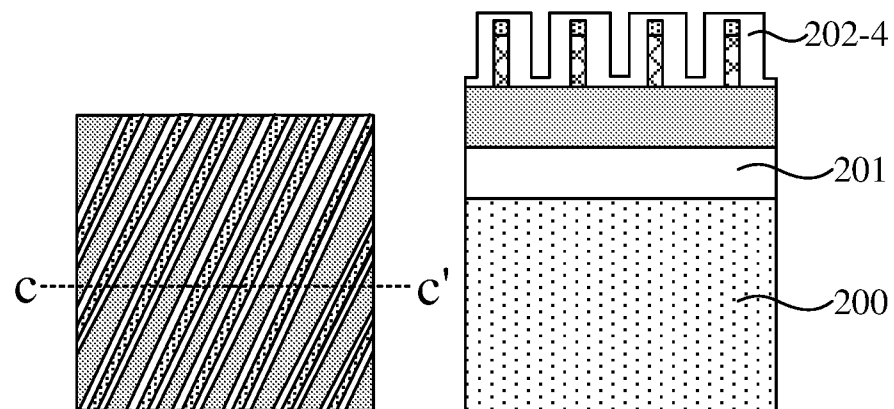


图 4e

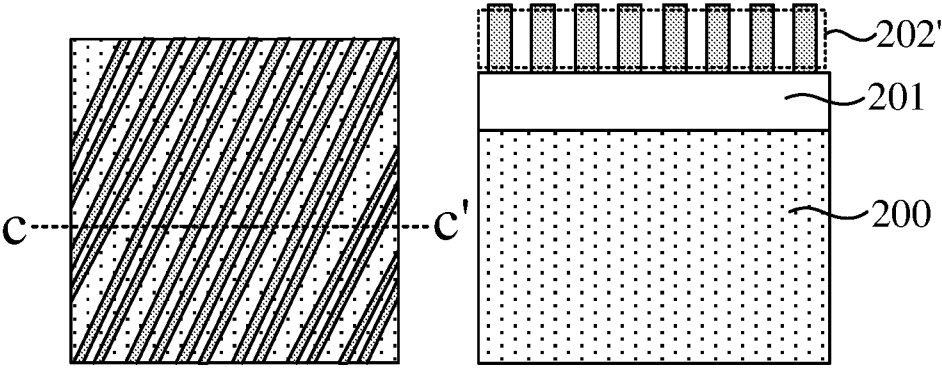


图 4f

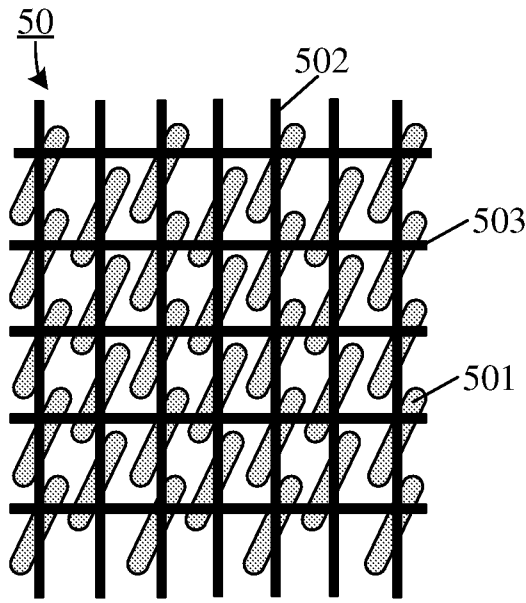


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120290

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/308(2006.01)i; H01L 27/108(2006.01)n; H01L 21/8242(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-;H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPABSC; CNTXT; ENTXTC; OETXT, ENTXT, CNKI, ISI: 长鑫, 海力士, 双图案, 双重成像, double patterning, 自对准, self 1W aligned, 侧壁, 侧墙, 侧面, 间隔, spacer, sidewall, 柱, pillar, 孔, 洞, 开口, hole, via, opening, 填充, fill, 接触, 相切, contact, touch, DRAM, 动态随机存储, 共形, conformal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105762070 A (SK HYNIX INC.) 13 July 2016 (2016-07-13) description, paragraphs 39-85, and figures 1-40	1-5, 12-16
Y	CN 105762070 A (SK HYNIX INC.) 13 July 2016 (2016-07-13) description, paragraphs 39-85, and figures 1-40	6-11, 14-16
Y	CN 107221492 A (SK HYNIX INC.) 29 September 2017 (2017-09-29) description, paragraph 33	6-11, 14-16
A	CN 112768352 A (WINBOND ELECTRONICS CORP.) 07 May 2021 (2021-05-07) entire document	1-16
A	US 2014306352 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI) 16 October 2014 (2014-10-16) entire document	1-16
A	CN 112071744 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 11 December 2020 (2020-12-11) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 January 2022

Date of mailing of the international search report

15 February 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120290

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103489839 A (NANYA TECHNOLOGY CORPORATION) 01 January 2014 (2014-01-01) entire document	1-16
A	US 2017200725 A1 (SAMSUNG ELECTRONICS CO., LTD.) 13 July 2017 (2017-07-13) entire document	1-16
A	US 2006284259 A1 (LEE, J. H. et al.) 21 December 2006 (2006-12-21) entire document	1-16
A	CN 111524886 A (WINBOND ELECTRONICS CORP.) 11 August 2020 (2020-08-11) entire document	1-16
A	CN 109585279 A (SHANGHAI HUALI MICROELECTRONICS CORP.) 05 April 2019 (2019-04-05) entire document	1-16
A	WO 2019050735 A1 (MICROMATERIALS LLC) 14 March 2019 (2019-03-14) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120290

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105762070	A	13 July 2016	US	2016196982	A1	07 July 2016
				US	9524870	B2	20 December 2016
				KR	20160085043	A	15 July 2016
				CN	105762070	B	26 January 2021
CN	107221492	A	29 September 2017	US	2017271149	A1	21 September 2017
				US	9911605	B2	06 March 2018
				KR	20170109732	A	10 October 2017
				CN	107221492	B	14 August 2020
CN	112768352	A	07 May 2021	None			
US	2014306352	A1	16 October 2014	CN	104103574	A	15 October 2014
				US	9607885	B2	28 March 2017
				CN	104103574	B	19 December 2017
CN	112071744	A	11 December 2020	CN	209785878	U	13 December 2019
CN	103489839	A	01 January 2014	US	2013330660	A1	12 December 2013
				US	8697316	B2	15 April 2014
				TW	201351479	A	16 December 2013
				TW	1553702	B	11 October 2016
				CN	103489839	B	28 September 2016
US	2017200725	A1	13 July 2017	KR	20170083221	A	18 July 2017
				KR	102274738	B1	07 July 2021
				US	2019088659	A1	21 March 2019
				US	10522550	B2	31 December 2019
				CN	106972017	A	21 July 2017
				US	10141316	B2	27 November 2018
US	2006284259	A1	21 December 2006	KR	20060131511	A	20 December 2006
				KR	100693879	B1	12 March 2007
CN	111524886	A	11 August 2020	None			
CN	109585279	A	05 April 2019	CN	109585279	B	20 November 2020
WO	2019050735	A1	14 March 2019	TW	201921596	A	01 June 2019
				US	2019074219	A1	07 March 2019
				US	10600688	B2	24 March 2020

国际检索报告

国际申请号

PCT/CN2021/120290

A. 主题的分类

H01L 21/308(2006.01)i; H01L 27/108(2006.01)n; H01L 21/8242(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-;H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPABSC;CNTXT;ENTXTC, OETXT, ENTXT, CNKI, ISI:长鑫, 海力士, 双图案, 双重成像, double patterning, 自对准, self 1W aligned, 侧壁, 侧墙, 侧面, 间隔, spacer, sidewall, 柱, pillar, 孔, 洞, 开口, hole, via, opening, 填充, fill, 接触, 相切, contact, touch, DRAM, 动态随机存储, 共形, conformal

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105762070 A (爱思开海力士有限公司) 2016年7月13日 (2016 - 07 - 13) 说明书39-85段、图1-40	1-5, 12-16
Y	CN 105762070 A (爱思开海力士有限公司) 2016年7月13日 (2016 - 07 - 13) 说明书39-85段、图1-40	6-11、14-16
Y	CN 107221492 A (爱思开海力士有限公司) 2017年9月29日 (2017 - 09 - 29) 说明书第33段	6-11、14-16
A	CN 112768352 A (华邦电子股份有限公司) 2021年5月7日 (2021 - 05 - 07) 全文	1-16
A	US 2014306352 A1 (SEMICONDUCTOR MFG INT SHANGHAI) 2014年10月16日 (2014 - 10 - 16) 全文	1-16
A	CN 112071744 A (长鑫存储技术有限公司) 2020年12月11日 (2020 - 12 - 11) 全文	1-16
A	CN 103489839 A (南亚科技股份有限公司) 2014年1月1日 (2014 - 01 - 01) 全文	1-16

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年1月5日

国际检索报告邮寄日期

2022年2月15日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

朱军

电话号码 (86-28)62967752

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2017200725 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年7月13日 (2017 - 07 - 13) 全文	1-16
A	US 2006284259 A1 (LEE JUNG-HYEON et al.) 2006年12月21日 (2006 - 12 - 21) 全文	1-16
A	CN 111524886 A (华邦电子股份有限公司) 2020年8月11日 (2020 - 08 - 11) 全文	1-16
A	CN 109585279 A (上海华力微电子有限公司) 2019年4月5日 (2019 - 04 - 05) 全文	1-16
A	WO 2019050735 A1 (MICROMATERIALS LLC) 2019年3月14日 (2019 - 03 - 14) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120290

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105762070	A	2016年7月13日	US	2016196982	A1	2016年7月7日
				US	9524870	B2	2016年12月20日
				KR	20160085043	A	2016年7月15日
				CN	105762070	B	2021年1月26日
CN	107221492	A	2017年9月29日	US	2017271149	A1	2017年9月21日
				US	9911605	B2	2018年3月6日
				KR	20170109732	A	2017年10月10日
				CN	107221492	B	2022年8月14日
CN	112768352	A	2021年5月7日	无			
US	2014306352	A1	2014年10月16日	CN	104103574	A	2014年10月15日
				US	9607885	B2	2017年3月28日
				CN	104103574	B	2017年12月19日
CN	112071744	A	2020年12月11日	CN	209785878	U	2019年12月13日
CN	103489839	A	2014年1月1日	US	2013330660	A1	2013年12月12日
				US	8697316	B2	2014年4月15日
				TW	201351479	A	2013年12月16日
				TW	1553702	B	2016年10月11日
				CN	103489839	B	2016年9月28日
US	2017200725	A1	2017年7月13日	KR	20170083221	A	2017年7月18日
				KR	102274738	B1	2021年7月7日
				US	2019088659	A1	2019年3月21日
				US	10522550	B2	2019年12月31日
				CN	106972017	A	2017年7月21日
				US	10141316	B2	2018年11月27日
US	2006284259	A1	2006年12月21日	KR	20060131511	A	2006年12月20日
				KR	100693879	B1	2007年3月12日
CN	111524886	A	2020年8月11日	无			
CN	109585279	A	2019年4月5日	CN	109585279	B	2020年11月20日
WO	2019050735	A1	2019年3月14日	TW	201921596	A	2019年6月1日
				US	2019074219	A1	2019年3月7日
				US	10600688	B2	2020年3月24日