

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月19日(19.01.2017)



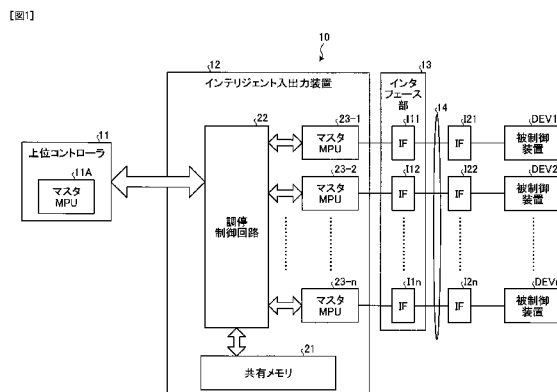
(10) 国際公開番号

WO 2017/010127 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/059712
- (22) 国際出願日: 2016年3月25日(25.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-138974 2015年7月10日(10.07.2015) JP
- (71) 出願人: 株式会社東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 毛利 文隆(MOURI, Fumitaka); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: INFORMATION PROCESSING DEVICE, METHOD, AND PROGRAM

(54) 発明の名称: 情報処理装置、方法及びプログラム



- 11 Host controller
11A, 23-1, 23-2, 23-n Master MPU
12 Intelligent input/output device
13 Interface unit
21 Shared memory
22 Arbitration control circuit
DEV1, DEV2, DEVn Controlled device

(57) Abstract: An information processing device in an embodiment of the present invention controls access to the shared memory of n MPUs (n being an integer greater than or equal to 2). A control unit analyzes an access pattern to the shared memory on the basis of requests for access to the shared memory accepted in parallel from the n MPUs in the same access phase, and processes m accepted access requests (m being a natural number less than or equal to n) sequentially in the access phase in an order based on the analyzed access pattern. Therefore, even when there is an increase in the number of master MPUs that perform the delivery of input/output data via the shared memory of intelligent input/output devices, it is possible to deliver data without lowering the effective processing speed of each of the master MPUs.

(57) 要約: 実施形態の情報処理装置は、 n 個 (n : 2以上の整数)のMPUの共有メモリへのアクセスを制御する情報処理装置である。そして、制御部は、同一のアクセスフェーズにおいて、 n 個のMPUから並行して受け付けた共有メモリへのアクセス要求に基づいて、共有メモリに対するアクセスパターンを解析し、解析したアクセスパターンに基づく順番で受け付けた m 個 (m : n 以下の自然数)のアクセス要求をアクセスフェーズ内で順次処理するので、インテリジェント入出力装置の共有メモリを介して入出力データの受け渡しを行うマスタMPUの個数が増えても、各マスタMPUの実効的な処理速度を低下することなくデータの受け渡しを行える。

ンテリジェント入出力装置の共有メモリを介して入出力データの受け渡しを行うマスタMPUの個数が増えても、各マスタMPUの実効的な処理速度を低下することなくデータの受け渡しを行える。

明 細 書

発明の名称： 情報処理装置、方法及びプログラム

技術分野

[0001] 本発明の実施形態は、情報処理装置、方法及びプログラムに関する。

背景技術

[0002] 例えば、プロセス制御に適用されるシステムにおいては、制御を行うに際し、共有メモリを介して複数のマスタMPUがアクセスを行うインテリジェント入出力装置が知られている。

このインテリジェント入出力装置においては、被制御装置に対応する入出力データの処理をそれぞれ行う一又は複数のマスタMPUと、上位制御装置のマスタMPUとの間で入出力データの受け渡しを行うための共有メモリと、入出力データの処理を行うマスタMPU及び上位制御装置のマスタMPUを共有メモリに接続する回路と、を備えている。

先行技術文献

特許文献

[0003] 特許文献1：特開2000-20491号公報

発明の概要

発明が解決しようとする課題

[0004] 上記従来のインテリジェント入出力装置においては、共有メモリに対し同時に複数のマスタMPUがアクセスを行った場合、一つのマスタMPUが処理を完了するまで、他の一又は複数のマスタMPUにアクセスを待たせる必要があった。

[0005] このため、処理を待たされるマスタMPUの実効的な処理速度が低下してしまう虞があった。特にマスタMPUの数が増加すると処理を待たされるマスタMPUの数が増加するため、各マスタMPUの実効的な処理速度の低下が顕著となり得る。

[0006] 本発明は、上記に鑑みてなされたものであって、インテリジェント入出力

装置の共有メモリを介して入出力データの受け渡しを行うマスタMPUの個数が増えても、各マスタMPUの実効的な処理速度を低下することなくデータの受け渡しを行うことが可能な情報処理装置、方法及びプログラムを提供することを目的としている。

課題を解決するための手段

[0007] 実施形態の情報処理装置は、 n 個（ n ：2以上の整数）のMPUの共有メモリへのアクセスを制御する情報処理装置である。

そして、制御部は、同一のアクセスフェーズにおいて、 n 個のMPUから並行して受け付けた共有メモリへのアクセス要求に基づいて、共有メモリに対するアクセスパターンを解析し、解析したアクセスパターンに基づく順番で受け付けた m 個（ m ： n 以下の自然数）のアクセス要求をアクセスフェーズ内で順次処理する。

図面の簡単な説明

[0008] [図1]図1は、実施形態の情報処理装置を有するプロセス制御システム10の概要構成ブロック図である。

[図2]図2は、上位コントローラ11及びインテリジェント入出力装置12の概要構成ブロック図である。

[図3]図3は、インテリジェント入出力装置がT2フェーズにおいてマスタMPU11A及びマスタMPU23-1がそれぞれデータ読出処理を行う場合を例とした処理タイミングチャートである。

[図4]図4は、インテリジェント入出力装置がT2フェーズにおいてマスタMPU11A及びマスタMPU23-1がそれぞれデータ書込処理を行う場合を例とした処理タイミングチャートである。

[図5]図5は、アクセスパターン解析テーブルの説明図である。

[図6]図6は、インテリジェント入出力装置12の処理フローチャートである。

発明を実施するための形態

[0009] 次に図面を参照して実施形態について詳細に説明する。

図 1 は、実施形態の情報処理装置を有するプロセス制御システム 10 の概要構成ブロック図である。

プロセス制御システム 10 は、プロセス制御システム 10 全体の統括制御を行う上位コントローラ 11 と、上位コントローラ 11 の制御下で、入出力制御を行うインテリジェント入出力装置 12 と、入出力インタフェース 111 ~ 11n を備えたインタフェース部 13 と、それぞれが対応するインタフェース部 121 ~ 12n 及び通信ネットワーク 14 を介してインタフェース部 13 に接続された被制御装置 DEV1 ~ DEVn と、を備えている。

[0010] ここで、被制御装置 DEV1 ~ DEVn としては、モータ、バルブなど被制御機器の他、各種状態（電流、電圧、温度、流量、圧力等）をセンシングするセンサユニット等も含むものとする。

[0011] 以下の説明においては、理解の容易のため、主としてインテリジェント入出力装置 12 の一つのマスタ MPU 23-1 に着目して説明を行うものとする。また、以下の説明においては、共有メモリ 21 における読出アドレス／書込アドレスは、予め被制御装置 DEV1 ~ DEVn 毎に割り振られており、アクセス順もサイクリックに予め指定されており、同一の被制御装置 DEV1 ~ DEVn に対して、読出アドレスあるいは書込アドレスが重複して指定されることはないものとする。

[0012] 図 2 は、上位コントローラ 11 及びインテリジェント入出力装置 12 の概要構成ブロック図である。

上位コントローラ 11 は、上位コントローラ 11 全体を制御するとともに、クロック端子 CLK、第 1 レディ信号 RDY1 が入力されるレディ（Ready）端子 RDY、チップセレクト端子 CS、アドレス端子 ADDR、読出端子 RD、書込端子 WT 及びデータ端子 DATA を備えたマスタ MPU 11A を備えている。

[0013] インテリジェント入出力装置 12 は、入出力データを記憶する共有メモリ 21 と、共有メモリ 21 に対するマスタ MPU のアクセスが競合した場合の調整を行う制御部（以下、調停制御回路 22 と称する）と、被制御装置 DE

V 1 との間でデータの入出力を行うための制御を行うマスタ M P U 2 3 - 1 ~ 2 3 - n と、を備えている。

[0014] 調停制御回路 2 2 は、上位コントローラ 1 1 のマスタ M P U 1 1 A からの共有メモリ 2 1 に対するアクセスデータを一時的にラッチする第 1 アクセス一時ラッチ処理部 3 1 と、マスタ M P U 2 3 - 1 ~ 2 3 - n からの共有メモリ 2 1 に対するアクセスデータを一時的にラッチする第 2 アクセス一時ラッチ処理部 3 2 と、第 1 アクセス一時ラッチ処理部 3 1 にラッチされたアクセスデータ及び第 2 アクセス一時ラッチ処理部 3 2 にラッチされたアクセスデータに基づいて共有メモリ 2 1 に対するアクセスパターンを解析するアクセスパターン解析部 3 3 と、を備えている。

[0015] また、調停制御回路 2 2 は、アクセスパターン解析部 3 3 の解析結果に基づいて、共有メモリ 2 1 の読出アドレスあるいは書込アドレスを第 1 アクセス一時ラッチ処理部 3 1 に格納されたアドレスデータあるいは第 2 アクセス一時ラッチ処理部 3 2 の格納されたアドレスデータに切り替えるアドレス切換処理部 3 4 と、アクセスパターン解析部 3 3 の解析結果に基づいて共有メモリ 2 1 の書込コマンド、読出コマンドあるいはチップセレクトコマンドを出力するコマンド出力処理部 3 5 と、アクセスパターン解析部 3 3 の解析結果に基づいてデータの入力先のマスタ M P U あるいは出力先のマスタ M P U を切り替えるデータ切換処理部 3 6 と、を備えている。

[0016] マスタ M P U 2 3 - 1 は、クロック端子 C L K、第 2 レディ信号 R D Y 2 が入力されるレディ (R e a d y) 端子 R D Y、チップセレクト端子 C S、アドレス端子 A D R、読出端子 R D、書込端子 W T 及びデータ端子 D A T A を備えている。

[0017] 次に実施形態の動作を説明する。

インテリジェント入出力装置 1 2 のアクセスパターンは、時間的に連続する三つのアクセスフェーズである T 1 フェーズ ~ T 3 フェーズを備えている。

[0018] 図 3 は、インテリジェント入出力装置が T 2 フェーズにおいてマスタ M P

U 1 1 A 及び マスタ M P U 2 3 - 1 がそれぞれデータ読出処理を行う場合を例とした処理タイミングチャートである。

また、図 4 は、インテリジェント入出力装置が T 2 フェーズにおいてマスタ M P U 1 1 A 及び マスタ M P U 2 3 - 1 がそれぞれデータ書込処理を行う場合を例とした処理タイミングチャートである。

[0019] T 1 フェーズ～T 3 フェーズは、それぞれ、時系列に配置された三つのサブフェーズである第 1 サブフェーズ A 0 ～第 3 サブフェーズ A 2 を備えているものとする。そして、第 1 サブフェーズ A 0 でアクセスパターンを解析し、第 2 サブフェーズ A 1 で一方のマスタ M P U に対応する共有メモリアクセス処理を行い、第 3 サブフェーズ A 2 で他方のマスタ M P U に対応する共有メモリアクセス処理を行うようにされている。なお、サブフェーズは、アクセスパターンの解析を行う少なくとも一つのサブフェーズ（本実施形態では 1 個）に加えて、少なくとも共有メモリ 2 1 に同時並行してアクセス可能なマスタ M P U にそれぞれ対応する個数のサブフェーズ（本実施形態では、2 個）を備えているものとする。

[0020] まず、アクセスパターン解析部の動作について説明する。

図 5 は、アクセスパターン解析テーブルの説明図である。

図 5 においては、T 2 フェーズでアクセスパターンを解析する場合について示している。

共有メモリ 2 1 のアクセスパターンとしては、図 2 の装置構成の場合、以下の 9 パターンが存在している。

ここで、アクセスパターン解析部 3 3 は、マスタ M P U 1 1 A 及び マスタ M P U 2 3 - 1 のチップセレクト端子 C S、読出端子 R D 及び書込端子 W T の状態（正論理 [ハイアクティブ] の場合、図 3 中 “1” で示す “H” レベル又は図 3 中 “0” で示す “L” レベル）の組合せに応じてアクセスパターンを解析することとなる。

[0021] （1）アクセスパターン N o. 1

マスタ M P U 1 1 A 及び マスタ M P U 2 3 - 1 の双方とも共有メモリ 2 1

からデータ読み出しを行う場合。

[0022] 具体的には、アクセスパターン解析部 33 は、解析対象のフェーズ（本説明では、T2 フェーズ。以下同様。）において、マスタ MPU 11A のチップセレクト端子 CS = “L”、読出端子 RD = “L”、書込端子 WT = “H”、かつ、マスタ MPU 23-1 のチップセレクト端子 CS = “L”、読出端子 RD = “L”、書込端子 WT = “H” の場合に、アクセスパターン No. 1 と判定する。

[0023] （2）アクセスパターン No. 2

マスタ MPU 11A 及びマスタ MPU 23-1 の双方とも共有メモリ 21 にデータ書き込みを行う場合。

[0024] 具体的には、アクセスパターン解析部 33 は、解析対象のフェーズにおいて、マスタ MPU 11A のチップセレクト端子 CS = “L”、読出端子 RD = “H”、書込端子 WT = “L”、かつ、マスタ MPU 23-1 のチップセレクト端子 CS = “L”、読出端子 RD = “H”、書込端子 WT = “L” の場合に、アクセスパターン No. 2 と判定する。

[0025] （3）アクセスパターン No. 3

マスタ MPU 11A が共有メモリ 21 からデータ読み出しを行い、マスタ MPU 23-1 が共有メモリ 21 にデータ書き込みを行う場合。

[0026] 具体的には、アクセスパターン解析部 33 は、解析対象のフェーズにおいて、マスタ MPU 11A のチップセレクト端子 CS = “L”、読出端子 RD = “L”、書込端子 WT = “H”、かつ、マスタ MPU 23-1 のチップセレクト端子 CS = “L”、読出端子 RD = “H”、書込端子 WT = “L” の場合に、アクセスパターン No. 3 と判定する。

[0027] （4）アクセスパターン No. 4

マスタ MPU 11A が共有メモリ 21 にデータ書き込みを行い、マスタ MPU 23-1 が共有メモリ 21 からデータ読み出しを行う場合。

[0028] 具体的には、アクセスパターン解析部 33 は、解析対象のフェーズにおいて、マスタ MPU 11A のチップセレクト端子 CS = “L”、読出端子 RD

= “H”、書込端子WT = “L”、かつ、マスタMPU23-1のチップセレクト端子CS = “L”、読出端子RD = “L”、書込端子WT = “H”の場合に、アクセスパターンNo. 4と判定する。

[0029] (5) アクセスパターンNo. 5

マスタMPU11Aが共有メモリ21からデータ読み出しを行い、マスタMPU23-1は共有メモリ21に対して何も行わない場合。

[0030] 具体的には、アクセスパターン解析部33は、解析対象のフェーズにおいて、マスタMPU11Aのチップセレクト端子CS = “L”、読出端子RD = “L”、書込端子WT = “H”、かつ、マスタMPU23-1のチップセレクト端子CS = “H”、読出端子RD = “H”、書込端子WT = “H”の場合に、アクセスパターンNo. 5と判定する。

[0031] また、アクセスパターン解析部33は、解析対象のフェーズにおいて、マスタMPU11Aのチップセレクト端子CS = “L”、読出端子RD = “L”、書込端子WT = “H”、かつ、マスタMPU23-1のチップセレクト端子CS = “L”、読出端子RD = “H”、書込端子WT = “H”の場合に、アクセスパターンNo. 5と判定する。

[0032] (6) アクセスパターンNo. 6

マスタMPU23-1が共有メモリ21からデータ読み出しを行い、マスタMPU11Aは共有メモリ21に対して何も行わない場合。

[0033] 具体的には、アクセスパターン解析部33は、解析対象のフェーズにおいて、マスタMPU11Aのチップセレクト端子CS = “H”、読出端子RD = “H”、書込端子WT = “H”、かつ、マスタMPU23-1のチップセレクト端子CS = “L”、読出端子RD = “L”、書込端子WT = “H”の場合に、アクセスパターンNo. 6と判定する。

[0034] また、アクセスパターン解析部33は、解析対象のフェーズにおいて、マスタMPU11Aのチップセレクト端子CS = “L”、読出端子RD = “H”、書込端子WT = “H”、かつ、マスタMPU23-1のチップセレクト端子CS = “L”、読出端子RD = “L”、書込端子WT = “H”の場合に

、アクセスパターンN o. 6と判定する。

[0035] (7) アクセスパターンN o. 7

マスタM P U 1 1 Aが共有メモリ2 1にデータ書き込みを行い、マスタM P U 2 3 - 1は共有メモリ2 1に対して何も行わない場合。

[0036] 具体的には、アクセスパターン解析部3 3は、解析対象のフェーズにおいて、マスタM P U 1 1 Aのチップセレクト端子C S = “L”、読出端子R D = “H”、書込端子W T = “L”、かつ、マスタM P U 2 3 - 1のチップセレクト端子C S = “H”、読出端子R D = “H”、書込端子W T = “H”の場合に、アクセスパターンN o. 7と判定する。

[0037] また、アクセスパターン解析部3 3は、解析対象のフェーズにおいて、マスタM P U 1 1 Aのチップセレクト端子C S = “L”、読出端子R D = “H”、書込端子W T = “L”、かつ、マスタM P U 2 3 - 1のチップセレクト端子C S = “L”、読出端子R D = “H”、書込端子W T = “H”の場合に、アクセスパターンN o. 7と判定する。

[0038] (8) アクセスパターンN o. 8

マスタM P U 2 3 - 1が共有メモリ2 1にデータ書き込みを行い、マスタM P U 1 1 Aは共有メモリ2 1に対して何も行わない場合。

[0039] 具体的には、アクセスパターン解析部3 3は、解析対象のフェーズにおいて、マスタM P U 1 1 Aのチップセレクト端子C S = “H”、読出端子R D = “H”、書込端子W T = “H”、かつ、マスタM P U 2 3 - 1のチップセレクト端子C S = “L”、読出端子R D = “H”、書込端子W T = “L”の場合に、アクセスパターンN o. 8と判定する。

[0040] また、アクセスパターン解析部3 3は、解析対象のフェーズにおいて、マスタM P U 1 1 Aのチップセレクト端子C S = “L”、読出端子R D = “H”、書込端子W T = “H”、かつ、マスタM P U 2 3 - 1のチップセレクト端子C S = “L”、読出端子R D = “H”、書込端子W T = “L”の場合に、アクセスパターンN o. 8と判定する。

[0041] (9) アクセスパターンN o. 9

マスタMPU23-1及びマスタMPU11Aの双方とも共有メモリ21に対して何も行わない場合。

[0042] 具体的には、アクセスパターン解析部33は、解析対象のフェーズにおいて、マスタMPU11Aのチップセレクト端子CS＝“H”、読出端子RD＝“H”、書込端子WT＝“H”、かつ、マスタMPU23-1のチップセレクト端子CS＝“H”、読出端子RD＝“H”、書込端子WT＝“H”の場合に、アクセスパターンNo. 9と判定する。

[0043] また、アクセスパターン解析部33は、解析対象のフェーズにおいて、マスタMPU11Aのチップセレクト端子CS＝“L”、読出端子RD＝“H”、書込端子WT＝“H”、かつ、マスタMPU23-1のチップセレクト端子CS＝“L”、読出端子RD＝“H”、書込端子WT＝“H”の場合に、アクセスパターンNo. 9と判定する。

[0044] 図6は、インテリジェント入出力装置12の処理フローチャートである。

図6においては、図示の簡略化のため、マスタMPU11Aを「MPU1」と表記し、マスタMPU23-1を「MPU2」と表記している。

まず、調停制御回路22の第1アクセス一時ラッチ処理部31は、T2フェーズの第1サブフェーズA0（図4中、T2_A0で示す）において、マスタMPU11Aのアドレス端子ADRから出力されるアドレスデータ及びデータ端子DATAから出力される書き込みデータをラッチする。一方、調停制御回路22の第2アクセス一時ラッチ処理部32は、マスタMPU23-1のアドレス端子ADRから出力されるアドレスデータ及びデータ端子DATAから出力される書き込みデータをラッチする（ステップS11）。

[0045] 次にアクセスパターン解析部33は、マスタMPU11A及びマスタMPU23-1のそれぞれのチップセレクト端子CS、読出端子RD及び書込端子WTの状態の組合せに基づいて、アクセスパターンを解析する（ステップS12）。

続いて、アクセスパターン解析部33は、解析したアクセスパターンが、マスタMPU11A及びマスタMPU23-1の双方とも共有メモリ21か

らデータ読み出しを行う場合であるアクセスパターンNo. 1であるか否かを判別する（ステップS 1 3）。

[0046] ステップS 1 3の判別において、解析したアクセスパターンがアクセスパターンNo. 1である場合には（ステップS 1 3 ; Y e s）、アクセスパターン解析部3 3は、T 2フェーズの第2サブフェーズA 1（図4中、T 2_A 1で示す）において、アドレス切換処理部3 4を制御し、アドレスバスをマスタM P U 1 1 A側に切り替える（ステップS 1 4）。

[0047] これにより、アクセスパターン解析部3 3は、共有メモリコマンド出力処理として、マスタM P U 1 1 Aに対応する共有メモリ読出コマンドを発行（出力）する（ステップS 1 5）。この結果、第1アクセス一時ラッチ処理部3 1は、読出アドレスに対応するデータを共有メモリ2 1から読み出し、ラッチすることとなる（ステップS 1 6）。

[0048] 続いて、アクセスパターン解析部3 3は、T 2フェーズの第3サブフェーズA 2（図4中、T 2_A 2で示す）において、アドレス切換処理部3 4を制御し、アドレスバスをマスタM P U 2 3 - 1側に切り替える（ステップS 1 7）。

[0049] これにより、アクセスパターン解析部3 3は、共有メモリコマンド出力処理として、マスタM P U 2 3 - 1に対応する共有メモリ読出コマンドを発行（出力）する（ステップS 1 8）。

この結果、第2アクセス一時ラッチ処理部3 2は、読出アドレスに対応するデータを共有メモリ2 1から読み出し、ラッチすることとなる（ステップS 1 9）。

[0050] そして、マスタM P U 1 1 Aは、第1アクセス一時ラッチ処理部3 1から読み出し対象のデータを読み出し、マスタM P U 2 3 - 1は、第2アクセス一時ラッチ処理部3 2から読み出し対象のデータを読み出して当該T 2フェーズにおける処理を終了することとなる（ステップS 2 0）。

[0051] ここで、アクセスパターンNo. 1である場合を例として、図3を参照して、データ読出処理について詳細に説明する。

調停制御回路22は、マスタMPU11Aに共有メモリ21に対するアクセスを許可すべく、第1レディ信号RDY1を、図3に示すようにT1フェーズ～T3フェーズにわたって“H”レベルとする。同様に調停制御回路22は、マスタMPU23-1に共有メモリ21に対するアクセスを許可すべく、第2レディ信号RDY2を、図3に示すようにT1フェーズ～T3フェーズにわたって“H”レベルとする。

[0052] これにより、マスタMPU11Aは、当該マスタMPU11Aに共有メモリ21に対するアクセスが許可されていることを第1レディ信号RDY1に基づいて把握し、図3に示すようにT1フェーズ～T3フェーズにわたってアドレス端子ADRから共有メモリの読出アドレス110を出力する。

[0053] 続いてマスタMPU11Aは、調停制御回路22に対し、読出準備ができたことを通知すべく、T2フェーズの期間中、読出信号Rを“L”レベルとする。

[0054] 一方、マスタMPU23-1は、当該マスタMPU23-1に共有メモリ21に対するアクセスが許可されていることを第2レディ信号RDY2に基づいて把握し、図3に示すようにT1フェーズ～T3フェーズにわたってアドレス端子ADRから共有メモリの読出アドレス210を出力する。

[0055] 続いてマスタMPU23-1は、調停制御回路22に対し、読出準備ができたことを通知すべく、T2フェーズの期間中、読出信号Rを“L”レベルとする。

一方、調停制御回路22の第1アクセス一時ラッチ処理部31は、T2フェーズの第1サブフェーズA0（図6中、T2_A0で示す）において、マスタMPU11Aのアドレス端子ADRから出力されるアドレスデータ110をラッチする。また、調停制御回路22の第2アクセス一時ラッチ処理部32は、マスタMPU23-1のアドレス端子ADRから出力されるアドレスデータ210をラッチする。

[0056] 次にアクセスパターン解析部33は、マスタMPU11A及びマスタMPU23-1のそれぞれのチップセレクト端子CS、読出端子RD及び書込端

子WTの状態の組合せに基づいて、アクセスパターンを解析する。

- [0057] 続いて、アクセスパターン解析部33は、T2フェーズにおける第1サブフェーズA0におけるマスタMPU11A及びマスタMPU23-1のそれぞれのチップセレクト端子CS＝“L”レベルであり、読出端子RDの読出信号Rが“L”レベルであることから、マスタMPU11A及びマスタMPU23-1の双方とも共有メモリ21からデータ読み出しを行う場合であるアクセスパターンNo. 1であると判別する。
- [0058] そして、アクセスパターン解析部33は、T2フェーズの第2サブフェーズA1（図6中、T2_A1で示す）において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU11A側に切り替える。
- [0059] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU11Aに対応する共有メモリ読出コマンドを発行（出力）する（ステップS15）。この結果、第1アクセス一時ラッチ処理部31は、読出アドレス111に対応する読出データ112を共有メモリ21から読み出し、ラッチし、読出データ112をデータバスに出力することとなる。
- [0060] これにより、マスタMPU11Aのデータバスには、T2フェーズの第2サブフェーズA1～第3サブフェーズA2（図6中、T2_A1～T2_A2で示す）において、読出ラッチデータ113が出力される。
- [0061] この場合において、マスタMPU11Aのデータ読出タイミング114であるT2フェーズの終了時刻に対して、所定のデータリードセットアップ時間DRSの期間よりも長い期間、マスタMPU11Aのデータバスには、読出ラッチデータ113が出力されつづける。これにより、マスタMPU11Aは、確実に読出ラッチデータ113を取り込むことが可能となっている。
- [0062] また、アクセスパターン解析部33は、T2フェーズの第3サブフェーズA2（図6中、T2_A2で示す）において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU23-1側に切り替える。
- [0063] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処

理として、マスタMPU23-1に対応する共有メモリ読出コマンドを発行（出力）する。この結果、第2アクセス一時ラッチ処理部32は、読出アドレス211に対応する読出データ212を共有メモリ21から読み出し、ラッチし、読出データ212をデータバスに出力することとなる。

[0064] これにより、マスタMPU23-1のデータバスには、T2フェーズの第3サブフェーズA2（図6中、T2_A1～T2_A2で示す）において、読出ラッチデータ213が出力される。

[0065] この場合においても、マスタMPU23-1のデータ読出タイミング214であるT2フェーズの終了時刻に対して、所定のデータリードセットアップ時間DRSの期間よりも長い期間、マスタMPU23-1のデータバスには、読出ラッチデータ213が出力されつづける。これにより、マスタMPU23-1は、確実に読出ラッチデータ213を取り込むことが可能となっている。

[0066] ここで再び図6の説明に戻る。

ステップS13の判別において、解析したアクセスパターンがアクセスパターンNo. 1ではない場合には（ステップS13；No）、アクセスパターン解析部33は、解析したアクセスパターンがマスタMPU11A及びマスタMPU23-1の双方とも共有メモリ21にデータ書き込みを行う場合であるアクセスパターンNo. 2であるか否かを判別する（ステップS21）。

[0067] ステップS21の判別において、解析したアクセスパターンがアクセスパターンNo. 2である場合には（ステップS21；Yes）、アクセスパターン解析部33は、T2フェーズの第2サブフェーズA1において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU11A側に切り替える（ステップS22）。

[0068] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU11Aに対応する共有メモリ書込コマンドを共有メモリ21に対して発行（出力）する（ステップS23）。

この結果、第1アクセス一時ラッチ処理部31は、共有メモリ21の書込アドレスに対応する領域にマスタMPU11Aのデータを書き込むこととなる（ステップS24）。

続いて、アクセスパターン解析部33は、T2フェーズの第3サブフェーズA2において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU23-12側に切り替える（ステップS25）。

[0069] そして、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU23-1に対応する共有メモリ書込コマンドを共有メモリ21に対して発行（出力）する（ステップS26）。

この結果、第2アクセス一時ラッチ処理部32は、共有メモリ21の書込アドレスに対応する領域にマスタMPU23-1のデータを書き込むこととなる（ステップS27）。

[0070] ここで、アクセスパターンNo. 2である場合を例として、図4を参照して、データ書込処理について詳細に説明する。

調停制御回路22は、マスタMPU11Aに共有メモリ21に対するアクセスを許可すべく、第1レディ信号RDY1を、図4に示すようにT1フェーズ～T3フェーズにわたって“H”レベルとする。同様に調停制御回路22は、マスタMPU23-1に共有メモリ21に対するアクセスを許可すべく、第2レディ信号RDY2を、図4に示すようにT1フェーズ～T3フェーズにわたって“H”レベルとする。

[0071] これにより、マスタMPU11Aは、当該マスタMPU11Aに共有メモリ21に対するアクセスが許可されていることを第1レディ信号RDY1に基づいて把握し、図4に示すようにT1フェーズ～T3フェーズにわたってアドレス端子ADRから共有メモリの書込アドレス120を出力する。

[0072] 続いてマスタMPU11Aは、調停制御回路22に対し、書込準備ができたことを通知すべく、T2フェーズの期間中、書込信号Wを“L”レベルとする。

[0073] 一方、マスタMPU23-1は、当該マスタMPU23-1に共有メモリ

21に対するアクセスが許可されていることを第2レディ信号RDY2に基づいて把握し、図4に示すようにT1フェーズ～T3フェーズにわたってアドレス端子ADRから共有メモリの書込アドレス220を出力する。

[0074] 続いてマスタMPU23-1は、調停制御回路22に対し、書込準備ができたことを通知すべく、T2フェーズの期間中、書込信号Wを“L”レベルとする。

一方、調停制御回路22の第1アクセス一時ラッチ処理部31は、T2フェーズの第1サブフェーズA0（図6中、T2_A0で示す）において、マスタMPU11Aのアドレス端子ADRから出力されるアドレスデータ120をラッチする。また、調停制御回路22の第2アクセス一時ラッチ処理部32は、マスタMPU23-1のアドレス端子ADRから出力されるアドレスデータ220をラッチする。

[0075] 次にアクセスパターン解析部33は、マスタMPU11A及びマスタMPU23-1のそれぞれのチップセレクト端子CS、読出端子RD及び書込端子WTの状態の組合せに基づいて、アクセスパターンを解析する。

[0076] 続いて、アクセスパターン解析部33は、T2フェーズにおける第1サブフェーズA0におけるマスタMPU11A及びマスタMPU23-1のそれぞれのチップセレクト端子CS＝“L”レベルであり、書込端子WTの書込信号Wが“L”レベルであることから、マスタMPU11A及びマスタMPU23-1の双方とも共有メモリ21からデータ書込を行う場合であるアクセスパターンNo. 2であると判別する。

[0077] そして、アクセスパターン解析部33は、T2フェーズの第2サブフェーズA1（図6中、T2_A1で示す）において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU11A側に切り替える。

[0078] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU11Aに対応する共有メモリ書込コマンドを発行（出力）する。第1アクセス一時ラッチ処理部31は、書込アドレス120及び対応する書込データ122を、書込アドレス121及び書込データ123と

して共有メモリ21に出力することとなる。

[0079] これに伴い、共有メモリ21の書込信号Wは“L”レベルとなり、T2フェーズの第2サブフェーズA1（図6中、T2_A1で示す）において、書込アドレス121に対応する領域に書込データ123が書き込まれることとなる。

[0080] そして、アクセスパターン解析部33は、T2フェーズの第3サブフェーズA2（図6中、T2_A2で示す）において、アドレス切替処理部34を制御し、アドレスバス及びデータバスをマスタMPU23-1側に切り替える。

[0081] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU23-1に対応する共有メモリ書込コマンドを発行（出力）する。第2アクセス一時ラッチ処理部32は、書込アドレス220及び対応する書込データ222を、書込アドレス221及び書き込みデータ223として共有メモリ21に出力することとなる。

[0082] これに伴い、共有メモリ21の書込信号Wは“L”レベルとなり、T2フェーズの第3サブフェーズA2（図6中、T2_A2で示す）において、書込アドレス221に対応する領域に書込データ223が書き込まれることとなる。

[0083] ここで再び図6の説明に戻る。

ステップS21の判別において、解析したアクセスパターンがアクセスパターンNo. 2ではない場合には（ステップS21；No）、アクセスパターン解析部33は、解析したアクセスパターンが、マスタMPU11Aが共有メモリ21からデータ読み出しを行い、マスタMPU23-1が共有メモリ21にデータ書き込みを行う場合であるアクセスパターンNo. 3であるか否かを判別する（ステップS31）。

[0084] ステップS31の判別において、解析したアクセスパターンがアクセスパターンNo. 3である場合には（ステップS31；Yes）、アクセスパターン解析部33は、T2フェーズの第2サブフェーズA1において、アドレ

ス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU11A側に切り替える（ステップS32）。

[0085] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU11Aに対応する共有メモリ読出コマンドを発行（出力）する（ステップS33）。

この結果、第1アクセス一時ラッチ処理部31は、読出アドレスに対応するデータを共有メモリ21から読み出し、ラッチすることとなる（ステップS34）。

[0086] 続いて、アクセスパターン解析部33は、T2フェーズの第3サブフェーズA2において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU23-1側の第2アクセス一時ラッチ処理部32に切り替える（ステップS35）。

[0087] そして、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU23-1に対応する共有メモリ書込コマンドを共有メモリ21に対して発行（出力）する（ステップS36）。

この結果、第2アクセス一時ラッチ処理部32は、共有メモリ21の書込アドレスに対応する領域にマスタMPU23-1のデータを書き込むこととなる（ステップS37）。

[0088] そして、マスタMPU11Aは、第1アクセス一時ラッチ処理部31から読み出し対象のデータを読み出して当該T2フェーズにおける処理を終了することとなる（ステップS38）。

[0089] ステップS31の判別において、解析したアクセスパターンがアクセスパターンNo. 3ではない場合には（ステップS31；No）、アクセスパターン解析部33は、解析したアクセスパターンが、マスタMPU11Aが共有メモリ21にデータ書き込みを行い、マスタMPU23-1が共有メモリ21からデータ読み出しを行う場合であるアクセスパターンNo. 4であるか否かを判別する（ステップS41）。

[0090] ステップS41の判別において、解析したアクセスパターンがアクセスパ

ターンNo. 4である場合には（ステップS 4 1 ; Y e s）、アクセスパターン解析部3 3は、T 2フェーズの第2サブフェーズA 1において、アドレス切換処理部3 4を制御し、アドレスバス及びデータバスをマスタM P U 2 3－1側に切り替える（ステップS 4 2）。

[0091] これにより、アクセスパターン解析部3 3は、共有メモリコマンド出力処理として、マスタM P U 2 3－1に対応する共有メモリ読出コマンドを発行（出力）する（ステップS 4 3）。

この結果、第2アクセス一時ラッチ処理部3 2は、読出アドレスに対応するデータを共有メモリ2 1から読み出し、ラッチすることとなる（ステップS 4 4）。

[0092] 続いて、アクセスパターン解析部3 3は、T 2フェーズの第3サブフェーズA 2において、アドレス切換処理部3 4を制御し、アドレスバス及びデータバスをマスタM P U 1 1 A側の第1アクセス一時ラッチ処理部3 1に切り替える（ステップS 4 5）。

[0093] そして、アクセスパターン解析部3 3は、共有メモリコマンド出力処理として、マスタM P U 1 1 Aに対応する共有メモリ書込コマンドを共有メモリ2 1に対して発行（出力）する（ステップS 4 6）。

この結果、第1アクセス一時ラッチ処理部3 1は、共有メモリ2 1の書込アドレスに対応する領域にマスタM P U 1 1 Aのデータを書き込むこととなる（ステップS 4 7）。

[0094] そして、マスタM P U 1 1 Aは、第2アクセス一時ラッチ処理部3 2から読み出し対象のデータを読み出して当該T 2フェーズにおける処理を終了することとなる（ステップS 4 8）。

[0095] ステップS 4 1の判別において、解析したアクセスパターンがアクセスパターンNo. 4ではない場合には（ステップS 4 1 ; N o）、アクセスパターン解析部3 3は解析したアクセスパターンが、マスタM P U 1 1 Aが共有メモリ2 1からデータ読み出しを行い、マスタM P U 2 3－1は共有メモリ2 1に対して何も行わない場合であるアクセスパターンNo. 5であるか否

かを判別する（ステップS 5 1）。

[0096] ステップS 5 1の判別において、解析したアクセスパターンがアクセスパターンN o. 5である場合には（ステップS 5 1 ; Y e s）、アクセスパターン解析部3 3は、T 2フェーズの第2サブフェーズA 1において、アドレス切換処理部3 4を制御し、アドレスバス及びデータバスをマスタM P U 1 1 A側に切り替える（ステップS 5 2）。

[0097] これにより、アクセスパターン解析部3 3は、共有メモリコマンド出力処理として、マスタM P U 1 1 Aに対応する共有メモリ読出コマンドを発行（出力）する（ステップS 5 3）。

この結果、第1アクセス一時ラッチ処理部3 1は、読出アドレスに対応するデータを共有メモリ2 1から読み出し、ラッチすることとなる（ステップS 5 4）。

[0098] 続いて、マスタM P U 1 1 Aは、第1アクセス一時ラッチ処理部3 1から読み出し対象のデータを読み出して当該T 2フェーズにおける処理を終了することとなる（ステップS 5 5）。

[0099] ステップS 5 1の判別において、解析したアクセスパターンがアクセスパターンN o. 5ではない場合には（ステップS 5 1 ; N o）、アクセスパターン解析部3 3は解析したアクセスパターンが、マスタM P U 2 3 - 1が共有メモリ2 1からデータ読み出しを行い、マスタM P U 1 1 Aは共有メモリ2 1に対して何も行わない場合であるアクセスパターンN o. 6であるか否かを判別する（ステップS 6 1）。

[0100] ステップS 6 1の判別において、解析したアクセスパターンがアクセスパターンN o. 6である場合には（ステップS 6 1 ; Y e s）、アクセスパターン解析部3 3は、T 2フェーズの第2サブフェーズA 1において、アドレス切換処理部3 4を制御し、アドレスバス及びデータバスをマスタM P U 2 3 - 1側に切り替える（ステップS 6 2）。

[0101] これにより、アクセスパターン解析部3 3は、共有メモリコマンド出力処理として、マスタM P U 2 3 - 1に対応する共有メモリ読出コマンドを発行

(出力) する (ステップ S 6 3)。

この結果、第 2 アクセス一時ラッチ処理部 3 2 は、読出アドレスに対応するデータを共有メモリ 2 1 から読み出し、ラッチすることとなる (ステップ S 6 4)。

[0102] 続いて、マスタ M P U 2 3 - 1 は、第 2 アクセス一時ラッチ処理部 3 2 から読み出し対象のデータを読み出して当該 T 2 フェーズにおける処理を終了することとなる (ステップ S 6 5)。

[0103] ステップ S 6 1 の判別において、解析したアクセスパターンがアクセスパターン N o. 6 ではない場合には (ステップ S 6 1 ; N o)、アクセスパターン解析部 3 3 は、解析したアクセスパターンが、マスタ M P U 1 1 A が共有メモリ 2 1 にデータ書き込みを行い、マスタ M P U 2 3 - 1 は共有メモリ 2 1 に対して何も行わない場合であるアクセスパターン N o. 7 であるか否かを判別する (ステップ S 7 1)。

[0104] ステップ S 7 1 の判別において、解析したアクセスパターンがアクセスパターン N o. 7 である場合には (ステップ S 7 1 ; Y e s)、アクセスパターン解析部 3 3 は、T 2 フェーズの第 2 サブフェーズ A 1 において、アドレス切換処理部 3 4 を制御し、アドレスバス及びデータバスをマスタ M P U 1 1 A 側に切り替える (ステップ S 7 2)。

[0105] これにより、アクセスパターン解析部 3 3 は、共有メモリコマンド出力処理として、マスタ M P U 1 1 A に対応する共有メモリ書込コマンドを共有メモリ 2 1 に対して発行 (出力) する (ステップ S 7 3)。

この結果、第 1 アクセス一時ラッチ処理部 3 1 は、共有メモリ 2 1 の書込アドレスに対応する領域にマスタ M P U 1 1 A のデータを書き込み、当該 T 2 フェーズにおける処理を終了することとなる (ステップ S 7 4)。

[0106] ステップ S 7 1 の判別において、解析したアクセスパターンがアクセスパターン N o. 7 ではない場合には (ステップ S 7 1 ; N o)、アクセスパターン解析部 3 3 は、解析したアクセスパターンが、マスタ M P U 2 3 - 1 が共有メモリ 2 1 にデータ書き込みを行い、マスタ M P U 1 1 A は共有メモリ

21 に対して何も行わない場合であるアクセスパターンNo. 8であるか否かを判別する（ステップS81）。

[0107] ステップS81の判別において、解析したアクセスパターンがアクセスパターンNo. 8である場合には（ステップS81；Yes）、アクセスパターン解析部33は、T2フェーズの第2サブフェーズA1において、アドレス切換処理部34を制御し、アドレスバス及びデータバスをマスタMPU23-1側に切り替える（ステップS82）。

[0108] これにより、アクセスパターン解析部33は、共有メモリコマンド出力処理として、マスタMPU23-1に対応する共有メモリ書込コマンドを共有メモリ21に対して発行（出力）する（ステップS83）。

この結果、第2アクセラ一時ラッチ処理部32は、共有メモリ21の書込アドレスに対応する領域にマスタMPU23-1のデータを書き込み、当該T2フェーズにおける処理を終了することとなる（ステップS84）。

[0109] ステップS81の判別において、解析したアクセスパターンがアクセスパターンNo. 8ではない場合には（ステップS81；No）、アクセスパターン解析部33は、解析したアクセスパターンがマスタMPU23-1及びマスタMPU11Aの双方とも共有メモリ21に対して何も行わない場合であるアクセスパターンNo. 9であるとして、何も行わずに、当該T2フェーズにおける処理を終了することとなる（ステップS91）。

[0110] 以上の説明のように、本実施形態によれば、同一のアクセスフェーズ（T1～T3フェーズ）において、複数のマスタMPUは、共有メモリ21に対して同時にアクセスしたものと等価となり、複数のマスタMPUは、待機させられることなく、ひいては、実効的な処理速度の低下を招くことがない。

[0111] 本実施形態の情報処理装置で実行されるプログラムは、インストール可能な形式又は実行可能な形式のファイルでCD-ROM、フレキシブルディスク（FD）、CD-R、DVD（Digital Versatile Disk）等のコンピュータで読み取り可能な記録媒体に記録されて提供される。

[0112] また、本実施形態の情報処理装置で実行されるプログラムを、インターネット等のネットワークに接続されたコンピュータ上に格納し、ネットワーク経由でダウンロードさせることにより提供するように構成しても良い。また、本実施形態の情報処理装置で実行されるプログラムをインターネット等のネットワーク経由で提供または配布するように構成しても良い。

また、本実施形態の情報処理装置のプログラムを、ROM等に予め組み込んで提供するように構成してもよい。

[0113] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明とその均等の範囲に含まれる。

[0114] 例えば、以上の説明においては、同一のアクセスフェーズにおいて、2個のマスタMPU11A、23-1から並行して受け付けた共有メモリ21へのアクセス要求を行う場合について説明したが、同一のアクセスフェーズにおいて3以上のマスタMPUがアクセス要求を行うことが可能な場合であっても予め3以上のマスタMPUのアクセスパターンの組合せを把握しておき、アクセスパターンの解析を行うことで同様に適用が可能である。

請求の範囲

【請求項1】 n 個（ n ：2以上の整数）のMPUの共有メモリへのアクセスを制御する情報処理装置において、

 同一のアクセスフェーズにおいて、前記 n 個のMPUから並行して受け付けた前記共有メモリへのアクセス要求に基づいて、前記共有メモリに対するアクセスパターンを解析し、前記解析したアクセスパターンに基づく順番で前記受け付けた m 個（ m ： n 以下の自然数）のアクセス要求を前記アクセスフェーズ内で順次処理する制御部を備えた情報処理装置。

【請求項2】 前記制御部は、前記MPUからの前記アクセス要求及び前記アクセス要求に対応するデータをそれぞれ格納可能な複数のラッチ処理部と、

 前記 n 個のMPUから並行して受け付けた前記共有メモリへのアクセス要求に基づいて、前記共有メモリに対する前記複数のMPUのアクセスパターンを解析するアクセスパターン解析部と、

 前記アクセスパターンの解析結果に基づいて、前記共有メモリにアクセスコマンドの出力を行うコマンド出力処理部と、

 を備えた請求項1記載の情報処理装置。

【請求項3】 前記制御部は、前記アクセスパターンの解析結果に基づいて、前記 n 個のMPUのうち処理対象のいずれかのMPUのアクセス要求に対応するアドレスデータを前記共有メモリに出力するアドレス切替処理部と、

 前記アクセスパターンの解析結果に基づいて、前記 n 個のMPUのうち処理対象のいずれかのMPUのアクセス要求に対応する書込データを前記共有メモリに出力し、あるいは、前記 n 個のMPUのうち処理対象のいずれかのMPUのアクセス要求に対応する読出データを前記共有メモリから読み出すデータ切替処理部と、

 を備えた請求項2記載の情報処理装置。

[請求項4] 前記アクセスフェーズは、少なくとも ($n + 1$) 個のサブフェーズを備え、

前記制御部は、前記アクセスフェーズの最初のサブフェーズにおいて、前記アクセスパターンの解析を行い、残りの n 個のサブフェーズにおいて、前記 m 個のアクセス要求を順次処理する、

請求項 1 乃至請求項 3 のいずれか一項に記載の情報処理装置。

[請求項5] 前記 n 個の M P U のうち、いずれか少なくとも一つは、上位コントローラを構成する M P U で有り、

前記 n 個の M P U のうち、前記上位コントローラを構成する M P U 以外の M P U は、当該情報処理装置を構成するとともに、前記上位コントローラの制御下で、対応する被制御装置をそれぞれ制御する M P U である、

請求項 1 乃至請求項 4 のいずれか一項に記載の情報処理装置。

[請求項6] n 個 ($n : 2$ 以上の整数) の M P U の共有メモリへのアクセスを制御する情報処理装置で実行される方法であって、

同一のアクセスフェーズにおいて、前記 n 個の M P U から並行して前記共有メモリへのアクセス要求を受け付ける過程と、

前記アクセス要求に基づいて、前記共有メモリに対するアクセスパターンを解析する過程と、

前記解析したアクセスパターンに基づく順番で前記受け付けた m 個 ($m : n$ 以下の自然数) のアクセス要求を前記アクセスフェーズ内で順次処理する過程と、

を備えた方法。

[請求項7] n 個 ($n : 2$ 以上の整数) の M P U の共有メモリへのアクセスを制御する情報処理装置をコンピュータにより制御するためのプログラムであって、

前記コンピュータを、

同一のアクセスフェーズにおいて、前記 n 個の M P U から並行して

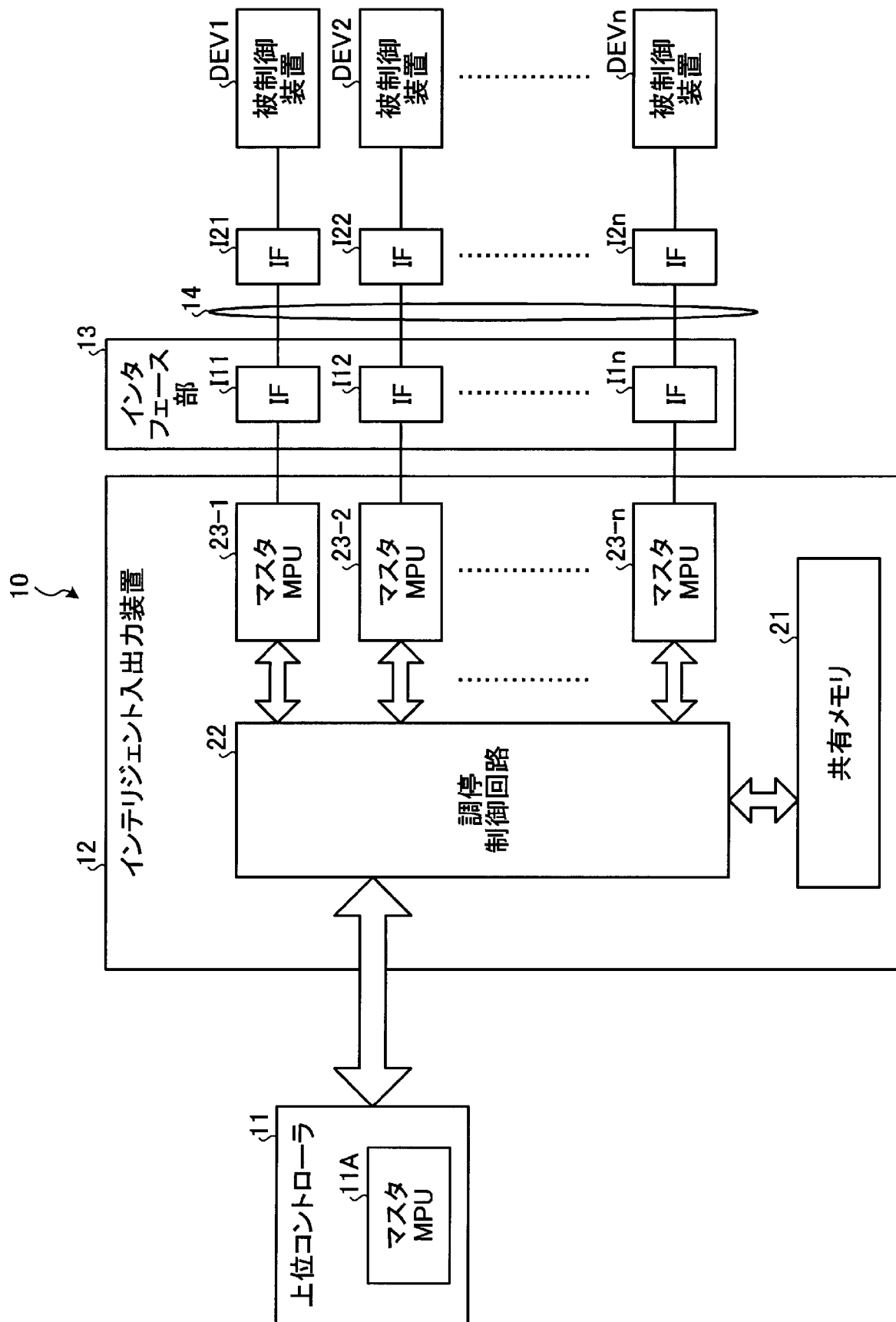
前記共有メモリへのアクセス要求を受け付ける手段と、

前記アクセス要求に基づいて、前記共有メモリに対するアクセスパターンを解析する手段と、

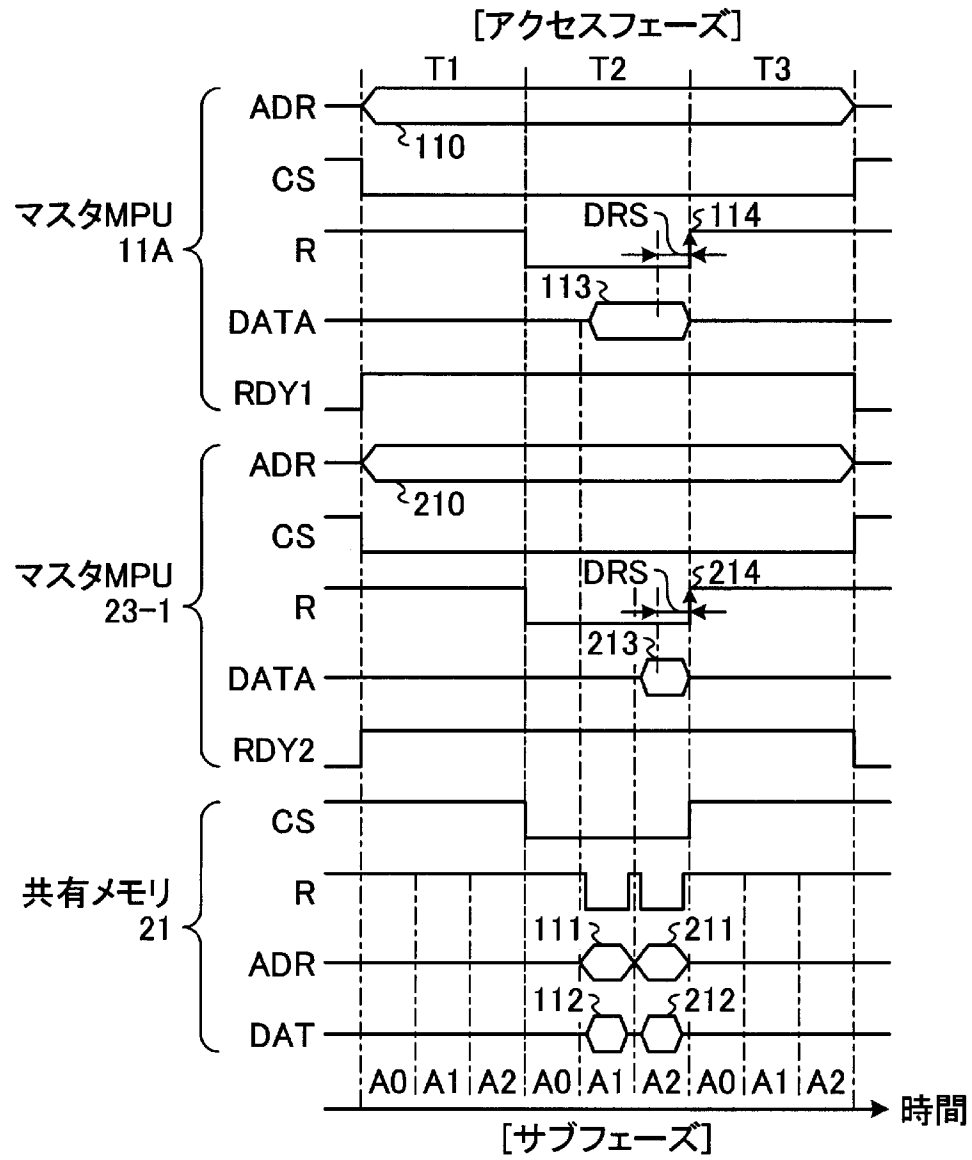
前記解析したアクセスパターンに基づく順番で前記受け付けた m 個（ $m : n$ 以下の自然数）のアクセス要求を前記アクセスフェーズ内で順次処理する手段と、

して機能させるプログラム。

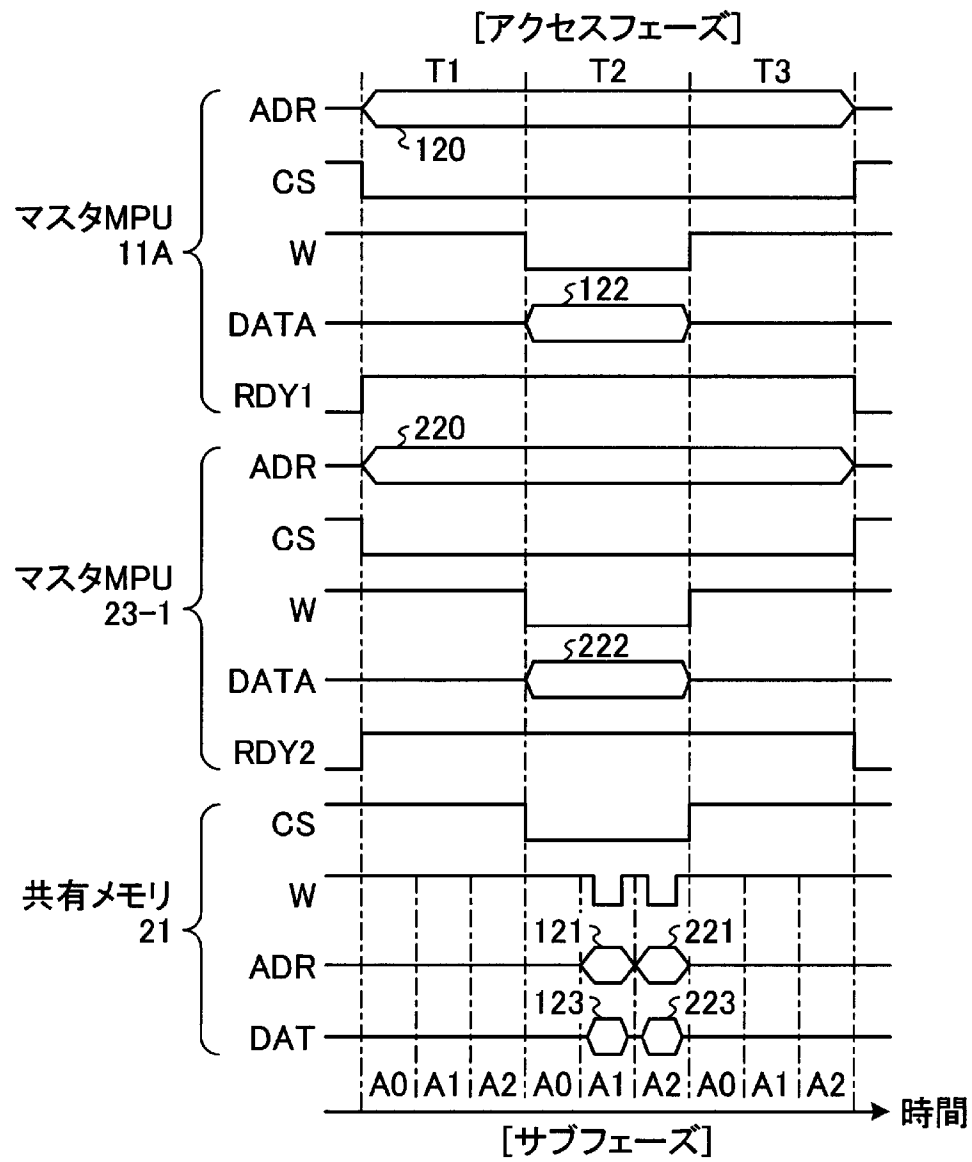
[図1]



[図3]



[図4]

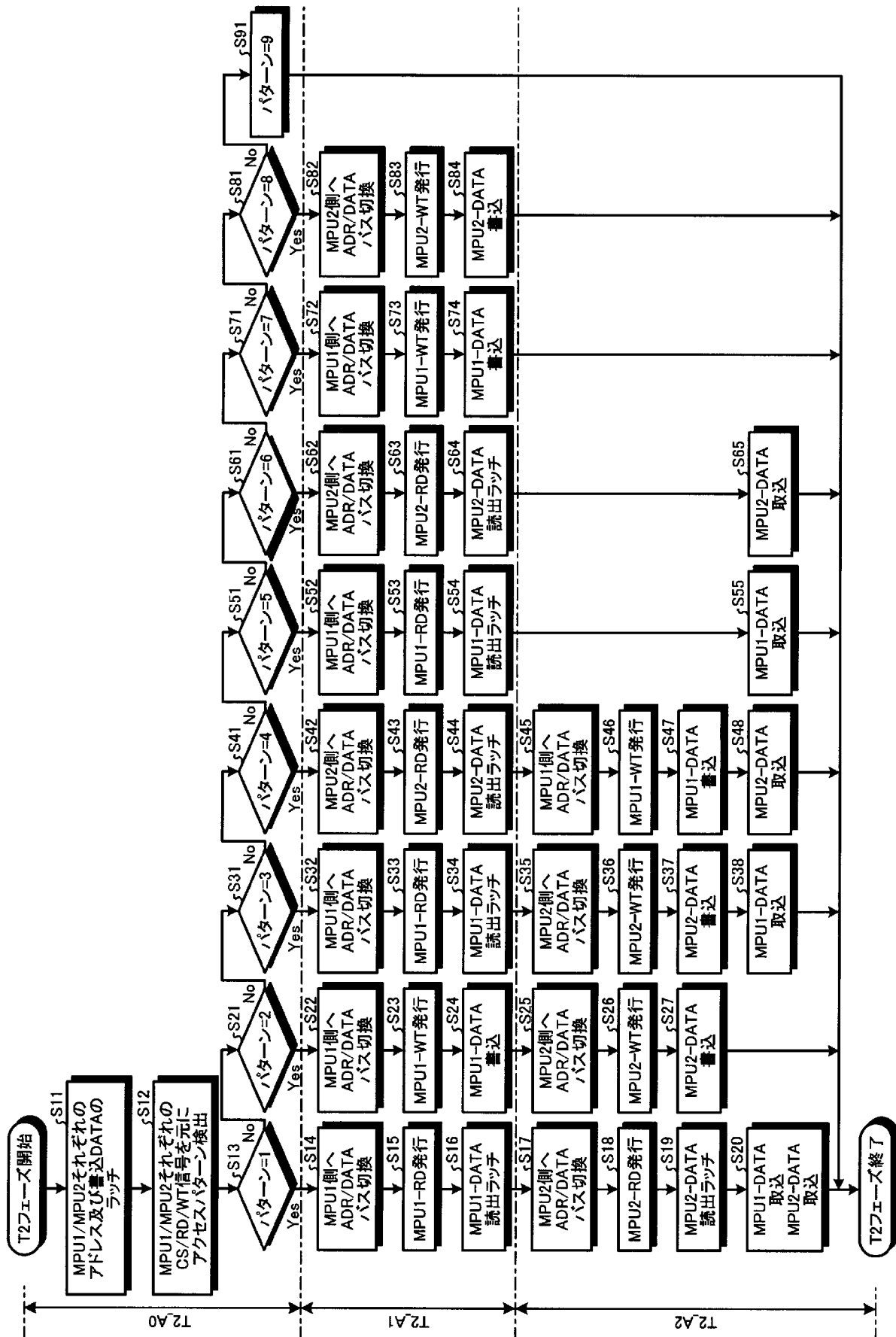


[図5]

共有メモリ アクセス パターンNo.	MPU1及びMPU2からのR/Wコマンドの重なり									共有メモリ アクセス	
	MPU1アクセス				MPU2アクセス					T2フェーズ	
	Mode	T2フェーズ			Mode	T2フェーズ				A1	A2
		CS	RD	WT		CS	RD	WT			
1	RD	0	0	1	RD	0	0	1	→	RI1	RI2
2	WT	0	1	0	WT	0	1	0	→	WI1	WI2
3	RD	0	0	1	WT	0	1	0	→	RI1	WI2
4	WT	0	1	0	RD	0	0	1	→	RI2	WI1
5	RD	0	0	1	N	1	1	1	→	RI1	－
5	RD	0	0	1	C	0	1	1	→	RI1	－
6	N	1	1	1	RD	0	0	1	→	RI2	－
6	C	0	1	1	RD	0	0	1	→	RI2	－
7	WT	0	1	0	N	1	1	1	→	WI1	－
7	WT	0	1	0	C	0	1	1	→	WI1	－
8	N	1	1	1	WT	0	1	0	→	WI2	－
8	C	0	1	1	WT	0	1	0	→	WI2	－
9	N	1	1	1	N	1	1	1	→	－	－
9	C	0	1	1	C	0	1	1	→	－	－

Mode RD:読出モード
WT:書込モード
C:チップセレクトモード
N:ノーオペレーションモード

[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/059712

A. CLASSIFICATION OF SUBJECT MATTER G06F12/00(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F12/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-33966 A (NEC Corp.), 14 February 1991 (14.02.1991), page 2, lower right column, line 2 to page 4, lower right column, line 5; fig. 1 to 3 (Family: none)	1-7
Y	JP 2000-194683 A (NEC Kofu Ltd.), 14 July 2000 (14.07.2000), paragraphs [0019] to [0048]; fig. 1, 3 (Family: none)	1-7
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 June 2016 (15.06.16)		Date of mailing of the international search report 28 June 2016 (28.06.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F12/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 3-33966 A（日本電気株式会社）1991.02.14, 第2頁右下欄第2行-第4頁右下欄第5行, 図1-3 (ファミリーなし)	1-7
Y	JP 2000-194683 A（甲府日本電気株式会社）2000.07.14, 段落 [0019] - [0048], 図1, 図3 (ファミリーなし)	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.06.2016

国際調査報告の発送日

28.06.2016

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

酒井 恭信

電話番号 03-3581-1101 内線 3586

5N

9190