

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7005861号
(P7005861)

(45)発行日 令和4年1月24日(2022.1.24)

(24)登録日 令和4年1月11日(2022.1.11)

| | | | |
|------------|-----------------|---------|---------------|
| (51)国際特許分類 | | F I | |
| G 0 2 F | 1/1368(2006.01) | G 0 2 F | 1/1368 |
| G 0 2 F | 1/1337(2006.01) | G 0 2 F | 1/1337 5 1 5 |
| H 0 1 L | 29/786(2006.01) | H 0 1 L | 29/78 6 1 6 T |

請求項の数 11 (全23頁)

| | | | |
|-------------------|-----------------------------|----------|--|
| (21)出願番号 | 特願2018-508934(P2018-508934) | (73)特許権者 | 000002185 ソニーグループ株式会社 東京都港区港南1丁目7番1号 |
| (86)(22)出願日 | 平成29年3月10日(2017.3.10) | (74)代理人 | 100091487 弁理士 中村 行孝 |
| (86)国際出願番号 | PCT/JP2017/009751 | (74)代理人 | 100094363 山本 孝久 |
| (87)国際公開番号 | WO2017/169663 | (74)代理人 | 100118290 弁理士 吉井 正明 |
| (87)国際公開日 | 平成29年10月5日(2017.10.5) | (72)発明者 | 津野 仁志 東京都港区港南1丁目7番1号 ソニー 株式会社内 |
| 審査請求日 | 令和2年3月4日(2020.3.4) | 審査官 | 岩村 貴 |
| (31)優先権主張番号 | 特願2016-70100(P2016-70100) | | |
| (32)優先日 | 平成28年3月31日(2016.3.31) | | |
| (33)優先権主張国・地域又は機関 | 日本国(JP) | | |

最終頁に続く

(54)【発明の名称】 液晶表示装置及び電子機器

(57)【特許請求の範囲】

【請求項1】

表示に寄与する有効画素が配置されて成る有効画素部、
有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー画素部、及び、
有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一定の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
を備え、
有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、
基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー画素部の保持特性を非対称にし、
画素トランジスタの特性は、有効画素部の有効画素とダミー画素部のダミー画素とで異なる、
液晶表示装置。

【請求項2】

画素トランジスタは、低濃度不純物ドレイン領域を有しており、
ダミー画素は、低濃度不純物ドレイン領域の長さが、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である、
請求項1に記載の液晶表示装置。

【請求項3】

画素トランジスタは、低濃度不純物ドレイン領域を有しており、
 ダミー画素は、低濃度不純物ドレイン領域の濃度が、一方のソース/ドレイン領域側と他
 方のソース/ドレイン領域側とで非対称である、
 請求項 1 に記載の液晶表示装置。

【請求項 4】

ダミー画素は、ゲート絶縁膜の膜厚が、一方のソース/ドレイン領域側と他方のソース/
 ドレイン領域側とで非対称である、
 請求項 1 に記載の液晶表示装置。

【請求項 5】

画素トランジスタは、低濃度不純物ドレイン領域を有し、ゲート電極へのコンタクト部が
 低濃度不純物ドレイン領域の近傍にゲート長方向に沿って形成されており、
 ダミー画素は、低濃度不純物ドレイン領域とコンタクト部との間の距離が、一方のソース
 /ドレイン領域側と他方のソース/ドレイン領域側とで非対称である、
 請求項 1 に記載の液晶表示装置。

10

【請求項 6】

画素駆動部は、ダミー画素に対して有効画素と同一の駆動を行う、
 請求項 1 に記載の液晶表示装置。

【請求項 7】

画素電極の液晶側及び画素電極に対向する対向電極の液晶側には、配向膜が形成されてお
 り、
 配向膜は斜方蒸着膜から成る、
 請求項 1 に記載の液晶表示装置。

20

【請求項 8】

ダミー画素は遮光されている、
 請求項 1 に記載の液晶表示装置。

【請求項 9】

表示に寄与する有効画素が配置されて成る有効画素部、
有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー
画素部、及び、
有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一
定の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
を備え、
有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、
基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー
画素部の保持特性を非対称にし、
 ダミー画素の保持容量の容量値が、有効画素の保持容量の容量値よりも小さい、
液晶表示装置。

30

【請求項 10】

表示に寄与する有効画素が配置されて成る有効画素部、
 有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー
 画素部、及び、
 有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一定
 の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
 を備え、
 有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、
 基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー画
 素部の保持特性を非対称にし、
画素トランジスタの特性は、有効画素部の有効画素とダミー画素部のダミー画素とで異
なる、
 液晶表示装置を有する電子機器。

40

50

【請求項 1 1】

表示に寄与する有効画素が配置されて成る有効画素部、
有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー
画素部、及び、
有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一
定の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
を備え、
有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、
基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー
画素部の保持特性を非対称にし、
ダミー画素の保持容量の容量値が、有効画素の保持容量の容量値よりも小さい、
液晶表示装置を有する電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、液晶表示装置及び電子機器に関する。

【背景技術】

【0002】

液晶表示装置において、2枚の基板間に液晶を封入して成る液晶パネルには、液晶やシール材等からのイオン性不純物が存在する場合がある。このイオン性不純物は、液晶パネルの駆動によって表示領域の特定箇所に滞留すると、液晶の保持率が低下し、焼き付きとして視認される。焼き付きは、同じ画像を繰り返して表示させた場合などに、次の画面に切り替えたときに、前の画像が残像として視認される現象である。

20

【0003】

従って、焼き付きの少ない表示を実現するには、焼き付きの原因となる液晶層中のイオン性不純物を低減することが重要となるが、イオン性不純物を完全に排除することは材料特性上困難である。そのため、従来は、表示領域の周りにイオン性不純物をトラップさせることで焼き付きの低減を行っていた。例えば、表示領域の周りにダミー画素領域を設け、ダミー画素電極と共通電極との間に、液晶の透過率を変化させる閾値電圧（最大2V）よりも小さい電圧を印加するようにしていた（例えば、特許文献1参照）。

30

【先行技術文献】

【特許文献】

【0004】

【文献】特開2014-206622号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に記載の従来技術は、ダミー画素電極を電子見切り部として機能させるとともに、表示領域からイオン性不純物をダミー画素電極に引き寄せ（トラップする）ことで、イオン性不純物の低減を図っている。しかしながら、特許文献1に記載の従来技術では、ダミー画素電極と共通電極との間に印加する電圧が最大で2V程度であるため、イオン性不純物をトラップする能力が弱く、しかも、表示領域端で液晶分子が作る流れが乱れて、イオン性不純物をダミー画素領域へ排出する障壁となる。

40

【0006】

本開示は、有効画素部の液晶層中のイオン性不純物をダミー画素部へより確実に排出し、当該ダミー画素部分にイオン性不純物をトラップすることによって焼き付きを改善することができる液晶表示装置及び当該液晶表示装置を有する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0007】

50

上記の目的を達成するための本開示の液晶表示装置は、
表示に寄与する有効画素が配置されて成る有効画素部、
有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー画素部、及び、
有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一定の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
を備え、
有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、
基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー画素部の保持特性を非対称にする。また、上記の目的を達成するための本開示の電子機器は、
上記の構成の液晶表示装置を有する。

10

【0008】

上記の構成の液晶表示装置、あるいは、当該液晶表示装置を有する電子機器において、有効画素部の保持特性に比べてダミー画素部の保持特性を非対称にすることで、反転駆動によって液晶層内で発生する直流電圧成分が、有効画素部よりもダミー画素部の方が大きくなる。そして、ダミー画素部の液晶層内で発生する直流電圧成分の作用によって、有効画素部の液晶層中のイオン性不純物を、ダミー画素部の配向膜にトラップする。

【発明の効果】

【0009】

本開示によれば、ダミー画素部の液晶層内で発生する直流電圧成分の作用によって、有効画素部の液晶層中のイオン性不純物を、ダミー画素部の配向膜にトラップすることで、有効画素部の液晶層中のイオン性不純物をダミー画素部へより確実に排出することができる。

20

【0010】

尚、ここに記載された効果に必ずしも限定されるものではなく、本明細書中に記載されたいずれかの効果であってもよい。また、本明細書に記載された効果はあくまで例示であって、これに限定されるものではなく、また付加的な効果があってもよい。

【図面の簡単な説明】

【0011】

【図1】図1は、本開示の技術が適用されるアクティブマトリクス型液晶表示装置のシステム構成の一例を示すブロック図である。

30

【図2】図2Aは、画素の回路構成の一例を示す回路図であり、図2Bは、液晶パネルの平面構造の構成の概略を示す平面図である。

【図3】図3は、液晶層中のイオン性不純物の流れを模式的に示す表示パネルの断面図である。

【図4】図4は、有効画素部及びダミー画素部の残留DC、並びに、ダミー画素部における残留DCの作用によるイオン性不純物のトラップについての説明図である。

【図5】図5Aは、液晶分子の流れに沿って移動した際にイオン性不純物が偏在する場所の一例を示す平面図であり、図5Bは、図5Aの円Xの部分におけるイオン性不純物の流れを示す拡大図である。

40

【図6】図6Aは、有効画素の薄膜トランジスタの平面図であり、図6Bは、図6AのA-A'線に沿った断面図である。

【図7】図7Aは、実施例1に係るダミー画素の薄膜トランジスタの平面図であり、図7Bは、図7AのB-B'線に沿った断面図である。

【図8】図8は、実施例1に係るダミー画素の薄膜トランジスタの製造方法の手順を示す工程図である。

【図9】図9は、実施例2に係るダミー画素の薄膜トランジスタの製造方法の手順を示す工程図である。

【図10】図10Aは、実施例3に係るダミー画素の薄膜トランジスタの平面図であり、図10Bは、図10AのC-C'線に沿った断面図である。

50

【図 1 1】図 1 1 は、実施例 3 に係るダミー画素の薄膜トランジスタの製造方法の手順を示す工程図である。

【図 1 2】図 1 2 は、実施例 4 に係るダミー画素の薄膜トランジスタの平面図である。

【図 1 3】図 1 3 は、実施例 4 に係るダミー画素の薄膜トランジスタの製造方法の手順を示す工程図である。

【図 1 4】図 1 4 A は、実施例 5 に係る有効画素及びダミー画素の回路図であり、図 1 4 B は、有効画素及びダミー画素の画素電位の変化を示す波形図である。

【図 1 5】図 1 5 は、実施例 5 に係る有効画素及びダミー画素の保持容量の製造方法の手順を示す工程図である。

【図 1 6】図 1 6 は、本開示の液晶表示装置（液晶パネル）を用いる 3 板式投射型表示装置の光学系の概略を示す構成図である。

10

【発明を実施するための形態】

【0012】

以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではなく、実施形態における種々の数値や材料などは例示である。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1．本開示の液晶表示装置及び電子機器、全般に関する説明

2．本開示の技術が適用される液晶表示装置

20

2 - 1．システム構成

2 - 2．画素の回路構成

2 - 3．表示パネルの平面構造

2 - 4．イオン性不純物の流れ

3．本開示の一実施形態

3 - 1．実施例 1（LDD 領域の長さについて、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称にする例）

3 - 2．実施例 2（LDD 領域の濃度について、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称にする例）

3 - 3．実施例 3（ゲート絶縁膜の膜厚について、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称にする例）

30

3 - 4．実施例 4（ゲート電極へのコンタクト部と LDD 領域との間の距離について、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称にする例）

3 - 5．実施例 5（ダミー画素の保持容量の容量値を、有効画素の保持容量の容量値よりも小さくする例）

4．本開示の電子機器（投射型表示装置の例）

5．本開示の構成

【0013】

<本開示の液晶表示装置及び電子機器、全般に関する説明>

本開示の液晶表示装置及び電子機器にあっては、液晶表示装置について、画面背面に置いた光源（バックライト）からの光を透過/遮断して表示する透過型であってもよいし、外光を光源として、その反射によって表示する反射型であってもよい。また、本開示の技術は、液晶モードによらず、あらゆる液晶モードの液晶表示装置に対応可能である。

40

【0014】

そして、本開示の液晶表示装置及び電子機器にあっては、画素トランジスタの特性について、有効画素部の有効画素とダミー画素部のダミー画素とで異なる構成とすることができる。

【0015】

上述した好ましい構成を含む本開示の液晶表示装置及び電子機器にあっては、画素トランジスタが低濃度不純物ドレイン領域を有するとき、ダミー画素部の画素トランジスタに

50

ついて、低濃度不純物ドレイン領域の長さが、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称、あるいは又、低濃度不純物ドレイン領域の濃度が、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である構成とすることができる。また、ダミー画素について、ゲート絶縁膜の膜厚が、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である構成とすることができる。

【0016】

また、上述した好ましい構成を含む本開示の液晶表示装置及び電子機器にあっては、画素トランジスタが、低濃度不純物ドレイン領域を有し、ゲート電極へのコンタクト部が低濃度不純物ドレイン領域の近傍にゲート長方向に沿って形成されているとき、ダミー画素について、低濃度不純物ドレイン領域とコンタクト部との間の距離が、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である構成とすることができる。

10

【0017】

あるいは又、上述した好ましい構成を含む本開示の液晶表示装置及び電子機器にあっては、ダミー画素の保持容量の容量値について、有効画素の保持容量の容量値よりも小さい構成とすることができる。

【0018】

あるいは又、上述した好ましい構成を含む本開示の液晶表示装置及び電子機器にあっては、画素駆動部について、ダミー画素に対して有効画素と同一の駆動を行う構成とすることができる。

【0019】

20

あるいは又、上述した好ましい構成を含む本開示の液晶表示装置及び電子機器にあっては、画素電極の液晶側及び画素電極に対向する対向電極の液晶側に、配向膜が形成されているとき、配向膜について斜方蒸着膜から成る構成とすることができる。更に、ダミー画素について、遮光されている構成とすることができる。

【0020】

<本開示の技術が適用される液晶表示装置>

先ず、本開示の技術が適用される液晶表示装置について、アクティブマトリクス型液晶表示装置を例に挙げて説明する。アクティブマトリクス型液晶表示装置は、画素の各々に対して独立した画素電極を配置し、これら画素電極の各々にスイッチング素子を接続して画素を選択的に駆動する、所謂、アクティブマトリクス駆動方式の表示装置である。

30

【0021】

アクティブマトリクス型液晶表示装置では、第1の基板及び第2の基板の2枚の基板間に液晶を封入することによって液晶パネルが構成される。第1の基板は、スイッチング素子として例えばTFT(Thin Film Transistor; 薄膜トランジスタ)が形成されたTFT基板である。第2の基板は、カラーフィルタや対向電極等が形成され、TFT基板に対して対向して設けられる対向基板である。そして、液晶パネルにおいて、スイッチング素子によるスイッチング制御と映像信号に基づく電圧印加によって液晶の配向を制御し、光の透過率を変えることで映像表示が行われる。

【0022】

アクティブマトリクス型液晶表示装置では、交流駆動化されたアナログ映像信号を用いて、液晶に印加する電圧を一定の周期にて基準電圧を中心に反転させる反転駆動が行われる。ここで、「交流駆動化されたアナログ映像信号」とは、基準電圧 V_{COM} (以下、「共通電圧 V_{COM} 」と呼ぶ)を中心に所定の周期にて極性が反転するアナログ映像信号のことを言う。液晶に同極性の直流電圧を印加し続けた場合には、液晶の比抵抗(物質固有の抵抗値)等が劣化し易くなるが、アナログ映像信号を交流駆動化することで、この液晶劣化を防ぐことができる。

40

【0023】

[システム構成]

本開示の技術が適用されるアクティブマトリクス型液晶表示装置のシステム構成の一例を図1に示す。図1に示すように、本適用例に係るアクティブマトリクス型液晶表示装置は

50

、画素 10 が行方向及び列方向に 2 次元配列されて成る画素アレイ部 20、及び、画素アレイ部 20 の各画素 10 を駆動する画素駆動部を有する。画素駆動部は、画素アレイ部 20 の各画素 10 を行単位で順次選択する垂直駆動部 30A、30B、及び、行単位で選択された各画素 10 に交流駆動化されたアナログ映像信号を供給する水平駆動部 40 等から成る。

【0024】

画素アレイ部 20 は、m 行 n 列の画素配列となっている。この m 行 n 列の画素配列に対して、画素行毎に走査線 51 (51₁, 51₂, ..., 51_m) が配線され、画素列毎に信号線 52 (52₁, 52₂, ..., 52_n) が配線されている。走査線 51 の両端は、垂直駆動部 30A 及び垂直駆動部 30B の対応する行の出力端に接続されている。信号線 52 の一端は、水平駆動部 40 の対応する列の出力端に接続されている。

10

【0025】

尚、本例では、垂直駆動部 30A 及び垂直駆動部 30B を、画素アレイ部 20 を挟んで配置した両側駆動の構成を例に挙げたが、画素アレイ部 20 の一方側にのみ配置する片側駆動の構成とすることも可能である。但し、両側駆動の構成の方が、片側駆動の構成に比べて、走査線 51 によって各画素 10 に行単位で伝送される走査信号の伝播遅延を低減できる効果がある。

【0026】

[画素の回路構成]

画素 10 の回路構成の一例を図 2A に示す。図 2A に示すように、画素 10 は、スイッチング素子として画素トランジスタ、例えば薄膜トランジスタ 11 を有する。薄膜トランジスタ 11 は、ゲート電極が走査線 51 (51₁, 51₂, ..., 51_m) に接続され、ソース電極が信号線 52 (52₁, 52₂, ..., 52_n) に接続されており、信号線 52 を通して供給される映像信号 (画素電位) を画素 10 内に書き込む。

20

【0027】

薄膜トランジスタ 11 のドレイン電極には、画素電極 12 が接続されている。薄膜トランジスタ 11 のドレイン電極には更に、保持容量 13 の一方の電極が接続されている。保持容量 13 は、薄膜トランジスタ 11 によって書き込まれた画素電位を保持する。保持容量 13 の他方の電極は、コモン線 53 に接続されている。コモン線 53 には、所定の直流電圧あるいは交流電圧がコモン電圧 V_{COM} として与えられる。このコモン電圧 V_{COM} は、反転駆動の際の基準電圧となる。尚、図 1 では、図面の簡略化のために、コモン線 53 の図示を省略している。

30

【0028】

[表示パネルの平面構造]

2 枚の基板間に液晶を封入して成る液晶パネルの構成について説明する。液晶パネルの平面構造の構成の概略を図 2B に示す。図 2B に示すように、液晶パネル 60 は、画素 10 が行方向及び列方向に 2 次元配列されて成る画素アレイ部 20 の周りに周辺回路部 61 を有する。この周辺回路部 61 には、先述した垂直駆動部 30A、30B や、水平駆動部 40 等を含む画素駆動部が配置される。

【0029】

画素アレイ部 20 は、表示に寄与する有効画素が配置されて成る有効画素部 (有効画素領域) 21、及び、有効画素部 21 に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー画素部 (ダミー画素領域) 22 から成る。有効画素部 21 の各画素と、ダミー画素部 22 の各画素とは、同じ回路構成となっている。すなわち、図 2A に示すように、有効画素部 21 の各画素も、ダミー画素部 22 の各画素も、薄膜トランジスタ 11、画素電極 12、及び、保持容量 13 を有する回路構成となっている。

40

【0030】

但し、有効画素部 21 の各画素が、入射光を取り込む開口部を有するのに対して、ダミー画素部 22 の各画素は、開口率ゼロの遮光された構成となっている。この遮光された構成のダミー画素部 22 は、有効画素部 21 の液晶層中のイオン性不純物をトラップするた

50

めに設けられた領域である（その詳細については後述する）。このイオン性不純物は、液晶パネル60の駆動によって有効画素部21の特定箇所滞留すると、液晶の保持率が低下し、焼き付きとして視認される。従って、焼き付きの少ない表示を実現するには、焼き付きの原因となる液晶層中のイオン性不純物を低減することが重要となる。

【0031】

[イオン性不純物の流れ]

ここで、焼き付きの原因となる液晶層中のイオン性不純物の流れについて、図3を用いて説明する。図3は、液晶層中のイオン性不純物の流れを模式的に示す表示パネル60の断面図である。図3中、白抜きの矢印がイオン性不純物の流れを示している。

【0032】

表示パネル60は、第1の基板としてのTFT基板と、第2の基板としての対向基板との間に、液晶分子LCが封入されて成る液晶層70が介在する構成となっている（図3では、TFT基板及び対向基板の図示を省略）。TFT基板側には、例えばITO（酸化インジウムスズ）から成る画素電極12が画素単位で（画素毎に）設けられている。そして、画素電極12の内側（液晶層70側）には、画素電極12を覆うように配向膜62が形成されている。

【0033】

一方、対向基板側には、例えばITOから成る共通電極14が全画素共通に設けられている。共通電極14には、コモン電圧 V_{COM} が印加される。そして、共通電極14の内側（液晶層70側）には、共通電極14の全面に亘って配向膜63が形成されている。TFT基板側の配向膜62及び対向基板側の配向膜63は共に、例えば、所定の方向から斜め蒸着して形成される斜方蒸着膜から成る。

【0034】

上記の構成の表示パネル60において、画素電極12と共通電極14との間に交流電圧を印加して液晶層70を駆動することにより、液晶分子LCは、画素電極12と共通電極14との間に生ずる電界に応じて挙動（振動）する。そして、TFT基板側の配向膜62及び対向基板側の配向膜63と液晶層70との界面近傍に、配向膜62、63の斜め蒸着方向に液晶分子LCの振動に応じた流れが生ずる。

【0035】

ここで、仮に、液晶層70に極性が正のイオン性不純物IP又は負のイオン性不純物INが含まれていると、イオン性不純物IP、INは、液晶分子LCが作る流れに沿って有効画素部21の特定箇所、例えば角部に向かって移動し、当該角部に滞留する場合がある。そして、有効画素部21の特定箇所にイオン性不純物IP、INが滞留すると、液晶の保持率が低下し、焼き付きとして視認される。

【0036】

<本開示の一実施形態>

本開示の一実施形態に係る液晶表示装置（アクティブマトリクス型液晶表示装置）は、焼き付きの原因となる液晶層70中のイオン性不純物IP、INを有効画素部21において低減し、焼き付きが視認されない表示を実現するためになされたものである。

【0037】

具体的には、本実施形態に係るアクティブマトリクス型液晶表示装置では、有効画素部21に隣接するダミー画素部22（図2B参照）において、斜方蒸着膜から成るTFT基板側の配向膜62及び対向基板側の配向膜63に、焼き付きの原因となる液晶層70中のイオン性不純物IP、INをトラップする。これにより、有効画素部21のイオン性不純物IP、INをダミー画素部22へより確実に排出し、有効画素部21における焼き付きを低減することができる。

【0038】

本実施形態では、ダミー画素部22の配向膜（斜方蒸着膜）62、63に、有効画素部21の液晶層70中のイオン性不純物IP、INをトラップするために、先ず、有効画素部21の各有効画素と同じ回路構成のダミー画素部22の各ダミー画素の駆動を、有効画素

10

20

30

40

50

部 2 1 の各有効画素と同一とする。具体的には、薄膜トランジスタ 1 1 が書き込む画素電位について、有効画素及びダミー画素共に、共通電極 1 4 に印加されるコモン電圧 V_{COM} (図 2 A 参照) に対して反転駆動させる。この有効画素及びダミー画素に対する同一の駆動 (即ち、反転駆動) は、垂直駆動部 3 0 A , 3 0 B や水平駆動部 4 0 等を含む画素駆動部による駆動の下に実行される。

【 0 0 3 9 】

ここで、アクティブマトリクス型液晶表示装置では、画素に光が入射すると、画素トランジスタである薄膜トランジスタ 1 1 でリーク (光リーク) が生じる。この光リークを踏まえて、反転駆動において、コモン電圧 V_{COM} に対する High 側と Low 側の実効的な画素電位が略同じになるように、表示パネル 6 0 毎に、コモン電圧 V_{COM} の設定が行われる。従って、画素電位の保持特性のコモン電圧 V_{COM} に対する対称性が崩れると、液晶層 7 0 内で直流電圧成分が発生する。以下、この直流電圧成分を残留 DC と呼ぶ。コモン電圧 V_{COM} は、有効画素部 2 1 の光リークに合わせて設定されるため、有効画素部 2 1 では残留 DC が小さい。

10

【 0 0 4 0 】

本実施形態では、上記の反転駆動において、画素電位の保持特性のコモン電圧 V_{COM} に対する非対称性を、有効画素部 2 1 に比べてダミー画素部 2 2 で顕著になるように変化させる。換言すれば、コモン電圧 V_{COM} に対する画素電位の保持特性について、有効画素部 2 1 の保持特性に比べてダミー画素部 2 2 の保持特性を非対称にする。このとき、画素電位の High / Low のバランスについては不問とする。

20

【 0 0 4 1 】

コモン電圧 V_{COM} に対する非対称性がダミー画素部 2 2 で顕著になる、即ち、画素電位の保持特性が有効画素部 2 1 に比べてダミー画素部 2 2 の方が非対称になることで、ダミー画素部 2 2 の残留 DC の発生が、有効画素部 2 1 の残留 DC の発生に比べて顕著になる。そして、有効画素部 2 1 の残留 DC よりも大きいダミー画素部 2 2 の残留 DC の作用により、有効画素部 2 1 の液晶層 7 0 中のイオン性不純物 I_P , I_N を、ダミー画素部 2 2 の配向膜 (斜方蒸着膜) 6 2 , 6 3 にトラップさせる。

【 0 0 4 2 】

上述したように、コモン電圧 V_{COM} に対する画素電位の保持特性について、有効画素部 2 1 の保持特性に比べてダミー画素部 2 2 の保持特性を非対称にし (即ち、非対称性を顕著にし)、ダミー画素部 2 2 の残留 DC を有効画素部 2 1 の残留 DC よりも大きくなるようにする。そして、このダミー画素部 2 2 の残留 DC の作用により、図 4 に示すように、ダミー画素部 2 2 において、斜方蒸着膜から成る配向膜 6 2 , 6 3 に、有効画素部 2 1 の液晶層 7 0 中に存在するイオン性不純物 I_P , I_N をトラップできる。

30

【 0 0 4 3 】

特に、本実施形態では、有効画素部 2 1 の各有効画素と同じ回路構成のダミー画素部 2 2 の各ダミー画素の駆動を、有効画素部 2 1 の各有効画素と同一の駆動 (反転駆動) としているため、イオン性不純物 I_P , I_N の流れを有効画素部 2 1 とダミー画素部 2 2 とで均一にすることができる。これにより、有効画素部 2 1 の液晶層 7 0 中に存在するイオン性不純物 I_P , I_N の、ダミー画素部 2 2 への侵入障壁を下げることもできるため、トラップ効率を向上できる。

40

【 0 0 4 4 】

因みに、イオン性不純物 I_P , I_N は、先述したように、液晶分子 LC が作る流れに沿って有効画素部 2 1 の角部 (図 5 A の円 X の部分) に向かって移動する。このとき、イオン性不純物 I_P , I_N の流れが有効画素部 2 1 とダミー画素部 2 2 とで均一でないと、有効画素部 2 1 とダミー画素部 2 2 との境界部分でイオン性不純物 I_P , I_N が滞留することになる。

【 0 0 4 5 】

これに対して、本実施形態によれば、ダミー画素部 2 2 への侵入障壁を下げるために、図 5 B に示すように、有効画素部 2 1 のイオン性不純物 I_P , I_N をダミー

50

画素部 2 2 へより確実に排出することができる。図 5 A の円 X の部分におけるイオン性不純物 I P , I N の流れを拡大して示す図 5 B において、実線の矢印は、対向基板側のイオン性不純物 I P , I N の流れを示し、点線の矢印は、T F T 基板側のイオン性不純物 I P , I N の流れを示しているが、この流れは共に逆方向であってもよい。

【 0 0 4 6 】

更に、本実施形態では、有効画素部 2 1 の各有効画素と同じ回路構成のダミー画素部 2 2 の各ダミー画素の駆動を、有効画素部 2 1 の各有効画素と同一の駆動（反転駆動）としているため、ダミー画素部 2 2 の各ダミー画素を駆動するための専用の駆動回路が不要である。これにより、画素駆動部を含むドライバ I C 等への負担が少ないというメリットもある。

10

【 0 0 4 7 】

以下に、コモン電圧 V C O M に対する画素電位の保持特性について、有効画素部 2 1 の保持特性に比べてダミー画素部 2 2 の保持特性を非対称にする（非対称性を顕著にする）、即ち、ダミー画素部 2 2 の残留 D C を有効画素部 2 1 の残留 D C よりも大きくするための具体的な実施例について説明する。

【 0 0 4 8 】

以下に説明する実施例 1 乃至実施例 4 は、ダミー画素部 2 2 の残留 D C を有効画素部 2 1 の残留 D C よりも大きくするに当たって、画素電位を書き込む薄膜トランジスタ 1 1 の特性を、有効画素部 2 1 の有効画素とダミー画素部 2 2 のダミー画素とで異ならせる例である。

20

【 0 0 4 9 】

先ず、有効画素部 2 1 の有効画素の薄膜トランジスタ 1 1 の構造について説明する。有効画素の薄膜トランジスタ 1 1 の平面図を図 6 A に示し、図 6 A の A - A ' 線に沿った断面図を図 6 B に示す。有効画素の薄膜トランジスタ 1 1 は、最下層にゲート線（ボトムゲート）7 1 が設けられ、その上の層としてゲート絶縁膜 7 2 が設けられている。ゲート絶縁膜 7 2 の上には、中央部にチャンネル領域 7 3 が形成され、一方の端部に一方のソース/ドレイン領域 7 4 A が、他方の端部に他方のソース/ドレイン領域 7 4 B がそれぞれ形成されている。また、ゲート絶縁膜 7 2 の上において、一方のソース/ドレイン領域 7 4 A 及び他方のソース/ドレイン領域 7 4 B とチャンネル領域 7 3 との間には、L D D（Lightly Doped Drain；低濃度不純物ドレイン）領域 7 5 A , 7 5 B が形成されている。

30

【 0 0 5 0 】

チャンネル領域 7 3、ソース/ドレイン領域 7 4 A , 7 4 B、及び、L D D 領域 7 5 A , 7 5 B を含む層の上には、ゲート絶縁膜 7 6 が形成されている。尚、図 6 A では、ゲート絶縁膜 7 6 の図示を省略している。ゲート絶縁膜 7 6 の上には、チャンネル領域 7 3 と対向してゲート電極（トップゲート）7 7 が形成されている。また、ソース/ドレイン領域 7 4 A , 7 4 B は、コンタクト部 7 9 A , 7 9 B によって電氣的に接続されている。

【 0 0 5 1 】

上記の構成の有効画素の薄膜トランジスタ 1 1 では、図 6 A に示すように、ゲート電極 7 7 とゲート線 7 1 とのコンタクト部 8 0 A , 8 0 B が、遮光を兼ねて L D D 領域 7 5 A , 7 5 B の近傍に、ゲート長方向（図 6 A の上下方向）に沿って形成されている。

40

【 0 0 5 2 】

図 6 A 及び図 6 B から明らかなように、有効画素の薄膜トランジスタ 1 1 は、L D D 領域 7 5 A , 7 5 B の長さ、及び、ゲート絶縁膜 7 6 の膜厚が、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで対称となっている。L D D 領域 7 5 A , 7 5 B の濃度についても、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで対称となっている。また、L D D 領域 7 5 A , 7 5 B とコンタクト部 8 0 A , 8 0 B との間の距離が、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで対称となっている。

【 0 0 5 3 】

[実施例 1]

50

実施例 1 は、LDD 領域 75 A , 75 B を有するダミー画素の薄膜トランジスタ 11 において、LDD 領域 75 A , 75 B の長さ (LDD 長) について、一方のソース/ドレイン領域 74 A 側と他方のソース/ドレイン領域 74 B 側とで非対称にする例である。尚、有効画素の薄膜トランジスタ 11 においても、LDD 長等が一方のソース/ドレイン領域 74 A 側と他方のソース/ドレイン領域 74 B 側とで非対称であってもよい。この場合、ダミー画素の薄膜トランジスタ 11 は、有効画素の薄膜トランジスタ 11 よりもその非対称性が顕著であればよい。実施例 1 に係るダミー画素の薄膜トランジスタ 11 の平面図を図 7 A に示し、図 7 A の B - B ' 線に沿った断面図を図 7 B に示す。

【0054】

実施例 1 に係るダミー画素の薄膜トランジスタ 11 では、LDD 領域 75 について、一方のソース/ドレイン領域 74 A 側を省略し、他方のソース/ドレイン領域 74 B 側のみに設けた構成となっている。すなわち、LDD 長に関して、一方のソース/ドレイン領域 74 A 側と他方のソース/ドレイン領域 74 B 側とで非対称な構成となっている。これにより、ダミー画素の薄膜トランジスタ 11 の特性を、有効画素の薄膜トランジスタ 11 の特性と異ならせることができる。

【0055】

ダミー画素部 22 には、遮光しているため光が入射しない。ダミー画素の薄膜トランジスタ 11 において、ソース - ドレイン間のリーク電流は、チャンネル領域 73 - LDD 領域 75 間の接続部における PN 接合の電界強度で決まる。この電界強度を下げるために、LDD 領域 75 を形成することが一般的である。そして、ダミー画素の薄膜トランジスタ 11 において、LDD 領域 75 の長さを、一方のソース/ドレイン領域 74 A 側と他方のソース/ドレイン領域 74 B 側とで非対称に設計することにより、コモン電圧 V_{COM} に対する画素電位の保持特性を非対称にすることができる。

【0056】

尚、本実施例では、LDD 領域 75 について、一方のソース/ドレイン領域 74 A 側を省略することで、LDD 領域 75 の長さに関して、一方のソース/ドレイン領域 74 A 側と他方のソース/ドレイン領域 74 B 側とで非対称としているが、これに限らない。具体的には、LDD 領域 75 の長さに関して、他方のソース/ドレイン領域 74 B 側を省略するようにしても、コモン電圧 V_{COM} に対する画素電位の保持特性を非対称にすることができる。

【0057】

また、LDD 領域 75 A , 75 B の長さを、一方のソース/ドレイン領域 74 A 側と他方のソース/ドレイン領域 74 B 側とで異ならせる、例えば、 $0.5 \mu m$ 以上異ならせることによって、コモン電圧 V_{COM} に対する画素電位の保持特性を非対称にすることができる。ここで例示した数値は、デバイス特性上差が出るおおよその値である。但し、デバイス設計によっては、上記の数値以下でもデバイス特性上差が出る。

【0058】

(製造方法)

次に、実施例 1 に係るダミー画素の薄膜トランジスタ 11 の製造方法について、図 8 の工程図を用いて説明する。

【0059】

工程 1 では、ゲート線 (ボトムゲート) 71、ボトムゲート側のゲート絶縁膜 72、チャンネル領域 73 となる半導体層 73 A、及び、トップゲート側のゲート絶縁膜 76 まで形成し、チャンネル領域 73 の形成のためのイオン注入を行う。工程 2 では、ゲート線 71 に対するコンタクト部 80 A , 80 B (図 7 A 参照) 及びゲート電極 (トップゲート) 77 を形成し、当該ゲート電極 77 をマスクとしてセルフアラインにて LDD 領域 75 のためのイオン注入を行う。

【0060】

次に、工程 3 では、例えば、他方のソース/ドレイン領域 74 B 側の LDD 形成領域のみを覆うようにレジスト 82 を形成し、ゲート電極 77 及びレジスト 82 をマスクとして

10

20

30

40

50

イオン注入を行ってソース/ドレイン領域 7 4 A , 7 4 B を形成する。工程 4 では、層間膜 8 3 の形成、活性化アニール、ソース/ドレイン領域 7 4 A , 7 4 B に対するコンタクト部 7 9 A , 7 9 B の形成を行う。以降、配線工程となる。

【 0 0 6 1 】

本製造方法では、LDD領域 7 5 について、一方のソース/ドレイン領域 7 4 A 側を省略する場合を例に挙げて説明したが、他方のソース/ドレイン領域 7 4 B 側を省略する場合であっても、LDD長を変える場合であっても、工程 3 において、レジスト 8 2 の形成位置を変えることによって対応できる。

【 0 0 6 2 】

[実施例 2]

実施例 2 は、実施例 1 の変形例であり、LDD領域 7 5 A , 7 5 B を有するダミー画素の薄膜トランジスタ 1 1 において、LDD領域 7 5 A , 7 5 B の濃度について、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで非対称にする例である。

【 0 0 6 3 】

実施例 2 に係るダミー画素の薄膜トランジスタ 1 1 では、一方のソース/ドレイン領域 7 4 A 側の LDD領域 7 5 A の濃度と、他方のソース/ドレイン領域 7 4 B 側の LDD領域 7 5 B の濃度とが異なるようにする。より具体的には、一方のソース/ドレイン領域 7 4 A 側の LDD領域 7 5 A の不純物濃度を相対的に濃くし、他方のソース/ドレイン領域 7 4 B 側の LDD領域 7 5 B の不純物濃度を相対的に薄くし、その差を例えば 2 倍以上とする。これにより、LDD長を非対称にする実施例 1 の場合と同様に、ダミー画素の薄膜トランジスタ 1 1 の特性を、有効画素の薄膜トランジスタ 1 1 の特性と異ならせことができる。

【 0 0 6 4 】

尚、本実施例では、一方のソース/ドレイン領域 7 4 A 側の LDD領域 7 5 A の不純物濃度を相対的に濃くし、他方のソース/ドレイン領域 7 4 B 側の LDD領域 7 5 B の不純物濃度を相対的に薄くするとしたが、その逆でもよい。また、ここで例示した数値は、デバイス特性上差が出るおおよその値である。但し、デバイス設計によっては、上記の数値以下でもデバイス特性上差が出る。

【 0 0 6 5 】

(製造方法)

次に、実施例 2 に係るダミー画素の薄膜トランジスタ 1 1 の製造方法について、図 9 の工程図を用いて説明する。

【 0 0 6 6 】

ここでは、説明の簡略化のために、実施例 1 の工程 1 に相当する処理、及び、実施例 1 の工程 2 に相当する処理については省略する。実施例 1 の工程 1 に相当する処理は、ゲート線 7 1、ゲート絶縁膜 7 2、チャネル領域 7 3 となる半導体層 7 3 A、及び、ゲート絶縁膜 7 6 まで形成し、チャネル領域 7 3 のためのイオン注入を行う処理である。実施例 1 の工程 2 に相当する処理は、ゲート線 7 1 に対するコンタクト部 8 0 A , 8 0 B 及びゲート電極 7 7 を形成し、当該ゲート電極 7 7 をマスクとしてセルフアラインにて LDD領域 7 5 B のためのイオン注入を行う処理である。

【 0 0 6 7 】

図 9 において、工程 1 では、ゲート電極 7 7 及び LDD領域 7 5 B を覆うようにレジスト 8 2 を形成し、ゲート電極 7 7 及びレジスト 8 2 をマスクとして LDD領域 7 5 A のためのイオン注入を行う。ここで、LDD領域 7 5 A の不純物濃度を相対的に濃く設定し、LDD領域 7 5 B の不純物濃度を相対的に薄く設定する。

【 0 0 6 8 】

次に、工程 2 では、ゲート電極 7 7 及び LDD領域 7 5 A , 7 5 B を覆うようにレジスト 8 4 を形成し、レジスト 8 4 をマスクとしてイオン注入を行ってソース/ドレイン領域 7 4 A , 7 4 B を形成する。工程 3 では、層間膜 8 3 の形成、活性化アニール、ソース/ド

10

20

30

40

50

レイン領域 74A, 74B に対するコンタクト部 79A, 79B の形成、及び、ゲート電極 77 に対するコンタクト部 80A, 80B (図 7A 参照) の形成を行う。以降、配線工程となる。

【0069】

[実施例 3]

実施例 3 は、ダミー画素の薄膜トランジスタ 11 において、ゲート絶縁膜の膜厚について、一方のソース/ドレイン領域 74A 側と他方のソース/ドレイン領域 74B 側とで非対称にする例である。実施例 3 に係るダミー画素の薄膜トランジスタ 11 の平面図を図 10A に示し、図 10A の C - C' 線に沿った断面図を図 10B に示す。

【0070】

実施例 3 に係るダミー画素の薄膜トランジスタ 11 では、トップゲート側のゲート絶縁膜 76 について、一方のソース/ドレイン領域 74A 側の膜厚と、他方のソース/ドレイン領域 74B 側の膜厚とが異なるようにする。より具体的には、一方のソース/ドレイン領域 74A 側のゲート絶縁膜 76 の膜厚を相対的に薄くし、他方のソース/ドレイン領域 74B 側のゲート絶縁膜 76 の膜厚を相対的に厚くし、それらの膜厚が例えば 10nm 以上異なるようにする。

【0071】

画素トランジスタにおいて、ソース - ドレイン間リークは、ゲート電極からの電界によっても影響を受けることが、GIDL (Gate Induced Drain Leakage) として知られている。ゲート絶縁膜 76 が薄いほど、ゲート電極からの電界の影響が大きくなる。従って、ゲート絶縁膜 76 の膜厚について、一方のソース/ドレイン領域 74A 側と他方のソース/ドレイン領域 74B 側とで非対称にすることで、コモン電圧 V_{COM} に対する画素電位の保持特性を非対称にすることができる。

【0072】

尚、本実施例では、一方のソース/ドレイン領域 74A 側のゲート絶縁膜 76 の膜厚を相対的に薄くし、他方のソース/ドレイン領域 74B 側のゲート絶縁膜 76 の膜厚を相対的に厚くするとしたが、その逆でもよい。また、ここで例示した数値は、デバイス特性上差が出るおおよその値である。但し、デバイス設計によっては、上記の数値以下でもデバイス特性上差が出る。

【0073】

(製造方法)

次に、実施例 3 に係るダミー画素の薄膜トランジスタ 11 の製造方法について、図 11 の工程図を用いて説明する。ここでは、説明の簡略化のために、実施例 1 の工程 1 に相当する処理、即ち、ゲート線 71、ゲート絶縁膜 72、チャネル領域 73 となる半導体層 73A、及び、ゲート絶縁膜 76 まで形成し、チャネル領域 73 のためのイオン注入を行う処理については省略する。

【0074】

工程 1 では、トップゲート側のゲート絶縁膜 76 の半分の位置までレジスト 85 を形成し、レジスト 85 をマスクとしてゲート絶縁膜 76 を加工する。加工についてはウェット加工でもドライ加工でも、ゲート絶縁膜 76 をエッチングできるものなら何でもよい。工程 2 では、ゲート線 71 に対するコンタクト部 80A, 80B 及びゲート電極 (トップゲート) 77 を形成し、当該ゲート電極 77 をマスクとしてセルフアラインにて LDD 領域 75A, 75B のためのイオン注入を行う。

【0075】

次に、工程 3 では、ゲート電極 77 及び LDD 領域 75A, 75B を覆うようにレジスト 82 を形成し、当該レジスト 82 をマスクとしてイオン注入を行ってソース/ドレイン領域 74A, 74B を形成する。工程 4 では、層間膜 83 の形成、活性化アニール、ソース/ドレイン領域 74A, 74B に対するコンタクト部 79A, 79B の形成、及び、ゲート電極 77 に対するコンタクト部 80A, 80B (図 10A 参照) の形成を行う。以降、配線工程となる。

10

20

30

40

50

【 0 0 7 6 】

[実施例 4]

実施例 4 は、ゲート線 7 1 とゲート電極 7 7 とのコンタクト部 8 0 A , 8 0 B が L D D 領域 7 5 A , 7 5 B の近傍にゲート長方向に沿って形成されているダミー画素の薄膜トランジスタ 1 1 において、L D D 領域 7 5 A , 7 5 B とコンタクト部 8 0 A , 8 0 B との間の距離について、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで非対称にする例である。実施例 4 に係るダミー画素の薄膜トランジスタ 1 1 の平面図を図 1 2 に示す。

【 0 0 7 7 】

実施例 4 に係るダミー画素の薄膜トランジスタ 1 1 では、コンタクト部 8 0 A と L D D 領域 7 5 A との間の距離を、コンタクト部 8 0 B と L D D 領域 7 5 B との間の距離よりも $0.2 \mu\text{m}$ 以上短くすることで、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで非対称にしている。

10

【 0 0 7 8 】

ゲート電極 7 7 へのコンタクト部 8 0 A , 8 0 B が、L D D 領域 7 5 A , 7 5 B の近傍にゲート長方向 (図 1 2 の上下方向) に沿って形成されている場合、平面図上のコンタクト部 8 0 A , 8 0 B - L D D 領域 7 5 A , 7 5 B 間の距離 (平面距離) が、トップゲート側のゲート絶縁膜 7 6 の膜厚に相当する。従って、L D D 領域 7 5 A , 7 5 B とコンタクト部 8 0 A , 8 0 B との間の距離について、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで非対称にすることにより、コモン電圧 V_{COM} に対する画素電位の保持特性を非対称にすることができる。

20

【 0 0 7 9 】

尚、本実施例では、コンタクト部 8 0 A と L D D 領域 7 5 A との間の距離を、コンタクト部 8 0 B と L D D 領域 7 5 B との間の距離よりも短くするとしたが、その逆でもよい。また、ここで例示した数値は、デバイス特性上差が出るおおよその値である。但し、デバイス設計によっては、上記の数値以下でもデバイス特性上差が出る。

【 0 0 8 0 】

(製造方法)

次に、実施例 4 に係るダミー画素の薄膜トランジスタ 1 1 の製造方法について、図 1 3 の工程図を用いて説明する。

30

【 0 0 8 1 】

工程 1 では、ゲート線 (ボトムゲート) 7 1 、ボトムゲート側のゲート絶縁膜 7 2 、チャネル領域 7 3 となる半導体層 7 3 A 、及び、トップゲート側のゲート絶縁膜 7 6 までで形成し、チャネル領域 7 3 のためのイオン注入を行う。工程 2 では、ゲート線 7 1 に対するコンタクト部 8 0 A , 8 0 B 及びゲート電極 (トップゲート) 7 7 を形成し、当該ゲート電極 7 7 をマスクとしてセルフアラインにて L D D 領域 7 5 A , 7 5 B のためのイオン注入を行う。

【 0 0 8 2 】

次に、工程 3 では、ゲート電極 7 7 及び L D D 領域 7 5 A , 7 5 B を覆うようにレジスト 8 2 を形成し、当該レジスト 8 2 をマスクとしてイオン注入を行ってソース/ドレイン領域 7 4 A , 7 4 B を形成する。工程 4 では、層間膜 8 3 の形成、活性化アニール、ソース/ドレイン領域 7 4 A , 7 4 B に対するコンタクト部 7 9 A , 7 9 B の形成、及び、ゲート電極 7 7 に対するコンタクト部 8 0 A , 8 0 B (図 1 0 A 参照) の形成を行う。以降、配線工程となる。

40

【 0 0 8 3 】

上述した製造方法において、ゲート線 7 1 とゲート電極 7 7 とのコンタクト部 8 0 A , 8 0 B の平面的なレイアウトを変えることで、L D D 領域 7 5 A , 7 5 B とコンタクト部 8 0 A , 8 0 B との間の距離について、一方のソース/ドレイン領域 7 4 A 側と他方のソース/ドレイン領域 7 4 B 側とで非対称にすることができる。

【 0 0 8 4 】

50

〔実施例 5〕

実施例 5 は、ダミー画素の保持容量の容量値を、有効画素の保持容量の容量値よりも小さく設定することで、コモン電圧 V_{COM} に対する画素電位の保持特性を非対称にする例である。実施例 5 に係る有効画素及びダミー画素の回路図を図 1 4 A に示し、有効画素及びダミー画素の画素電位の波形図を図 1 4 B に示す。ここで、ダミー画素の保持容量 1 3 を保持容量 1 3 A とし、有効画素の保持容量 1 3 を保持容量 1 3 B とする。

【0085】

実施例 5 に係る有効画素及びダミー画素は、ダミー画素の保持容量 1 3 A の容量値 C_{sa} を、有効画素の保持容量 1 3 B の容量値 C_{sb} よりも小さく設定した構成となっている。保持容量 1 3 の容量値 C_s については、保持容量 1 3 の電極面積、誘電膜の膜厚（電極間距離）、誘電膜の膜種を変えることによって容量値 C_s を変えることができる。図 1 4 A では、保持容量 1 3 の容量値 C_s の違いを、保持容量 1 3 のシンボルの大小で模式的に表している。

10

【0086】

このように、ダミー画素の保持容量 1 3 A の容量値 C_{sa} と有効画素の保持容量 1 3 B の容量値 C_{sb} とを異ならせることにより、薄膜トランジスタ 1 1 として同じリーク電流でも、画素電位の低下の仕方を変えることができる。具体的には、ダミー画素の保持容量 1 3 A の容量値 C_{sa} を、有効画素の保持容量 1 3 B の容量値 C_{sb} よりも小さくすることで、図 1 4 B に示すように、ダミー画素の暗時リーク（遮光状態でのリーク）が有効画素の光リーク（光照射時のリーク）よりも低下の度合いが大きくなる。これにより、コモン電圧 V_{COM} に対する画素電位の保持特性について、有効画素部 2 1 の保持特性に比べてダミー画素部 2 2 の保持特性を非対称にする（即ち、非対称性を顕著にする）ことができる。

20

【0087】

（製造方法）

次に、実施例 5 に係る有効画素及びダミー画素の保持容量の製造方法について、図 1 5 の工程図を用いて説明する。

【0088】

従来技術では、有効画素部 2 1 及びダミー画素部 2 2 を問わず、画素アレイ部 2 0 全体に亘って、有効画素及びダミー画素の各保持容量について、下部電極 9 1、誘電体 9 2、及び、上部電極 9 3 を順に形成していた。下部電極 9 1 及び上部電極 9 3 については、同じ材質でも、異種材質でも構わない。

30

【0089】

続いて、実施例 5 に係る保持容量の製造方法について説明する。工程 1 では、下部電極 9 1 及び第 1 の誘電体 9 2 を形成し、しかる後、ダミー画素部 2 2 のみをレジスト 8 4 で覆い、有効画素部 2 2 の第 1 の誘電体 9 2 を除去する。工程 2 では、第 2 の誘電体 9 5 を形成する。第 2 の誘電体 9 5 については、第 1 の誘電体 9 2 と同じ材質でも、異種材質でも構わない。工程 3 では、上部電極 9 3 を形成する。従来と同様、下部電極 9 1 及び上部電極 9 3 については、同じ材質でも、異種材質でも構わない。

【0090】

尚、本実施例では、誘電体の膜厚（下部電極 9 1 と上部電極 9 3 との間の距離）を変える場合を例に挙げて説明したが、電極面積を変える場合は、プロセスは従来技術と同じとなる。但し、平面的なレイアウトを変えることになる。

40

【0091】

<本開示の電子機器>

以上説明した本開示の液晶表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部（表示装置）として用いることができる。一例として、テレビジョンセット、投射型表示装置（プロジェクタ）、デジタルスチルカメラ、ノート型パーソナルコンピュータ、携帯電話機等の携帯端末装置、ビデオカメラなどの表示部として用いることができる。

【0092】

本開示の液晶表示装置は、封止された構成のモジュール形状のものをも含む。一例とし

50

て、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やフレキシブルプリントサーキット（FPC）などが設けられていてもよい。以下に、本開示の液晶表示装置を用いる電子機器の具体例として、投射型表示装置（プロジェクタ）を例示する。但し、ここで例示する具体例は一例に過ぎず、これに限られるものではない。

【0093】

[投射型表示装置]

図16は、本開示の液晶表示装置（液晶パネル）を用いる、例えば3板式投射型表示装置の光学系の概略を示す構成図である。

10

【0094】

図16において、白色ランプ等の光源101から発せられる白色光は、偏光変換素子102でP偏光からS偏光に変換された後、フライアイレンズ103で照明の均一化が図られてダイクロイックミラー104に入射する。そして、特定の色成分、例えばR（赤色）の光成分のみがダイクロイックミラー104を透過し、残りの色の光成分はダイクロイックミラー104で反射される。ダイクロイックミラー104を透過したRの光成分は、ミラー105で光路変更された後、レンズ106Rを通してRの液晶パネル107Rに入射する。

【0095】

ダイクロイックミラー104で反射された光成分については、例えばG（緑色）の光成分がダイクロイックミラー108で反射されるとともに、B（青色）の光成分が当該ダイクロイックミラー108を透過する。ダイクロイックミラー108で反射されたGの光成分は、レンズ106Gを通してGの液晶パネル107Gに入射する。ダイクロイックミラー108を透過したBの光成分は、レンズ109を通過した後ミラー110で光路変更され、更にレンズ111を通過した後ミラー112で光路変更され、レンズ106Bを通してBの液晶パネル107Bに入射する。

20

【0096】

尚、図16には示していないが、液晶パネル107R、107G、107Bの入射側及び出射側にはそれぞれ偏光板が配置される。周知の通り、入射側及び出射側の一对の偏光板を、偏光方向が互いに垂直（クロスニコル）になるように設置することでノーマリホワイトモードを設定でき、偏光方向が互いに平行（パラレルニコル）になるように設置することでノーマリブラックモードを設定できる。

30

【0097】

液晶パネル107R、107G、107Bをそれぞれ通過したR、G、Bの各光成分は、ダイクロイックプリズム113において合成される。そして、このダイクロイックプリズム113で合成された光は、投射レンズ114に入射し、当該投射レンズ114によってスクリーン（図示せず）上に投射される。

【0098】

上記の構成の3板式投射型表示装置において、光変調手段（ライトバルブ）としての液晶パネル107R、107G、107Bとして、先述した実施例1乃至実施例5に係る液晶表示装置（液晶パネル）を用いることができる。投射型表示装置では、液晶パネル107R、107G、107Bへの入射光の光束密度が、直視型の液晶表示装置に比べて高くなる。光束密度が高いほど焼き付きが顕著になることが知られており、実施例1乃至実施例5に係る液晶表示装置（液晶パネル）は、特に、投射型表示装置の光変調手段として用いて好適なものである。

40

【0099】

そして、投射型表示装置において、その光変調手段として、実施例1乃至実施例5に係る液晶表示装置を用いることで、有効画素部の液晶層中のイオン性不純物をダミー画素部へより確実に排出することができるため、有効画素部の液晶層中のイオン性不純物に起因する焼き付きの少ない表示を実現できる。その結果、投射型表示装置の表示品位の向上に

50

寄与することができる。

【 0 1 0 0 】

< 本開示の構成 >

尚、本開示は、以下のような構成をとることもできる。

[1] 表示に寄与する有効画素が配置されて成る有効画素部、

有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー画素部、及び、

有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一定の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
を備え、

有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー画素部の保持特性を非対称にする、
液晶表示装置。

[2] 画素トランジスタの特性は、有効画素部の有効画素とダミー画素部のダミー画素とで異なる、

上記 [1] に記載の液晶表示装置。

[3] 画素トランジスタは、低濃度不純物ドレイン領域を有しており、

ダミー画素は、低濃度不純物ドレイン領域の長さが、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である、

上記 [2] に記載の液晶表示装置。

[4] 画素トランジスタは、低濃度不純物ドレイン領域を有しており、

ダミー画素は、低濃度不純物ドレイン領域の濃度が、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である、

上記 [2] に記載の液晶表示装置。

[5] ダミー画素は、ゲート絶縁膜の膜厚が、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である、

上記 [2] に記載の液晶表示装置。

[6] 画素トランジスタは、低濃度不純物ドレイン領域を有し、ゲート電極へのコンタクト部が低濃度不純物ドレイン領域の近傍にゲート長方向に沿って形成されており、

ダミー画素は、低濃度不純物ドレイン領域とコンタクト部との間の距離が、一方のソース/ドレイン領域側と他方のソース/ドレイン領域側とで非対称である、

上記 [2] に記載の液晶表示装置。

[7] ダミー画素の保持容量の容量値が、有効画素の保持容量の容量値よりも小さい、

上記 [1] に記載の液晶表示装置。

[8] 画素駆動部は、ダミー画素に対して有効画素と同一の駆動を行う、

上記 [1] 乃至 [7] のいずれかに記載の液晶表示装置。

[9] 画素電極の液晶側及び画素電極に対向する対向電極の液晶側には、配向膜が形成されており、

配向膜は斜方蒸着膜から成る、

上記 [1] 乃至 [8] のいずれかに記載の液晶表示装置。

[1 0] ダミー画素は遮光されている、

上記 [1] 乃至 [9] のいずれかに記載の液晶表示装置。

[1 1] 表示に寄与する有効画素が配置されて成る有効画素部、

有効画素部に隣接して設けられ、表示に寄与しないダミー画素が配置されて成るダミー画素部、及び、

有効画素部の各有効画素及びダミー画素部の各ダミー画素を、液晶に印加する電圧を一定の周期にて基準電圧を中心に反転させて駆動する画素駆動部、
を備え、

有効画素及びダミー画素は共に、画素トランジスタ及び保持容量を有しており、

10

20

30

40

50

基準電圧に対する画素電位の保持特性について、有効画素部の保持特性に比べてダミー画素部の保持特性を非対称にする、
液晶表示装置を有する電子機器。

【符号の説明】

【0101】

10・・・画素、11・・・薄膜トランジスタ(TFT)、12・・・画素電極、13・・・保持容量、14・・・共通電極、20・・・画素アレイ部、21・・・有効画素部、22・・・ダミー画素部、30A, 30B・・・垂直駆動部、40・・・水平駆動部、51(51₁, 51₂, ..., 51_m)・・・走査線、52(52₁, 52₂, ..., 52_n)・・・信号線、53・・・コモン線、60・・・液晶パネル、61・・・周辺回路部、62・・・TFT基板側の配向膜、63・・・対向基板側の配向膜、70・・・液晶層、71・・・ゲート線(ボトムゲート)、72、76・・・ゲート絶縁膜、73・・・チャネル領域、74A・・・一方のソース/ドレイン領域、74B・・・他方のソース/ドレイン領域、75(75A, 75B)・・・LDD領域(低濃度不純物ドレイン)、77・・・ゲート電極(トップゲート)、79A, 79B, 80A, 80B・・・コンタクト部、82, 84・・・レジスト、83・・・層間膜、IP・・・正のイオン性不純物、IN・・・負のイオン性不純物、LC・・・液晶分子

10

20

30

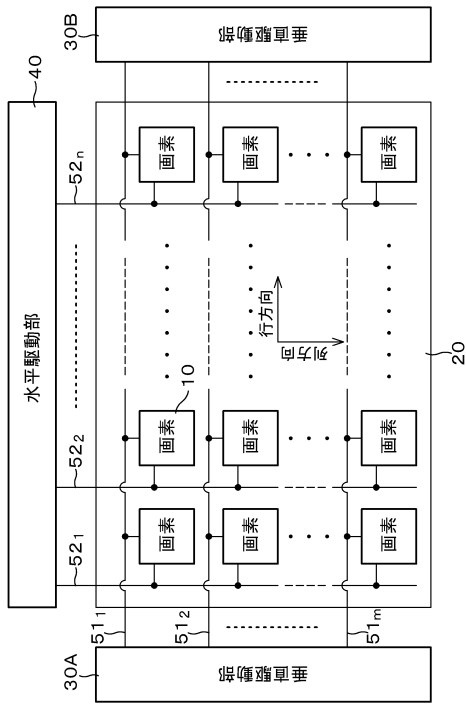
40

50

【図面】

【図 1】

図 1



【図 2】

図 2 A

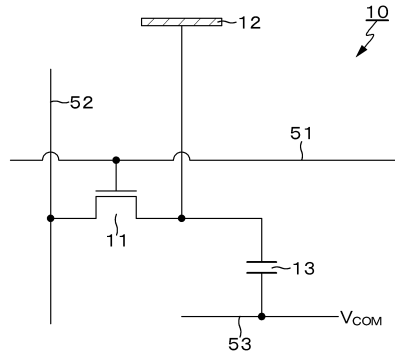
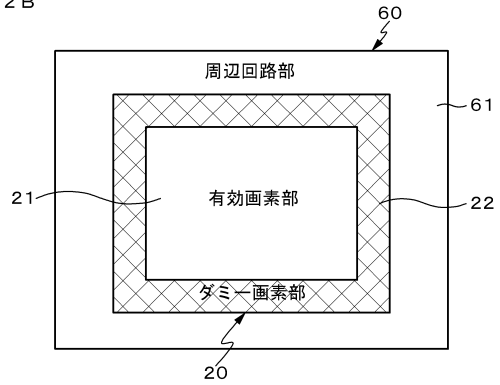
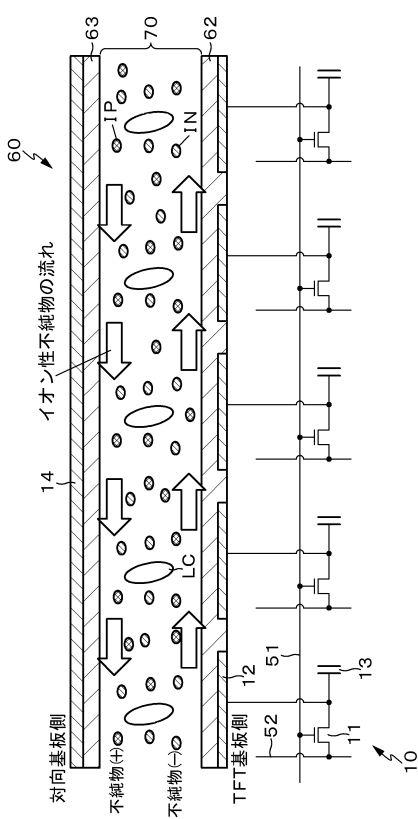


図 2 B



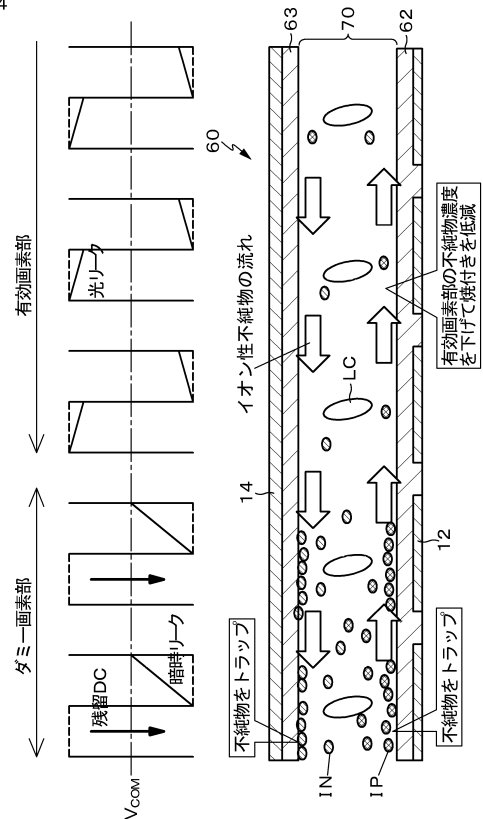
【図 3】

図 3



【図 4】

図 4



10

20

30

40

50

【図5】

図5A

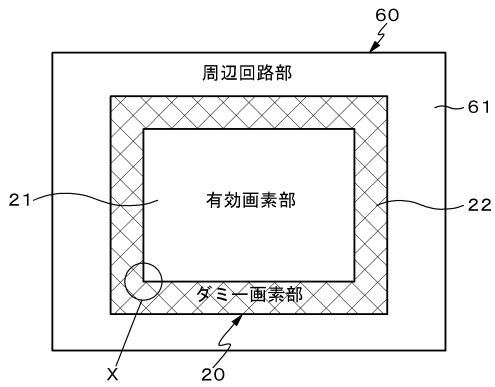
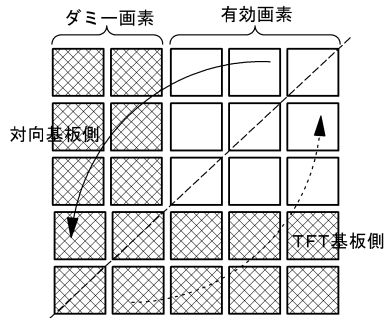


図5B



【図6】

図6A

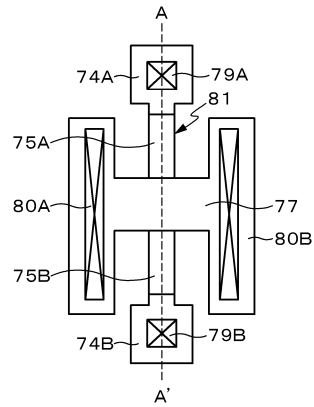
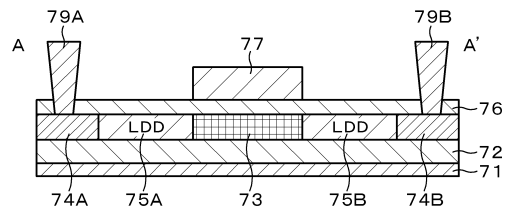


図6B



【図7】

図7A

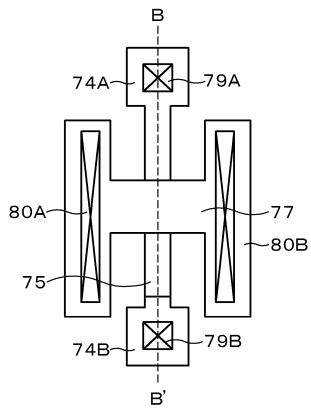
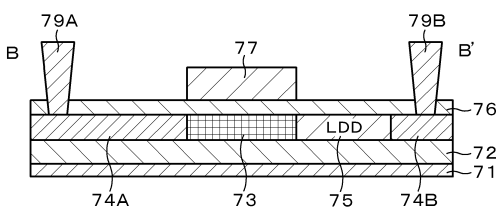
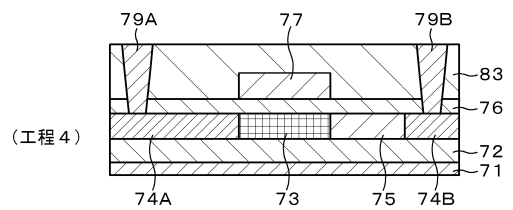
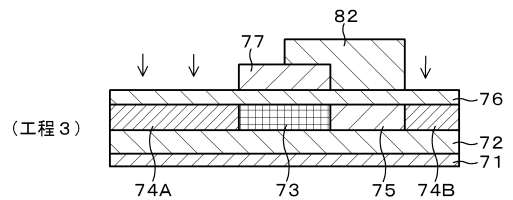
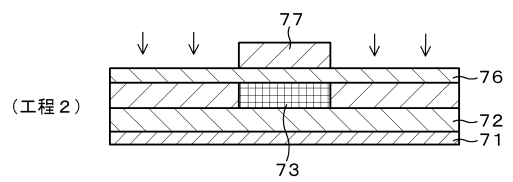
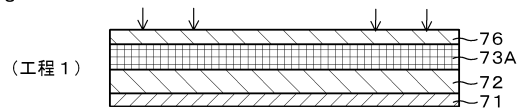


図7B



【図8】

図8



10

20

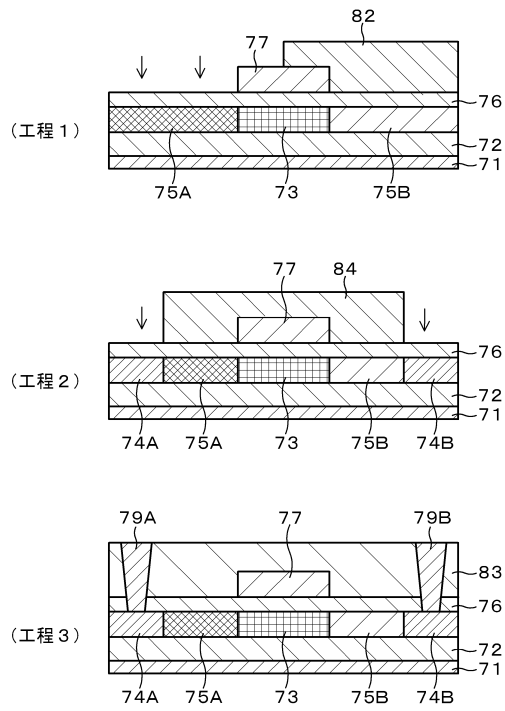
30

40

50

【图 9】

图 9



【图 10】

图 10 A

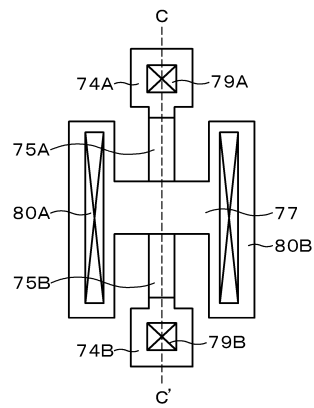
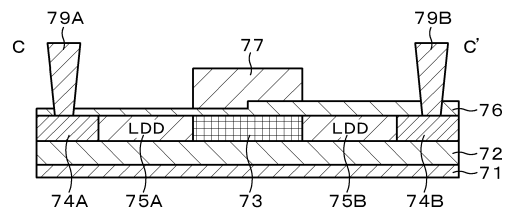
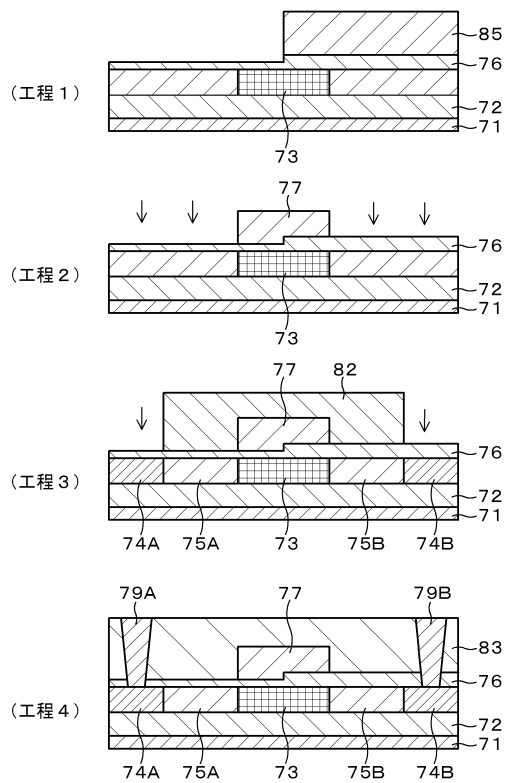


图 10 B



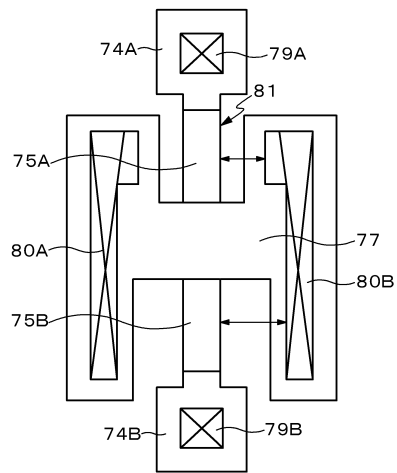
【图 11】

图 11



【图 12】

图 12



10

20

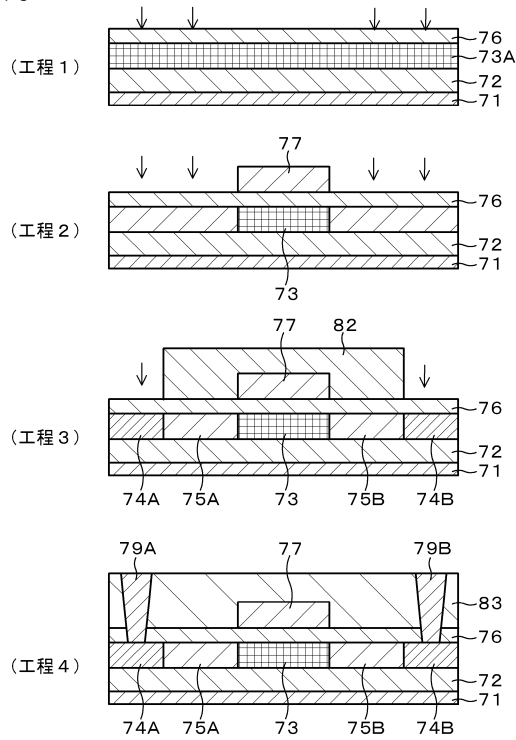
30

40

50

【図13】

図13



【図14】

図14A

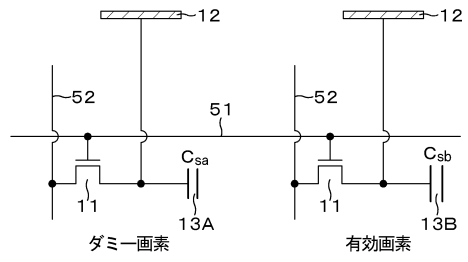
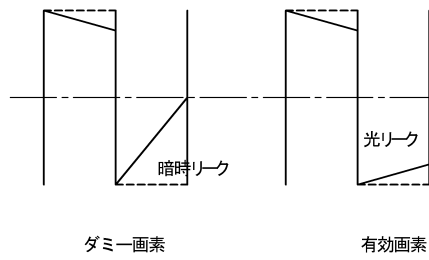


図14B

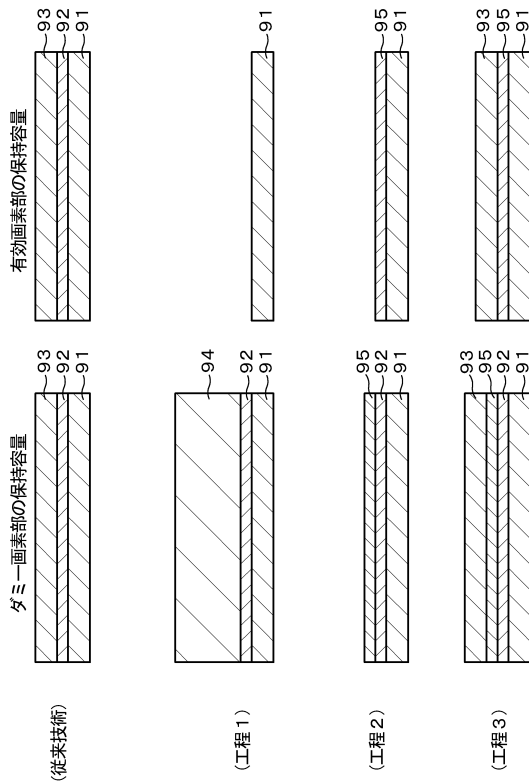


10

20

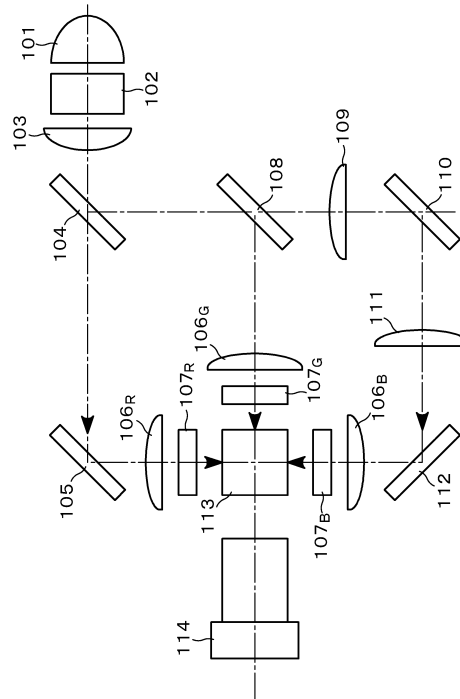
【図15】

図15



【図16】

図16



30

40

50

フロントページの続き

- (56)参考文献 特開2005-077636(JP,A)
特開2007-316119(JP,A)
特開2010-026032(JP,A)
特開2014-206622(JP,A)
特開平07-333654(JP,A)

- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|----------|
| G02F | 1 / 1368 |
| G02F | 1 / 1337 |
| G09G | 3 / 20 |
| G09G | 3 / 36 |
| H01L | 29 / 786 |
| H01L | 21 / 336 |