(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117637342 A
(43)申请公布日 2024.03.01

(21)申请号 202310778117.1

(22)申请日 2023.06.28

(30)优先权数据
10-2022-0108415 2022.08.29 KR

(71)申请人 三星电机株式会社
地址 韩国京畿道水原市

(72)发明人 孙命赞 朴龙 李种皓 李银贞 朴正泰 金珉雨 李知炫 金善美

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 王锐 包国菊

(51)Int.Cl.
H01G 4/005(2006.01)
H01G 4/012(2006.01)
H01G 4/30(2006.01)
H01G 4/12(2006.01)

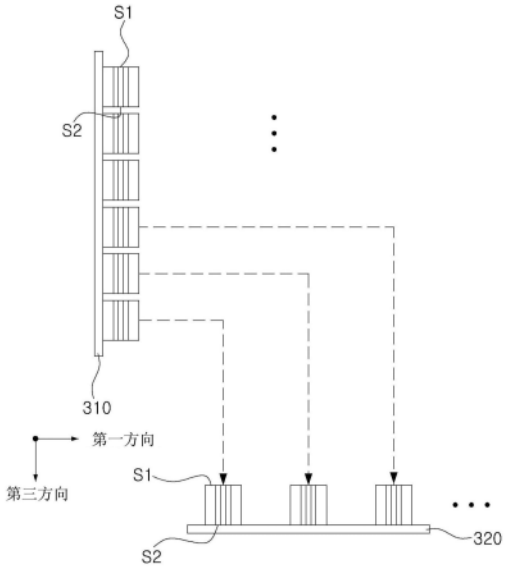
权利要求书6页 说明书18页 附图19页

(54)发明名称

制造多层电子组件的方法和由该方法制造的多层电子组件

(57)摘要

本公开提供一种制造多层电子组件的方法和由该方法制造的多层电子组件。所述制造多层电子组件的方法包括:通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体;沿着与作为所述多个陶瓷生片的堆叠方向的第一方向垂直的第二方向切割所述堆叠体,并且沿着与所述第一方向和所述第二方向垂直的第三方向切割所述堆叠体,以获得多个单元坯;将所述单元坯与所述支撑膜分离,布置所述单元坯,使得所述单元坯的侧表面中的一个与粘合带接触;以及将所述侧表面中的另一个附接到用于侧边缘部的陶瓷生片,并且在所述侧表面中的所述另一个上形成侧边缘部。



CN 117637342 A

1.一种制造多层电子组件的方法,所述方法包括:

堆叠体形成操作,通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体,所述多个陶瓷生片相对于所述堆叠体堆叠的方向是第一方向;

堆叠体切割操作,沿着与所述第一方向垂直的第二方向切割所述堆叠体,并且沿着与所述第一方向和所述第二方向垂直的第三方向切割所述堆叠体,以获得多个单元坯,使得所述多个单元坯中的至少一个单元坯包括第一内电极图案和第二内电极图案,在所述第一内电极图案中,所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的一个表面以及在所述第三方向上彼此相对的第一侧表面和第二侧表面,在所述第二内电极图案中,所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的另一表面以及所述第一侧表面和所述第二侧表面;

布置操作,将所述至少一个单元坯与所述支撑膜分离,然后布置所述至少一个单元坯,使得所述至少一个单元坯的所述第二侧表面与粘合带接触;以及

第一侧边缘部形成操作,将所述第一侧表面附接到用于侧边缘部的陶瓷生片,并且在所述至少一个单元坯的所述第一侧表面上形成第一侧边缘部。

2.根据权利要求1所述的方法,其中,通过以下方式执行所述布置操作:将所述至少一个单元坯与所述支撑膜在所述第一方向上分离,然后将所述至少一个单元坯布置为使得所述至少一个单元坯的所述第二侧表面与所述粘合带接触,所述粘合带移动到与所述至少一个单元坯的所述第一侧表面和所述第二侧表面平行并且设置为靠近所述第一侧表面和所述第二侧表面中的所述第二侧表面。

3.根据权利要求1所述的方法,其中,执行分离的步骤,使得所述至少一个单元坯与所述支撑膜完全分离。

4.根据权利要求1所述的方法,所述方法还包括:

支撑膜旋转操作,在所述堆叠体切割操作与所述布置操作之间旋转所述支撑膜。

5.根据权利要求4所述的方法,其中,所述堆叠体形成操作和所述堆叠体切割操作在所述支撑膜设置为与地面基本平行的状态下执行,并且通过所述支撑膜旋转操作将所述支撑膜设置为与地面基本垂直以执行所述布置操作。

6.根据权利要求4所述的方法,其中,紧接在执行所述堆叠体切割操作之后的所述多个单元坯中的相邻单元坯之间的分隔距离与所述支撑膜旋转操作期间的分隔距离基本相同。

7.根据权利要求1所述的方法,其中,所述堆叠体形成操作和所述堆叠体切割操作在所述支撑膜设置为与地面基本垂直的状态下执行,并且所述粘合带设置为与地面基本平行以执行所述布置操作。

8.根据权利要求1所述的方法,所述方法还包括:

支撑膜旋转操作,在所述堆叠体形成操作与所述堆叠体切割操作之间旋转所述支撑膜。

9.根据权利要求1所述的方法,其中,通过以下方式执行所述布置操作:分离设置在同一行的偶数列中的单元坯和设置在同一行的奇数列中的单元坯,并且将被分离的单元坯设置在所述粘合带上。

10.根据权利要求1所述的方法,其中,通过以下方式执行所述布置操作:将设置在同一行的单元坯同时分离并将被分离的单元坯设置在所述粘合带上。

11.根据权利要求10所述的方法,其中,通过以下方式执行所述布置操作:在列方向上牵拉其上设置有按行设置的所述单元坯的所述粘合带,使得按行设置的所述单元坯彼此间隔开。

12.根据权利要求1所述的方法,其中,通过以下方式执行所述第一侧边缘部形成操作:冲压所述第一侧表面所附接到的所述用于侧边缘部的陶瓷生片。

13.根据权利要求12所述的方法,其中,在所述用于侧边缘部的陶瓷生片设置在载体膜上的状态下执行附接的步骤和冲压的步骤。

14.根据权利要求13所述的方法,其中,所述载体膜的厚度大于或等于10μm且小于或等于30μm。

15.根据权利要求13所述的方法,其中,所述载体膜设置在弹性垫上。

16.根据权利要求13所述的方法,其中,在所述用于侧边缘部的陶瓷生片的与所述第一侧表面接触的表面上不涂覆粘合剂成分。

17.根据权利要求1所述的方法,所述方法还包括:

第二侧边缘部形成操作,将所述第二侧表面附接到用于侧边缘部的另一陶瓷生片,并且在所述至少一个单元坯的所述第二侧表面上形成第二侧边缘部;

主体形成操作,通过烧结其上形成有第一侧边缘部和第二侧边缘部的所述至少一个单元坯来形成主体;以及

外电极形成操作,在所述主体上形成外电极。

18.根据权利要求17所述的方法,其中,在所述第一侧边缘部形成操作和所述第二侧边缘部形成操作中,在所述用于侧边缘部的陶瓷生片和所述用于侧边缘部的另一陶瓷生片设置在载体膜上的状态下执行附接的步骤和冲压的步骤。

19.根据权利要求18所述的方法,其中,

所述至少一个单元坯的在所述第二方向上的一个表面被定义为第三表面,并且所述至少一个单元坯的在所述第二方向上的另一表面被定义为第四表面,并且

在执行烧结之前,d1/d2满足大于0.4且小于0.8,其中,d1是所述至少一个单元坯的所述第三表面的延长线与所述第一侧边缘部和所述第二侧边缘部的在所述第二方向上的端部之中的与所述第三表面相邻的端部之间的在所述第二方向上的距离的平均值,并且d2是所述至少一个单元坯的所述第一侧表面的延长线与所述第一侧边缘部和所述第二侧边缘部的与所述第三表面或所述第四表面接触的端部之间的在所述第三方向上的距离的平均值。

20.根据权利要求18所述的方法,其中,

所述至少一个单元坯的在所述第二方向上的一个表面被定义为第三表面,并且所述至少一个单元坯的在所述第二方向上的另一表面被定义为第四表面,

在执行烧结之后,所述第一侧边缘部和所述第二侧边缘部分别形成第一边缘部和第二边缘部,所述主体具有与所述至少一个单元坯的第三表面对应的第三表面、与所述至少一个单元坯的第四表面对应的第四表面和与所述至少一个单元坯的第一侧表面对应的第一侧表面,并且

d1'/d2'满足大于0.3且小于0.6,其中,d1'是所述主体的第三表面的延长线与所述第一边缘部和所述第二边缘部的在所述第二方向上的端部之中的与所述主体的第三表面相

邻的端部之间的在所述第二方向上的距离的平均值，并且d2'是所述主体的第一侧表面的延长线与所述第一边缘部和所述第二边缘部的与所述主体的第三表面或所述主体的第四表面接触的端部之间的在所述第三方向上的距离的平均值。

21.根据权利要求17所述的方法，其中，

所述第一侧边缘部和所述第二侧边缘部被烧结以形成第一边缘部和第二边缘部，并且

所述第一边缘部和所述第二边缘部设置为围绕所述主体。

22.根据权利要求17所述的方法，其中，

所述第一侧边缘部和所述第二侧边缘部被烧结以形成第一边缘部和第二边缘部，并且

所述第一边缘部的边缘和所述第二边缘部的边缘形成弯曲表面。

23.根据权利要求17所述的方法，其中，

所述第一侧边缘部和所述第二侧边缘部被烧结以形成第一边缘部和第二边缘部，并且

所述第一边缘部和所述第二边缘部设置为覆盖所述主体的边缘。

24.根据权利要求17所述的方法，其中，

所述第一侧边缘部和所述第二侧边缘部被烧结以形成第一边缘部和第二边缘部，并且

所述第一边缘部和所述第二边缘部的平均厚度小于或等于30μm。

25.一种制造多层电子组件的方法，所述方法包括：

堆叠体形成操作，通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体，所述多个陶瓷生片相对于所述堆叠体堆叠的方向是第一方向；

堆叠体切割操作，沿着与所述第一方向垂直的第二方向切割所述堆叠体，并且沿着与所述第一方向和所述第二方向垂直的第三方向切割所述堆叠体，以获得多个单元坯，使得所述多个单元坯中的至少一个单元坯包括第一内电极图案和第二内电极图案，在所述第一内电极图案中，所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的一个表面以及在所述第三方向上彼此相对的第一侧表面和第二侧表面，在所述第二内电极图案中，所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的另一表面以及所述第一侧表面和所述第二侧表面；

布置操作，在不使所述至少一个单元坯相对于所述支撑膜旋转的情况下将所述至少一个单元坯与所述支撑膜分离，并且布置所述至少一个单元坯，使得所述至少一个单元坯的所述第二侧表面与粘合带接触；以及

第一侧边缘部形成操作，将所述第一侧表面附接到用于侧边缘部的陶瓷生片，并且在所述至少一个单元坯的所述第一侧表面上形成第一侧边缘部。

26.根据权利要求25所述的方法，其中，执行所述布置操作，使得在不使被分离的所述至少一个单元坯相对于所述支撑膜旋转的情况下，使所述第二侧表面与所述粘合带接触。

27.根据权利要求25所述的方法，其中，执行分离的步骤，使得所述至少一个单元坯与所述支撑膜完全分离。

28.根据权利要求25所述的方法，所述方法还包括：

支撑膜旋转操作，在所述堆叠体切割操作与所述布置操作之间旋转所述支撑膜。

29.根据权利要求28所述的方法，其中，所述堆叠体形成操作和所述堆叠体切割操作在所述支撑膜设置为与地面基本平行的状态下执行，并且通过所述支撑膜旋转操作将所述支撑膜设置为与地面基本垂直以执行所述布置操作。

30.根据权利要求28所述的方法,其中,紧接在执行所述堆叠体切割操作之后的所述多个单元坯中的相邻单元坯之间的分隔距离与所述支撑膜旋转操作期间的分隔距离基本相同。

31.根据权利要求25所述的方法,其中,所述堆叠体形成操作和所述堆叠体切割操作在所述支撑膜设置为与地面基本垂直的状态下执行,并且所述粘合带设置为与地面基本平行以执行所述布置操作。

32.根据权利要求25所述的方法,所述方法还包括:

支撑膜旋转操作,在所述堆叠体形成操作与所述堆叠体切割操作之间旋转所述支撑膜。

33.根据权利要求25所述的方法,其中,通过以下方式执行所述布置操作:分离设置在同一行的偶数列中的单元坯和设置在同一行的奇数列中的单元坯,并且将被分离的单元坯设置在所述粘合带上。

34.根据权利要求25所述的方法,其中,通过以下方式执行所述布置操作:将设置在同一行的单元坯同时分离并将被分离的单元坯设置在所述粘合带上。

35.根据权利要求34所述的方法,其中,通过以下方式执行所述布置操作:在列方向上牵拉其上设置有按行设置的所述单元坯的所述粘合带,使得按行设置的所述单元坯彼此间隔开。

36.根据权利要求25所述的方法,其中,通过以下方式执行所述第一侧边缘部形成操作:冲压所述第一侧表面所附接到的所述用于侧边缘部的陶瓷生片。

37.根据权利要求36所述的方法,其中,在所述用于侧边缘部的陶瓷生片设置在载体膜上的状态下执行附接的步骤和冲压的步骤。

38.根据权利要求36所述的方法,其中,在所述用于侧边缘部的陶瓷生片的与所述第一侧表面接触的表面上不涂覆粘合剂成分。

39.根据权利要求25所述的方法,所述方法还包括:

第二侧边缘部形成操作,通过将所述第二侧表面附接到用于侧边缘部的另一陶瓷生片并且在所述至少一个单元坯的所述第二侧表面上冲压所述用于侧边缘部的另一陶瓷生片来形成第二侧边缘部;

主体形成操作,通过烧结其上形成有第一侧边缘部和第二侧边缘部的所述至少一个单元坯来形成主体;以及

外电极形成操作,在所述主体上形成外电极。

40.根据权利要求39所述的方法,其中,在所述第一侧边缘部形成操作和所述第二侧边缘部形成操作中,在所述用于侧边缘部的陶瓷生片和所述用于侧边缘部的另一陶瓷生片设置在载体膜上的状态下执行附接的步骤和冲压的步骤。

41.一种制造多层电子组件的方法,所述方法包括:

通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体;

在所述支撑膜上切割所述堆叠体以形成单元坯的阵列;

将所述单元坯的阵列从所述支撑膜转移到粘合带,使得每个单元坯的多个表面之中的切割表面变成安装在所述粘合带上并与所述粘合带接触的临时安装表面;以及

将用于侧边缘部的陶瓷生片附接在每个单元坯的与每个单元坯的临时安装表面相对

的表面上,以在每个单元坯上形成第一侧边缘部,

其中,在所述单元坯中的设置在所述支撑膜上并且将被转移的相应一个单元坯的多个表面之中的切割表面面向所述粘合带的平面的状态下执行转移的步骤。

42.根据权利要求41所述的方法,其中,在转移的步骤中,所述粘合带设置为与地面基本平行。

43.根据权利要求41所述的方法,所述方法还包括:

在将所述第一侧边缘部形成在每个单元坯上之后,将所述单元坯从所述粘合带转移到另一粘合带,使得每个单元坯的所述第一侧边缘部与所述另一粘合带接触;以及

将用于侧边缘部的另一陶瓷生片附接在每个单元坯的所述临时安装表面上,以在每个单元坯上形成第二侧边缘部。

44.根据权利要求43所述的方法,所述方法还包括:

在形成所述第一侧边缘部和所述第二侧边缘部之后,烧结所述单元坯与所述第一侧边缘部和所述第二侧边缘部。

45.根据权利要求44所述的方法,所述方法还包括:

在烧结之后,在每个烧结的单元坯上形成外电极。

46.根据权利要求44所述的方法,其中,在形成所述第一侧边缘部和所述第二侧边缘部之后且在烧结之前,对每个单元坯不执行研磨或抛光。

47.根据权利要求41所述的方法,其中,通过以下方式执行附接所述用于侧边缘部的陶瓷生片的步骤:将所述用于侧边缘部的陶瓷生片对着其上设置有被转移的单元坯的所述粘合带进行冲压。

48.一种多层电子组件,包括:

主体,包括在第一方向上堆叠的介电层以及第一内电极和第二内电极,且所述介电层介于所述第一内电极与所述第二内电极之间,并且所述主体包括在所述第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第一侧表面和第二侧表面;

第一边缘部,设置在所述第一侧表面上;

第二边缘部,设置在所述第二侧表面上;

第一外电极,设置在所述第三表面上以连接到所述第一内电极;以及

第二外电极,设置在所述第四表面上以连接到所述第二内电极,

其中,所述第一边缘部从所述第一侧表面延伸到所述第一表面至所述第四表面中的至少一个的一部分。

49.根据权利要求48所述的多层电子组件,其中,所述第一边缘部从所述第一侧表面延伸至超过所述主体的所述第三表面的延长线,使得所述第一边缘部包括相对于所述主体的所述第三表面在所述第二方向上突出的部分。

50.根据权利要求48所述的多层电子组件,其中,d1'/d2'满足大于0.3且小于0.6,其中,d1'是所述主体的所述第三表面的延长线与所述第一边缘部的在所述第二方向上的端部之中的与所述主体的所述第三表面相邻的端部之间的在所述第二方向上的距离的平均值,并且d2'是所述主体的所述第一侧表面的延长线与所述第一边缘部和所述第二边缘部

的与所述主体的所述第三表面接触的端部之间的在所述第三方向上的距离的平均值。

51.根据权利要求48所述的多层电子组件,其中,所述第一边缘部和所述第二边缘部的平均厚度小于或等于30μm。

制造多层电子组件的方法和由该方法制造的多层电子组件

[0001] 本申请要求于2022年8月29日在韩国知识产权局提交的第10-2022-0108415号韩国专利申请的优先权的权益,所述韩国专利申请的公开内容通过引用被全部包含于此。

技术领域

[0002] 本公开涉及一种制造多层电子组件的方法和由该方法制造的多层电子组件。

背景技术

[0003] 多层陶瓷电容器(MLCC,一种多层电子组件)可以是安装在各种电子产品(诸如成像装置(包括液晶显示器(LCD)和等离子体显示面板(PDP))、计算机、智能手机和移动电话等)的印刷电路板上用于在其中充电或从其放电的片式电容器。

[0004] 根据现有技术,为了实现小尺寸、高电容多层陶瓷电容器,内电极在主体的宽度方向上暴露,从而通过无边缘设计使在宽度方向上内电极的面积最大化。在制造这样的单元坯之后并在执行烧结之前,应用在单元坯的宽度方向上将侧边缘部单独地附接到内电极的暴露表面的工艺。

[0005] 特别地,现有技术1公开了一种使用粘合片和弹性垫在同一方向(向上方向)上同时暴露多个堆叠坯的侧边缘部附接表面的技术。

[0006] 具体地,根据现有技术1中公开的形成侧边缘部的方法,通过在多个生坯以规则间隔彼此间隔开的状态下转动多个生坯的工艺,使沿行和列方向布置的多个生坯的切割侧表面一致地敞开。此后,包括将侧表面陶瓷生片附接到多个生坯的切割侧表面的操作。

[0007] 特别地,在现有技术1中公开的转动法中,由支撑台和转动作用板引起的强剪切力被施加到多个生坯上。结果,应力可能集中在作为旋转中心的生坯的边缘上。因此,多个生坯的边缘可能被损坏,从而使多层电子组件的可靠性和制造良率劣化。

[0008] 另外,根据现有技术1中公开的形成侧边缘部的方法,需要同时旋转多个生坯,使得多个相邻堆叠的坯可能彼此粘合,并且由于多个生坯的尺寸分布不均匀,可能发生诸如不移动和不旋转的缺陷。

[0009] 现有技术1:美国专利公开号2012-0234462。

发明内容

[0010] 本公开的一方面在于解决这样的问题:在敞开多个单元坯的侧边缘部附接表面以形成侧边缘部的工艺中应力集中在多个单元坯的边缘处。

[0011] 本公开的另一方面在于解决这样的问题:当通过转动多个单元坯敞开侧缘部附接表面以形成侧缘部时,由于多个单元坯之间的尺寸分布不均匀而可能发生的单元坯不移动或不旋转。

[0012] 本公开的另一方面在于解决这样的问题:当通过在多个单元坯的侧边缘部附接表面上冲压陶瓷生片来形成侧边缘部时,由于陶瓷生片的快速干燥而减小侧边缘部的粘合力。

[0013] 本公开的另一方面在于解决这样的问题:当通过在多个单元坯的侧边缘部附接表面上冲压陶瓷生片来形成侧边缘部时,由于陶瓷生片的快速干燥而不得不通过在陶瓷生片的表面上涂覆粘合剂成分来确保侧边缘部的粘合力。

[0014] 然而,本公开的方面不限于以上内容,并且在描述本公开的具体示例实施例的过程中将更容易理解。

[0015] 根据本公开的一方面,提供一种制造多层电子组件的方法,所述方法包括:堆叠体形成操作,通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体,所述多个陶瓷生片相对于所述堆叠体堆叠的方向是第一方向;堆叠体切割操作,沿着与所述第一方向垂直的第二方向切割所述堆叠体,并且沿着与所述第一方向和所述第二方向垂直的第三方向切割所述堆叠体,以获得多个单元坯,使得所述多个单元坯中的至少一个单元坯包括第一内电极图案和第二内电极图案,在所述第一内电极图案中,所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的一个表面以及在所述第三方向上彼此相对的第一侧表面和第二侧表面,在所述第二内电极图案中,所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的另一表面以及所述第一侧表面和所述第二侧表面;布置操作,将所述至少一个单元坯与所述支撑膜分离,然后布置所述至少一个单元坯,使得所述至少一个单元坯的所述第二侧表面与粘合带接触;以及第一侧边缘部形成操作,将所述第一侧表面附接到用于侧边缘部的陶瓷生片,并且形成第一侧边缘部。

[0016] 根据本公开的另一方面,提供一种制造多层电子组件的方法,所述方法包括:堆叠体形成操作,通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体;堆叠体切割操作,当所述多个陶瓷生片相对于所述堆叠体堆叠的方向被定义为第一方向时,沿着与所述第一方向垂直的第二方向切割所述堆叠体,并且沿着与所述第一方向和所述第二方向垂直的第三方向切割所述堆叠体,以获得多个单元坯,使得所述多个单元坯中的至少一个单元坯包括第一内电极图案和第二内电极图案,在所述第一内电极图案中,所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的一个表面以及在所述第三方向上彼此相对的第一侧表面和第二侧表面,在所述第二内电极图案中,所述导电图案的切割表面暴露于所述至少一个单元坯的在所述第二方向上的另一表面以及所述第一侧表面和所述第二侧表面;布置操作,在不使所述至少一个单元坯旋转的情况下将所述至少一个单元坯与所述支撑膜分离,并且布置所述至少一个单元坯,使得所述至少一个单元坯的所述第二侧表面与粘合带接触;以及第一侧边缘部形成操作,将所述第一侧表面附接到用于侧边缘部的陶瓷生片,并且形成第一侧边缘部。

[0017] 根据本公开的另一方面,提供一种制造多层电子组件的方法,所述方法包括:通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体;在所述支撑膜上切割所述堆叠体以形成单元坯的阵列;将所述单元坯的阵列从所述支撑膜转移到粘合带,使得每个单元坯的多个表面之中的切割表面变成安装在所述粘合带上并与所述粘合带接触的临时安装表面;以及将用于侧边缘部的陶瓷生片附接在每个单元坯的与每个单元坯的临时安装表面相对的表面上,以在每个单元坯上形成第一侧边缘部。在所述单元坯中的设置在所述支撑膜上并且将被转移的相应一个单元坯的多个表面之中的切割表面面向所述粘合带的平面的状态下执行转移的步骤。

[0018] 根据本公开的另一方面,提供一种多层电子组件,所述多层电子组件包括:主体,

包括在第一方向上堆叠的介电层以及第一内电极和第二内电极，且所述介电层介于所述第一内电极与所述第二内电极之间，并且所述主体包括在所述第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第一侧表面和第二侧表面；第一边缘部，设置在所述第一侧表面上；第二边缘部，设置在所述第二侧表面上；第一外电极，设置在所述第三表面上以连接到所述第一内电极；以及第二外电极，设置在所述第四表面上以连接到所述第二内电极。所述第一边缘部从所述第一侧表面延伸到所述第一表面至所述第四表面中的至少一个的一部分。

[0019] 根据本公开的示例实施例，在暴露单元坯的侧边缘部附接表面以形成多层电子组件的侧边缘部的工艺中，可抑制应力集中在单元坯的边缘上，并且可减少在同时暴露多个单元坯时可能发生的诸如不移动和不旋转的缺陷，从而改善多层电子组件的可靠性和制造良率。

[0020] 根据本公开的示例实施例，在敞开多个单元坯的侧边缘部附接表面的工艺中，应力可不必集中在多个单元坯的特定部分上，从而抑制对单元坯的损坏并改善其上形成有侧边缘部的多层电子组件的可靠性和制造良率。

[0021] 根据本公开的示例实施例，可通过代替将应力集中在单元坯的特定部分上的工艺来抑制在多层电子组件的电容形成部与覆盖部之间的边界处产生的裂纹。

[0022] 根据本公开的示例实施例，即使在多个单元坯之间存在尺寸分布不均匀时，也可通过防止单元坯的不移动和不旋转来改善多层电子组件的制造良率。

[0023] 根据本公开的示例实施例，当通过在多个单元坯的侧边缘部附接表面上冲压陶瓷生片来形成侧边缘部时，可通过抑制陶瓷生片的快速干燥来确保侧边缘部的足够的粘合力。

[0024] 本公开的各种优点和效果以及有益的优点和效果不限于以上内容，并且在描述具体的示例实施例的过程中将更容易理解。

附图说明

[0025] 通过结合附图以及以下具体实施方式，本公开的以上和其他方面、特征及优点将被更清楚地理解，在附图中：

[0026] 图1示出了可通过根据本公开的示例实施例的制造多层电子组件的方法制造的多层电子组件的示意性立体图；

[0027] 图2是图1的沿着线I-I’截取的截面图；

[0028] 图3是图1的沿着线II-II’截取的截面图；

[0029] 图4A-图4E示意性示出了根据比较示例的制造多层电子组件的方法；

[0030] 图5是示出根据本公开的示例实施例的制造多层电子组件的方法的顺序的示意图；

[0031] 图6是示出根据本公开的示例实施例的形成堆叠体的操作的示意性分解立体图；

[0032] 图7是示出根据本公开的示例实施例的堆叠体切割操作的示意性立体图；

[0033] 图8是示出根据本公开的示例实施例的紧接在执行堆叠体切割操作之后的条的形状的示意性立体图；

[0034] 图9是根据本公开的示例实施例的紧接在执行堆叠体切割操作之后在第一方向上观察的条的平面图；

[0035] 图10是示出根据本公开的示例实施例的单元坯的形状的示意性立体图；

[0036] 图11是示出根据本公开的示例实施例的支撑膜旋转操作的示意性立体图；

[0037] 图12是示出根据本公开的示例实施例的布置操作的示意性平面图；

[0038] 图13是示出根据本公开的示例实施例的在第一侧边缘部形成操作中单元坯的第一侧表面附接到用于侧边缘部的陶瓷生片的状态的示意性平面图；

[0039] 图14是示出根据本公开的示例实施例的在第一侧边缘部形成操作中冲压用于附接到单元坯的第一侧表面的侧边缘部的陶瓷生片的状态的示意性平面图；

[0040] 图15是示出根据示例实施例的布置操作的示意性立体图；

[0041] 图16A和图16B是示出根据示例实施例的布置操作的示意性立体图；

[0042] 图17是示出根据本公开的示例实施例的对其上形成有第一侧缘部和第二侧缘部的单元坯执行烧结之前的主体的状态的示意性立体图；

[0043] 图18是图17的沿着线III-III’截取的截面图；以及

[0044] 图19是图1的沿着线IV-IV’截取的截面图。

具体实施方式

[0045] 在下文中，参照附图描述本公开的示例实施例。然而，本公开可以以许多不同的形式例示，并且不应被解释为局限于本文阐述的具体示例实施例。此外，可提供本公开的示例实施例以向本领域技术人员更完整地描述本公开。因此，为了清楚地描述，可夸大附图中的要素的形状和尺寸，并且附图中由相同的附图标记指示的要素可以是相同的要素。

[0046] 为了清楚地示出本公开，省略了与描述无关的部分，并且放大了尺寸和厚度以清楚地表示层和区域，并且在整个说明书中，在相同范围内具有相同功能的类似部分由类似的附图标记表示。在整个说明书中，除非另有特别说明，否则术语“包含”或“包括”将被理解为包括所描述的要素但不排除其他要素。

[0047] 在附图中，第一方向可被定义为多个陶瓷生片堆叠的方向或厚度方向，第二方向可被定义为长度方向，第三方向可被定义为宽度方向。

[0048] 图4A-图4E示意性示出了根据比较示例的制造多层电子组件的方法。

[0049] 图5是示出根据本公开的示例实施例的制造多层电子组件的方法的顺序的示意图。

[0050] 图6是示出根据本公开的示例实施例的形成堆叠体的操作的示意性分解立体图。

[0051] 图7是示出根据本公开的示例实施例的堆叠体切割操作的示意性立体图。

[0052] 图8是示出根据本公开的示例实施例的紧接在执行堆叠体切割操作之后的条的形状的示意性立体图。

[0053] 图9是根据本公开的示例实施例的紧接在执行堆叠体切割操作之后在第一方向上观察的条的平面图。

[0054] 图10是示出根据本公开的示例实施例的单元坯的形状的示意性立体图。

[0055] 图11是示出根据本公开的示例实施例的支撑膜旋转操作的示意性立体图。

[0056] 图12是示出根据本公开的示例实施例的布置操作的示意性平面图。

[0057] 图13是示出根据本公开的示例实施例的在第一侧边缘部形成操作中单元坯的第一侧表面附接到用于侧边缘部的陶瓷生片的状态的示意性平面图。

[0058] 在下文中，将参照图4A至图13详细描述根据本公开的示例实施例、另一示例实施例和各种示例实施例的制造多层电子组件的方法。

[0059] 参照图5至图14，根据本公开的示例实施例的制造多层电子组件100的方法可包括：堆叠体形成操作P1，通过在支撑膜310上堆叠其上设置有导电图案221'和222'的多个陶瓷生片201和202来形成堆叠体200；堆叠体切割操作P2，当多个陶瓷生片201和202相对于堆叠体200堆叠的方向被定义为第一方向时，沿着与第一方向垂直的第二方向切割堆叠体200，并且沿着与第一方向和第二方向垂直的第三方向切割堆叠体200，以获得多个单元坯210，使得单元坯210包括第一内电极图案221和第二内电极图案222，在第一内电极图案221中，导电图案221'的切割表面暴露于单元坯210的在第二方向上的一个表面以及在第三方向上彼此相对的第一侧表面S1和第二侧表面S2，在第二内电极图案222中，导电图案222'的切割表面暴露于单元坯210的在第二方向上的另一表面以及第一侧表面S1和第二侧表面S2；布置操作P3，将单元坯210与支撑膜310分离，然后布置单元坯210，使得单元坯210的第二侧表面S2与粘合带320接触；以及第一侧边缘部形成操作P4，将第一侧表面S1附接到用于侧边缘部的陶瓷生片140，并且在单元坯210的第一侧表面S1上形成第一侧边缘部214。

[0060] P1：堆叠体形成操作

[0061] 如图6中所示，在制造堆叠体200的操作P1中，可在支撑膜310上堆叠其上设置有导电图案221'和222'的多个陶瓷生片201和202。

[0062] 支撑膜310可用于支撑其中堆叠有导电图案221'和222'以及多个陶瓷生片201和202的堆叠体200。在这种情况下，支撑膜310可包括诸如胶乳(latex)、淀粉、纤维素、蛋白质、异戊二烯橡胶(IR)、丁腈橡胶(NBR)、丁苯橡胶(SBR)、氯丁二烯橡胶(CR)、硅橡胶、硅基材料、氨基甲酸酯类材料、丙烯酰类材料以及它们的混合物等粘合材料。

[0063] 多个陶瓷生片201和202可利用包括陶瓷粉末、有机溶剂、分散剂和粘合剂的陶瓷膏形成。陶瓷粉末可使用钛酸钡基材料、铅复合钙钛矿基材料、钛酸锶基材料等作为用于形成多层电子组件100的介电层111的原材料。钛酸钡基材料可包括$BaTiO_3$基陶瓷粉末。$BaTiO_3$基陶瓷粉末的示例可包括$BaTiO_3$或者通过将Ca或Zr部分固溶在$BaTiO_3$中而获得的$(Ba_{1-x}Ca_x)TiO_3$($0<x<1$)、$Ba(Ti_{1-y}Ca_y)O_3$($0<y<1$)、$(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$($0<x<1$，$0<y<1$)或$Ba(Ti_{1-y}Zr_y)O_3$($0<y<1$)。当烧结多个陶瓷生片201和202时，烧结的陶瓷生片201和202可变成包括在主体110中的介电层111。

[0064] 在示例实施例中，堆叠体200还可包括用于覆盖部的陶瓷生片203(形成覆盖部112和113)。用于覆盖部的陶瓷生片203可利用与陶瓷生片201和202的材料和成分相同的材料和成分形成，但是本公开不限于此。通过烧结工艺，可形成主体110的上覆盖部112和下覆盖部113。在这种情况下，用于覆盖部的陶瓷生片203可形成在堆叠体的在第一方向上的一个表面和另一表面上，并且可利用单个层或多个层形成。

[0065] 导电图案221'和222'可使用用于内电极的包括导电金属的膏形成在陶瓷生片201和202上。包括在导电图案221'和222'中的导电金属没有特别限制，并且可使用具有优异导电性的材料。例如，导电金属可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的一种或更多种。在陶瓷生片201和202上形成导电

图案221'和222'的方法没有特别限制。例如,可通过在陶瓷生片201和202上执行丝网印刷工艺或凹版印刷工艺印刷用于内电极的包括导电金属的导电膏,以形成导电图案221'和222'。

[0066] 导电图案221'和222'可具有条带形状。具体地,用于内电极的导电图案221'和222'可形成为与陶瓷生片201和202的在第三方向上的相对端接触并在第二方向上以规则间隔间隔开。

[0067] 导电图案221'和222'可包括形成在陶瓷生片201上的第一导电图案221'和形成在另一陶瓷生片202上的第二导电图案222'。在这种情况下,其上形成有第一导电图案221'的陶瓷生片可被称为第一陶瓷生片201,其上形成有第二导电图案222'的陶瓷生片可被称为第二陶瓷生片202。

[0068] 如图6中所示,多个陶瓷生片201和202可交替堆叠,使得第一导电图案221'和第二导电图案222'交错堆叠。因此,当形成下面将描述的单元坯210时,第一导电图案221'可形成暴露于第一侧表面S1、第二侧表面S2和第三表面3的第一内电极图案221,第二导电图案222'可形成暴露于第一侧表面S1、第二侧表面S2和第四表面4的第二内电极图案222。第一内电极图案221可在烧结之后变成第一内电极121,第二内电极图案222可在烧结之后变成第二内电极122。

[0069] 在本公开中,为了便于描述,将设置在支撑膜310上的多个陶瓷生片堆叠的方向描述为第一方向。

[0070] P2:堆叠体切割操作

[0071] 参照图7至图9,当多个陶瓷生片相对于堆叠体200堆叠的方向被定义为第一方向时,可沿着与第一方向垂直的第二方向切割堆叠体200,并且可沿着与第一方向和第二方向垂直的第三方向切割堆叠体200,以获得多个单元坯210,使得单元坯210包括第一内电极图案221和第二内电极图案222,在第一内电极图案221中,第一导电图案221'的切割表面暴露于单元坯210的在第二方向上的一个表面以及在第三方向上彼此相对的第一侧表面S1和第二侧表面S2,在第二内电极图案222中,第二导电图案222'的切割表面暴露于单元坯210的在第二方向上的另一表面以及第一侧表面S1和第二侧表面S2。

[0072] 如图7中所示,可沿着彼此正交的切割线C1-C1和C2-C2切割堆叠体200。切割线C1-C1(与第二方向平行的切割线)可在第三方向上彼此基本相等地间隔开,切割线C2-C2(与第三方向平行的切割线)可在第二方向上彼此基本相等地间隔开。可通过切割线C1-C1形成在第三方向上具有基本一致的尺寸的单元坯210,可通过切割线C2-C2形成在第二方向上具有基本一致的尺寸的单元坯210。

[0073] 特别地,切割线C2-C2沿着其中第一导电图案221'的在第二方向上的中央部分与第二导电图案222'在第二方向上彼此间隔开的空间叠置的区域以及其中第二导电图案222'的在第二方向上的中央部分与第一导电图案221'在第二方向上彼此间隔开的空间叠置的区域形成。单元坯210的第一内电极图案221可暴露于第一侧表面S1、第二侧表面S2和第三表面3(即,在第二方向上的一个表面)。第二内电极图案222可暴露于第一侧表面S1、第二侧表面S2和第四表面4(即,在第二方向上的另一表面)。

[0074] 用于切割堆叠体200的手段没有特别限制。例如,可对堆叠体200使用诸如刮刀或划片刀等刀切割法、截切机(guillotine)切割法或激光切割法。

[0075] 参照图8和图9,可看出,紧接在执行堆叠体切割操作P2之后利用多个单元坯210形成条300。由于支撑膜310的粘合性,即使在被切割之后,多个单元坯210也可附接到支撑膜310。

[0076] 图8和图9示出了多个单元坯210通过切割以规则间隔彼此间隔开。然而,在粘合力由于多个陶瓷生片201和202以及内电极图案221和222的粘性而减弱的状态下,多个单元坯210可基本彼此接触。

[0077] 然而,根据切割手段,不排除多个单元坯彼此间隔开,或者多个单元坯部分地间隔开。然而,彼此间隔开的多个单元坯中相邻单元坯之间的空间的尺寸可能比相邻的单元坯在不彼此接触的情况下可旋转的空间窄。

[0078] 参照图10,根据本公开的示例实施例的多个单元坯210的第一内电极图案221和第二内电极图案222可同时暴露于单元坯210的彼此相对的第一侧表面S1和第二侧表面S2。因此,可通过使其中可形成内电极图案221和222的面积最大化来改善多层电子组件100的每单位体积的电容。然而,第一内电极图案221和第二内电极图案222同时暴露到的第一侧表面S1和第二侧表面S2可能易受外部水分渗透的影响。当下面将描述的外电极形成为延伸到第一侧表面S1和第二侧表面S2时,可能发生短路。

[0079] 在根据本公开的示例实施例的下面将描述的第一侧边缘部形成操作P4中,用于侧边缘部的陶瓷生片可附接到第一侧表面S1并冲压以形成第一侧边缘部,从而解决与防潮可靠性和发生短路关联的问题。

[0080] 在图6至图9中,示出了在支撑膜310设置为与地面基本平行的状态下执行堆叠体形成操作P1和堆叠体切割操作P2,但是本公开限于此。也就是说,在示例实施例中,堆叠体形成操作P1和堆叠体切割操作P2可在支撑膜310设置为与地面基本垂直的状态下执行,且下面将描述的粘合带320可设置为与地面基本平行,并且可执行下面将描述的布置操作P3,从而敞开第一侧表面S1和第二侧表面S2中的一个。在一个示例中,术语“基本垂直(或水平或平行)”的含义可包括本领域普通技术人员可识别的在制造工艺中发生的工艺误差、测量误差等。例如,其中要素基本垂直(或水平或平行)的构造可包括其中要素彼此垂直(或水平或平行)的示例,以及其中由于本领域普通技术人员可识别的制造工艺中发生的工艺误差、测量误差等而可能存在微小差异的示例。

[0081] P3:布置操作

[0082] 参照图4A-图4E,现有技术1(比较示例)公开了一种在多个生坯19的第一切割侧表面20上形成陶瓷保护层22的方法。

[0083] 具体地,在现有技术1中,生坯19可与粘合片38一起设置在支撑台40上,并且转动作用板41可设置在生坯19的上表面上(图4A)。此后,通过相对于转动作用板41沿箭头方向42移动支撑台40,可执行转动工艺以一次将多个生坯19旋转90度(图4B)。

[0084] 此后,当去除转动作用板41时,多个生坯19的第一切割侧表面20可一致地敞开。此后,用于侧表面的陶瓷生片47可设置为与敞开的第一切割侧表面20相对,并且用于侧表面的陶瓷生片47可设置在固定台49上的用于粘合的弹性垫48上(图4C)。随后,可将粘合剂施加到用于侧表面的陶瓷生片47或敞开的第一切割侧表面20,并且可将用于侧表面的陶瓷生片47压到生坯19的第一切割侧表面20,使得用于粘合的弹性垫48变形(图4D),并且可将剪切力施加到用于侧表面的陶瓷生片47以执行冲压工艺,在冲压工艺中打穿与第一切割侧表

面20的尺寸对应的孔(图4E)。

[0085] 根据现有技术1,为了向上暴露多个生坯19的第一切割侧表面20,支撑台40可需要相对于转动作用板41沿箭头方向移动,使得多个生坯19可能引起剪切应力。特别地,在使用边缘作为旋转轴旋转生坯19的工艺中,过大的应力可能集中在用作生坯19的旋转轴的边缘上。特别地,具有陶瓷保护层22的生坯19接着可在900℃至1300℃下经受烧结工艺。过大的应力集中在生坯19的边缘,边缘可能容易被这样的热冲击损坏。在烧结之后,在主体的电容形成部与覆盖部之间可能产生裂纹,从而使多层电子组件的可靠性劣化。

[0086] 另外,根据现有技术1的生坯19仅在生坯19与支撑台40和转动作用板41同时接触时可平稳地旋转。由于多个生坯19的尺寸分布不均匀,可能出现在多个生坯19之中不与支撑台40或转动作用板41接触的生坯19。在这种情况下,在多个生坯19之中,即使在旋转工艺之后,不与支撑台40或转动作用板41接触的生坯19也可能不旋转。因此,可能发生陶瓷保护层22无法形成在生坯19上的问题。

[0087] 图12是示出根据本公开的示例实施例的布置操作的示意性平面图。

[0088] 在根据本公开的示例实施例的布置操作P3中,单元坯210可与支撑膜310分离,然后可布置为使得单元坯210的第二侧表面S2与粘合带320接触。

[0089] 因此,当单元坯210与支撑膜310分离时,可在没有特定旋转轴的情况下执行分离。因此,可不出现如现有技术1中所公开的在单元坯210的一部分在与支撑膜310接触的状态下旋转的现象。

[0090] 因此,可防止当单元坯210的一部分在附接到支撑膜310的状态下旋转时应力集中在单元坯210的边缘上。因此,当通过下面将描述的工艺制造多层电子组件100时,可抑制在电容形成部Ac与覆盖部112和113之间的边界处产生的裂纹。

[0091] 另外,根据本公开的示例实施例,当单元坯210与支撑膜310在第一方向(陶瓷生片201和202堆叠的方向)上分离时,可不必向内电极图案221和222的暴露部分施加压力,从而防止对单元坯210的易受水分渗透的第一侧表面S1和第二侧表面S2的损坏。

[0092] 另外,可在不旋转单元坯210的情况下使单元坯210与支撑膜310分离,从而防止相邻单元坯210的粘合以及由于单元坯210的尺寸分布不均匀而导致的不移动和不旋转。

[0093] 也就是说,根据本公开的示例实施例的制造多层电子组件的方法可包括布置操作P3:将单元坯210与支撑膜310分离,然后布置单元坯210,使得单元坯210的第二侧表面S2与粘合带320接触,从而在将用于侧边缘部的陶瓷生片140附接到第一侧表面S1的工艺中防止多个单元坯210的损坏、不移动和不旋转,以改善多层电子组件的制造良率。

[0094] 在示例实施例中,可通过以下方式执行布置操作P3:在第一方向(陶瓷生片201和202堆叠的方向)上分离单元坯210,然后将单元坯210布置为在与分离单元坯210的方向垂直的方向上移动,使得单元坯210的第二侧表面S2与粘合带320接触。

[0095] 因此,不仅在将单元坯210与支撑膜310分离时可不发生单元坯210的旋转,而且在单元坯210移动到粘合带320并布置在其上时也可不发生单元坯210的旋转。

[0096] 从类似的角度来看,在本公开的另一示例实施例中,在执行堆叠体形成操作P1和堆叠体切割操作P2之后,可包括以下布置操作:在不旋转单元坯210的情况下将单元坯210与支撑膜310分离,然后布置单元坯210使得单元坯210的第二侧表面S2与粘合带320接触。

[0097] 因此,在将单元坯210与支撑膜310分离的工艺中,可不发生单元坯210自身的旋

转,从而使集中在单元坯210的边缘上的应力或在单元坯210与支撑膜310之间发生的摩擦力最小化。因此,可防止现有技术1中公开的当单元坯210在附接到支撑膜310的状态下旋转时应力集中在单元坯210的边缘上。因此,当通过下面将描述的工艺制造多层电子组件100时,可抑制在电容形成部Ac与覆盖部112和113之间的边界处产生裂纹。

[0098] 在这种情况下,在布置操作期间,与支撑膜310分离的单元坯210可布置为使得在不旋转单元坯210的情况下使第二侧表面S2与下面将描述的粘合带320接触。也就是说,根据示例实施例,除了单元坯210与支撑膜310分离的时间点之外,当被分离的单元坯210移动并设置在粘合带320上时,单元坯210也可不旋转。因此,即使当多个单元坯210同时移动并设置在粘合带320上时,也可防止由旋转导致的对单元坯210的损坏,并简化工艺。

[0099] 此后,被分离的单元坯210可在与第一方向垂直的方向上移动,并且布置为使得单元坯210的第二侧表面S2与粘合带320接触。因此,单元坯210的第一侧表面S1可在没有来自相邻单元坯210的干扰的情况下向上或向下敞开。

[0100] 在使被分离的单元坯210在与第一方向垂直的方向上移动并且将被分离的单元坯210布置在粘合带320上的工艺中,形成在支撑膜310上的多个单元坯210的布置可与形成在粘合带320上的多个单元坯210的布置不同。例如,形成在粘合带320上的多个单元坯210中的相邻单元坯210之间的间隔可比形成在支撑膜310上的多个单元坯210中的相邻单元坯210之间的间隔宽。因此,当执行下面将描述的第一侧边缘部形成操作P4时,可使相邻单元坯210之间的干扰最小化。另外,可不需要用于加宽多个单元坯210中的相邻单元坯210之间的间隔的工艺,从而简化制造多层电子组件的方法。

[0101] 通过使单元坯210在与第一方向垂直的方向上移动来将单元坯210布置为使得单元坯的第二侧表面S2与粘合带320接触的方法没有特别限制。

[0102] 图11是示出根据本公开的示例实施例的支撑膜旋转操作的示意性立体图。参照图11,在示例实施例中,制造多层电子组件的方法还可包括在堆叠体切割操作P2与布置操作P3之间旋转支撑膜的支撑膜旋转操作。在这种情况下,堆叠体形成操作P1和堆叠体切割操作P2可在支撑膜310设置为与地面基本平行的状态下执行,并且可通过支撑膜旋转操作将支撑膜310设置为与地面基本垂直。因此,可在支撑膜310与多个单元坯210之间不分离的情况下使条300一体地旋转,从而可在不损坏多个单元坯210的情况下,使第一侧表面S1或第二侧表面S2在朝向下面将描述的粘合带320的方向上对准。

[0103] 如上所述,紧接在执行堆叠体切割操作P1之后,多个单元坯210中的相邻单元坯210之间的间隔可足够窄以被视为多个单元坯210基本彼此接触。在这种情况下,如在根据示例实施例的制造多层电子组件的方法中那样,当紧接在执行堆叠体切割操作P2之后还包括支撑膜旋转操作时,紧接在执行堆叠体切割操作P1之后的多个单元坯210中的相邻单元坯210之间的分隔距离与支撑膜旋转操作期间的分隔距离可基本相同。因此,当在布置操作P3中同时分离多个单元坯210时,可减轻单元坯210保留在支撑膜310上而不分离的现象。

[0104] 然而,支撑膜旋转操作不是本公开的必要要素。在没有支撑膜旋转操作的情况下,通过将下面将描述的粘合带320设置为与支撑膜310垂直,第一侧表面S1或第二侧表面S2可在朝向粘合带320的方向上对准。

[0105] 另外,可不必在堆叠体切割操作P2与布置操作P3之间执行支撑膜旋转操作。例如,根据示例实施例的制造多层电子组件的方法还可包括在堆叠体形成操作P1与堆叠体切割

操作P2之间旋转支撑膜310的支撑膜旋转操作。

[0106] 在旋转支撑膜310的操作中可执行旋转使得支撑膜310相对于初始支撑膜310顺时针或逆时针旋转90度，从而支撑膜310和下面将描述的粘合带320可设置为彼此垂直，但本公开不限于此。

[0107] 在使被分离的单元坯210在与第一方向垂直的方向上移动并且将单元坯210布置为使得单元坯210的第二侧表面S2与粘合带320接触的工艺中，粘合带320的位置没有特别限制。然而，为了简化工艺并且更有效地防止单元坯210的旋转，可将粘合带320的位置调整为靠近单元坯210的第二侧表面S2。也就是说，在示例实施例中，布置操作P3可包括以下操作：在第一方向上将单元坯210与支撑膜310分离，然后布置单元坯210，使得单元坯210的第二侧表面S2与粘合带320接触，粘合带320设置为与单元坯210的第一侧表面S1和第二侧表面S2平行并且设置为靠近第一侧表面S1和第二侧表面S2之中的第二侧表面S2。

[0108] 如上所述，现有技术1中公开的转动工艺可以是使用边缘作为旋转轴来旋转生坯19的工艺。在这样的工艺中，过大的应力可能集中在与粘合片38或转动作用板41接触的生坯19的边缘上。

[0109] 然而，在示例实施例中，将单元坯210与支撑膜310分离可指允许单元坯210与支撑膜310完全分离。因此，单元坯210的第一侧表面S1或第二侧表面S2可在不需要在单元坯210的边缘与支撑膜310接触的状态下使单元坯210旋转的工艺的情况下敞开，从而抑制了在单元坯210的边缘上的应力集中。

[0110] 在下文中，将描述在布置操作P3中将多个单元坯210布置在粘合带320上的具体方法。

[0111] 参照图15、图16A和图16B，多个单元坯210可处于在行i1、i2、i3、i4、i5、i6……和列j1、j2、j3、j4、j5、j6……的方向上布置的状态。紧接在执行堆叠体切割操作P2之后设置在支撑膜310上的多个单元坯210的布置可与紧接在执行布置操作P3之后设置在粘合带320上的多个单元坯210的布置不同。不同的布置可意味着在执行布置操作P3之前的多个单元坯210中的相邻单元坯210之间的分隔距离与在执行布置操作P3之后的多个单元坯210中的相邻单元坯210之间的分隔距离不同，并且在执行布置操作P3之前的多个单元坯210的敞开表面与在执行布置操作P3之后的多个单元坯210的敞开表面不同。

[0112] 图15是示出根据示例实施例的布置操作的示意性立体图。

[0113] 参照图15，根据示例实施例的布置操作P3可包括以下操作：分离设置在同一行的偶数列中的单元坯210和设置在同一行的奇数列中的单元坯210，并且将被分离的单元坯210设置在粘合带320上。

[0114] 例如，布置操作P3可包括以下操作：分离设置在同一行i6的偶数列j2、j4、j6……中的单元坯并将单元坯设置在粘合带320上，以及分离设置在同一行i6的奇数列j1、j3、j5……中的单元坯并将单元坯设置在粘合带320上。同一行可指形成多个单元坯210的布置的所有行，并且分离设置在同一行的偶数列中的单元坯210和设置在同一行的奇数列中的单元坯210的顺序没有特别限制。

[0115] 图16A和图16B是示出根据示例实施例的布置操作的示意性立体图。

[0116] 参照图16A，根据示例实施例的布置操作P3可包括以下操作：将设置在同一行的单元坯210同时分离并将单元坯设置在粘合带320上。

[0117] 例如，布置操作P3可包括以下操作：将设置在行i1的单元坯210同时分离并且将单元坯210设置在粘合带320上。也就是说，布置操作P3可包括以下操作：将设置在行i1中的所有单元坯210同时分离并将单元坯210设置在粘合带320上，并且将设置在其余行中的任何一行的所有单元坯210同时分离并将单元坯210设置在粘合带320上，直至将设置在支撑膜310上的所有单元坯210设置在粘合带320上。

[0118] 当根据这样的方法将设置在支撑膜310上的多个单元坯210中的全部设置在粘合带320上时，同一行的多个单元坯210中的相邻单元坯210之间的间隔可能不适于执行下面将描述的第一侧边缘部形成操作P4。例如，当将设置在行i1的多个单元坯同时分离并设置在粘合带320上时，设置在粘合带320上并来自行i1的多个单元坯210中的相邻单元坯210之间的间隔可与设置在支撑膜310上的单元坯210之间的间隔基本相同。因此，当执行下面将描述的第一侧边缘部形成操作P4时，由于相邻的单元坯210之间的间隔不足，可能无法顺利地执行冲压，并且相邻的单元坯210之间可能发生干扰。

[0119] 参照图16B，根据示例实施例的布置操作P3可包括以下操作：在列方向上牵拉其上设置有按行设置的单元坯210的粘合带320以允许单元坯210彼此间隔开。因此，在设置在粘合带320上的多个单元坯210中的相邻单元坯210之间可确保足够的分隔距离。

[0120] P4：第一侧边缘部形成操作

[0121] 根据本公开的示例实施例的制造多层电子组件的方法可包括第一侧边缘部形成操作P4：在布置操作P3之后将第一侧表面附接到用于侧边缘部的陶瓷生片并形成第一侧边缘部214。

[0122] 在下文中，将参照图13、图14和图17基于单元坯210的第一侧表面S1敞开的情况来描述第一侧边缘部形成操作P4，但也可以以相同方式应用于第二侧表面S2敞开的情况。

[0123] 用于侧边缘部的陶瓷生片140可以以与上述陶瓷生片201和202相同的方式利用包括陶瓷粉末、有机溶剂、分散剂、粘合剂的陶瓷膏形成，陶瓷粉末包括钛酸钡基材料、铅复合钙钛矿基材料或钛酸锶基材料。然而，用于侧边缘部的陶瓷生片140可不必具有与上述陶瓷生片201和202相同的成分，并且可具有不同的成分。因此，烧结之后的边缘部114和115可具有与介电层111的平均粒度、密度或硬度不同的平均粒度、密度或硬度。

[0124] 将用于侧边缘部的陶瓷生片140附接到单元坯210的第一侧表面S1的方法没有特别限制。例如，可将单元坯210的第一侧表面S1朝向弹性垫360按压。具体地，参照图13和图14，在上支撑件330设置在粘合带320的其上没有设置多个单元坯210的表面上并且弹性垫360和用于侧边缘部的陶瓷生片140依次堆叠在下支撑件340上的状态下，用于侧边缘部的陶瓷生片140可通过压制附接到第一侧表面S1。在这种情况下，在示例实施例中，用于侧边缘部的陶瓷生片140可在50℃至150℃的温度下附接到第一侧表面S1，以防止用于侧边缘部的陶瓷生片140变形或开裂。

[0125] 使用附接到单元坯210的第一侧表面S1的用于侧边缘部的陶瓷生片140来形成第一侧边缘部214的方法没有特别限制。

[0126] 例如，参照图14，在附接用于侧边缘部的陶瓷生片140之后，可将用于侧边缘部的陶瓷生片140压制到弹性垫360弹性变形的程度，从而可执行冲压以切割用于侧边缘部的陶瓷生片140的与第一侧表面S1对应的部分。通过这样的冲压，用于侧边缘部的陶瓷生片140的与第一侧表面S1对应的部分可被切割以形成第一侧边缘部214。第一侧边缘部214可通过

随后的烧结工艺形成多层电子组件的边缘部114。

[0127] 在示例实施例中，在第一侧边缘部形成操作P4中，用于侧边缘部的陶瓷生片140的附接和冲压可在用于侧边缘部的陶瓷生片140附接到载体膜350的状态下执行。因此，即使不向第一侧表面S1或用于侧边缘部的陶瓷生片140涂覆粘合剂，也可防止用于侧边缘部的陶瓷生片140的快速干燥，从而确保用于将用于侧边缘部的陶瓷生片140附接到第一侧表面S1的粘合力足够。也就是说，在示例实施例中，在用于侧边缘部的陶瓷生片140的与第一侧表面S1接触的表面上可不涂覆粘合剂成分。

[0128] 另外，在示例实施例中，由于防止了用于侧边缘部的陶瓷生片140的快速干燥，因此可在50℃或更低的温度下进行冲压。因此，可不必为了形成侧边缘部而保持高温，从而减轻由热冲击导致的对单元坯210或用于侧边缘部的陶瓷生片140的损坏。

[0129] 载体膜350的成分没有特别限制。在示例实施例中，载体膜350可包括聚对苯二甲酸乙二醇酯(PET)、聚烯烃(PO)、聚丙烯(PP)和硅(Si)。因此，可有效地防止附接到载体膜350的用于侧边缘部的陶瓷生片140的快速干燥。另外，载体膜350的厚度不受特别限制，但是该厚度可优选为大于或等于10μm以适当地形成侧边缘部，并且可优选为小于或等于30μm以便于冲压用于侧边缘部的陶瓷生片。

[0130] 根据示例实施例的制造多层电子组件的方法还可包括第二侧边缘部形成操作：通过将单元坯210的第二侧表面S2附接到用于侧边缘部的陶瓷生片140并且在第一侧边缘部形成操作P4之后冲压用于侧边缘部的陶瓷生片140来形成第二侧边缘部215。

[0131] 除了对单元坯210的第二侧表面S2执行用于侧边缘部的陶瓷生片140的附接和冲压之外，第二侧边缘部形成操作可以以与第一侧边缘部形成操作P4相同的方式执行。

[0132] 具体地，在第一侧边缘部形成操作P4之后，可移除除第一侧边缘部214之外的被切割的用于侧边缘部的陶瓷生片140，并且可去除载体膜350、弹性垫360和下支撑件340。此后，可将另一粘合带附接到其上形成有第一侧边缘部214的表面，然后可移除现有的粘合带320和上支撑件330以敞开单元坯210的第二侧表面S2。当第一侧边缘部形成操作P4同等地应用于敞开的第二侧表面S2时，可形成其上形成有第一侧边缘部214和第二侧边缘部215的单元坯210。

[0133] 在形成第一侧边缘部和第二侧边缘部的操作中，用于侧边缘部的陶瓷生片可在附接有载体膜的状态下冲压，使得在执行第二侧边缘部形成操作并执行主体形成操作和外电极形成操作之后，边缘部114和115可设置为围绕主体110。也就是说，边缘部114和115可设置为延伸到主体110的第三表面3的一部分和第四表面4的一部分，或者可设置为覆盖主体110的边缘。因此，可阻挡外部水分的渗透以改善多层电子组件100的防潮可靠性。

[0134] 类似地，在形成第一侧边缘部和第二侧边缘部的操作中，用于侧边缘部的陶瓷生片可在附接有载体膜的状态下冲压，第一侧边缘部的边缘和第二侧边缘部的边缘可形成弯曲表面。也就是说，可具有以下优点，在烧结之前不必另外研磨或抛光堆叠的单元坯210的边缘。

[0135] 根据示例实施例的制造多层电子组件的方法还可包括主体形成操作：在第二侧边缘部形成操作之后烧结其上形成有第一侧边缘部214和第二侧边缘部215的单元坯210。烧结温度没有特别限制，但可在例如1000℃至1300℃下执行烧结。此外，可在还原气氛下执行烧结。

[0136] 此后，可通过分别在主体110的第三表面3和第四表面4上形成外电极131和132来制造多层电子组件100。

[0137] 其上形成有第一侧边缘部214和第二侧边缘部215的单元坯210可被烧结以形成主体110，而无需额外的工艺，但是本公开不限于此，并且包括具有优异导电性的金属的导电膏可设置在第三表面3和第四表面4中的每个上，且可与主体110同时烧结以形成外电极131和132，从而制造多层电子组件100。

[0138] 图18是图17的沿着线III-III'截取的截面图，图18示意性示出了第一侧边缘部214和第二侧边缘部215所附接到的单元坯210的在第二方向和第三方向上的截面图。

[0139] 图19是图1的沿着线IV-IV'截取的截面图，图19示意性示出了根据本公开的示例实施例的多层电子组件100的在第二方向和第三方向上的截面图。

[0140] 参照图18，第一侧边缘部和第二侧边缘部可分别设置在单元坯210的第一侧表面S1和第二侧表面S2上。在这种情况下，用于侧边缘部的陶瓷生片140可在设置在上述载体膜350上的状态下被冲压，使得第一侧边缘部214和第二侧边缘部215可设置为从单元坯210的第一侧表面S1和第二侧表面S2延伸到第一表面1、第二表面2、第三表面3和第四表面4中的至少一个的一部分。

[0141] 在示例实施例中，当单元坯210的第三表面的延长线E3与第一侧边缘部214和第二侧边缘部215的在第二方向上的端部之中的与第三表面相邻的端部之间的在第二方向上的距离的平均值被定义为d1，并且单元坯210的第一侧表面S1的延长线ES1与第一侧边缘部214和第二侧边缘部215的与第三表面3或第四表面4接触的端部之间的在第三方向上的距离的平均值被定义为d2时，d1/d2可满足大于0.4且小于0.8。

[0142] 参照图19，第一边缘部114可设置在多层电子组件100的主体110的第一侧表面S1上，第二边缘部115可设置在第二侧表面S2上。第一边缘部114和第二边缘部115可通过烧结图18的第一侧边缘部214和第二侧边缘部215来形成。图18的d1和d2的值可随着用于制造多层电子组件100的烧结工艺而改变。也就是说，在示例实施例中，当主体110的第三表面的延长线E3'与第一边缘部114和第二边缘部115的在第二方向上的端部之中的与第三表面3相邻的端部之间的在第二方向上的距离的平均值被定义为d1'，并且主体110的第一侧表面S1的延长线ES1'与第一边缘部114和第二边缘部115的与第三表面3或第四表面4接触的端部之间的在第三方向上的距离的平均值被定义为d2'时，d1'/d2'可满足大于0.3且小于0.6。当d1'/d2'满足大于0.3且小于0.6时，边缘部114和115可设置为充分围绕主体110，使得可阻挡外部水分的渗透，从而改善多层电子组件100的可靠性。

[0143] 表示在第二方向上的距离的平均值的d1和d1'以及表示在第三方向上的距离的平均值的d2和d2'可如下测量。

[0144] d1和d2可与在单元坯210中测量的值对应。在烧结之前，可抛光单元坯210的在第二方向和第三方向上的截面，使得内电极图案不暴露，并且可用光学显微镜(OM)或扫描电子显微镜(SEM)观察并测量该截面。在这种情况下，在第二方向和第三方向上的截面可从在覆盖部的在第一方向上以相等间隔抛光的十个截面中选择，并且可通过计算在相应截面中测量的d1和d2的平均值使这些值更一般化。

[0145] d1'和d2'可与在主体110中测量的值对应。在烧结之后，可抛光多层电子组件100的在第二方向和第三方向上的截面，使得内电极图案不暴露，并且可用OM或SEM观察并测量

该截面。在这种情况下，在第二方向和第三方向上的截面可从在覆盖部的在第一方向上以相等间隔抛光的十个截面中选择，并且通过计算在相应截面中测量的d1'和d2'的平均值使这些值更一般化。

[0146] 图1示出了可通过根据本公开的示例实施例的制造多层电子组件的方法制造的多层电子组件的示意性立体图。

[0147] 图2是图1的沿着线I-I'截取的截面图。

[0148] 图3是图1的沿着线II-II'截取的截面图。

[0149] 在下文中，参照图1至图3，将描述可通过根据本公开的示例实施例的制造方法制造的多层电子组件100。然而，多层电子组件100不限于具有示出的形式，并且内电极和外电极的形式和数量可根据其安装位置或用途而变化。

[0150] 多层电子组件100可包括：主体110，包括介电层111以及交替设置的第一内电极121和第二内电极122，且介电层介于第一内电极121与第二内电极122之间；以及外电极131和132，设置在主体110上。

[0151] 在主体110中，介电层111与内电极121和122可交替地堆叠。

[0152] 主体110的具体形状没有特别限制。然而，如图1中所示，主体110可具有六面体形状或与其类似的形状。在烧结工艺期间，包括在主体110中的陶瓷粉末可能收缩，使得陶瓷主体110可大致具有六面体的形状，而不是具有完全直线的六面体形状。

[0153] 主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并在第二方向上彼此面对的第三表面3和第四表面4以及连接到第一表面至第四表面并在第三方向上彼此相对的第一侧表面S1和第二侧表面S2。

[0154] 形成主体110的多个介电层111可处于烧结状态，并且相邻的介电层111可彼此一体化，使得在不使用SEM的情况下它们之间的边界可能不容易区分。

[0155] 根据本公开的示例实施例，用于形成介电层111的原材料没有特别限制，只要利用其可获得足够的电容即可。例如，可使用钛酸钡基材料、铅复合钙钛矿基材料或钛酸锶基材料。钛酸钡基材料可包括$BaTiO_3$基陶瓷粉末。$BaTiO_3$基陶瓷粉末的示例可包括$BaTiO_3$或者通过将Ca或Zr部分固溶在$BaTiO_3$中而获得的$(Ba_{1-x}Ca_x)TiO_3$($0<x<1$)、$Ba(Ti_{1-y}Ca_y)O_3$($0<y<1$)、$(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$($0<x<1,0<y<1$)或$Ba(Ti_{1-y}Zr_y)O_3$($0<y<1$)。当烧结多个陶瓷生片201和202时，陶瓷生片201和202可变成包括在主体110中的介电层111。

[0156] 另外，根据本公开的目的，可将各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等添加到诸如钛酸钡($BaTiO_3$)的粉末作为用于形成介电层111的材料。

[0157] 主体110可包括：电容形成部Ac，设置在主体110内，包括彼此相对的第一内电极121和第二内电极122且介电层111介于它们之间，并形成电容；以及覆盖部112和113，形成在电容形成部Ac的上部和下部上。

[0158] 另外，电容形成部Ac(对电容器的电容形成有贡献的部分)可通过重复堆叠多个第一内电极121和多个第二内电极122且使介电层111介于第一内电极121与第二内电极122之间来形成。

[0159] 覆盖部112和113包括设置在电容形成部Ac的在第一方向上的上部上的上覆盖部112和设置在电容形成部Ac的在第一方向上的下部上的下覆盖部113。

[0160] 上覆盖部112和下覆盖部113可通过分别在电容形成部Ac的在厚度方向上的上表

面和下表面上堆叠单个介电层或者两个或更多个介电层来形成，并且可基本用于防止由物理应力或化学应力引起的对内电极的损坏。

[0161] 上覆盖部112和下覆盖部113不包括内电极，并且可包括与介电层111的材料相同的材料。

[0162] 也就是说，上覆盖部112和下覆盖部113可包括陶瓷材料，例如，钛酸钡($BaTiO_3$)基陶瓷材料。

[0163] 另外，边缘部114和115可设置在电容形成部Ac的侧表面上。

[0164] 边缘部114和115可包括设置在主体110的第一侧表面S1上的边缘部114和设置在主体110的第二侧表面S2上的边缘部115。也就是说，边缘部114和115可设置在主体110的在第三方向上的相对的侧表面上。

[0165] 如图3中所示，边缘部114和115可指在主体110的沿着宽度-厚度方向切割的截面中第一内电极121和第二内电极122的相对端与主体110的边界表面之间的区域。

[0166] 边缘部114和115可基本用于防止由于物理应力或化学应力对内电极的损坏。

[0167] 根据本公开的示例实施例，为了抑制由内电极121和122引起的台阶差，内电极121和122可在堆叠之后被切割以暴露于主体110的第一侧表面S1和第二侧表面S2，然后可将单个介电层或者两个或更多个介电层堆叠在电容形成部Ac的在第三方向上的相对的侧表面上，从而形成边缘部114和115。

[0168] 边缘部114和115中的每个的宽度不必特别限制。然而，边缘部114和115的平均厚度可小于或等于30μm，以更容易地实现多层电子组件的小型化和高电容。另外，根据本公开的示例实施例，制造多层电子组件的方法可包括以下布置操作：在陶瓷生片堆叠的方向上将单元坯与支撑膜分离，然后移动并布置单元坯，使得单元坯的第二侧表面与粘合带接触，从而制造具有改善的可靠性的多层电子组件。因此，即使当边缘部114和115的平均厚度为30μm或更小时，也可确保优异的可靠性。

[0169] 边缘部114和115的平均宽度可指边缘部114和115的在第三方向上的平均尺寸，并且可以是在电容形成部Ac的侧表面的五个等间隔的点处测量的边缘部114和115的在第三方向上的尺寸的平均值。

[0170] 多个内电极121和122可交替地设置，且介电层111介于它们之间。

[0171] 多个内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替地设置为彼此相对，且包括在主体110中的介电层111介于第一内电极121与第二内电极122之间，并且第一内电极121和第二内电极122可分别延伸到主体110的第三表面3和第四表面4。

[0172] 具体地，第一内电极121的端部可延伸到第三表面3，第二内电极122的端部可延伸到第四表面4。

[0173] 第一内电极121可与第四表面4间隔开并且可通过第三表面3暴露，第二内电极122可与第三表面3间隔开并且可通过第四表面4暴露。第一外电极131可设置在主体的第三表面3上并且可连接到第一内电极121，第二外电极132可设置在主体的第四表面4上并且可连接到第二内电极122。

[0174] 也就是说，第一内电极121可连接到第一外电极131而不连接到第二外电极132，第二内电极122可连接到第二外电极132而不连接到第一外电极131。因此，第一内电极121可

形成为与第四表面4间隔开预定距离，第二内电极122可形成为与第三表面3间隔开预定距离。

[0175] 在这种情况下，第一内电极121和第二内电极122可通过设置它们之间的介电层111彼此电隔离。

[0176] 主体110可通过交替地堆叠其上印刷有第一内电极图案221的陶瓷生片201和其上印刷有第二内电极图案222的陶瓷生片202，然后对它们进行烧结来形成。

[0177] 用于形成内电极121和122的材料没有特别的限制，并且可使用具有优异导电性的材料。例如，内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)和它们的合金中的一种或更多种。

[0178] 此外，内电极121和122可通过在陶瓷生片上印刷用于内电极的导电膏来形成，该导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)及它们的合金中的一种或更多种。丝网印刷法或凹版印刷法可用作印刷用于内电极的导电膏的方法，但本公开不限于此。

[0179] 外电极131和132可分别设置在主体110的第三表面3和第四表面4上，使得第一外电极131可电连接到第一内电极121，第二外电极132可电连接到第二内电极122。

[0180] 在本示例实施例中，描述了多层电子组件100具有两个外电极131和132的结构，但是外电极131和132的数量和形状可根据内电极121和122的形状和其他目的而改变。

[0181] 外电极131和132可利用具有导电性的任何材料(诸如金属)形成，可考虑电性能和结构稳定性来确定外电极131和132的特定材料，并且外电极131和132还可具有多层结构。

[0182] 例如，外电极131和132可包括设置在主体110的表面上以与内电极121和122接触的电极层，以及形成在电极层上的镀层。

[0183] 作为电极层的更具体的示例，电极层可以是包括导电金属和玻璃的烧结电极，或者包括导电金属和树脂的树脂基电极。

[0184] 此外，电极层可具有烧结电极和树脂基电极依次形成在主体上的形式。此外，电极层可通过将包括导电金属的片材转印到主体上或通过将包括导电金属的片材转印到烧结电极上来形成。

[0185] 具有优异导电性的材料可用作电极层中包括的导电金属，并且没有特别限制。例如，导电金属可以是镍(Ni)、铜(Cu)及它们的合金中的一种或更多种。

[0186] 镀层可用于改善安装性能。镀层的类型没有特别限制，并且可以是包括Ni、Sn、Pd及它们的合金中的一种或更多种的镀层，并且可利用多个层形成。

[0187] 作为镀层的更具体的示例，镀层可以是Ni镀层或Sn镀层，可具有在电极层上依次形成Ni镀层和Sn镀层的形式，或者可具有在电极层上依次形成Sn镀层、Ni镀层和Sn镀层的形式。此外，镀层可包括多个Ni镀层和/或多个Sn镀层。

[0188] (示例)

[0189] 使用利用$BaTiO_3$粉末和副成分形成的介电陶瓷生片和利用Ni粉末形成的导电图案在支撑膜上制造堆叠体。基于堆叠体的多个陶瓷生片堆叠的方向被定义为第一方向。此后，沿着与第一方向垂直的第二方向切割堆叠体，并且沿着与第一方向和第二方向垂直的第三方向切割堆叠体，以形成多个单元坯。在这样的切割工艺期间，切割堆叠体，使得单元坯包括第一内电极图案和第二内电极图案，在第一内电极图案中，导电图案的切割表面暴

露于单元坯的在第二方向上的表面以及第一侧表面和第二侧表面，在第二内电极图案中，导电图案的切割表面暴露于单元坯的在第二方向上的另一表面以及第一侧表面和第二侧表面。

[0190] 此后，将单元坯与支撑膜分离，然后可将单元坯布置为使得单元坯的第二侧表面与粘合带接触。

[0191] 此后，将第一侧表面附接到利用$BaTiO_3$粉末和副成分形成的用于侧边缘部的陶瓷生片，以形成第一侧边缘部，并且以相同的方式形成第二侧边缘部。

[0192] 此后，在1300℃或更低的烧结温度和2.0% H_2或更低的氢气浓度下烧结其上形成有第一侧边缘部和第二侧边缘部的单元坯以形成主体，并且可将导电膏涂敷到主体上以形成外电极。因此，形成了根据示例的多层电子组件的样品。

[0193] (比较示例)

[0194] 使用利用$BaTiO_3$粉末和副成分形成的介电陶瓷生片和利用Ni粉末形成的导电图案在支撑膜上制造堆叠体。基于堆叠体的多个陶瓷生片堆叠的方向被定义为第一方向。此后，沿着与第一方向垂直的第二方向切割堆叠体，并且沿着与第一方向和第二方向垂直的第三方向切割堆叠体，以形成多个单元坯。在这样的切割工艺期间，切割堆叠体，使得单元坯包括第一内电极图案和第二内电极图案，在第一内电极图案中，导电图案的切割表面暴露于单元坯的在第二方向上的表面以及第一侧表面和第二侧表面，在第二内电极图案中，导电图案的切割表面暴露于单元坯的在第二方向上的另一表面以及第一侧表面和第二侧表面。

[0195] 此后，如现有技术1中所公开的那样，执行转动工艺：通过将转动作用板设置在单元坯的上表面上并使支撑膜和转动作用板在相反方向上彼此平行地移动，一次将多个单元坯旋转90度。

[0196] 此后，将第一侧表面附接到利用$BaTiO_3$粉末和副成分形成的用于侧边缘部的陶瓷生片，以形成第一侧边缘部，并且以相同的方式形成第二侧边缘部。

[0197] 此后，在1300℃或更低的烧结温度和2.0% H_2或更低的氢气浓度下烧结其上形成有第一侧边缘部和第二侧边缘部的单元坯以形成主体，并且可将导电膏涂敷到主体上以形成外电极。因此，形成了根据比较示例的多层电子组件的样品。

[0198] 下面的表1示出了：评估关于根据示例制造的多层电子组件和根据比较示例制造的多层电子组件在电容形成部与覆盖部之间的边界处是否产生裂纹。

[0199] 通过执行一次制造多层电子组件的方法制造的一组单元坯被定义为1批。在下面的表1中，每1批制造约1000000或更多个单元坯。

[0200] 在下面的表1中，针对每1批随机收集根据示例和比较示例制造的多层电子组件中的每个的50个样品。

[0201] 此后，将收集的样品模制，然后将收集的样品抛光至第三方向上的中央以获得在第一方向和第二方向上的截面以及将收集的样品抛光至第二方向上的中央以获得在第一方向和第三方向上的截面。此后，用OM以放大率为25倍至100倍观察在第一方向和第二方向上的截面以及在第一方向和第三方向上的截面上的覆盖部与电容形成部之间的边界。观察到裂纹的情况被确定为有缺陷。

[0202] [表1]

[0203]

	比较示例	示例
裂纹发生率(ppm)	2000	370
批数	20	27

[0204] 参照表1,可看出,根据比较示例(包括根据现有技术1的转动工艺)的多层电子组件在总共20批中的裂纹发生率为2000ppm。

[0205] 另外,可看出,根据示例(包括根据本公开的示例实施例的布置操作P3而不是根据现有技术1的转动工艺)的多层电子组件在总共27批中的裂纹发生率仅为370ppm。

[0206] 因此,根据表1,包括根据本公开的示例实施例的布置操作P3而不是根据现有技术1的转动工艺的示例可通过抑制因根据现有技术1的转动工艺对单元坯的边缘造成的损坏来抑制在成品的多层电子组件的电容形成部与覆盖部之间的边界处产生的裂纹,从而改善多层电子组件的可靠性。

[0207] 下面的表2示出了根据示例制造的多层电子组件和根据比较示例制造的多层电子组件的复合可靠性评估结果。

[0208] 在表2中,随机提取根据示例和比较示例制造的多层电子组件中的每个的20个样品。通过将20个样品在40℃和4.8V下保持1小时(区段1),将20个样品在85℃和4.8V下保持1小时(区段2),然后将20个样品在85℃、2.8V和65%的相对湿度下保持2小时(区段3)来进行复合可靠性测试。对于每个区段,其中多层电子组件的绝缘电阻(IR)值降至1.0E+05Ω以下的样品被评价为缺陷产品,并且其它样品被评价为正常产品。在复合可靠性测试中,可连续执行区段1至区段3。

[0209] [表2]

[0210]

	区段1至区段3之后的缺陷率(缺陷产品的数量/样品的数量)
比较示例	2/20
示例	0/20

[0211] 参照表2,在由比较示例制造的多层电子组件中,在区段1至区段3之后出现IR值降至1.0E+05Ω以下的两个缺陷产品。在根据示例制造的多层电子组件中,可看出,在区段1至区段3之后没有IR值降至1.0E+05Ω以下的样品。此外,在根据示例制造的多层电子组件中,在区段1中没有初始值降低超过2个数量级的样品。

[0212] 因此,根据表2,包括根据本公开的示例实施例的布置操作P3而不是根据现有技术1的转动工艺的示例可通过抑制在单元坯的边缘上的应力集中来防止多层电子组件在高温和高湿度环境下的IR降低,从而改善多层电子组件的可靠性。

[0213] 虽然上面已经示出和描述了示例实施例,但是对于本领域技术人员来说将易于理解的是,在不脱离由所附权利要求限定的本公开的范围的情况下,可进行修改和变型。

[0214] 另外,术语“示例实施例”不是指相同的示例实施例,而是描述各种示例实施例的不同的独特特征。然而,上面提出的示例实施例也可被实现为与另一示例实施例的特征组合。例如,除非在另一示例实施例中相反或矛盾地描述,否则即使当关于示例实施例描述的内容没有在另一示例实施例中描述时,也可将其理解为与另一示例实施例相关的描述。

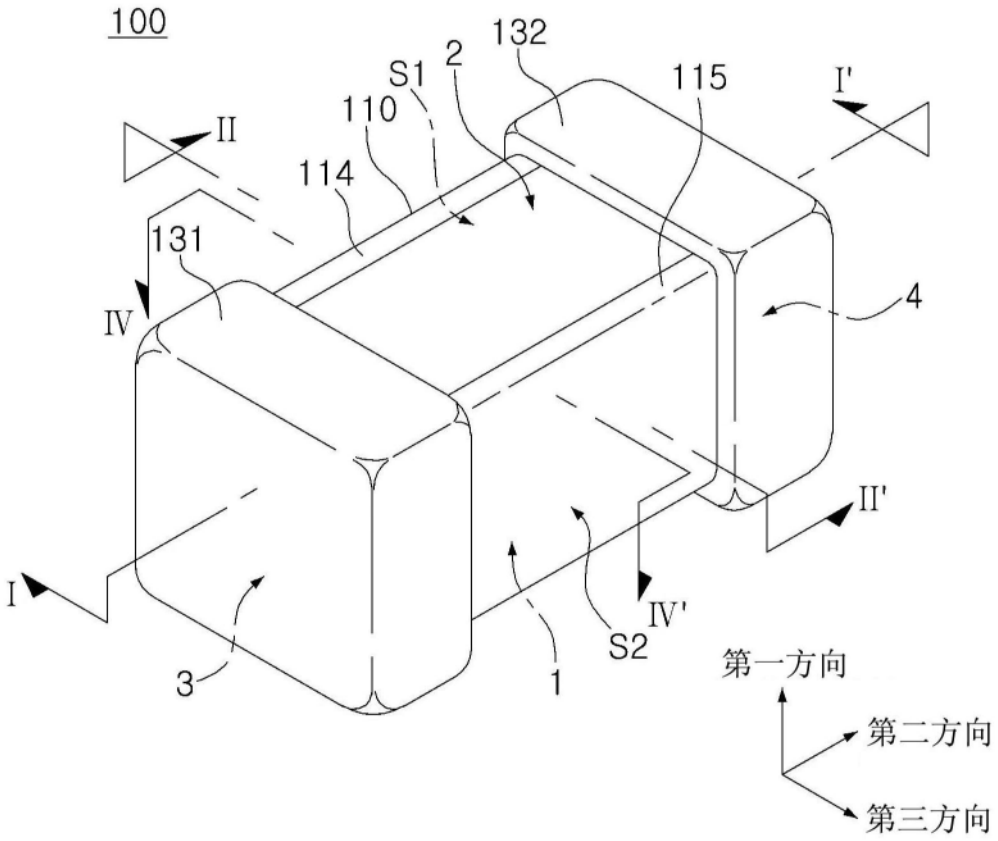

100
132
S1
2
115
I'
II
110
114
131
IV
4
II'
I
IV'
S2
3
1
第一方向
第二方向
第三方向

图1

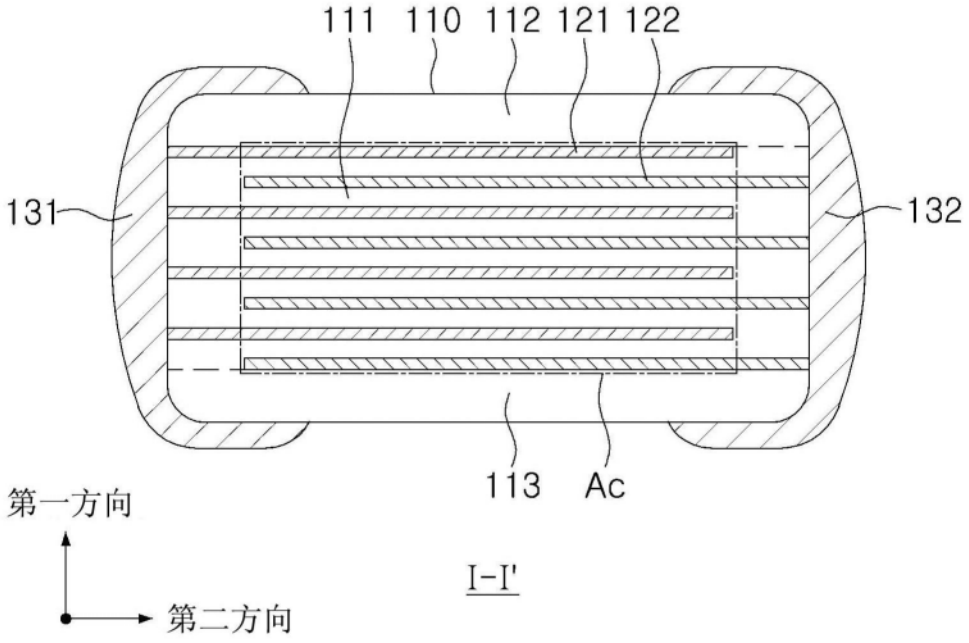

111
110
112
121
122
131
132
113
Ac
第一方向
第二方向
I-I'

图2

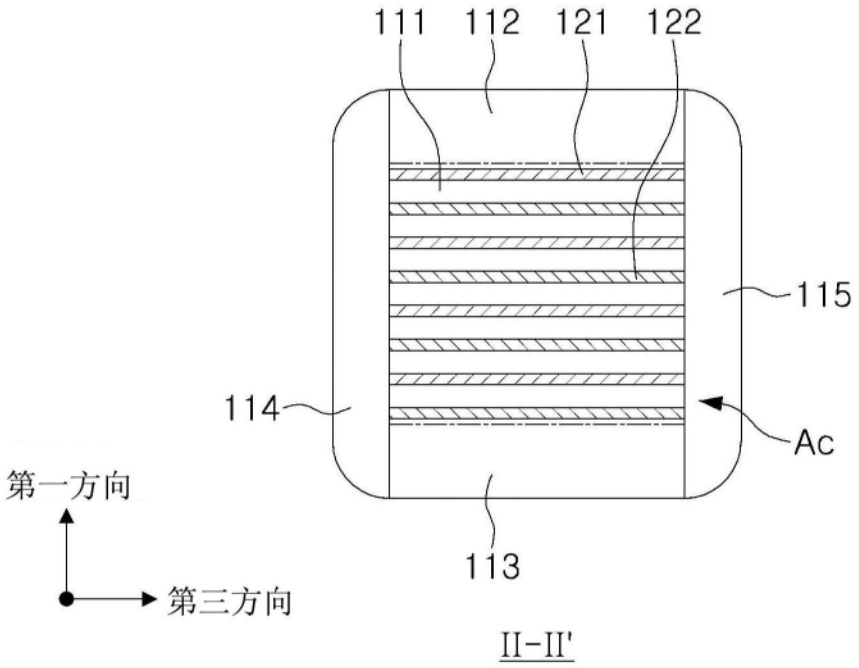

111
112
121
122
115
114
Ac
113
第一方向
第三方向
II-II'

图3

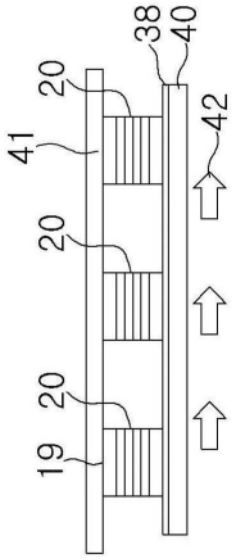

38
40
20
42
41
20
20
19

图4A

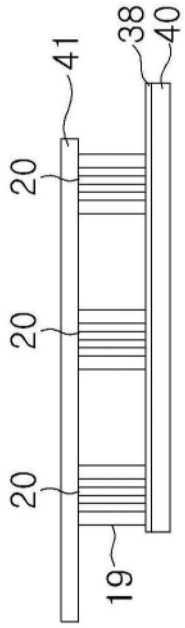


图4B

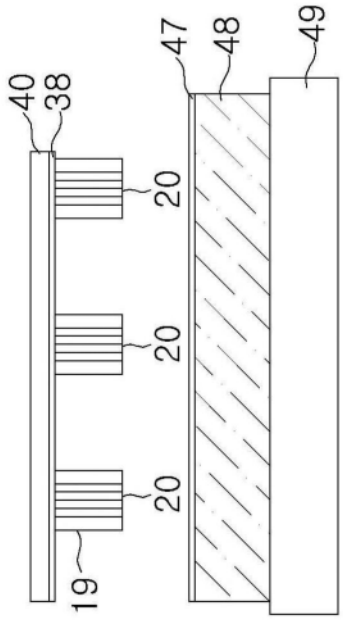


图4C

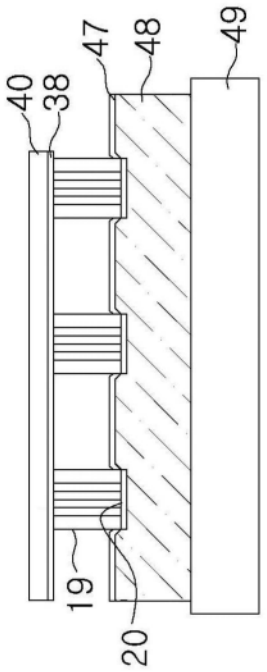


图4D

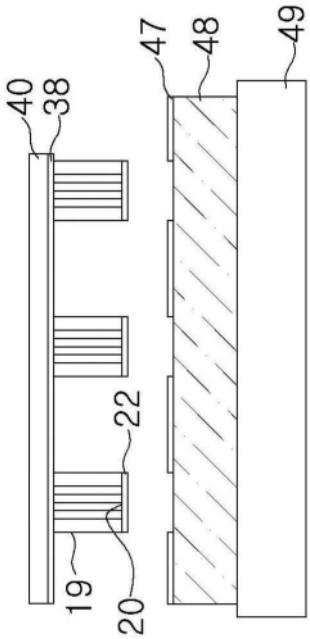


图4E

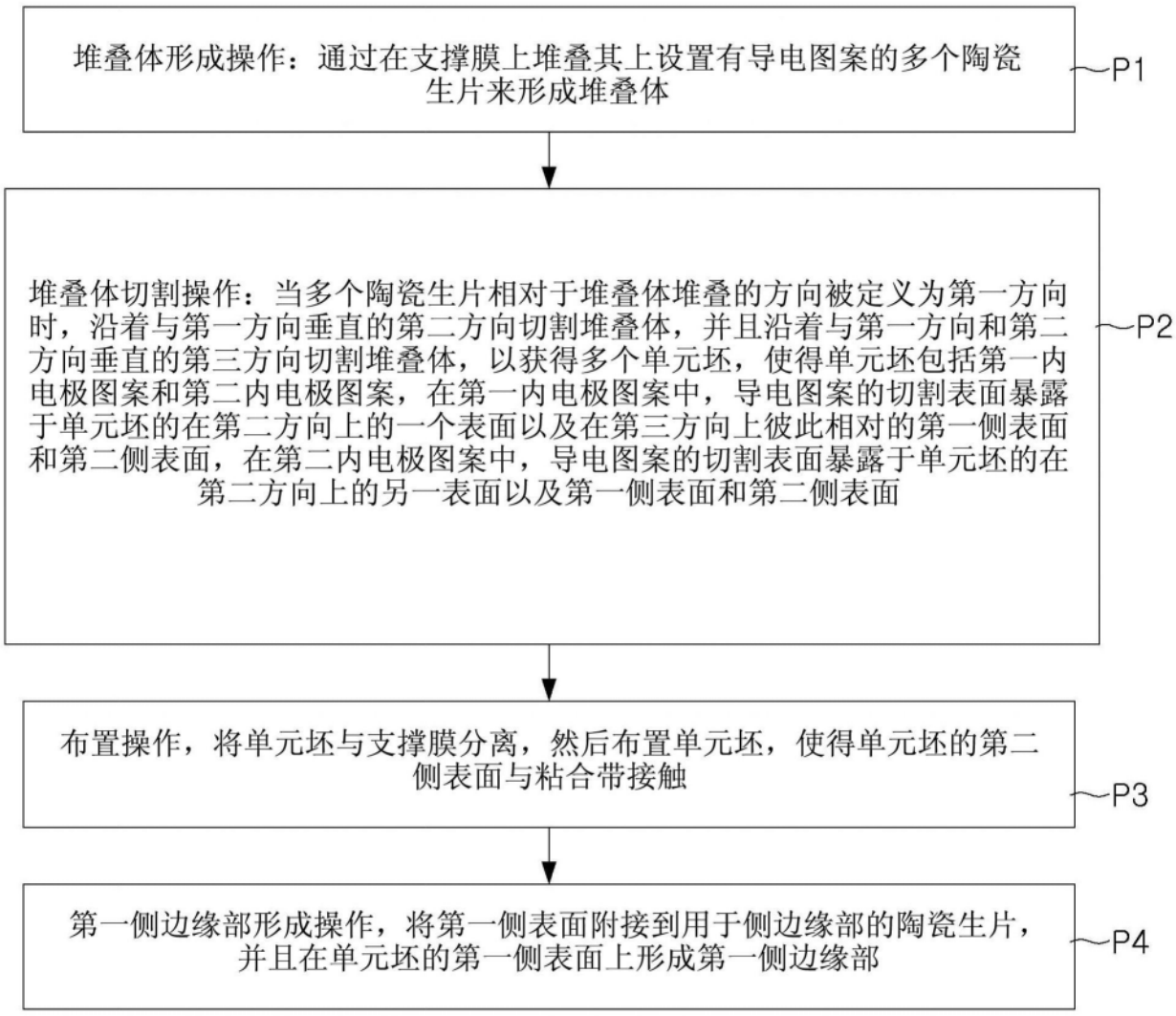

堆叠体形成操作：通过在支撑膜上堆叠其上设置有导电图案的多个陶瓷生片来形成堆叠体
P1
堆叠体切割操作：当多个陶瓷生片相对于堆叠体堆叠的方向被定义为第一方向时，沿着与第一方向垂直的第二方向切割堆叠体，并且沿着与第一方向和第二方向垂直的第三方向切割堆叠体，以获得多个单元坯，使得单元坯包括第一内电极图案和第二内电极图案，在第一内电极图案中，导电图案的切割表面暴露于单元坯的在第二方向上的一个表面以及在第三方向上彼此相对的第一侧表面和第二侧表面，在第二内电极图案中，导电图案的切割表面暴露于单元坯的在第二方向上的另一表面以及第一侧表面和第二侧表面
P2
布置操作，将单元坯与支撑膜分离，然后布置单元坯，使得单元坯的第二侧表面与粘合带接触
P3
第一侧边缘部形成操作，将第一侧表面附接到用于侧边缘部的陶瓷生片，并且在单元坯的第一侧表面上形成第一侧边缘部
P4

图5

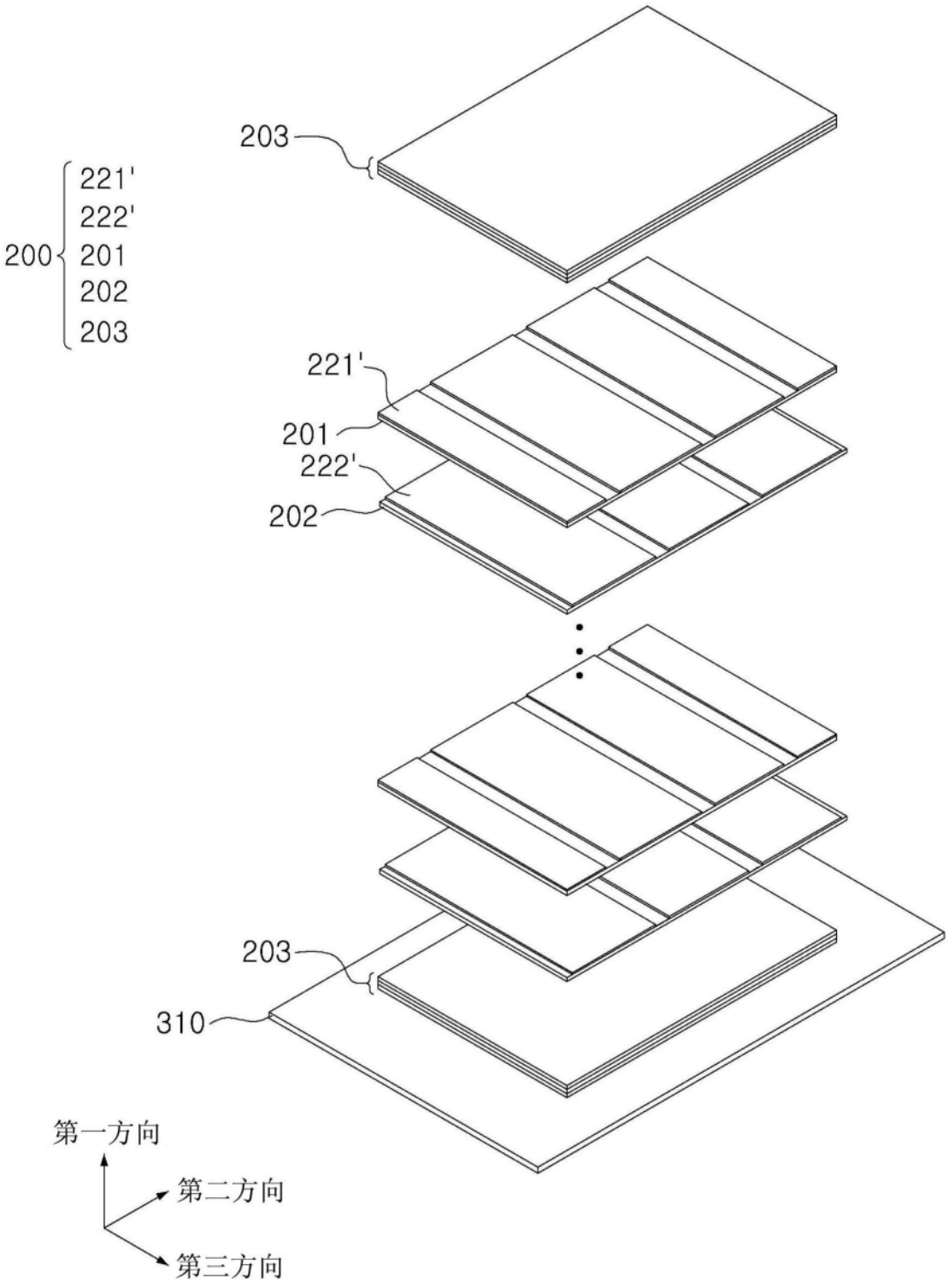

203
200
221'
222'
201
202
203
221'
201
222'
202
203
310
第一方向
第二方向
第三方向

图6

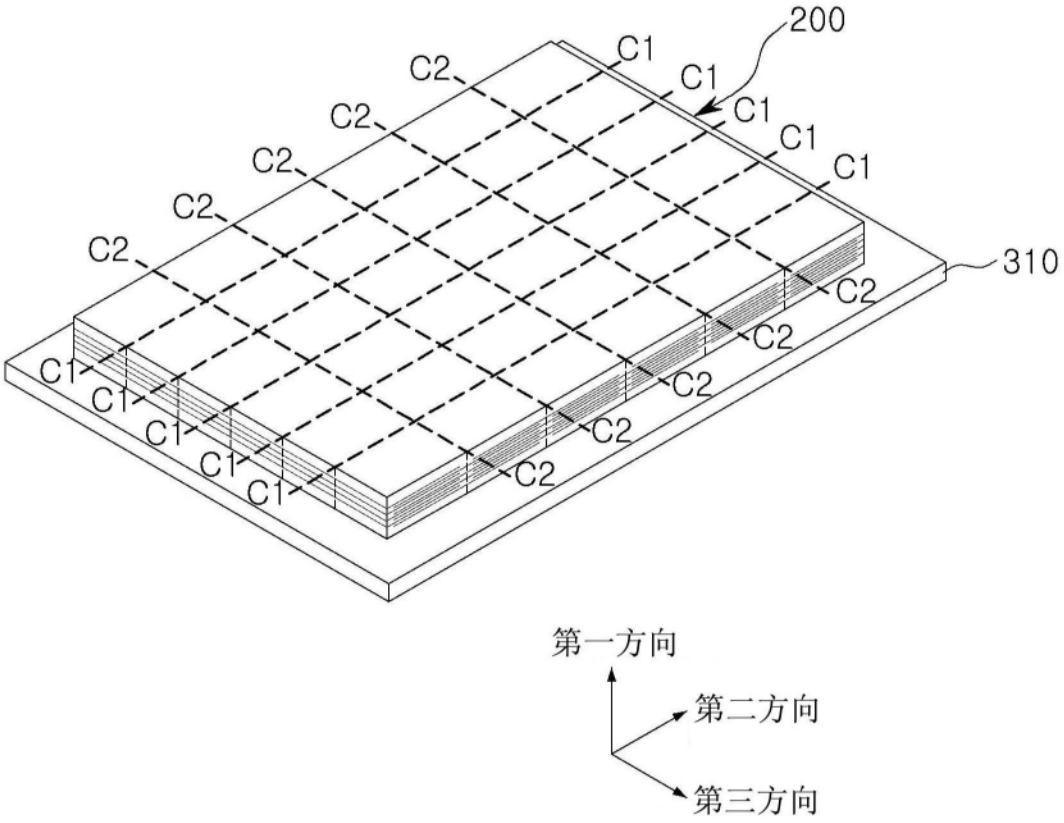


图7

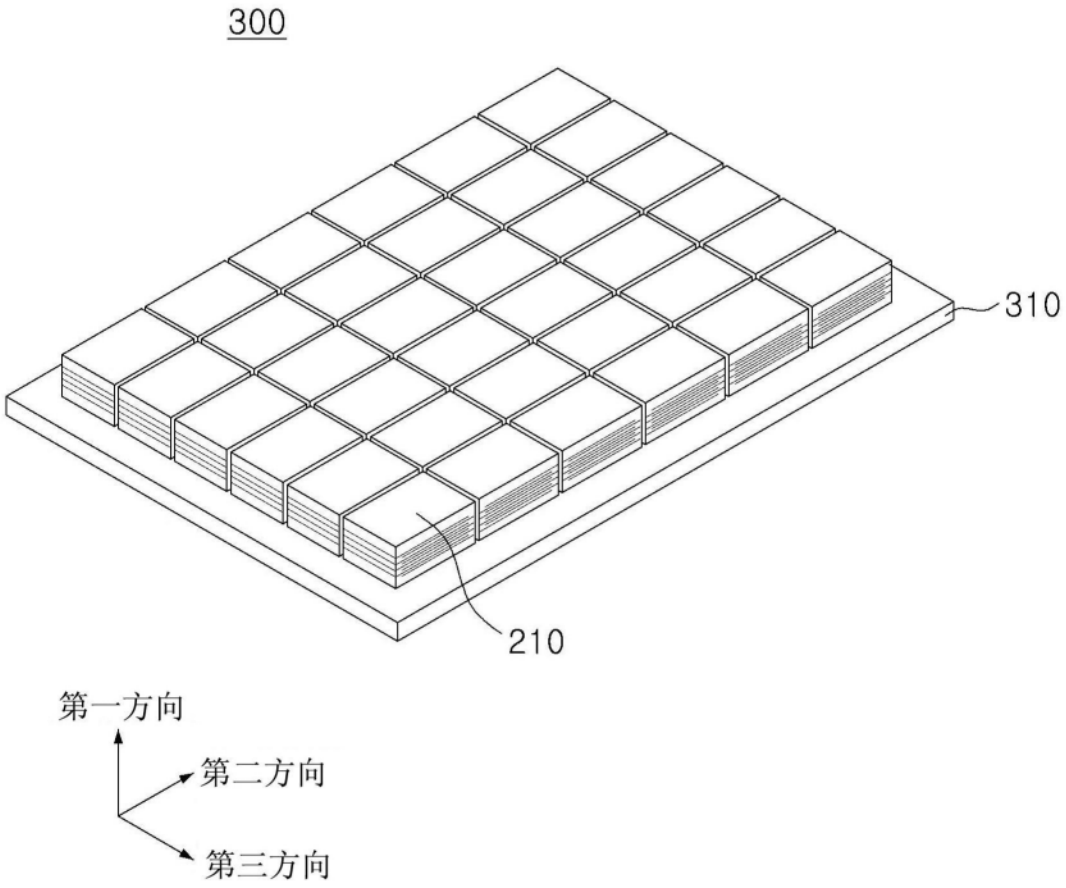


图8

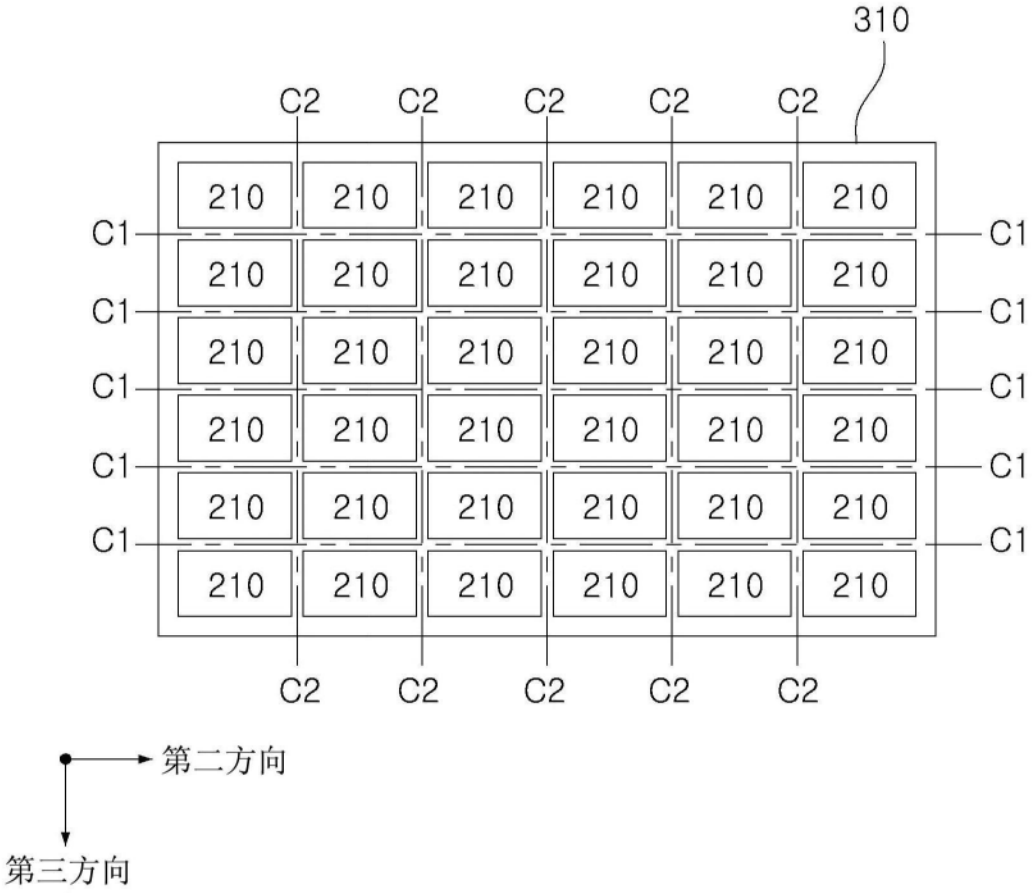


图9

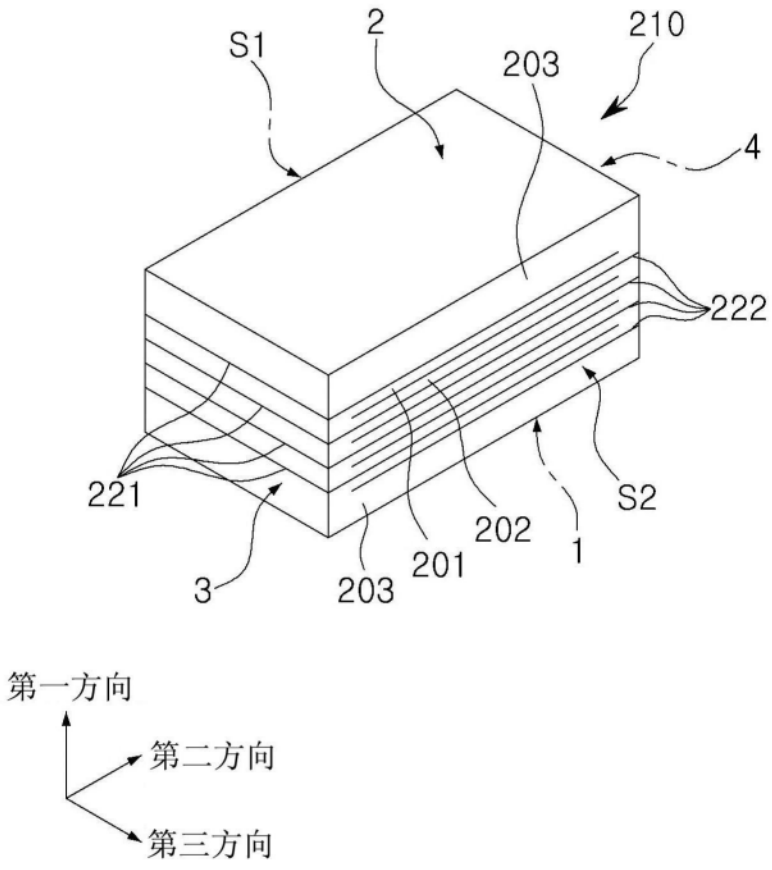


图10

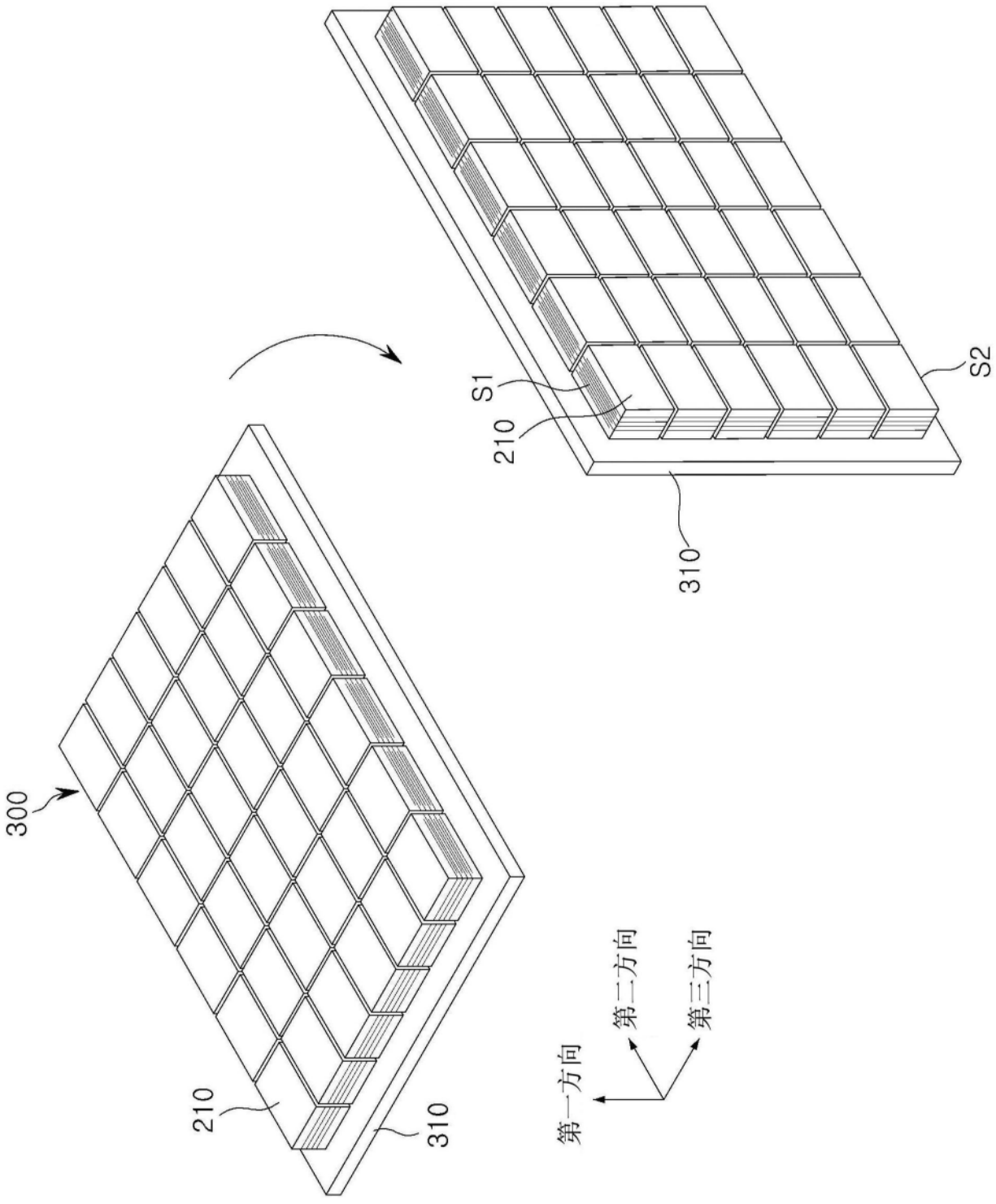


图11

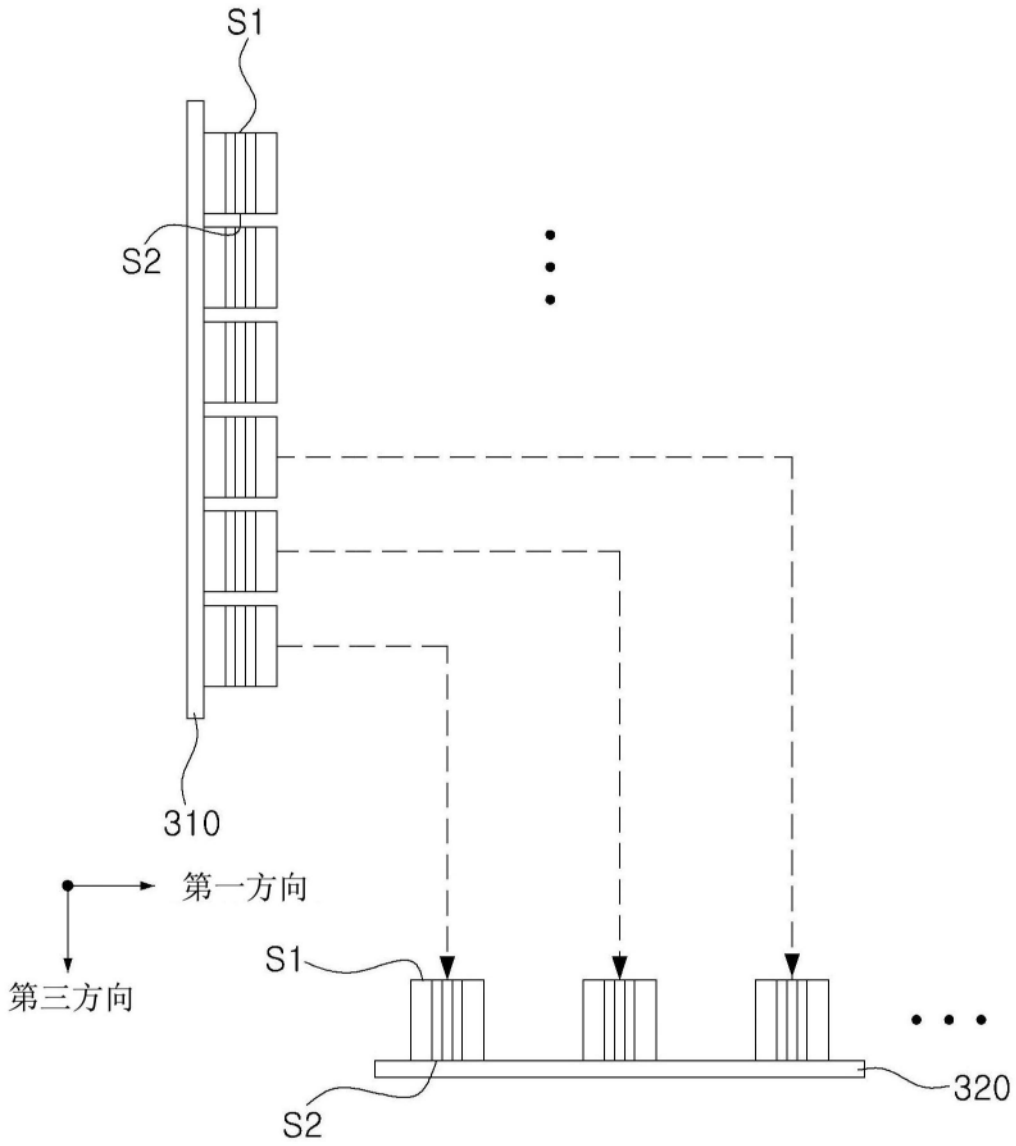


图12

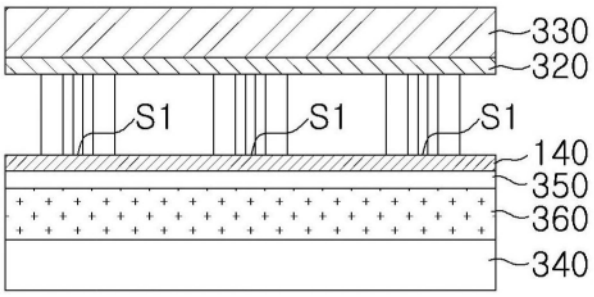


图13

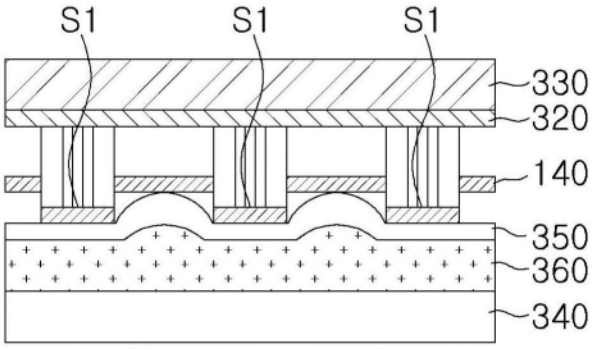


图14

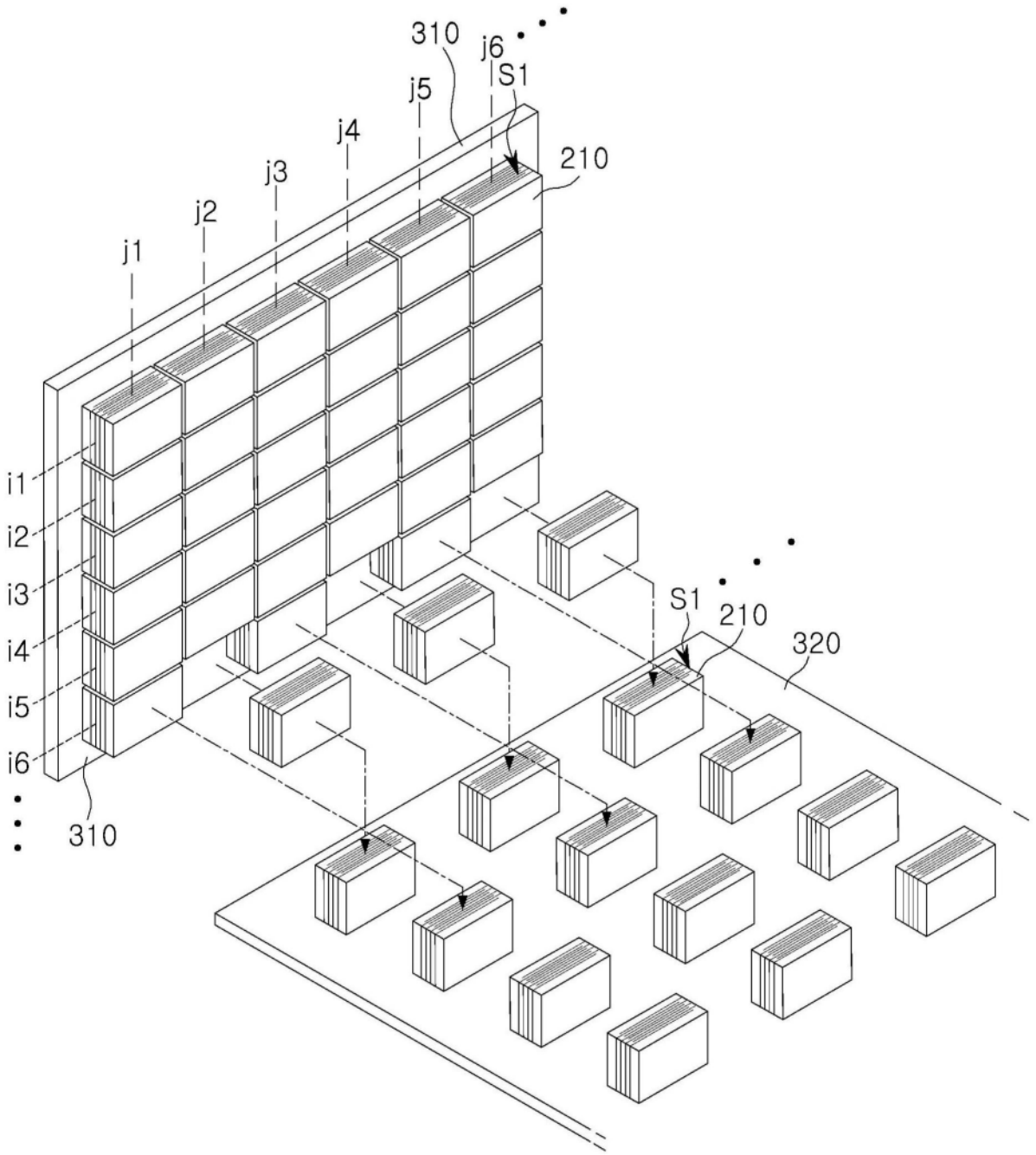


图15

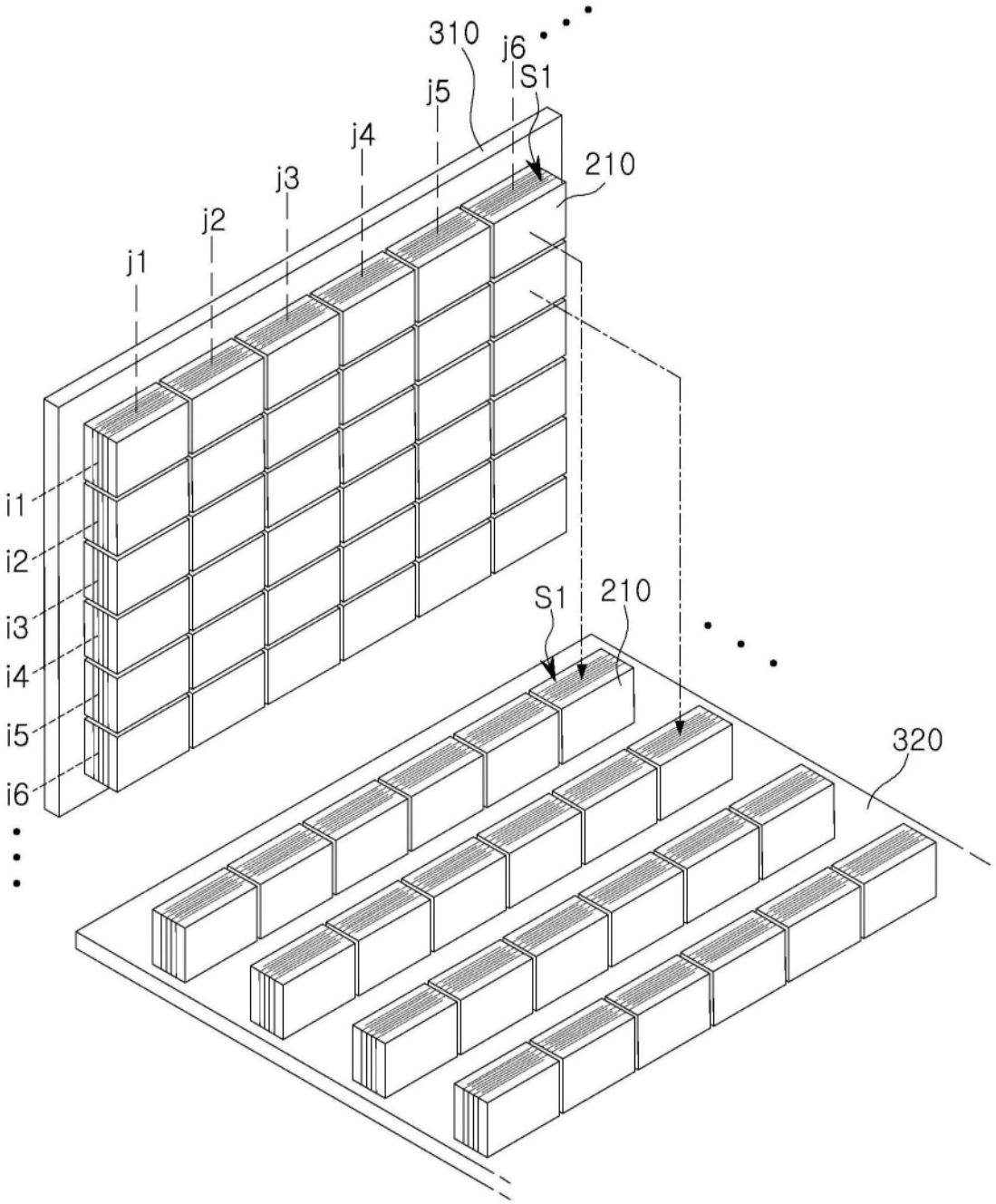


图16A

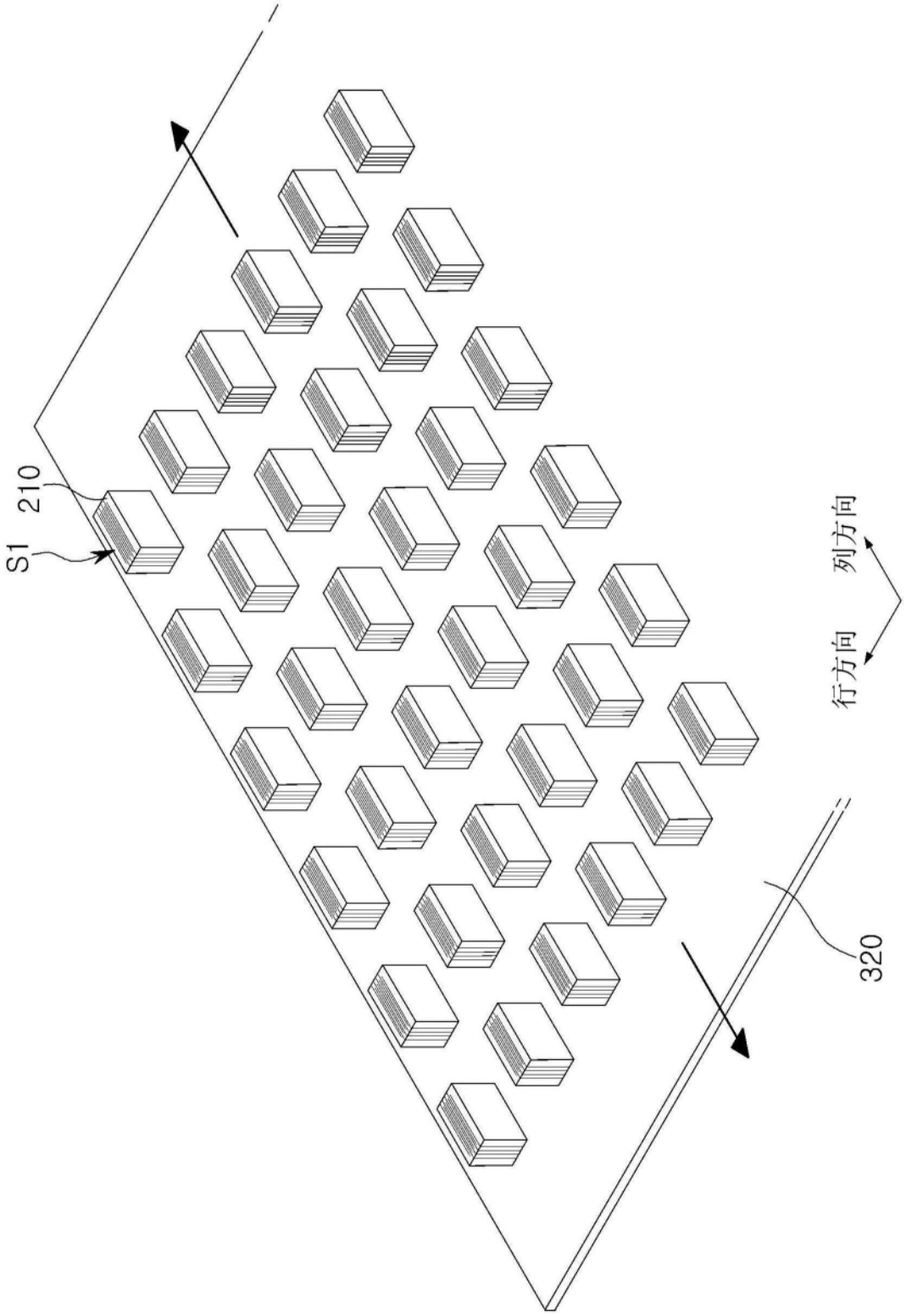


图16B

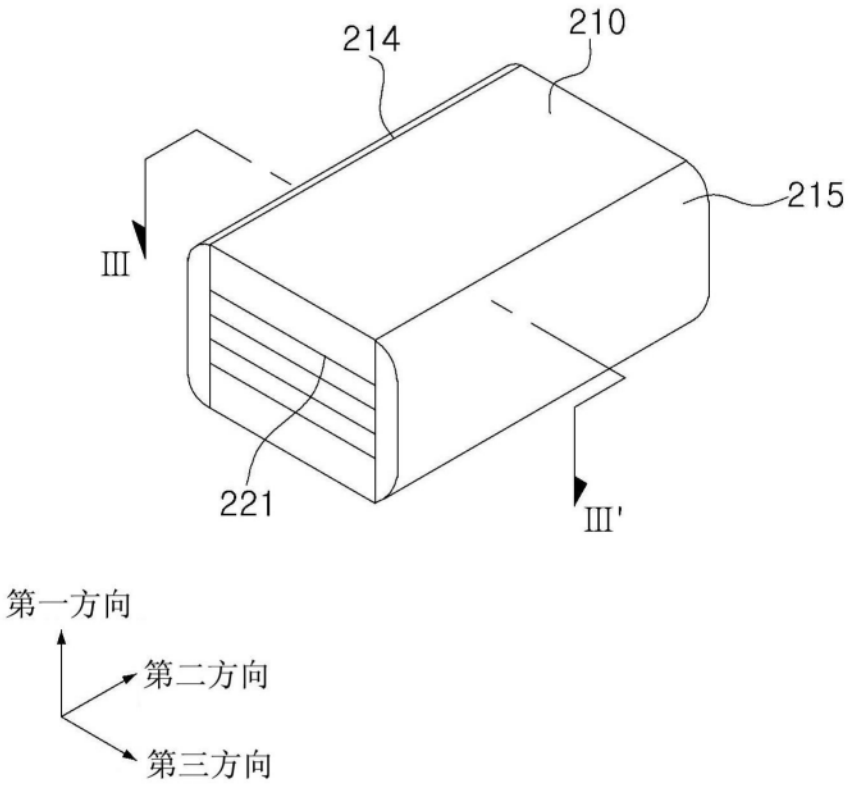


图17

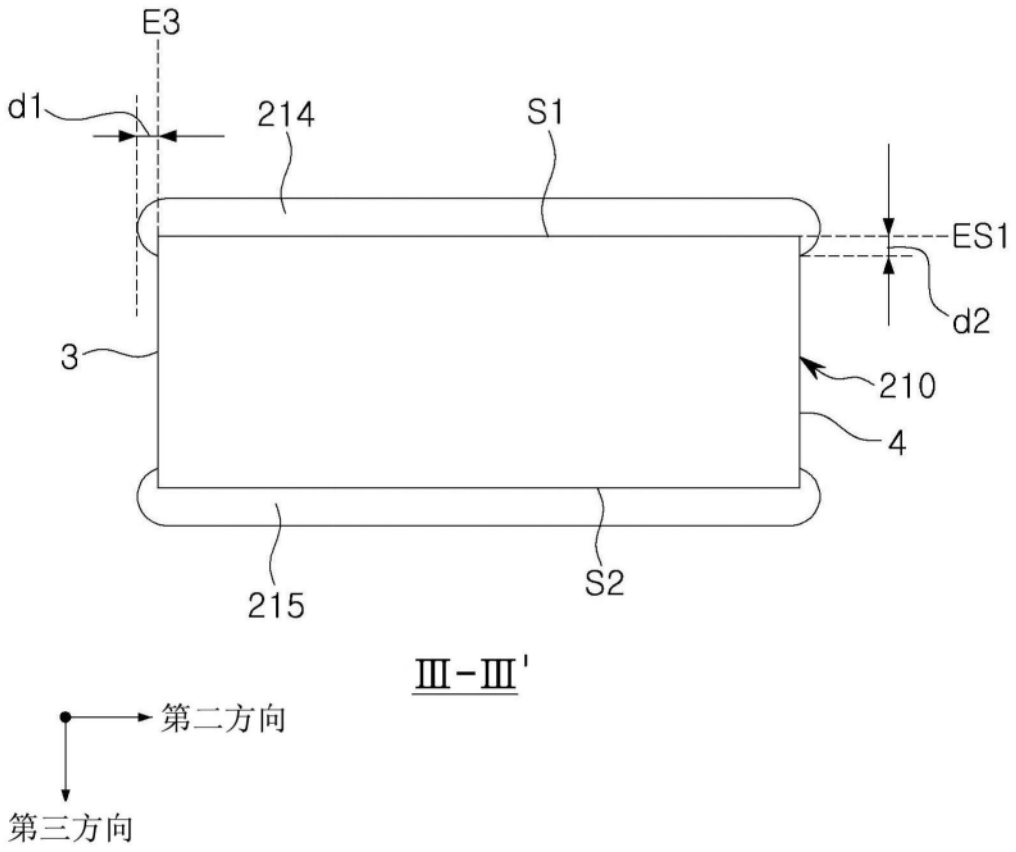


图18

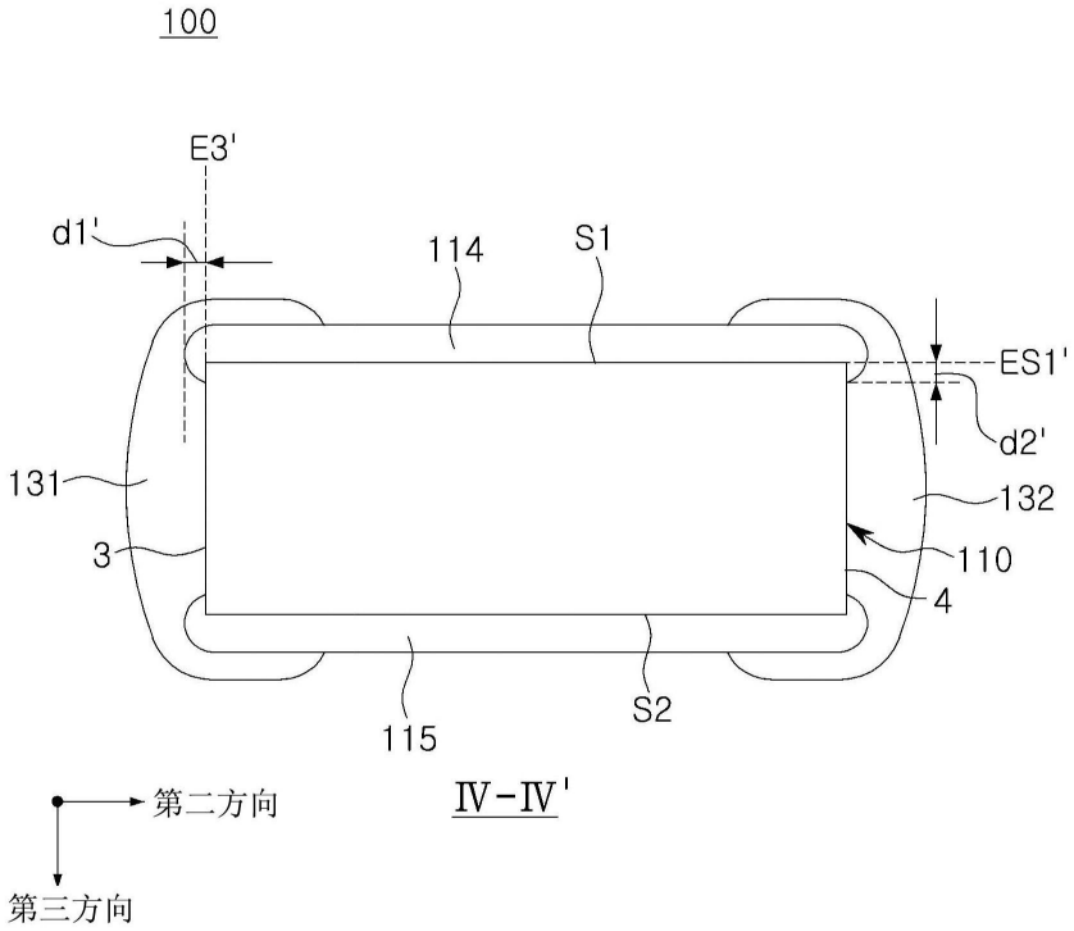


图19