

(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 275 543 A1

4(51) G 05 B 23/02

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

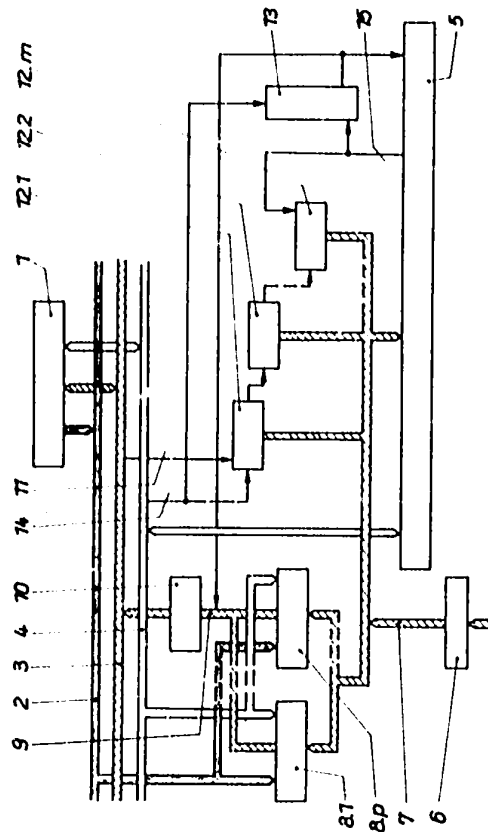
(21) WP G 05 B / 319 845 5 (22) 16.09.88 (44) 24.01.90

(71) Forschungszentrum des Werkzeugmaschinenbaus Karl-Marx-Stadt, Karl-Marx-Allee 4, Karl-Marx-Stadt, 9010, DD

(72) Weißbach, Gerhard, Dipl.-Ing.; Schröter, Klaus, Dipl.-Ing.; Tölge, Walter, Dipl.-Ing.; Herbig, Klaus, Dipl.-Ing.; Stoll, Manfred, Dipl.-Math., DD

(54) Überwachungsanordnung in einer speicherprogrammierbaren Steuerung

(55) Überwachung, Steuerung speicherprogrammierbar, Zentralprozessor, Eingabeprozessor, Datenübertragung, Meßdaten, Schieberegister, Zähler, Eingaberegister, Quittierung, Leiterplatte, Funktionsumfangserweiterung
 (57) Die Erfindung betrifft eine Überwachungsanordnung in einer speicherprogrammierbaren Steuerung und bezieht sich auf die interne Datenübertragung vom Zentralprozessor zu einem mit digitalen Meßdaten beaufschlagten Eingabeprozessor dieser Steuerung. Ein Block von Schieberegistern und ein Zähler ermöglichen in Verbindung mit ihrer Anordnung zusammen mit dem Eingabeprozessor und den Eingaberegistern auf ein und derselben Leiterplatte, daß die Datenübertragung überwacht wird, ohne eine zum Zentralprozessor zurückführende gesonderte Quittierleitung zu beanspruchen. Die Erfindung kann zweckmäßig in einer speicherprogrammierbaren Steuerung angewendet werden, deren Funktionsumfang auf die Erfassung digitaler Meßdaten sowie deren Verarbeitung zusammen mit intern vom Zentralprozessor gesendeten Daten nachträglich erweitert werden soll. Figur



Patentanspruch:

Überwachungsanordnung in einer speicherprogrammierbaren Steuerung für die interne Datenübertragung vom Zentralprozessor zu einem zeitweise selbständig arbeitenden und mit digitalen Meßdaten peripherer Geräte beaufschlagten Eingabeprozessor, wobei die Steuerung mit einem internen Datenbus, der n Eingabeleitungen für ein n-Bit-Wortformat enthält, mit mehreren Eingaberegistern, einer Datenleitung zur bitseriellen Übertragung von Ausgabedaten zu Ausgaberegistern sowie mit einer Verteilung der Funktionsbaugruppen auf mehrere Leiterplatten versehen ist, **dadurch gekennzeichnet**, daß ein Block von m seriell verbundene und jeweils für das n-Bit-Wortformat ausgelegten Schieberegistern (12.1 bis 12.m) sowie ein Zähler (13) mit wenigstens $m \cdot n$ -Zählstellen vorgesehen sind, der Zähler (13) mit dem gleichen Takt wie der Block der Schieberegister (12.1 bis 12.m) beaufschlagt ist, der Einschreibeingang des ersten Schieberegisters (12.1) an der Datenleitung (11) angeschlossen, der Ausgang der $(m \cdot n)$ -ten Zählstelle des Zählers (13) mit dem Eingabeprozessor (5) sowie mit einer der n Eingabeleitungen in einem zwischen den Eingaberegistern (8.1 bis 8.p) und dem Zentralprozessor (1) befindlichen Datenbusabschnitt (9) verbunden und eine Aufrufleitung (15) vom Eingabeprozessor (5) zum zuletzt aufgerufenen Schieberegister (12.m) sowie auf den Rücksetzeingang des Zählers (13) geführt ist und die Schieberegister (12.1 bis 12.m) sowie der Zähler (13) gemeinsam mit dem Eingabeprozessor (5) und den Eingaberegistern (8.1 bis 8.p) auf ein und derselben Leiterplatte angeordnet sind.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf die Überwachung der in einer speicherprogrammierbaren Steuerung ablaufenden Datenübertragung vom Zentralprozessor zu einem zeitweilig selbständig arbeitenden Eingabeprozessor, der mit digitalen Meßdaten peripherer Geräte beaufschlagt wird. Ihre Anwendung ist zweckmäßig auf speicherprogrammierbare Steuerungen beschränkt, die eine Quittierung dieser Datenübertragung verlangen, dabei aber nicht über eine freie Meldeleitung für das Quittiersignal verfügen.

Charakteristik des bekannten Standes der Technik

Speicherprogrammierbare Steuerungen werden immer häufiger mit mehr als nur einem Prozessor ausgestattet, um einen erhöhten Umfang von Steuerungsaufgaben bewältigen zu können. Die Prozessoren sind arbeitsteilig eingesetzt, wobei ein neben dem Zentralprozessor verwendeter zweiter Prozessor funktionsorientiert zeitweilig autonom tätig ist. Im Hinblick auf die spezifisch wählbare Arbeitsteilung ist es bereits bekannt, den zweiten Prozessor zum Zweck der digitalen Wegerfassung und des ständigen Vergleichs der erfaßten Lageistwerte mit Bezugswerten einzusetzen. Jedes Bezugsdatum ist Bestandteil des Anwenderprogramms und wird vom Zentralprozessor zum zweiten Prozessor übermittelt, der für die hier anstehende Betrachtung als Eingabeprozessor bezeichnet werden soll. Die stattgefundenen Datenübertragung wird dem Zentralprozessor mittels eines Quittiersignals gemeldet, das eine Leitung im internen Steuerbus belegt.

Die Verwendung einer zum Zentralprozessor führenden Quittierleitung in einer speicherprogrammierbaren Steuerung ist auch bereits aus DE-OS 2842 372 bekannt, wobei die ordnungsgemäße Arbeitsweise einer Eingabebaugruppe beziehungsweise einer Ausgabebaugruppe der Steuerung festgestellt wird.

Diese einfache Art der Quittierung läßt sich nachteiligerweise dann nicht verwirklichen, wenn eine bereits in Betrieb befindliche speicherprogrammierbare Steuerung nachträglich mit einem solchen Eingabeprozessor ausgerüstet werden soll und in dieser Steuerung unbeschaltete Leitungen, die sich zur Übertragung eines Quittiersignals eignen, nicht mehr verfügbar sind, weil eine bereits minimierte Busstruktur vorliegt.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, den Quittierbetrieb für die in der speicherprogrammierbaren Steuerung vom Zentralprozessor zum Eingabeprozessor erfolgten Datenübertragung zweckdienlich zu modifizieren.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Überwachungsanordnung in einer speicherprogrammierbaren Steuerung gemäß dem Oberbegriff des Patentanspruches so auszubilden, daß sie dem Zentralprozessor die erfolgte Datenübertragung mitteilt, ohne eine gesonderte Quittierleitung zu beanspruchen.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß ein Block von m seriell verbundenen und jeweils für das n -Bit-Wortformat ausgelegten Schieberegistern sowie ein Zähler mit wenigstens $m \cdot n$ -Zählstellen vorgesehen sind, der Zähler mit dem gleichen Takt wie der Block der Schieberegister beaufschlagt ist, der Einschreibeingang des ersten Schieberegisters an der Datenleitung angeschlossen, der Ausgang der $(m \cdot n)$ -Zählstelle des Zählers mit dem Eingabeprozessor sowie mit einer der n -Eingabeleitungen in einem zwischen den Eingaberegistern und dem Zentralprozessor befindlichen Datenbusabschnitt verbunden und eine Aufrufleitung vom Eingabeprozessor zum zuletzt aufgerufenen Schieberegister sowie auf den Rücksetzeingang des Zählers geführt ist und die Schieberegister sowie der Zähler gemeinsam mit dem Eingabeprozessor und den Eingaberegistern auf ein und derselben Leiterplatte angeordnet sind.

Ausführungsbeispiel

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels näher erläutert. Die Figur zeigt ein Blockschaltbild der erfindungsgemäßen Lösung.

Eine speicherprogrammierbare Steuerung enthält einen Zentralprozessor 1, der an einem Adreßbus 2, einem Datenbus 3 und einem Steuerbus 4 angeschlossen ist. Die Steuerung ist weiterhin mit einem Eingabeprozessor 5 ausgestattet, dem von einer Schnittstelle 6 her ein von nicht dargestellten peripheren Geräten ausgehender und nur in Eingaberichtung betriebener Datenbus 7 zugeführt wird. Zur Steuerung gehören mehrere Eingaberegister 8, von denen nur das erste Eingaberegister 8.1 und das letzte Eingaberegister 8.p aufgezeigt ist. Sie sind am Adreßbus 2, am Datenbus 7 und am Steuerbus 4 angeschlossen. Der Datenbus 7 setzt sich vom Ausgang der Eingaberegister 8 als Datenbusabschnitt 9 bis zu einem Pegelwandler 10 fort, dessen Ausgang in den Datenbus 3 mündet. Die Daten weisen ein n -Bit-Wortformat auf. Dementsprechend ist der Datenbusabschnitt 9 mit

n -Eingabeleitungen versehen. Der Eingabeprozessor 5 ist weiterhin mit dem Steuerbus 4 verbunden.

Die speicherprogrammierbare Steuerung ist für eine bitserielle Datenausgabe vorgesehen. Zu diesem Zweck führt vom Datenbus 3 eine Datenleitung 11 zu nicht dargestellten Ausgaberegistern. An diese Datenleitung 11 ist der Einschreibeingang des ersten Schieberegisters 12.1 eines Blocks von m seriell geschalteten Schieberegistern 12 angeschlossen, von denen noch die Schieberegister 12.2 und 12.m aufgezeigt sind. Jedes Schieberegister 12 ist für das n -Bit-Wortformat ausgelegt und dementsprechend ausgangsseitig über n -Datenleitungen mit dem Eingabeprozessor 5 verbunden.

Ein Zähler 13, dessen Zählumfang wenigstens $m \cdot n$ -Zählstellen beträgt, ist zusammen mit dem Takteingang des ersten Schieberegisters 12.1 an einer im Steuerbus 4 enthaltenen Taktleitung 14 angeschlossen. Der Ausgang der $(m \cdot n)$ -Zählstelle des Zählers 13 ist auf den Eingabeprozessor 5 sowie auf eine der n -Eingabeleitungen im Datenbusabschnitt 9 geführt. Weiterhin verbindet eine Aufrufleitung 15 den Eingabeprozessor 5 mit dem Schieberegister 12.m und mit dem Rücksetzeingang des Zählers 13.

Dem Eingabeprozessor 5 sei die Aufgabe übertragen, die Differenz zwischen einem Lageistwert und einem Lagesollwert zu ermitteln und in Sonderheit die Koinzidenz beider Werte festzustellen. Zu diesem Zweck erhält er je einmal im Arbeitszyklus der Steuerung über den Datenbus 7 den aktuellen Lageistwert zugeführt. Der Zentralprozessor 1 entnimmt den Lagesollwert einem nicht dargestellten Arbeitsspeicher der Steuerung und überträgt ihn taktweise über die Datenleitung 11 in den Block der Schieberegister 12, wo sie an den Ausgängen zur Übernahme in den Eingabeprozessor 5 bereitstehen. Nach $m \cdot n$ Takten ist das Schieberegister 12.m gefüllt. Zu diesem Zeitpunkt gibt der Zähler 13 ein Bereitschaftssignal für die Übernahme des Lagesollwertes an den Eingabeprozessor 5 und zugleich über eine ausgewählte Eingabeleitung im Datenbusabschnitt 9 zum Zentralprozessor 1. Über eine nicht näher bezeichnete Verriegelung ist die sonst über die Eingaberegister 8 ablaufende Dateneingabe ausgeschlossen, so daß die betreffende Eingabeleitung auch zweifelsfrei das Bereitschaftssignal überträgt, der Zentralprozessor 1 es als solches erkennt und es nicht für ein Bit eines Eingabedatums hält.

Der Zentralprozessor 1 sendet von diesem Zeitpunkt ab keinen Sollwert mehr zum Block der Schieberegister 12. Der Eingabeprozessor 5 arbeitet zunächst jetzt während einer Zeitspanne selbständig an einem ihm zugeteilten Aufgabenprofil. In diesem Rahmen ruft er mehr oder wenig später auch die in den Schieberegistern 12 enthaltenen Daten byteweise ab und übernimmt sie zur Verarbeitung. Das geschieht zuletzt mit dem im Schieberegister 12.m enthaltenen Wort, wobei der Eingabeprozessor 5 gleichzeitig den Zähler 13 in die Anfangsstellung zurücksetzt. Das über den Datenbusabschnitt 9 dem Zentralprozessor 1 übermittelte Bereitschaftssignal verschwindet und der Zentralprozessor 1 gibt erst jetzt erneut einen Sollwert in den Block der Schieberegister 12 ein. Das Bereitschaftssignal übernimmt somit die Rolle eines Quittiersignals. Eine gesonderte Quittierleitung wird nicht benötigt, wenn die Schieberegister 12 und der Zähler 13 auf ein und derselben Leiterplatte angeordnet sind wie der Eingabeprozessor 5 und die Eingaberegister 8.

Der Pegelwandler 10 trennt den nur mit 5V betreibbaren Steuerungsteil auf der Seite des Datenbusabschnitts 9 vom störunempfindlicheren 12-V-CMOS-Bereich auf der Seite des Datenbusses 3.

Anstelle der genannten Sollwerte können auch andere Daten vom Zentralprozessor 1 zum Eingabeprozessor 5 gesendet und dem gleichen Überwachungsregime unterworfen werden.

