捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：＿＿＿＿＿＿＿＿

☑ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號　順序註記】

1.美國　2001 年 11 月 29 日　09/997,330

2.

3.

☑ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號　順序註記】

1.美國　2001 年 11 月 29 日　09/997,330

2.

3.

4.

5.

6.

7.

8.

9.

10.

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號　順序註記】

1.

2.

3.

☐ 主張專利法第二十六條微生物：

☐國內微生物　【格式請依：寄存機構；日期；號碼　順序註記】

1.

2.

3.

☐國外微生物　【格式請依：寄存國名；機構；日期；號碼　順序註記】

1.

2.

3.

☐熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

參考以前申請案

本申請案經於2001年11月29日在美國以第09/997,330號專利申請案提出。

發明領域

本發明一般言之乃關於半導體記憶體者，質言之乃關於用於半導體記憶體中之感應放大器。

發明背景

感應放大器與諸如靜態隨機存取記憶系列(SRAM)之記憶體共同使用。感應放大器用以偵側記憶系列中互補位元線響應行與列解碼及感應啟動信號而顯示電壓過渡的時間。在一SRAM中，需將經由記憶單元各欄所提供之信號加以放大並解碼。電晶體通過閘經常用以實施欄的解碼。不過此等信號之放大與解碼需以最小歐姆損失於電晶體通過閘中完成。一靜態RAM位元線微分信號以與時俱增方式生成。因此，舉凡微分信號由通過閘傳導時，即有損於微分信號，其特徵為時間延遲或減低強度。技術上常稱此等特徵為RC(電阻值乘電容量)時間延遲或RC延遲。將位元線連接至資料線之通過裝置往往由於RC時間常數而延遲微分信號通過。在改善位元線及時性或值量與資料線信號位準對裝置計數及放大器可靠性之間具有彼此消長之平衡點。一般而言，放大器可靠性乃指記憶體中全部放大器保證正確信號既知之補償與錯誤電壓之總能力。

記憶感應放大器之目的在於避免感應放大器計時後，自

位元線汲取過多電荷。達成此一目的之一種技術係採用一疊接電晶體對，直接連接至位元線。疊接電晶體之缺點在於疊接對較之全V_{CC}電力供應值而言，提供很小信號至局部資料線。如此，以小信號激勵全局資料線就有問題。達成此目的之一另一項技術為於感應放大器計時後，關斷欄解碼器，從而避免自位元線之牽引電流。此項技術對設計而言增加電路複雜性及臨界性。

因之，即需以含交叉微分耦合之電晶體對感測資料信號。感應放大器導電之計時具關鍵性。感應放大器品質之測量為感應放大器能確切感測之最小微分信號。感應放大器設計中之一項目的在於提供最大微分信號至微分交叉耦合對之閘極至源極激勵(變量之V_{GS})中差異。與感應放大器相關之另一關鍵性設計參數乃與微分交叉耦合之電晶體對之操作有關。此設計參數涉及確保在該電晶體對計時時，閘極至源極激勵中之差大於零，否則輸出信號可能不正確。總之，以前感應放大器涉及速度，尺寸與電力消耗間彼此交換之平衡點。

圖式簡單說明

本發明乃以範例方式說明，並非受限於附圖，圖式中相同參考號表示相同之元件。

圖1以略圖方式顯示含有本發明的採感應放大器之記憶體；

圖2以略圖方式顯示依據本發明之感應放大器；

圖3以方塊圖方式顯示採第一放大器組構之圖2中感應

放大器之平面圖；

圖4以方塊圖方式顯示採第二放大器組構之圖2中感應放大器之平面圖；

圖5以略圖方式顯示本發明感應放大器之另一具體實例；

圖6以方塊圖方式顯示圖5中感應放大器之平面圖；

圖7以略圖方式顯示本發明之感應放大器的又一具體實例；以及

圖8以方塊圖方式顯示圖7中感應放大器之平面圖。

嫻於工藝者皆知各圖中所例示之元件悉依簡明為著眼，並無依比例繪製之必要。例如，圖中某些元件之尺寸或較其它元件者誇大，以助對本發明具體實例更易瞭解。

詳細說明

圖1顯示一記憶體10，其中可使用本文所揭示感應放大器之各具體實例。此記憶體10含複數個記憶單元，諸如記憶單元12及記憶單元14等。每一記憶單元各連接於位元線BL與互補位元線BL-bar兩者之間。預定之記憶單元利用列解碼器(圖中未顯示)定址，而定址之記憶單元內對應儲存之資料值提供至一感應放大器16。感應放大器16用以放大資料信號值，並經由資料線輸出DL及互補資料線DL-bar提供一對應之資料輸出。欄位址解碼器18連接至感應放大器16，且響應欄位址以選定記憶單元12，14存在之欄。請注意，欄位址解碼作用可於感應放大器16之上游或下游實施，或可另含於感應放大器16內。

圖2顯示一感應放大器20，其含複數個多工之通過閘對，諸如通過閘22，24及26，28等。每一通過閘對含有一個連接至資料線DL之通過閘及一個連接至互補資料線DL-bar之通過閘。通過閘22含有連接至位元線BL0之第一端接點及連接至資料線DL之第二端接點。通過閘24含有一個連接至互補位元線BL0-bar之第一端接點及連接至互補資料線DL-bar之第二端接點。通過閘26含有一連接至位元線BL1之第一端接點及一連接至資料線DL之第二端接點。通過閘28含有連接至互補位元線BL1之第一端接點及一連接至互補資料線之第二端接點。為便於顯示起見，連接各通過閘22，24，26，28之真實與互補控制端點之控制信號依慣例而未予顯示。為便於圖示而未顯示之另外通過閘的存在應亦屬熟知者。在一型式中，通過閘對存在以供採用感應放大器20之記憶體中的每一欄。P-通道電晶體通過閘30的第一端接點連接至資料線DL。P-通道電晶體通過閘30之控制端點連接至感應啟動信號SE。P-通道電晶體通過閘30之第二端點連接至結點33處之輸出端點。P-通道電晶體32之源極連接至電力供應端點V_{CC}。P-通道電晶體32汲極連接至輸出端點33及N-通道電晶體34之汲極。P-通道電晶體32之閘極連接至結點35處N-通道電晶體34之閘極，構成一互補輸出端接點。N-通道電晶體34之源極連接至結點37。P-通道電晶體36之源極連接至電力供應端點V_{CC}。P-通道電晶體36之汲極連接至結點35處N-通道電晶體38之汲極。P-通道電晶體36之閘極連接至結點33

處N-通道電晶體38之閘極。N-通道電晶體38之源極連接至結點37。P-通道電晶體通過閘31之第一端點連接至互補資料線。P-通道電晶體通過閘31含有一連接至感應啟動信號之控制端點及一連接至結點35之第二端點。N-通道電晶體39之汲極連接至結點37，其閘極連接至感應啟動信號以及其源極連接至地端點。

在操作中，信號自記憶單元(未顯示)施加至諸如BL0，BL0-bar等之位元線對中之一。多工之通過閘22，24，26，28可於資訊信號施加至位元線之前或施加期間或施加之後接通。此資訊信號即出現於資料線對上，並經通過閘30和31而分別到達結點33和35上。當信號SE確定時，通過閘30和31即關斷。電晶體39在信號SE確定時導電。由於電晶體34和38所構成之電晶體對乃屬交叉耦合式，故電晶體34和38分別放大結點33和35上的信號。當結點33和35之共同模式位準太低時，交叉耦合之P-通道電晶體32和36即開始以微分模式放大，進一步提供結點33和35上的放大率並確保結點33和35上電力供應電壓軌最高位準，而分別構成標示為OUTPUT及OUTPUT-bar之輸出。主動高型式中信號SE之確定計時開始必須在下述時點之後：適切之微分信號已出現在資料線對DL，DL-bar且從而經由電晶體通過閘30和31分別出現在結點33和35上。

圖3顯示圖2中放大器20之平面圖，採用與圖2中放大器結構相當之第一放大器組構。一般言之，感應放大器20可視為含複數個多工式通過閘42和複數個通過閘44以及

一放大器47。多工通過閘42於其輸入處接收全部位元線。多工式通過閘42代表圖2中的通過閘22，24，26，28。此多工式通過閘42用以將許多位元線多工化，並輸出單一資料線及其互補。請注意，多工式通過閘42可在感應放大器外部建構。通過閘44代表圖2中電晶體通過閘30和31。圖2中其餘電路構成圖3中之放大器47。請注意，感應啟動信號SE啟動通過閘44，同時截止放大器47。同樣，當感應啟動信號SE啟動放大器47時，通過閘44即將放大器47與資料線對兩者間之連接切斷。

圖4顯示圖2感應放大器20之另一平面圖，採用第二放大器組構之放大器46，其結構與圖2中放大器者不同。為便於說明起見，圖2及圖3中所有相同元件皆賦予相同號碼。在對照下，圖4中，與圖2之結點33和35對應之通過閘44的輸出分別連接至放大器46的第一與第二兩輸入。放大器46與圖3中放大器47差別之處在於放大器46具有與第一及第二輸入端點分立且不同之第一和第二輸出端點。放大器46之第一輸出端點提供真實輸出，而其第二輸出端點提供互補輸出Output-bar。

圖5顯示本發明另一具體實例之感應放大器50。通過閘51含有連接至位元線BL0之第一端點及連接至資料線DL之第二端點。通過閘52含有連接至互補位元線BL0-bar之第一端點及連接至互補資料線DL-bar之第二端點。通過閘53含有連接至位元線BL1之第一端點及連接至DL線之第二端點。通過閘54含有連接至互補位元線BL1-bar之第一

端點及連接至互補資料線DL-bar之第二端點。尚有供另外諸欄之另外通過閘，但為便利而未予顯示。在一型式中，在採用感應放大器50的記憶體中之每一欄皆含有一通過閘對。P-通道電晶體60之源極連接至資料線DL。電晶體60之汲極連接至標示"Output"之輸出端點的結點61，其閘極連接至標示"Output-bar"之互補輸出端點的結點62。N-通道電晶體63之汲極連接至結點61，其閘極連接至結點62而其源極連接至結點67。P-通道電晶體64之源極連接至互補資料線DL-bar，其閘極連接至結點61而汲極連接至結點62。N-通道電晶體66之汲極連接至結點62，其閘極連接至結點61而源極連接至結點67。N-通道電晶體68之汲極連接至結點67，其閘極連接至感應啟動信號SE而源極連接至電力供應一端點的地端點。P-通道電晶體通過閘70之第一端點連接至資料線DL，其控制端點連接至感應啟動信號SE而第二端點連接至結點61。P-通道電晶體通過閘72之第一端點連接至互補資料線DL-bar，其控制端點連接至感應啟動信號SE而其第二端點則連接至結點62。

在操作中，信號自記憶單元(未顯示)施加至位元線對之一，諸如BL0，BL0-bar等。多工通過閘51-54可於信號施加至位元線之前，之中或之後接通。然後信號出現在資料線對上，且由於感應啟動信號SE呈無效性(邏輯低)，信號即經P-通道電晶體通過閘70和72而分別到達結點61和62上。在感應啟動信號呈肯定時，P-通道電晶體通過閘70和72即截止。N-通道電晶體68則呈導電。當N-通道電晶

體68導電時，該交叉耦合之N-通道電晶體63和66對即開始以微分模式分別放大結點61和62上的信號。當結點61和62之共同模式位準夠低時，P-通道電晶體對60和64即開始以微分模式放大所施加於其閘極之微分信號。由於資料線對微分信號以疊接方式施加至源極，故在P-通道電晶體對60和64中獲得另增之放大率。

結果，在P-通道電晶體對60和64上之微分閘極至源極之偏壓ΔVgs為資料線DL及互補資料線DL-bar上微分信號幅度的兩倍。因此，P-通道電晶體對60和64能耐受加倍的普通臨限電壓偏移。

圖6顯示圖5中感應放大器50的平面圖，概略性顯示感應放大器50。通過閘51-54以複數個多工通過閘74代表，接收各真實與互補形式之位元線對。同樣在一型式中，位元線對之數代表定位址之記憶格的欄數。通過閘74用以將複數個位元線對多工化，並輸出單一位元線對做為資料線DL及互補資料線DL-bar。電晶體70和72分別由通過閘77與78代表，接收資料線和資料線-bar之輸出，並響應呈邏輯低時的感應啟動信號而選擇性地提供資料。通過閘77和78分別將資料提供至放大器79之輸出及輸出-bar端點，其功用亦為放大器79之輸出端點。換言之，放大器79之相同端點既用做輸入亦用做輸出。圖6中放大器79相當於圖5中之諸電晶體60，63，64，66，68。

圖7中顯示代表本發明另一具體實例之感應放大器72。P-通道電晶體80之源極連接至位元線BL，其閘極連接至

結點86而汲極連接至結點82。P-通道電晶體84之源極連接至互補位元線BL-bar，其閘極連接至結點82而汲極連接至結點86。P-通道電晶體88之源極連接至結點82，其汲極連接至結點86而閘極連接至欄選擇信號。N-通道電晶體90之汲極連接至結點82，其閘極連接至欄選擇信號而其源極連接至資料線DL。N-通道電晶體92之汲極連接至結點86，其閘極連接至欄選擇信號而其源極連接至互補資料線DL-bar。P-通道電晶體93之源極連接至電力供應端點以接受供應電壓V_{CC}，其閘極連接至P-通道電晶體80之閘極及結點86，而其汲極連接至資料線DL。P-通道電晶體94之源極連接至電力供應端點以接受供應電壓V_{CC}，其閘極連接至電晶體84之閘極及結點82，而其源極連接至互補資料線DL-bar。P-通道電晶體91之源極連接至電力供應端點以接受供應電壓V_{CC}，其閘極連接至欄選擇信號而其汲極連接至結點82。P-通道電晶體95之源極連接至電力供應端點以接受供應電壓V_{CC}，其閘極連接至欄選擇信號而其汲極連接至結點86。N-通道電晶體96之汲極連接至資料線DL，其閘極連接至互補資料線DL-bar而源極連接至地端點。N-通道電晶體98之汲極連接至互補資料線DL-bar，其閘極連接至資料線DL而其源極連接至地端點。

在操作中，P-通道電晶體80和84之功用為一疊接式交叉耦合之電晶體對，直接連接至位元線及互補位元線。電晶體80和84之導電係依施加於其交叉耦合閘極上之電壓而定。請注意，就每一位元線對而言，圖7之電路除電晶體

96和98外，其餘皆呈重複性。P-通道電晶體80和84之源極接收微分信號。P-通道電晶體91和95之功用為一預先充電裝置，將資料線及互補資料線預先至地電位。P-通道電晶體91和95呈導電，並經由N-通道電晶體90，92將供應電壓V_{CC}耦合至N-通道電晶體96和98之閘極而使之導電。當欄選擇信號呈無效時，電晶體88導電並將結點82與86上之電壓均衡化，而以相等偏壓加於電晶體80及84。然後欄選擇信號經活化後，顯示欄已選定並使N-通道電晶體90，92導電。N-通道電晶體90，92之功用為一耦合器，並將電流提供至交叉耦合之P-通道電晶體80和84。結點82和86並提供微分信號至用以分別提升資料線DL及DL-bar之P-通道電晶體93和94。電晶體96和98之功用為一交叉耦合之被動式鎖存器電路，僅於資料線電壓過渡時操作。電晶體96和98並不重複供記憶體的每一欄，蓋其連接至資料線及互補資料線之故。於電晶體96和98導電前，資料線及互補資料線導體上有充分微分信號，以確保電晶體96和98不會由於噪音或偏移而誤入歧途。換言之，資料線上若無充分微分信號，則噪音或偏移就會誤使電晶體96和98中之一首先導電，而與最終的資料值相反。為確定符合此電路要求起見，DL及DL-bar必須以任何方式預先充電至低值，諸如採用預充電晶體等(未顯示)。一旦電晶體96和98其中之一首先錯誤導電，另一電晶體即不導電且此一導電狀況不論資料值若何皆不會改變。不過，此一電位問題於設計感應放大器72即行解決，因轉換作用確保資料線及互補資料

線上於電晶體96和98導電之前，即具有充分的微分信號故也。電晶體96和98乃屬"助手"裝置，不像電晶體80和84帶有關鍵性原信號。利用電晶體91和95之預先充電功能，結點82和86即被預充至供應電壓V_{CC}。

在另一型式中，電晶體93和94之汲極可分別連接至結點82和86以代替連接至資料線及互補資料線。其操作與前類似，但在耦合器N-通道電晶體90，92輸入處(汲極)及資料線與互補資料線處之電壓方面具有些許不同之功能性效應。

感應放大器72利用N-通道電晶體90，92及P-通道電晶體93和94激勵資料線與互補資料線。在欄解碼功能所涉及之跨於另外通過電晶體處並無歐姆性損失。換言之，於電晶體80和84之源極配置微分位元線信號，即可避免經位元線/資料線通過解碼裝置時微分信號通過之歐姆損失。而且感應放大器72在感測後即不自任何位元線汲取電流。故並無截止感應放大器72之關鍵性定時問題。電晶體93和94提供資料線DL，DL-bar至供應電壓V_{CC}之完全牽引。感應放大器72將速度、電力及尺寸等問題定位址，而不會使此等設計參數彼此間失衡。一般言之，每一此等參數要求之電路型式不致損害另一設計參數。

圖8顯示圖6中感應放大器72之平面概略圖。一般言之，疊接級100接收一位元線對BL，BL-bar並具有第一與第二兩輸出。預先充電部分101由欄選擇信號控制，並連接至疊接級100之輸出。放大器104含有第一與第二兩輸入分別

連接至疊接級100的第一與第二兩輸出，放大器並含第一與第二兩輸出，分別連接至資料線DL及互補資料線DL-bar。耦合器102含有第一與第二兩輸入，分別連接至疊接級100之第一與第二兩輸出。耦合器102並含第一與第二兩輸出，分別連接至資料線DL及互補資料線DL-bar。一被動鎖存器106連接至資料線DL及互補資料線DL-bar。

以感應放大器72與平面概略圖比較，疊接級係由電晶體80和84所建構。預先充電部分101由電晶體91和95所建構。放大器104由電晶體93和94所建構。耦合器102由N-通道電晶體90，92所建構，而被動鎖存器106則由電晶體96和98所建構。請注意，與感應放大器72所採用者不同之電路可取代以建構圖8之平面概略圖。例如，各種放大器結構可採用以代替所顯示之特定放大器組構。

本文已提供一種快速，小尺寸且耗電效益良好之感應放大器。採用連接至在歐姆欄選擇閘之前的位元線之電晶體80和84型式增益元件，位元線上的歐姆損失即降至最低。如此，微分信號即較強而完成更早且更快的感測。同時，本文所述之感應放大器能獲完全解析而無需自位元線持續供應電流，故節省了電力。此外，並無與通過閘或放大器相關之計時關鍵性信號，故減少控制電路並減少尺寸。就圖7中結點82和86等之低電容性結點放大至全軌電位方面，本文所提供之感應放大器較之激勵資料線或全局資料線者更加有效，甚至採用部分-位準信號以激勵此等資料線時亦然。本文所述之感應放大器將欄解碼功能與放大組

合在一起。在一較佳型式中，採用N-通道電晶體以供欄選擇功能將微分信號耦合至資料線對。N-通道電晶體比P-通道電晶體具較高增益。P-通道電晶體即用於放大器功能中位元線與諸如圖7結點82和86等感應結點間之介面。

因建構本發明之裝置的絕大部分係由電子組件及嫻於技術者所熟知之電路組成，為對本發明基本觀念之理解與認同並為了不致對本發明說明產生模糊或困惑起見，電路詳細情形不做比所認為必要之上述者更深入之說明。

在前述之規格中，本發明已參考特定具體實例加以說明。不過嫻於工藝者皆瞭解，可做各種修訂與改變而未離下述申請專利範圍所示本發明範圍者。例如，各型電晶體，無論為雙極、金屬氧化半導體，砷化鎵或其它型者皆可用以建構本文所提供感應放大器具體實例之平面圖。各種放大器結構皆可採用。另外，該感應放大器可用於各型記憶體中，諸如靜態隨機存取記憶體、MRAM等。感應放大器亦可用於位元線對及資料線對以外之其它資料信號。因此，規格與圖式乃視為範例而非限制性，且一切此等修改均擬納入本發明之範圍內。

效益和其它優點以及問題解決辦法皆已在以上有關特定規格中予以說明。不過，效益、優點，問題解決以及導致任何效益、優點或解決辦法之任何元件等之發生或更明確者不解釋為任何或全部主張之關鍵性、必要性或重要特徵或元件。本文中所採用之術語"包括"，"包含"或其變化體乃擬涵蓋非專用性內含物，從而程序、方法、物件或裝

置等含一系列元件者並非僅含該等元件，而含其它未明列或此等程序、方法、物件或裝置等固有之元件。

圖式代表符號說明

10 記憶體

12 記憶單元

14 記憶單元

16 感應放大器

18 解碼器

20 感應放大器

22 通過閘

24 通過閘

26 通過閘

28 通過閘

30 P-通道電晶體

31 P-通道電晶體

32 P-通道電晶體

33 結點

34 N-通道電晶體

35 結點

36 P-通道電晶體

37 結點

38 N-通道電晶體

39 N-通道電晶體

42 通過閘

44	通過閘
46	放大器
47	放大器
50	感應放大器
51	通過閘
52	通過閘
53	通過閘
54	通過閘
60	P-通道電晶體
61	結點
62	結點
63	N-通道電晶體
64	P-通道電晶體
66	N-通道電晶體
67	結點
68	N-通道電晶體
70	P-通道電晶體
72	P-通道電晶體
74	通過閘
77	通過閘
78	通過閘
79	放大器
80	P-通道電晶體
82	結點

84 P-通道電晶體

86 結點

88 P-通道電晶體

90 N-通道電晶體

91 P-通道電晶體

92 N-通道電晶體

93 P-通道電晶體

94 P-通道電晶體

95 P-通道電晶體

96 N-通道電晶體

98 N-通道電晶體

100 疊接級

101 預先充電部分

102 耦合器

104 放大器

106 被動鎖存器

肆、中文發明摘要

本發明提供一種採用疊接級(76或100)之感應放大器，其接收一預定之位元線對微分信號並提供一輸出。疊接級輸出耦合至感應放大器之真實與互補輸出。在一型式中，一對通過電晶體(77和78)及一放大器(79)耦合至該疊接級和互補輸出，並由一感應啟動信號控制。放大器僅於該對通過電晶體不導電時始能運作。在另一型式中，疊接級直接連接至位元線對微分信號及感應結點(82和86)，此兩結點由耦合器(102)及放大器(104)各別耦合至資料線對。

伍、英文發明摘要

A sense amplifier uses a cascode stage (76 or 100) that receives a predetermined bit line pair differential signal and provides an output. The cascode stage output is coupled to a true and a complement output of the sense amplifier. In one form, a pair of pass transistors (77, 78) and an amplifier (79) are coupled to the cascode stage and to complementary outputs and are controlled by a sense enable signal. The amplifier is operative only when the pair of pass transistors are made nonconductive. In another form, the cascode stage is connected directly to a bit line pair differential signal and to sense nodes (82, 86) that are separately coupled to a data line pair by a coupler (102) and an amplifier (104).

拾壹、圖式

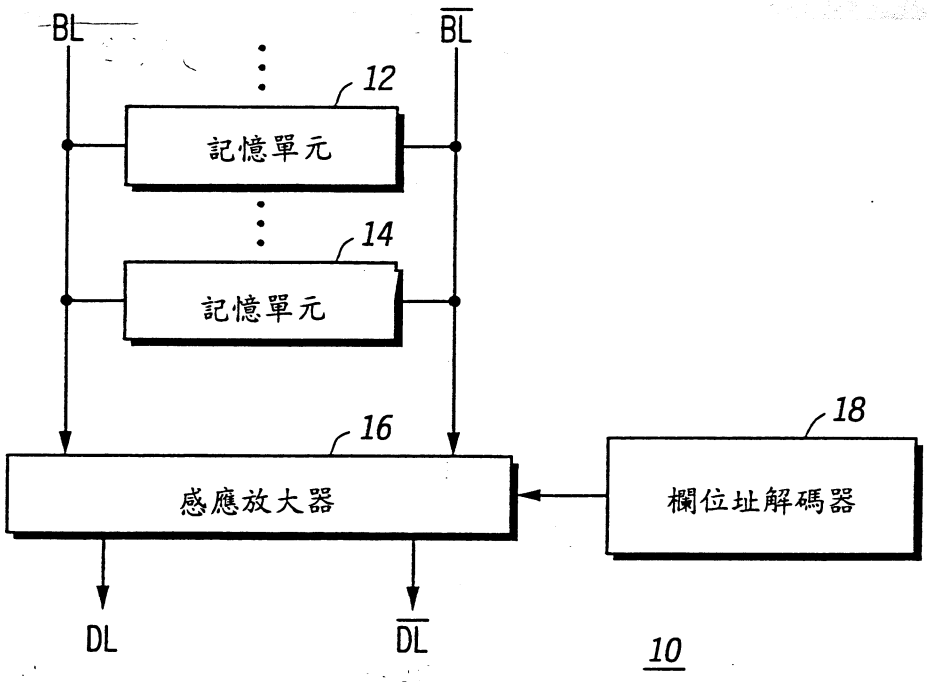
BL
$\overline{BL}$
12
記憶單元
14
記憶單元
16
感應放大器
18
欄位址解碼器
DL
$\overline{DL}$
10

圖1

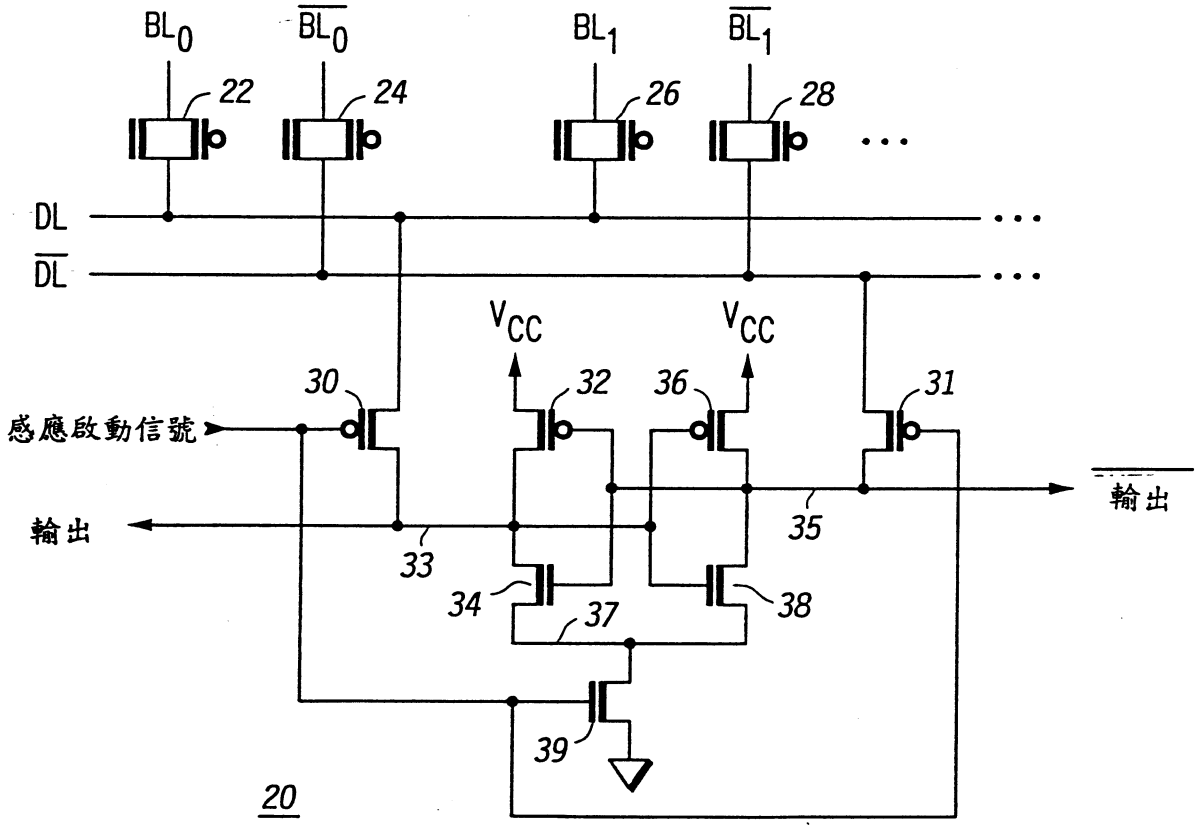
BL_0
$\overline{BL_0}$
BL_1
$\overline{BL_1}$
22
24
26
28
DL
$\overline{DL}$
V_{CC}
V_{CC}
30
32
36
31
感應啟動信號
輸出
$\overline{輸出}$
33
35
34
37
38
39
20

圖2

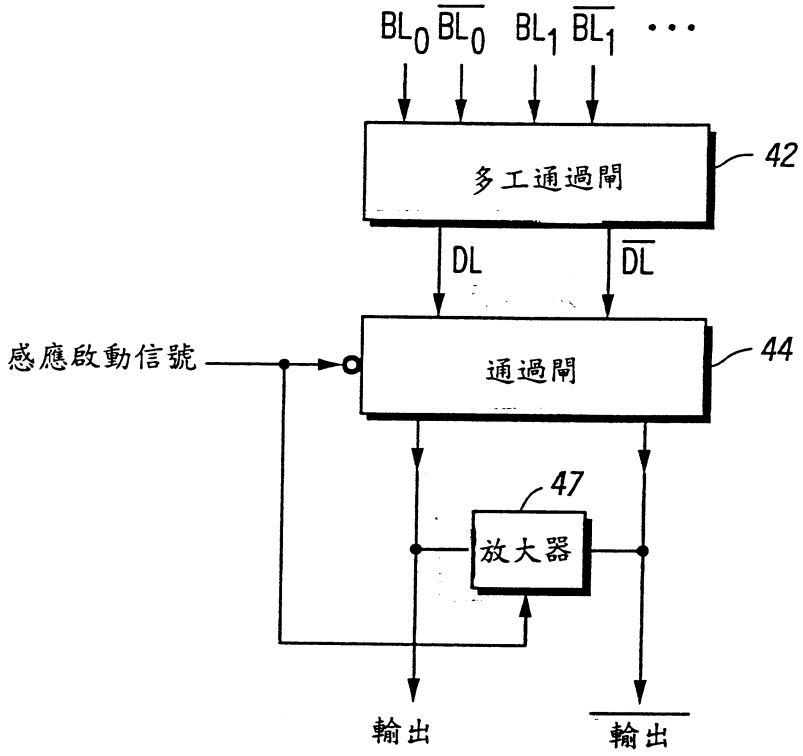
BL0 BL0 BL1 BL1 ···
多工通過閘
42
DL
DL
感應啟動信號
通過閘
44
47
放大器
輸出
輸出

圖3

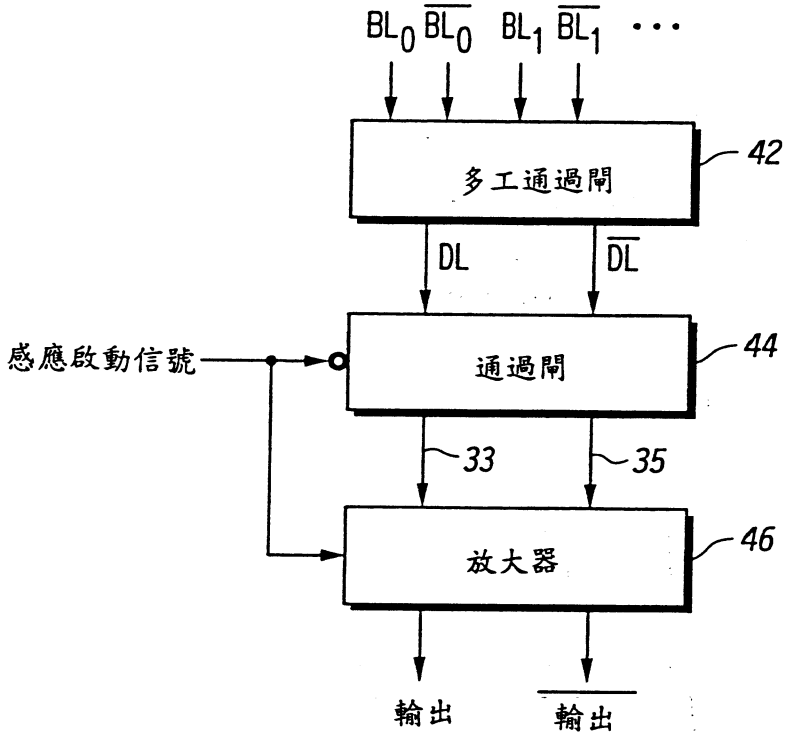
BL0 BL0 BL1 BL1 ···
多工通過閘
42
DL
DL
感應啟動信號
通過閘
44
33
35
放大器
46
輸出
輸出

圖4

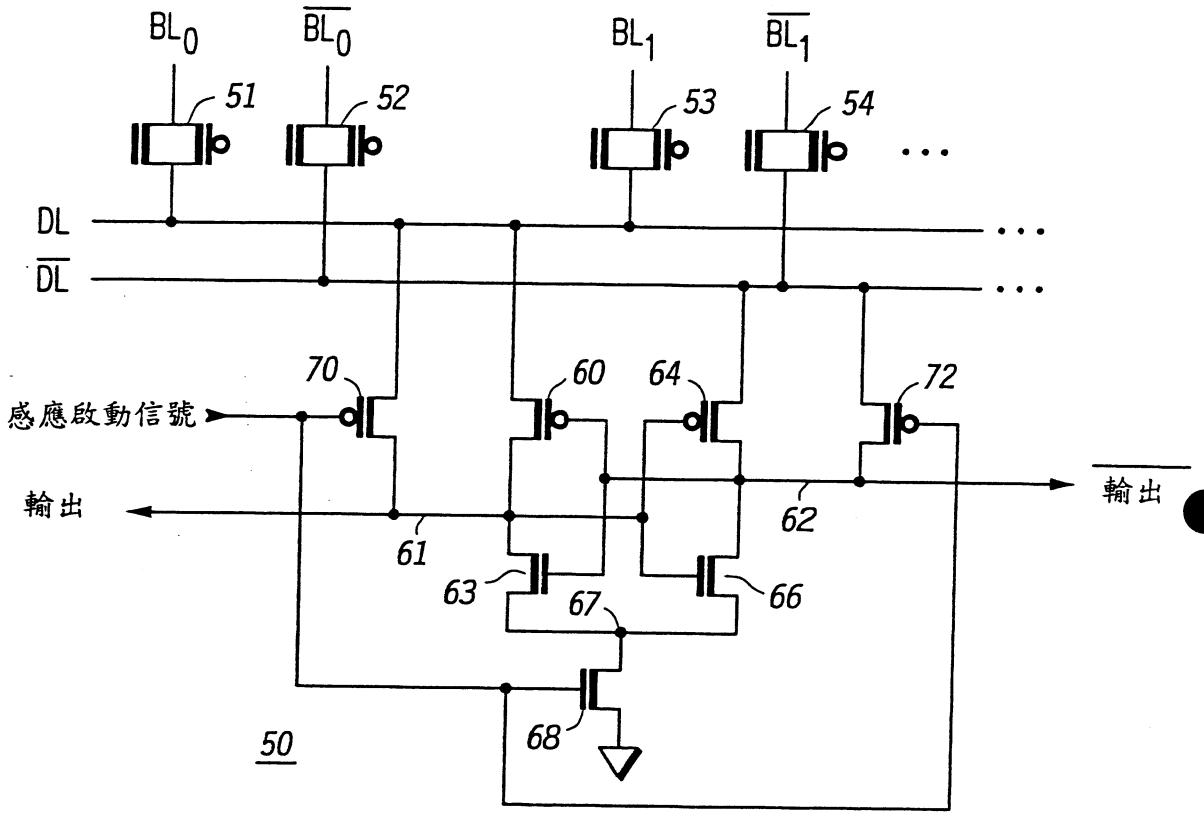
BL0
BL0
BL1
BL1
51
52
53
54
DL
DL
70
60
64
72
感應啟動信號
輸出
輸出
61
62
63
66
67
68
50

圖5

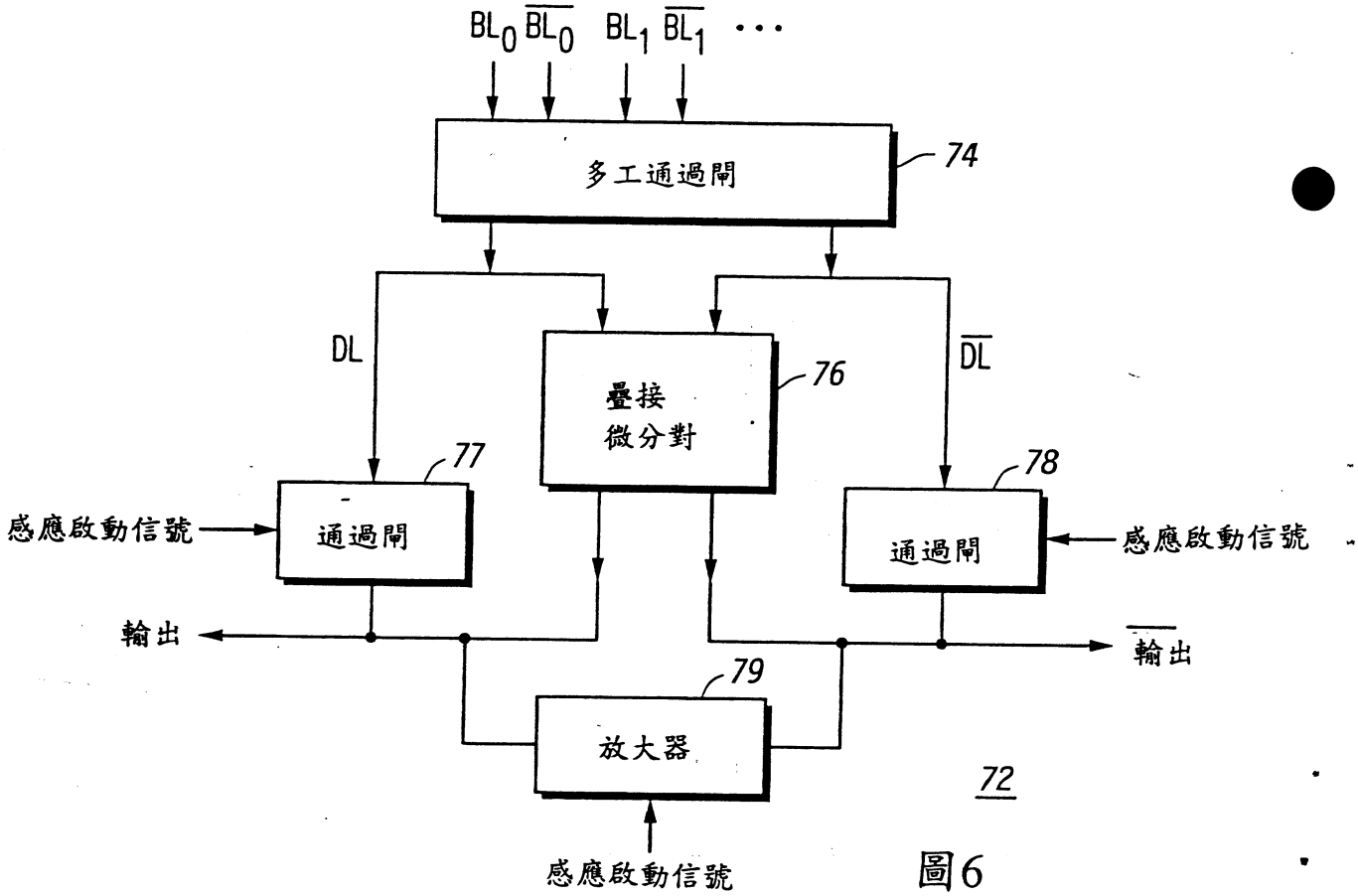
BL0 BL0 BL1 BL1
多工通過閘
74
DL
DL
疊接
微分對
76
77
78
感應啟動信號
通過閘
通過閘
感應啟動信號
輸出
輸出
79
放大器
72
感應啟動信號

圖6

圖式續頁

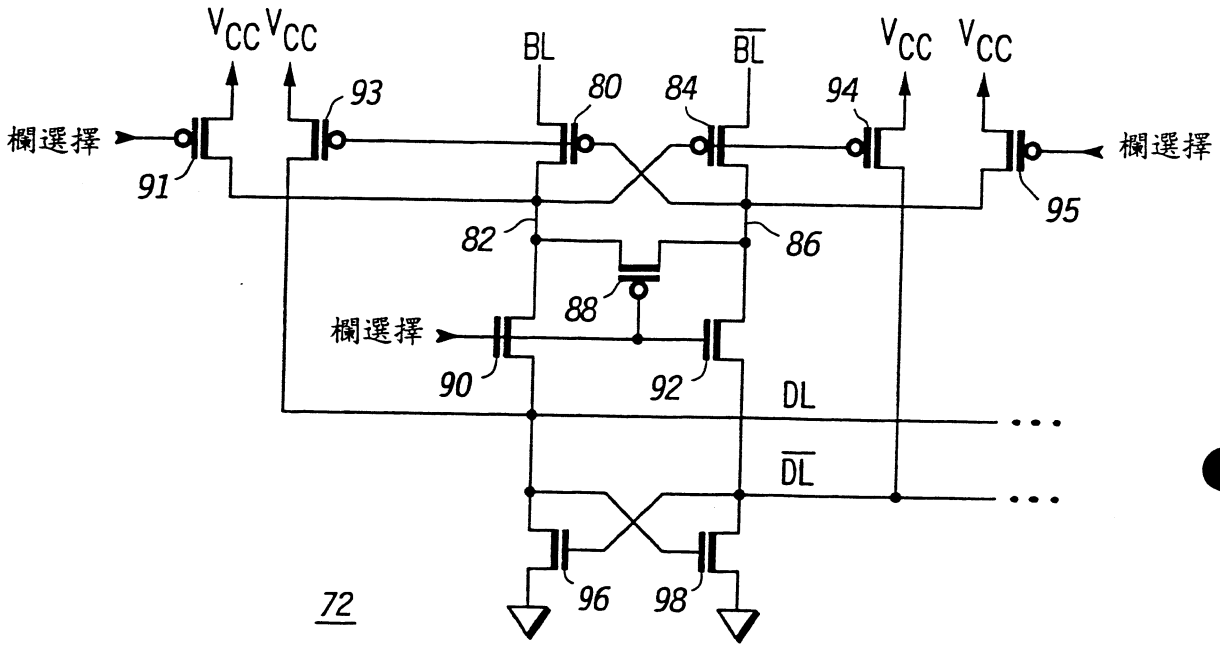
VCC VCC
BL
BL
VCC VCC
欄選擇
93
80
84
94
欄選擇
91
95
82
86
88
欄選擇
90
92
DL
DL
72
96
98

圖7

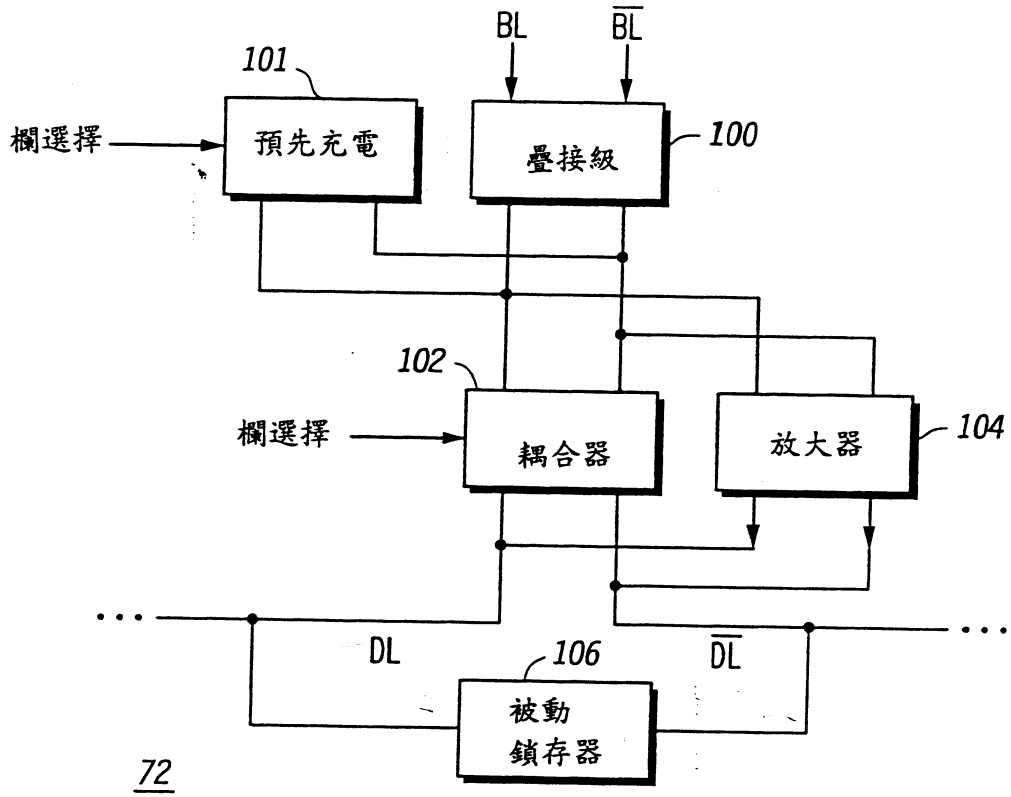
BL
BL
101
欄選擇
預先充電
疊接級
100
102
欄選擇
耦合器
放大器
104
DL
106
DL
被動
鎖存器
72

圖8

陸、(一)、本案指定代表圖為：第 8 圖

(二)、本代表圖之元件代表符號簡單說明：

72	P-通道電晶體
100	疊接級
101	預先充電部分
102	耦合器
104	放大器
106	被動鎖存器

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

公告本

修正補充本 93年10月6日

I257628

發明專利說明書

中文說明書替換頁(93年10月)

（填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫）

※ 申請案號：091134611 ※IPC分類：G11C8/08

※ 申請日期：91-11-28

壹、發明名稱

（中文）疊接感應放大器與欄選擇電路及操作方法

（英文）CASCODE SENSE AMP AND COLUMN SELECT CIRCUIT AND METHOD OF OPERATION

貳、發明人（共 1 人）

發明人 1 （如發明人超過一人，請填**說明書發明人續頁**）

姓名：（中文）史蒂芬 T. 夫藍那肯

（英文）STEPHEN T. FLANNAGAN

住居所地址：（中文）美國德州奧斯汀市漢晶克里夫路 5335 號

（英文）5335 HANGING CLIFF, AUSTIN, TEXAS 78759, U.S.A.

國籍：（中文）美國 （英文）U.S.A.

參、申請人（共 1 人）

申請人 1 （如申請人超過一人，請填**說明書申請人續頁**）

姓名或名稱：（中文）美商飛思卡爾半導體公司

（英文）FREESCALE SEMICONDUCTOR, INC.

住居所或營業所地址：（中文）美國德州奧斯丁市威廉坎嫩道西 6501 號

（英文）6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735, U.S.A.

國籍：（中文）美國 （英文）U.S.A.

代表人：（中文）珍妮佛 B 伍艾梅特

（英文）WUAMETT, JENNIFER B

820511

拾、申請專利範圍

1. 一種感應放大器，包含：

複數個電晶體通過閘對，各該複數個電晶體通過閘對含有分別連接至一記憶體之預定位元線和互補位元線對的第一及第二輸入，並含有分別連接至一記憶體資料路徑及互補資料路徑之第一與第二輸出；

一通過電晶體對，含有第一與第二輸入，分別連接至該記憶體資料路徑及互補記憶體資料路徑以接收微分資料信號，該通過電晶體對響應一感應啟動信號於其第一與第二輸出處連接該資料路徑及互補資料路徑，當感應啟動信號使該通過電晶體對失能後，該通過電晶體對之第一及第二輸入與其第一及第二輸出之電性不相同；及

一放大器，其第一輸入連接至該通過電晶體對之第一輸出，其第二輸入連接至該通過電晶體對之第二輸出，且其第一與第二輸出提供感應放大器互補式之資料信號，該放大器由感應啟動信號控制且僅在感應啟動信號使該通過電晶體對不導通時始能操作。

2. 如申請專利範圍第1項之感應放大器，其中該放大器進一步包含：

第一導電型式之第一電晶體，含有第一電流電極連接至第一電力供應端點，並含一控制電極連接至放大器之第一輸入，以及第二電極連接至放大器的第二輸入；

第二導電型式之第二電晶體，含有連接至第一電晶體之第二電流電極的第一電流電極，並含有連接至該放大器第一輸入之控制電極，以及第二電流電極；

第一導電型式之第三電晶體，含有連接至第一電力供應端點之第一電流電極，並含有連接至放大器第二輸入之控制電極，以及第二電流電極；

第二導電型式之第四電晶體，含有連接至放大器第一輸入之第一電流電極，並含有連接至放大器第二輸入之電流電極，以及連接至第二電晶體之第二電流電極的第二電流電極；以及

第二導電型式之第五電晶體，含有連接至第二和第四兩電晶體第二電流電極之第一電流電極，並含有一控制電極以接收感應啟動信號，以及連接至第二電力供應端點之第二電流電極。

3. 如申請專利範圍第1項之感應放大器，其中該放大器進一步包括：

第一導電型式之第一電晶體，含有連接至資料路徑之第一電流電極，並含有連接至第一輸出之第二電流電極以及連接至第二輸出之控制電極；

第二導電型式之第二電晶體，含有連接至第一電晶體第二電流電極之第一電流電極，並含有第二電流電極及連接至第一電晶體控制電極之控制電極；

第一導電型式之第三電晶體，含有連接至互補資料路徑之第一電流電極，並含有連接至第二輸出之第二電流電極以及連接至第一輸出之控制電極；

第二導電型式之第四電晶體，含有連接至第三電晶體第二電流電極之第一電流電極，並含有連接至第二電晶體第二電流電極之第二電流電極以及連接至第一輸出之控制電極；以及

第二導電型式之第五電晶體，含有連接至第二與第四兩電晶體第二電流電極之第一電流電極，並含有一控制電極以接收感應啟動信號以及連接至電力供應端點之第二電流電極。

4. 如申請專利範圍第1項之感應放大器，其中該複數個電晶體通過閘對等於該記憶體的欄數。

5. 如申請專利範圍第1項之感應放大器，其中該資料路徑係一記憶體位元線。

6. 如申請專利範圍第1項之感應放大器，其中該資料路徑係一記憶體資料線。

7. 一種感應放大器，包含：

一疊接級，含有連接至第一資料路徑之第一輸入及連接至第一互補資料路徑之第二輸入，並含有連接至第二資料路徑之輸出及連接至第二互補資料路徑之互補輸出；

一耦合器，含有連接至第二資料路徑及第二互補資料路徑之第一對電流電極，並含有一控制電極及連接至第三資料路徑和第三互補資料路徑之第二對電流電極；以及

一鎖存器，含有連接至第三資料路徑之第一輸入及連接至第三互補資料路徑之第二輸入，並含有連接至

第三資料路徑之控制輸入及連接至第三互補資料路徑之互補控制輸入。

8. 一種於一對輸入導體上感測微分信號之方法，其包含：

透過複數個電晶體通過閘對提供該微分信號至該對輸入導體，各該複數個電晶體通過閘對含有分別連接至一記憶體之預定位元線和互補位元線對的第一及第二輸入；

響應感應啟動信號，使用一通過電晶體對而將該對輸入導體連接至第一輸出與第二輸出，該通過電晶體對的第一電晶體含有連接至微分信號第一信號的輸入，並響應感應啟動信號而將第一信號電性連接至第一輸出，該通過電晶體對之第二電晶體含有連接至微分信號第二信號之輸入，並響應感應啟動信號而將第二信號電性連接至第二輸出；以及

將放大器的第一輸入耦合至第一輸出，將放大器的第二輸入耦合至第二輸出，該放大器由感應啟動信號控制且僅在感應啟動信號使該通過電晶體對不導通時始能操作。