(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 7 月 21 日(21.07.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/114133 A1

(51) 国際特許分類:
*H01L 23/15* (2006.01)　*H01L 23/32* (2006.01)
*H01L 21/60* (2006.01)　*H05K 1/11* (2006.01)
*H01L 23/12* (2006.01)　*H05K 3/40* (2006.01)

(21) 国際出願番号: PCT/JP2016/000137

(22) 国際出願日: 2016 年 1 月 13 日(13.01.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-005993 2015 年 1 月 15 日(15.01.2015) JP
特願 2015-116723 2015 年 6 月 9 日(09.06.2015) JP

(71) 出願人: 凸版印刷株式会社(TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1100016 東京都台東区台東１丁目５番１号 Tokyo (JP).

(72) 発明者: 木内　脩治(KIUCHI, Shuji).

(74) 代理人: 特許業務法人　小笠原特許事務所(OGASAWARA PATENT OFFICE); 〒5640063 大阪府吹田市江坂町１丁目２３番１０１号　大同生命江坂ビル１３階 Osaka (JP).

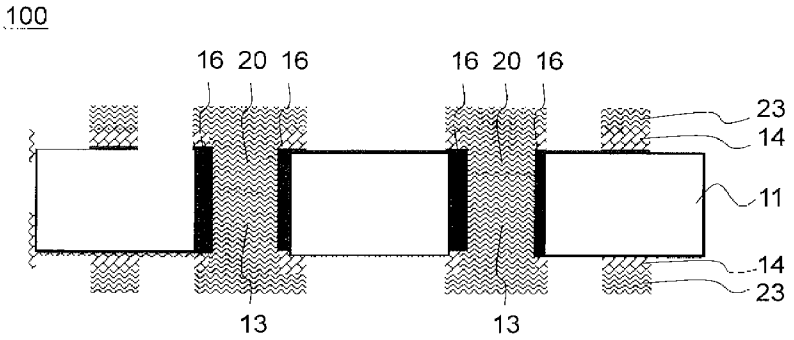
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: INTERPOSER, SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURE THEREOF

(54) 発明の名称 : インターポーザ、半導体装置、およびそれらの製造方法




(57) **Abstract**: Provided are an interposer that affords high adhesion between a substrate and an electrically conductive layer, within the interior of via holes; a semiconductor device; a method for manufacturing these; an interposer having minimal high frequency transmission loss within via holes, as well as advanced electrical characteristics and fine wire forming properties; a semiconductor device; and a method for manufacturing these. The interposer includes a substrate having via holes, one or more wiring layers arranged on the substrate while interposing a seed layer, adhesive layers composed of metal or an insulator formed on the wall surfaces of the via holes, and via electrodes formed over the adhesive layers, for providing electrical continuity between both sides of the substrate.

(57) 要約:　貫通孔内部の基板と導電層との密着性の高いインターポーザ、半導体装置、およびそれらの製造方法、または貫通孔内部における高周波伝送損失が少なく、高い電気特性と微細配線形成とを有するインターポーザ、半導体装置、およびそれらの製造方法を提供する。　インターポーザは、貫通孔を持つ基板と、シード層を介して基板上に配置された１層以上の配線層と、貫通孔の壁面に形成された金属または絶縁体で構成される密着層と、密着層上に形成される基板の両面側を導通可能な貫通電極とを含む。

WO 2016/114133 A1

# 明　細　書

## 発明の名称 ：

## インターポーザ、半導体装置、およびそれらの製造方法

## 技術分野

[0001] 本発明は、インターポーザ、半導体装置、及びそれらの製造方法に関する技術である。

## 背景技術

[0002] ウェハープロセスで製造される各種のメモリー、ＣＭＯＳ、ＣＰＵ等の半導体素子は、電気的接続用の端子を有する。その接続用端子のピッチと、半導体素子と電気的な接続がなされるべきプリント配線板側の接続部のピッチとは、そのスケールが数倍から数十倍程度異なる。そのため、半導体素子とプリント基板とを電気的に接続しようとする場合、インターポーザと称されるピッチ変換のための仲介用基板（半導体素子実装用基板）が使用される。一般に、インターポーザの一方の面に半導体素子が実装され、他方の面もしくは基板の周辺でプリント配線板との接続が行われる。

[0003] 半導体素子をプリント配線板に実装するためのインターポーザは、従来、有機材料を用いた基板が使用されてきた。しかし、近年のスマートフォンに代表される急速な電子機器の発展により、半導体素子を縦に積層させたり、異なるタイプの半導体素子を同一基板上に並べて実装したりする、３次元又は２．５次元実装技術が不可欠となりつつある。前述の技術開発により、電子機器のさらなる高速化・大容量化・低消費電力化が実現可能と考えられている。一方で、半導体素子が高密度化するに従い、インターポーザにもより微細な配線を作りこむことが求められる。しかしながら、従来の有機基板では樹脂の吸湿や温度による伸縮が大きく、スケールを合わせた微細配線の形成が難しいという課題があった。

[0004] そこで、近年基板にシリコンやガラスを用いるインターポーザの開発に大きな注目が集まっている。これらの材料からなる基板は、吸湿や伸縮の影響

を受けにくいため、微細配線の形成に有利となる。また内部に微細な貫通穴をあけ導電性物質を充填させる、ＴＳＶ（Ｔｈｒｏｕｇｈ－Ｓｉｌｉｃｏｎ Ｖｉａ）やＴＧＶ（Ｔｈｒｏｕｇｈ－Ｇｌａｓｓ Ｖｉａ）と呼ばれる貫通電極が形成できる。この貫通電極は、基板の表裏面の配線を最短距離で接続し、信号伝送速度の高速化など優れた電気特性を実現させる。さらには内部に配線を形成する構造のため、デバイスの小型化や高密度化にも有効な実装方法であるといえる。また貫通電極の採用により、多ピン並列接続が可能となるため、ＬＳＩ自体を高速化させる必要がなくなり、低消費電力化が実現できる。このように、基板にシリコンやガラスを用いるインターポーザには、多数の利点がある。

[0005] 両者を比較すると、シリコンインターポーザ（Ｓｉ－ＩＰ）はガラスインターポーザ（Ｇ－ＩＰ）よりもさらに微細加工性に優れ、配線・ＴＳＶ形成プロセスも既に確立されている。一方で、円形のシリコンウエハでしか扱えないためウエハ周辺部が使用できないことや、大型サイズで一括生産できないため、コストが高くなるという欠点を有する。Ｇ－ＩＰは、大型パネルでの一括処理が可能であり、またロール・ツー・ロール方式での生産方法も考えられるため大幅なコストダウンが可能となる。さらに放電やレーザー加工などで貫通穴を形成させるＴＧＶとは異なり、ＴＳＶはガスエッチングにより穴を掘っていくため、加工時間が長くなることや、ウエハ薄化工程を含むことなども、コスト高の要因となっている。

[0006] さらに電気特性の面では、Ｇ－ＩＰは基板自体がＳｉ－ＩＰと違って絶縁体のため、高速回路においても寄生素子発生の懸念がなく、より電気特性に優れている。そもそも基板にガラスを用いると絶縁膜を形成させる工程自体が必要ないため、絶縁信頼が高く、タクトも短い。

## 先行技術文献

## 特許文献

[0007] 特許文献1：特開２００６－６０１１９号公報

特許文献2：特開２０１２－１５２０９号公報

## 発明の概要

### 発明が解決しようとする課題

[0008] 以上のように、ガラス基板を用いると低コストにインターポーザを作ることができるが、課題として、微細配線やＴＧＶを形成させるプロセスが未だ確立されていないこと、また配線材料の主流である銅とガラスとの密着性が悪いことなどが挙げられる。

[0009] 一般的に、ガラス基板への金属電極の形成においては、ガラスと金属電極との密着を向上させるために、ガラス表面に無機密着層を形成し、その上から電極形成している。（上記特許文献１参照）。ガラスへの密着性が良好な物質として、チタン、クロムなどが挙げられるが、クロムやチタンはウェットプロセスで形成することが困難であり、上記特許文献１で示されているようなドライプロセスではインターポーザの貫通孔の直径である１０μｍ～２００μｍでは開口が狭く、貫通孔内部に密着層を形成することができない。また、クロムやチタンは銅に比べ電気伝導性が低く、高周波の伝送において、表皮効果からクロム層またはチタン層に電流が集中し、伝送損失が起こる。この現象は特に外周がチタン、クロムで覆われるＴＧＶで顕著であり、ガラスの優れた電気特性を損なう。

[0010] 上記特許文献２のように貫通孔と貫通電極との密着性を向上させるために、樹脂を使用する試みもあるが、貫通孔の直径が狭いため、塗工などのウェットプロセスで形成された樹脂によって貫通孔が完全に充填されてしまい、貫通電極の形成ができないということが問題である。

[0011] 本発明の目的は、インターポーザにガラス基板等を用いることによる諸特性の悪化を防ぐことであり、具体的には、貫通孔内部の基板と導電層との密着性の高いインターポーザ、半導体装置、およびそれらの製造方法を提供すること、および貫通孔内部における高周波伝送損失が少なく、高い電気特性と微細配線形成とを有するインターポーザ、半導体装置、およびそれらの製造方法を提供することである。

### 課題を解決するための手段

[0012] 上記課題を解決するための、本発明の一態様は、貫通孔を持つ基板と、シード層を介して基板上に配置された１層以上の配線層と、貫通孔の壁面に形成された酸化物からなる絶縁体、樹脂からなる絶縁体、チタン、クロムのいずれかで構成される密着層と、密着層上に形成される基板の両面側を導通可能な貫通電極と、を含む、インターポーザである。

[0013] また、本発明の他の態様は、上述のインターポーザに半導体チップが固定された、半導体装置である。

[0014] また、本発明の他の態様は、基板を、表面が、酸化物からなる絶縁体、樹脂からなる絶縁体、チタン、クロムのいずれかで修飾された支持基板に固定する工程と、基板に貫通孔を形成する貫通孔形成工程と、貫通孔側壁に酸化物からなる絶縁体、樹脂からなる絶縁体、チタン、クロムの上記いずれかで構成される密着層を形成する密着層形成工程と、貫通孔に導電性材料を充填して基板の両面側を導通可能な貫通電極を形成する貫通電極形成工程と、基板の表面上の導電層の一部を選択的に除去する導電層除去工程とを含むインターポーザの製造方法である。

[0015] また、本発明の他の態様は、上述のインターポーザの製造方法で製造したインターポーザに半導体チップを固定する工程を含む半導体装置の製造方法である。

## 発明の効果

[0016] 基板の貫通孔内に対し、ガラスと密着性が良く、ウェットプロセスでは形成が困難な金属層を密着層として形成して構成された貫通電極と、銅配線層用のエッチングで溶解する密着層を介してガラス基板上に形成した表裏の配線層が電気的に接続される。これによれば、貫通電極の密着性を高めることができる。従って本発明によれば、電気接続信頼性の高さと微細配線形成を両立したインターポーザを提供することができる。

[0017] また、貫通孔内部における高周波伝送損失が少なく、高い電気特性と微細配線形成とを有するインターポーザを提供することができる。

## 図面の簡単な説明

[0018] [図1]図１は、第１の実施形態に係るインターポーザの構造を示す概略断面図である。

[図2]図２は、第１の実施形態に係るインターポーザの変形例の構造を示す概略断面図である。

[図3]図３は、第１の実施形態に係るインターポーザに半導体チップを実装した半導体装置の構造を示す概略断面図である。

[図4]図４は、第１の実施形態に係るインターポーザの形成方法を示すフローチャートである。

[図5]図５は、第１の実施形態に係るインターポーザの形成方法の工程を示す概略断面図である。

[図6]図６は、第２の実施形態に係るインターポーザの構造を示す概略断面図である。

[図7]図７は、第２の実施形態に係るインターポーザの形成方法を示すフローチャートである。

[図8]図８は、第２の実施形態に係るインターポーザの形成方法の工程を示す概略断面図である。

[図9]図９は、第２の実施形態に係るインターポーザに半導体チップを実装した半導体装置の構造を示す概略断面図である。

[図10]図１０は、第２の実施形態に係るインターポーザの変形例の構造を示す概略断面図である。

[図11]図１１は、第３の実施形態に係るインターポーザの構造を示す概略断面図である。

[図12]図１２は、第３の実施形態に係るインターポーザの変形例の構造を示す概略断面図である。

[図13]図１３は、第３の実施形態に係るインターポーザに半導体チップを実装した半導体装置の構造を示す概略断面図である。

[図14]図１４は、第３の実施形態に係るインターポーザの形成方法を示すフローチャートである。

[図15]図１５は、第３の実施形態に係るインターポーザの形成方法の工程を示す概略断面図である。

[図16]図１６は、第４の実施形態に係るインターポーザの構造を示す概略断面図である。

[図17]図１７は、第４の実施形態に係るインターポーザの形成方法を示すフローチャートである。

[図18]図１８は、第４の実施形態に係るインターポーザの形成方法の工程を示す概略断面図である。

[図19]図１９は、第４の実施形態に係るインターポーザの変形例の構造を示す概略断面図である。

[図20]図２０は、第４の実施形態に係るインターポーザに半導体チップを実装した半導体装置の構造を示す概略断面図である。

## 発明を実施するための形態

[0019] 次に、本発明の実施形態について図面を参照して説明する。

[0020] 本実施形態に係るインターポーザは、貫通孔を持つ基板と、配線層用のエッチング液でエッチングが可能なシード層を介して基板上に配置された１層以上の配線層と、貫通孔の壁面に形成された、酸化物、樹脂等からなる絶縁体、または、チタン、クロム等の金属で構成される密着層と、密着層上に形成される基板の両面側を導通可能な貫通電極と、貫通電極の端面に形成されたランドとを含む。

[0021] また、本実施形態に係るインターポーザの製造方法は、基板を、表面が酸化物、樹脂等からなる絶縁体、または、チタン、クロム等の金属で修飾された支持基板に固定する工程と、基板に貫通孔を形成する貫通孔形成工程と、貫通孔側壁に酸化物、樹脂等からなる絶縁体、または、チタン、クロム等の金属で構成される密着層を形成する密着層形成工程と、貫通孔に導電性材料を充填して基板の両面側を導通可能な貫通電極を形成する貫通電極形成工程と、基板の表面上の導電層の一部を選択的に除去する導電層除去工程とを含む。また、このインターポーザの製造方法に加え、半導体チップを固定する

工程を含んでもよい。

[0022] 以下の説明では、基板にガラスを用いた場合を例にして説明をする。基板はガラス基板に限定されず、シリコン製などであっても良い。

（第１の実施形態）

[0023] 図１は、第１の実施形態に係るインターポーザ１００の構造を示す概略断面図である。第１の実施形態に係るインターポーザ１００は、図１に示すように、貫通孔１３を持つガラス基板１１と、ガラス基板１１の表面に形成されたシード層１４と、シード層１４上に形成された配線層２３と、貫通孔１３に形成された密着層１６と、密着層１６上に形成された貫通電極２０と、を備える。

[0024] 配線層２３は貫通電極２０によって電気的に接続される。

配線層２３と貫通電極２０を形成する導電性材料とは、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛、アルミニウムの少なくとも１つ、またはこれらの化合物の少なくとも１つ、またはこれらの金属粉と樹脂材料との混合物の少なくとも１つから構成すればよい。貫通電極２０についても同様である。

後述する絶縁樹脂層３０及び埋込樹脂２２は、エポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯのいずれか、もしくはこれらの複合材料からなり、線膨張係数が３０以上４０以下［ｐｐｍ／Ｋ］であるようにすればよい。

貫通孔１３は、最大径が１５μｍ以上１００μｍ以下であり、深さが５０μｍ以上７００μｍ以下とすればよい。

後述する金属つき支持体１２の基材はエポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯのいずれか、もしくはこれらの複合材料からなり、線膨張係数が３０以上４０以下［ｐｐｍ／Ｋ］であるようにすればよい。

金属つき支持体１２の金属はチタン、ニッケル、クロムの少なくとも１つからなるもので構成される。

[0025] 図２は、インターポーザ１００の変形例であるインターポーザ２００を示す概略断面図である。図２に示すように、絶縁樹脂層３０と配線層２３とを交互にガラス基板１１上に積層して、各配線層２３を、各配線層２３に積層された絶縁樹脂層３０に形成された導通ビア２５を介して、隣接する別の配線層２３と電気的に接続するように配置しても良い。

[0026] 図３は、インターポーザ１００に半導体チップを実装した半導体装置３００の構造を示す概略断面図である。図３に示すように、上述のインターポーザ１００に、例えば接続パッド４１を介して半導体チップ５０を固定（実装）することで半導体装置３００が構成される。

[0027] 本実施形態でのインターポーザ１００の形成は、例えば図４に示すように、支持体固定、貫通孔形成、密着層形成、シード層形成、貫通電極・配線層形成の各工程の順に行われる。

[0028] 次に、図４及び図５を参照して、インターポーザの形成方法を説明する。図４は、インターポーザ１００の形成方法を示すフローチャートである。図５は、インターポーザ１００の形成方法の工程を示す概略断面図である。

[0029] 以下各形成の工程について説明する。

（金属つき支持体とガラス基板固定の工程）

[0030] まず、図５の（ａ）に示すような、表面が金属で修飾された金属つき支持体１２（支持基板）にガラス基板１１をテープなどで固定する。ガラス基板１１の厚さは、例えば、５０μｍ以上、７００μｍ以下である。金属つき支持体１２の基材はエポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯのいずれか、もしくはこれらの複合材料、もしくはガラス、もしくはセラミックスなどからなり、線膨張係数が１以上４０以下［ｐｐｍ／Ｋ］であるようにすればよい。

金属つき支持体１２の金属部分（金属層）はチタン、ニッケル、クロムの少なくとも１つからなるもので構成される。

[0031] ガラス基板１１の金属つき支持体１２への固定はテープや、樹脂による接着、水や溶剤で吸着させることができる。

（貫通孔形成の工程）

[0032] 次に、図５の（ｂ）に示すように、ガラス基板１１へ貫通孔１３を形成する。貫通孔１３の径は、例えば、１５μｍ以上１００μｍ以下、深さが５０μｍ以上７００μｍ以下である。貫通孔１３の形成は、エキシマレーザー、またはＵＶ－ＹＡＧレーザー、$CO_2$レーザーなどを使用して開口する。

（密着層形成の工程）

[0033] 次に、貫通孔１３を通じてレーザーによって金属つき支持体１２を加工する。レーザーのエネルギーにより、金属が昇華し、図５の（ｃ）に示すように、貫通孔１３内（側壁）に密着層１６が形成される。密着層１６の厚みは２０ｎｍ以上５００ｎｍ以下であるようにすればよい。

[0034] この工程により、ウェットプロセスでは形成が困難なチタンや、めっきの環境負荷が高いクロムなどの密着層１６を、ドライプロセスでは形成困難な貫通孔１３内部に形成することができる。

（シード層形成の工程）

[0035] 次に、図５の（ｄ）に示すように、金属つき支持体１２からガラス基板１１を分離し、ガラス基板１１表面に導電層であるシード層１４を形成する。シード層１４の形成方法は、スパッタ、無電解めっきなど適した方法を選択できる。次に、図５の（ｅ）に示すように、シード層１４上にレジスト１５をフォトリソグラフィで形成する。

（貫通電極・配線層形成の工程）

[0036] 次に、図５の（ｆ）に示すように、貫通孔１３内とレジスト１５の開口部とに導電性材料を充填して貫通電極２０、配線層２３を形成する。この際、貫通電極２０の端面に、ランドを形成してもよい。

[0037] 導電性材料は、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛、アルミニウムの少なくとも１つ、またはこれらの化合物の少なくとも１つ、またはこれらの金属粉と樹脂材料との混合物の少なくとも１つからなる。

[0038] 次に、図５の（ｇ）に示すように、ガラス基板１１上のレジスト１５を除

去した後、エッチングによってシード層１４の一部を除去する。

[0039] 以上の工程で、図１のインターポーザ１００が製造される。

[0040] 貫通電極２０内の密着層１６をドライプロセスで形成することで、ウェットプロセスよりも密着力の高い密着層１６を形成することができる。この結果、導電部分の剥離のない、信頼性の高いインターポーザが得られる。

[0041] ここで、図２に示すように、作製したインターポーザ１００に絶縁樹脂層３０を形成し、配線層２３を複数層設け、絶縁樹脂層３０と配線層２３とを交互に積層させても良い。ガラス基板１１の表裏において、積層されている絶縁樹脂層３０と配線層２３との数は違っても良い。この場合、各配線層２３は、各配線層２３に積層された絶縁層に形成された導通ビア２５を介して、隣接する別の配線層２３と電気的に接続されている。

[0042] また、インターポーザ１００に半導体チップ５０を実装して図３に示すような半導体装置２００とすることができる。

（第２の実施形態）

[0043] 次に、第２の実施形態について図面を参照して説明する。

図６は、第２の実施形態に係るインターポーザ１０１の構造を示す概略断面図である。

[0044] 第２の実施形態に係るインターポーザ１０１の基本構造は、第１の実施形態に係るインターポーザと同様である。

[0045] ここで、第１の実施形態では、工程の出発材料にガラス基板１１を用いて、貫通孔１３を形成した後に貫通孔１３内部に密着層１６を形成し、導電材料を充填して貫通電極２０を形成する例を説明した。これに対し、本実施形態は、貫通孔１３内の充填をめっきと樹脂などの複数種類で行う場合の例である。

[0046] 本実施形態でのインターポーザ１０１の形成は、例えば図７に示すように、支持体固定、貫通孔形成、密着層形成、シード層形成、めっき層形成、埋込樹脂充填、研磨、シード層形成、めっき層形成、配線層・貫通電極形成の各工程の順に行われる。

次に、図７及び図８を参照して、インターポーザ１０１の形成方法を説明する。図７は、インターポーザ１０１の形成方法を示すフローチャートである。図８は、インターポーザ１０１の形成方法の工程を示す概略断面図である。

[0047] 以下各形成の工程について説明する。

（金属つき支持体とガラス基板固定の工程）

[0048] まず、図８の（ａ）に示すような、表面が金属で修飾された金属つき支持体１２にガラス基板１１をテープなどで固定する。ガラス基板１１の金属つき支持体１２への固定はテープや、樹脂による接着、水や溶剤で吸着させることができる。

（貫通孔形成の工程）

[0049] 次に、図８の（ｂ）に示すように、ガラス基板１１へ貫通孔１３を形成する。貫通孔１３の径は、例えば、１５μｍ以上１００μｍ以下、深さが５０μｍ以上７００μｍ以下である。貫通孔１３の形成は、エキシマレーザー、またはＵＶ－ＹＡＧレーザー、$CO_2$レーザーなどを使用して開口する。

（密着層形成の工程）

[0050] 次に貫通孔１３を通じてレーザーによって金属つき支持体１２を加工する。レーザーのエネルギーにより、金属が昇華し、図８の（ｃ）に示すように、貫通孔１３内（側壁）に密着層１６が形成される。密着層１６の厚みは２０ｎｍ以上５００ｎｍ以下であるようにすればよい。

（シード層形成の工程）

[0051] 次に、図８の（ｄ）に示すように、金属つき支持体１２からガラス基板１１を分離し、ガラス基板１１表面にシード層１４を形成する。シード層１４の形成方法は、スパッタ、無電解めっきなど適した方法を選択できる。

（めっき層形成の工程）

[0052] 次に、図８の（ｅ）に示すように貫通孔１３内及びシード層１４上にめっき層２１を形成する。めっき層２１の厚みは貫通孔１３を塞がないような条件で行う。

（埋込樹脂充填の工程）

[0053] 次に、図８の（ｆ）に示すように、埋込樹脂２２を貫通孔１３内に充填する。充填には、スクリーン印刷法やディスペンサーによる充填などを用いることができる。埋込樹脂２２を充填することで、貫通孔１３内の空隙がなくなり、貫通孔１３内部のめっき層２１の剥離を防ぐことができる。

（研磨の工程）

[0054] 次に、図８の（ｇ）に示すようにガラス基板１１表面のシード層１４と、貫通孔１３上に盛られている埋込樹脂２２を研磨により除去する。この工程によりガラス基板１１表面を平滑にすることで、配線層２３の形成や実装時の信頼性を向上させることができる。

研磨方法はバフ研磨などの物理的な研磨、ＣＭＰなどの化学的な研磨が考えられ、埋込樹脂の材料に適した方法を選択する。

（シード層形成の工程）

[0055] 次に、図８の（ｈ）に示すように、ガラス基板１１表面にシード層１４を形成する。シード層１４の形成方法は、スパッタ、無電解めっきなど適した方法を選択できる。

（めっき層形成の工程）

[0056] 次に、図８の（ｉ）および（ｊ）に示すように、レジスト１５を形成した後、めっき層２１の形成を行う。

（配線層、貫通電極形成の工程）

[0057] 次に、レジスト１５を除去した後、エッチングによってシード層１４の一部を除去し、図８の（ｋ）のように、貫通電極２０、配線層２３を形成する。この際、貫通電極２０の端面には、ランドを形成してもよい。

以上の工程によって、図６に示すインターポーザ１０１が製造される。

第１の実施形態と同様の理由により、耐熱性が高く、信頼性の高いインターポーザ１０１が得られる。

また、本実施形態では貫通電極２０の充填方法に埋込樹脂２２を用いているため、貫通孔１３の開口径が大きい場合でも、貫通電極２０の形成が可能

である。

[0058] なお、上記の各実施形態で得られたインターポーザにおいては、形成する配線のサイズに適した工法を適宜選択することができる。例えば、微細な配線層２３の形成にはビルドアップ工法を使用し、配線のサイズが微細でない配線層２３には従来のプリプレグと銅箔とを積層する工法を使用して、インターポーザを製造することも可能である。

[0059] 図９は、インターポーザ１０１に半導体チップを実装した半導体装置３０１の構造を示す概略断面図である。図９に示すように、上述のインターポーザ１０１に、例えば接続パッド４１を介して半導体チップ５０を実装して半導体装置３０１が構成される。

[0060] ここで、上記実施形態では、密着層１６形成の後、金属つき支持体１２からガラス基板１１を剥離し、シード層１４を形成する工程で説明しているが、ガラス基板１１を金属つき支持体１２に固定したまま密着層１６上にめっきを行うようにしても良い。

[0061] 図１０に、インターポーザ１０１の変形例であるインターポーザ２０１の概略断面図を示す。上記実施形態では配線層は１層だけであったが、配線層２３と絶縁樹脂層３０とを交互に積層し、導通ビア２５にて接続していくことによって、図１０に示すような複数の配線層を形成したインターポーザ２０１を製造することも可能である。

[0062] （第３の実施形態）

図１１は、第３の実施形態に係るインターポーザ１０２の構造を示す概略断面図である。第３の実施形態に係るインターポーザ１０２は、図１１に示すように、貫通孔１３を持つガラス基板１１と、貫通孔１３の内面に形成された密着層１６と、ガラス基板１１の表面及び密着層１６上に形成されたシード層１４と、シード層１４上に形成された配線層２３と、貫通孔１３を貫通する貫通電極２０とを備える。

[0063] 図１２は、第３の実施形態の変形例に係るインターポーザ２０２を示す概略断面図である。図１２に示すように、インターポーザ２０２では、絶縁樹

脂層３０と配線層２３とが交互にガラス基板１１上に積層され、各配線層２３が導通ビア２５を介して電気的に接続されている。

[0064] 図１３は、第３の実施形態に係るインターポーザ１０２に半導体チップを実装した半導体装置３０２の構造を示す概略断面図である。図１３に示すように、上述のインターポーザ１０２のランド４２に、例えば、はんだ４０を介して半導体チップ５０の接続パッド４１を固定（実装）することで半導体装置３０２が構成される。

[0065] 次に、図１４及び図１５を参照して、インターポーザの形成方法を説明する。図１４は、本実施形態に係るインターポーザ１０２の形成方法を示すフローチャートである。本実施形態に係るインターポーザ１０２の形成は、例えば図１４に示すように、支持体固定、貫通孔・貫通孔内密着層形成、シード層形成、貫通電極形成、配線層形成の各工程の順に行われる。

[0066] 図１５は、インターポーザ１０２の形成方法の工程を示す概略断面図である。

[0067]（支持体へのガラス基板固定の工程）

まず、図１５の（ａ）に示すように、表面が絶縁体１７で修飾された支持体１２（支持基板）にガラス基板１１をテープなどで固定する。ガラス基板１１の厚さは、例えば、５０μｍ以上、７００μｍ以下である。支持体１２の基材は、エポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯ（ポリパラフェニレンベンゾビスオキサゾール）のいずれか、もしくはこれらの複合材料、もしくはガラス、もしくはセラミックスなどからなり、線膨張係数が１以上４０以下［ｐｐｍ／Ｋ］であるものを使用すればよい。支持体１２の絶縁体部分は、$SiO_2$などの酸化物絶縁体や、ＰＶＣ（ポリ塩化ビニル）、エポキシ樹脂などの樹脂絶縁体のうちの少なくとも１つからなるものであって、めっきによる導電金属と密着性の良好な物質で構成される。

[0068] ガラス基板１１の支持体１２への固定は、テープや樹脂による接着や、水や溶剤による吸着により行うことができる。

[0069]（貫通孔形成の工程）

次に、図１５の（ｂ）に示すように、ガラス基板１１へ貫通孔１３を形成する。貫通孔１３の径は、例えば、１５μｍ以上１００μｍ以下、深さが５０μｍ以上７００μｍ以下である。貫通孔１３は、エキシマレーザー、またはＵＶ－ＹＡＧレーザー、$CO_2$レーザーなどを使用して形成する。

[0070]（貫通孔内密着層形成の工程）

次に、貫通孔１３を通じて支持体１２の絶縁体１７にレーザーを照射する。照射されたレーザーのエネルギーにより絶縁体１７が昇華して貫通孔１３の内壁に密着し、図１５の（ｃ）に示すように、貫通孔１３内（側壁）に密着層１６が形成される。密着層１６の厚みは２０ｎｍ以上５００ｎｍ以下であるようにすればよい。また、密着層１６の抵抗率は、$1\times10^{16}\Omega\cdot m$より大きくする。

[0071] この工程により、ウェットプロセスでは形成が困難な酸化物や、充填によって貫通孔を塞いでしまう樹脂などを材料として用いた密着層１６を、貫通孔１３内部に形成することができる。

[0072]（シード層形成の工程）

次に、図１５の（ｄ）に示すように、支持体１２からガラス基板１１を分離し、ガラス基板１１表面及び貫通孔１３内の密着層１６上に導電層であるシード層１４を形成する。シード層１４の形成方法は、スパッタ、無電解めっきなど適した方法を選択する。次に、図１５の（ｅ）に示すように、ガラス基板１１表面に形成されたシード層１４上にレジスト１５をフォトリソグラフィで形成する。

[0073]（貫通電極形成・配線層形成の工程）

次に、図１５の（ｆ）に示すように、貫通孔１３内とレジスト１５の開口部とに導電性材料を充填して貫通電極２０と配線層２３とを形成する。この際、貫通電極２０の端面に、ランドを形成してもよい。

[0074] 導電性材料は、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛、アルミニウムの少なくとも１つ、またはこれらの化合物の少なくとも１つ、またはこれらの導電性材料の

粉末と樹脂材料との混合物の少なくとも１つからなる。

[0075] 次に、図１５の（ｇ）に示すように、ガラス基板１１上のレジスト１５を除去した後、エッチングによってシード層１４の一部を除去する。

[0076] 以上の工程で、図１１のインターポーザ１０２が製造される。

[0077] ここで、図１２に示すように、作製したインターポーザ１０２に絶縁樹脂層３０を形成し、配線層２３を複数層設け、絶縁樹脂層３０と配線層２３とを交互に積層させても良い。

絶縁樹脂層３０は、エポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯのいずれか、もしくはこれらの複合材料からなり、線膨張係数が３０以上４０以下［ｐｐｍ／Ｋ］であるようにすればよい。ガラス基板１１の表裏において、積層されている絶縁樹脂層３０と配線層２３との数は違っても良い。図１２においては、各配線層２３は、各配線層２３に積層された絶縁層に形成された導通ビア２５を介して、隣接する別の配線層２３と電気的に接続されている。

[0078] また、インターポーザ１０２のランド４２に、はんだ４０を介して半導体チップ５０を実装して図１３に示すような半導体装置３０２とすることができる。

[0079] 本実施形態に係るインターポーザ及びその製造方法によれば、ガラス基板１１の貫通孔１３内に対し、ガラスと密着性が良く、ウェットプロセスでは形成が困難な酸化物絶縁体または絶縁樹脂を密着層１６として形成し、密着層１６上に構成された貫通電極２０と、シード層１４を介してガラス基板１１上に形成した表裏の配線層とが電気的に接続される。これにより、高速伝送に対して低損失かつ密着性の高い貫通電極２０を有するインターポーザを得ることができる。また、貫通電極２０内の密着層１６をドライプロセスで形成することで、密着力が高く、貫通電極２０周辺部を導電性の高い導電材料のみで構成された貫通電極２０を形成することができる。この結果、高速伝送に優れ、信頼性の高いインターポーザが得られる。

[0080] （第４の実施形態）

次に、第４の実施形態について図１６～２０を参照して説明する。図１６は、第４の実施形態に係るインターポーザ１０３の構造を示す概略断面図である。

[0081] ここで、第３の実施形態では、工程の出発材料にガラス基板１１を用いて、貫通孔１３を形成した後に貫通孔１３内部に密着層１６を形成し、導電材料を充填して貫通電極２０を形成する例を説明した。第４の実施形態に係るインターポーザ１０３の基本構造は、第３の実施形態に係るインターポーザと同様であるが、本実施形態は、貫通孔１３内の充填をめっきと樹脂などの複数種類で行う点で、第３の実施形態と異なる。

[0082] 具体的には、第４の実施形態に係るインターポーザ１０３は、図１６に示すように、貫通孔１３を持つガラス基板１１と、貫通孔１３の内面に形成された密着層１６と、ガラス基板１１の表面及び密着層１６上に形成されたシード層１４と、ガラス基板１１表面のシード層１４上に形成された配線層２３と、シード層１４上に形成されためっき層２１と、めっき層２１の内部の空間に充填された埋込樹脂２２とを備える。つまり、貫通電極２０は、めっき層２１を主体として構成されている。

[0083] 次に、図１７及び図１８を参照して、インターポーザの形成方法を説明する。図１７は、本実施形態に係るインターポーザ１０３の形成方法を示すフローチャートである。本実施形態に係るインターポーザ１０３の形成は、例えば図１７に示すように、支持体固定、貫通孔・貫通孔内密着層形成、シード層形成、めっき層形成、埋込樹脂充填、表面研磨、シード層形成、めっき層形成、配線層・貫通電極形成の各工程の順に行われる。

[0084] 図１８は、インターポーザ１０３の形成方法の工程を示す概略断面図である。

[0085] （支持体へのガラス基板固定の工程）

まず、図１８の（ａ）に示すように、表面が絶縁体１７で修飾された支持体１２にガラス基板１１をテープなどで固定する。ガラス基板１１及び支持体１２は、第３の実施形態に係るガラス基板１１及び絶縁体つき支持体１２

と同じものを使用できる。ガラス基板１１の支持体１２への固定はテープや樹脂による接着や、水や溶剤による吸着により行うことができる。

[0086]（貫通孔形成の工程）

次に、図１８の（ｂ）に示すように、ガラス基板１１へ貫通孔１３を形成する。貫通孔１３の径は、例えば、１５μｍ以上１００μｍ以下、深さが５０μｍ以上７００μｍ以下である。貫通孔１３は、エキシマレーザー、またはＵＶ－ＹＡＧレーザー、$CO_2$レーザーなどを使用して形成する。

[0087]（貫通孔密着層形成の工程）

次に、貫通孔１３を通じて支持体１２の絶縁体１７にレーザーを照射する。照射されたレーザーのエネルギーにより絶縁体が昇華して貫通孔１３内に密着し、図１８の（ｃ）に示すように、貫通孔１３内（側壁）に密着層１６が形成される。密着層１６の厚みは２０ｎｍ以上５００ｎｍ以下であるようにすればよい。また、密着層１６の抵抗率は、$1\times10^{16}\Omega\cdot m$より大きくする。

[0088]（シード層形成の工程）

次に、図１８の（ｄ）に示すように、支持体１２からガラス基板１１を分離し、ガラス基板１１表面及び貫通孔１３内の密着層１６上にシード層１４を形成する。シード層１４の形成方法は、スパッタ、無電解めっきなど適した方法を選択する。

[0089]（めっき層形成の工程）

次に、図１８の（ｅ）に示すように貫通孔１３内のシード層１４上にめっき層２１を形成する。めっき層２１は、貫通孔１３を塞がない厚みに形成する。

[0090]（埋込樹脂充填の工程）

次に、図１８の（ｆ）に示すように、埋込樹脂２２を貫通孔１３内に充填する。充填には、スクリーン印刷法やディスペンサーによる充填などを用いることができる。埋込樹脂２２は、エポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯのいずれか、もしくはこれらの複合材料からなり、

線膨張係数が３０以上４０以下［ｐｐｍ／Ｋ］であるようにすればよい。埋込樹脂２２を充填することで、貫通孔１３内の空隙がなくなり、貫通孔１３内部のめっき層２１の剥離を防ぐことができる。また、高周波の伝送の場合においても、表皮効果が発生するのは貫通電極２０の密着層１６との界面付近であり、貫通孔１３中心側に形成された埋込樹脂２２が高周波の伝送を妨げることはない。

[0091]（研磨の工程）

次に、図１８の（ｇ）に示すように、ガラス基板１１表面のシード層１４と、貫通孔１３上に盛られている埋込樹脂２２を研磨により除去する。この工程によりガラス基板１１表面を平滑にすることで、配線層２３の形成や実装時の信頼性を向上させることができる。研磨方法はバフ研磨などの物理的な研磨、ＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｌａｎａｒｉｚａｔｉｏｎ）などの化学的な研磨が用いられ、埋込樹脂の材料に適した方法を選択する。

[0092]（シード層形成の工程）

次に、図１８の（ｈ）に示すように、ガラス基板１１表面にシード層１４を形成する。シード層１４の形成方法は、スパッタ、無電解めっきなど適した方法を選択できる。

[0093]（めっき層形成の工程）

次に、図１８の（ｉ）および（ｊ）に示すように、シード層１４上にレジスト１５を形成した後、めっき層２１の形成を行う。

[0094]（配線層、貫通電極形成の工程）

次に、レジスト１５を除去した後、エッチングによってシード層１４の一部を除去し、図１８の（ｋ）のように、貫通電極２０と配線層２３とを形成する。配線層２３の一部は、貫通電極２０によって電気的に接続される。この際、貫通電極２０の端面には、ランドを形成してもよい。貫通電極２０と配線層２３とを形成する導電性材料は、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛、アルミ

ニウムの少なくとも１つ、またはこれらの化合物の少なくとも１つ、またはこれらの導電性材料の粉末と樹脂材料との混合物の少なくとも１つからなる。

[0095] 以上の工程によって、図１６に示すインターポーザ１０３が製造される。

[0096] 本実施形態に係るインターポーザ及びその製造方法によれば、第３の実施形態と同様の理由により、高速伝送に優れ、信頼性の高いインターポーザ１０３が得られる。また、本実施形態では貫通電極２０の充填方法に埋込樹脂２２を用いているため、貫通孔１３の開口径が大きい場合でも、貫通電極２０の形成が可能である。

[0097] 図１９は、インターポーザ１０３の変形例であるインターポーザ２０３の概略断面図である。上記実施形態では配線層は１層だけであったが、配線層２３と絶縁樹脂層３０とを交互に積層し、導通ビア２５にて接続していくことによって、図１９に示すような複数の配線層を形成したインターポーザ２０３を製造することも可能である。尚、絶縁樹脂層３０は、エポキシ／フェノール、ポリイミド、シクロオレフィン、ＰＢＯのいずれか、もしくはこれらの複合材料からなり、線膨張係数が３０以上４０以下［ｐｐｍ／Ｋ］であるようにすればよい。

[0098] 図２０は、インターポーザ１０３に半導体チップを実装した半導体装置３０３の構造を示す概略断面図である。図２０に示すように、上述のインターポーザ１０３のランド４２に、例えばはんだ４０を介して半導体チップ５０の接続パッド４１を固定（実装）して半導体装置３０３が構成される。

[0099] 尚、上記の各実施形態では、密着層１６形成の後、支持体１２からガラス基板１１を剥離し、シード層１４を形成しているが、ガラス基板１１を支持体１２に固定したまま密着層１６上にめっきを行うようにしても良い。

[0100] 尚、上記の各実施形態で得られたインターポーザにおいては、形成する配線のサイズに適した工法を適宜選択することができる。例えば、微細な配線層２３の形成にはビルドアップ工法を使用し、配線のサイズが微細でない配線層２３には従来のプリプレグと銅箔とを積層する工法を使用して、インタ

ーポーザを製造することも可能である。

## 実施例

[0101] （実施例１）

以下、本発明に係る実施例１を説明する。実施例１は、上記の第１の実施形態に係る製造方法（図５）に対応する。

[0102] まず、低膨張ガラス基板（厚さ３００μｍ、ＣＴＥ：３．５ｐｐｍ／Ｋ）に銅つき支持体をテープにより固定した。（図５の（ａ）参照）。次に、開口径７０μｍの貫通孔をＵＶ－ＹＡＧレーザーによって形成した（図５の（ｂ）参照）後、さらにレーザー加工を行い、銅の密着層を貫通孔内に形成した（図５の（ｃ）参照）。

[0103] 次に、ガラス基板表面にＴｉ／Ｃｕスパッタを行い、シード層を形成した（図５の（ｄ）参照）。

[0104] 次に、得られたガラス基板の両面に日立化成株式会社製ドライフィルムレジスト　ＲＹ－３５２５（厚さ２５μｍ）をラミネートした後、フォトリソグラフィによって、開口部を形成し（図５の（ｅ）参照）、電解銅めっきによって貫通電極と配線層とをめっきした（図５の（ｆ）参照）。

[0105] 次に、レジストを除去し、エッチングによりシード層の一部を除去し（図５の（ｇ）参照）、貫通電極と配線層とを有したガラス基板を用いたインターポーザを得た（図５の（ｇ）参照）。

[0106] （実施例２）

以下、本発明に係る実施例２を説明する。実施例２は、上記の第３の実施形態に係る製造方法（図１５）に対応する。

[0107] まず、低膨張ガラス基板（厚さ３００μｍ、ＣＴＥ：３．５ｐｐｍ／Ｋ）にＳｉＮ（シリコンナイトライド）が形成された支持体をテープにより固定した（図１５の（ａ）参照）。次に、開口径７０μｍの貫通孔をＵＶ－ＹＡＧレーザーによって形成した（図１５の（ｂ）参照）後、さらにレーザー加工を行い、ＳｉＮの密着層を貫通孔内に形成した（図１５の（ｃ）参照）。

[0108] 次に、支持体からガラス基板を分離し、ガラス基板表面にＴｉ／Ｃｕスパ

ッタを行った後、無電解めっきを行い、ガラス基板表面と貫通孔壁面とにシード層を形成した（図１５の（ｄ）参照）。

[0109] 次に、得られたガラス基板の両面に日立化成株式会社製ドライフィルムレジスト　ＲＹ－３５２５（厚さ２５μｍ）をラミネートした後、フォトリソグラフィによって、開口部を形成し（図１５の（ｅ）参照）、電解銅めっきによって貫通電極と配線層とをめっきした（図１５の（ｆ）参照）。

[0110] 次に、レジストを除去し、エッチングによりシード層の一部を除去し（図１５の（ｇ）参照）、貫通電極と配線層とを有したガラス基板を用いたインターポーザを得た（図１５の（ｇ）参照）。

## 産業上の利用可能性

[0111] 本発明に係るインターポーザ、半導体装置、及びそれらの製造方法は、接続孔を通して層間接続構造が設けられる半導体装置またはその一部に利用できる。

## 符号の説明

[0112]

| | |
|---|---|
| １００、１０１、１０２、１０３ | インターポーザ |
| ２００、２０１、２０２、２０３ | インターポーザ |
| ３００、３０１、３０２、３０３ | 半導体装置 |
| １０ | 支持体つきガラス基板 |
| １１ | ガラス基板 |
| １２ | 金属つき支持体（支持基板） |
| １３ | 貫通孔 |
| １４ | シード層 |
| １５ | レジスト |
| １６ | 密着層 |
| ２０ | 貫通電極 |
| ２１ | めっき層 |
| ２２ | 埋込樹脂 |
| ２３ | 配線層 |

２５　導通ビア

３０　絶縁樹脂層

４０　はんだ

４１　接続パッド

４２　ランド

５０　半導体チップ

# 請求の範囲

[請求項1] 貫通孔を持つ基板と、

シード層を介して前記基板上に配置された１層以上の配線層と、

前記貫通孔の壁面に形成された、酸化物からなる絶縁体、樹脂からなる絶縁体、チタン、クロムのいずれかで構成される密着層と、

前記密着層上に形成される前記基板の両面側を導通可能な貫通電極とを含む、インターポーザ。

[請求項2] 前記配線層と前記貫通電極とを形成する導電性材料は、銅、銀、金、ニッケル、白金、パラジウム、ルテニウム、錫、錫銀、錫銀銅、錫銅、錫ビスマス、錫鉛、アルミニウムの少なくとも１つ、またはこれらの化合物の少なくとも１つ、またはこれらの金属粉と樹脂材料との混合物の少なくとも１つからなる、請求項１に記載のインターポーザ。

[請求項3] 前記密着層が酸化物からなる絶縁体、または樹脂からなる絶縁体で構成され、

前記密着層の抵抗率が、１×１０$^{16}$Ω・ｍより大きい、請求項１または２に記載のインターポーザ。

[請求項4] 前記貫通孔の内径は、最大径が１５μｍ以上１００μｍ以下であり、深さが５０μｍ以上７００μｍ以下である、請求項１～３のいずれかに記載のインターポーザ。

[請求項5] 前記基板は、厚みが５０μｍ以上７００μｍ以下のガラス基板である、請求項１～４のいずれかに記載のインターポーザ。

[請求項6] 請求項１～５のいずれかに記載のインターポーザに、半導体チップが固定された、半導体装置。

[請求項7] 基板を、表面が酸化物からなる絶縁体、樹脂からなる絶縁体、チタン、クロムのいずれかで修飾された支持基板に固定する工程と、

前記基板に貫通孔を形成する貫通孔形成工程と、

前記貫通孔側壁に、酸化物からなる絶縁体、樹脂からなる絶縁体、

チタン、クロムの前記いずれかで構成される密着層を形成する密着層形成工程と、

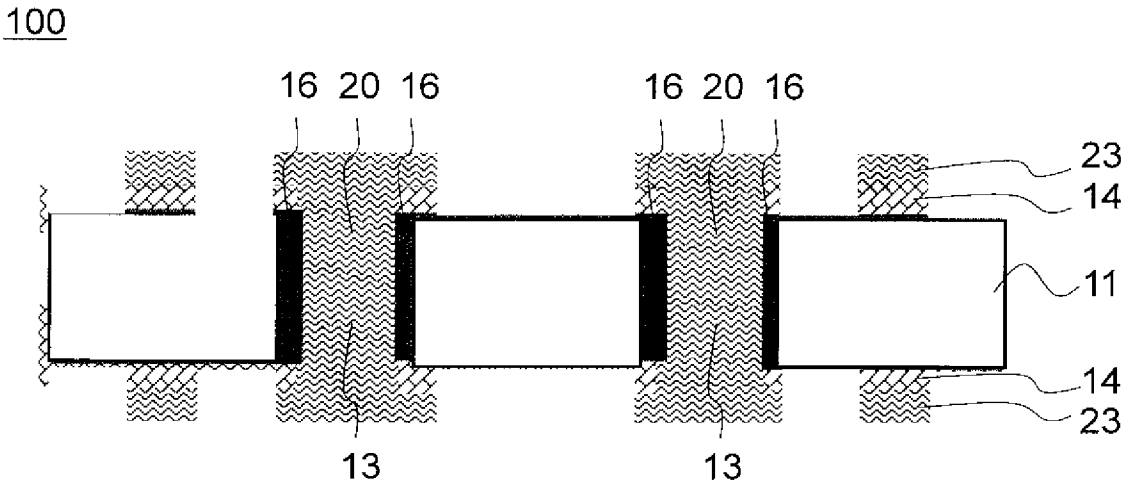
前記貫通孔に導電性材料を充填して前記基板の両面側を導通可能な貫通電極を形成する貫通電極形成工程と、

前記基板の表面上の導電層の一部を選択的に除去する導電層除去工程とを含む、インターポーザの製造方法。

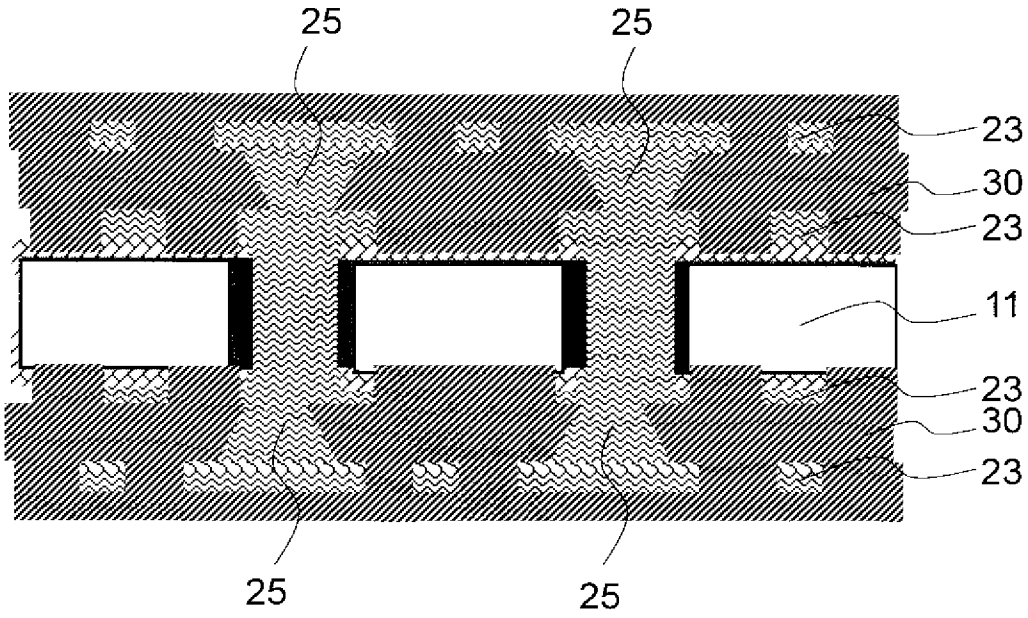
[請求項8] 前記基板としてガラス基板を使用する、請求項７に記載のインターポーザの製造方法。

[請求項9] 請求項７または８に記載のインターポーザの製造方法で製造したインターポーザに半導体チップを固定する工程を含む、半導体装置の製造方法。

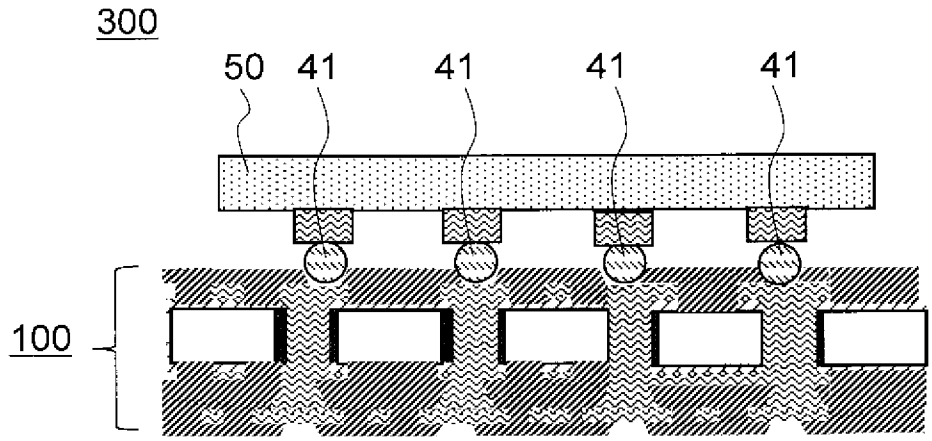
[図1]


100
16 20 16
16 20 16
23
14
11
14
23
13
13

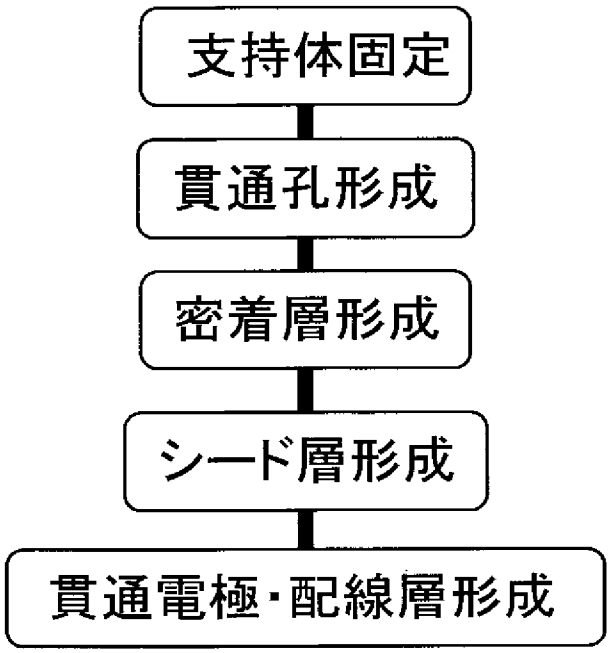
[図2]


200
25
25
23
30
23
11
23
30
23
25
25

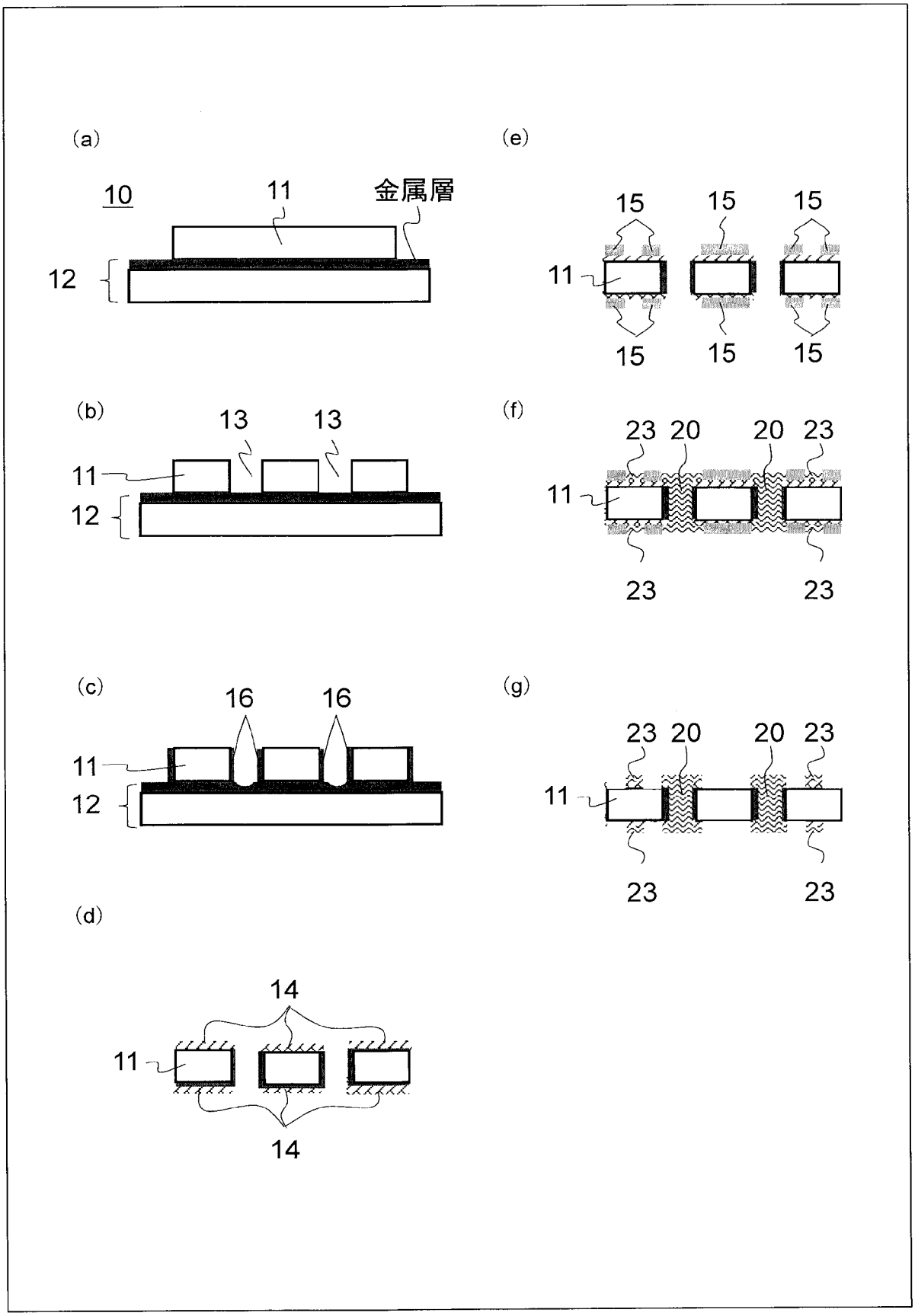
[図3]



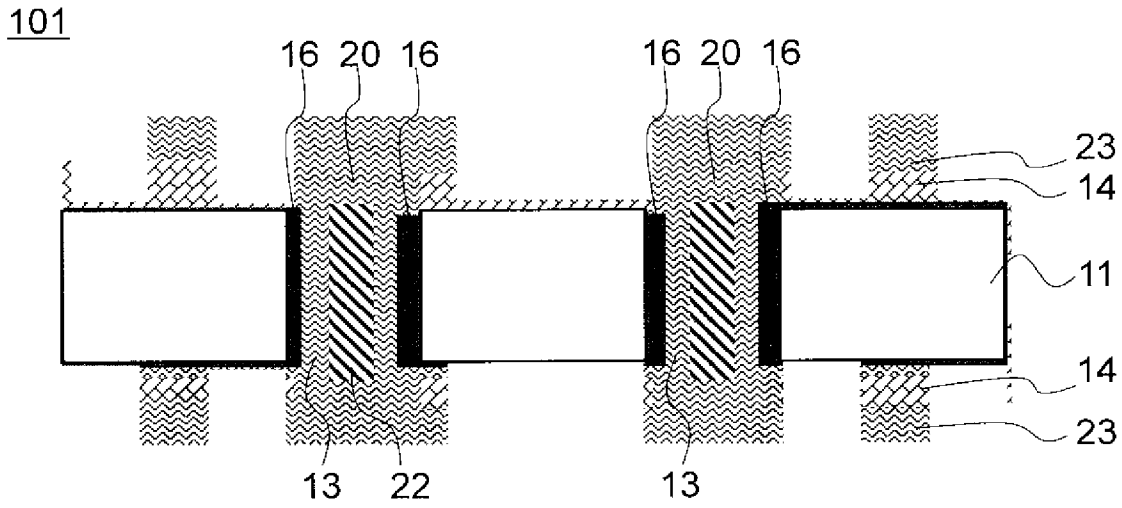

[図4]



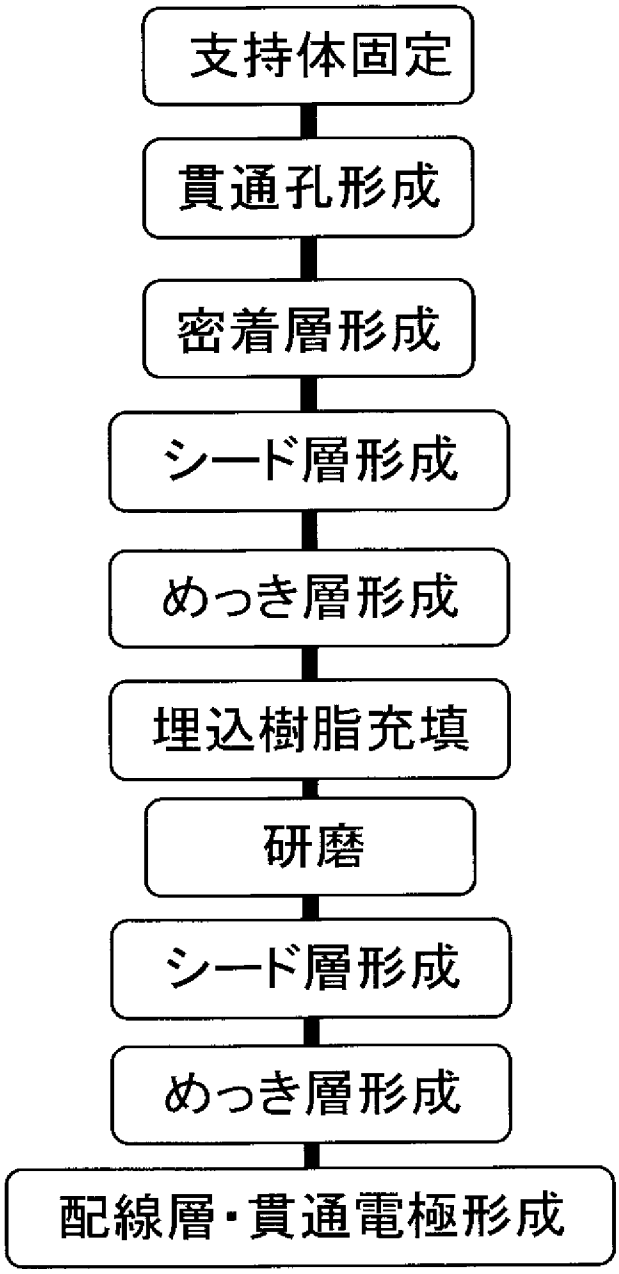
[図5]


(a)
10
11
金属層
12
(b)
13
13
11
12
(c)
16
16
11
12
(d)
14
11
14
(e)
15
15
15
11
15
15
15
(f)
23
20
20
23
11
23
23
(g)
23
20
20
23
11
23
23

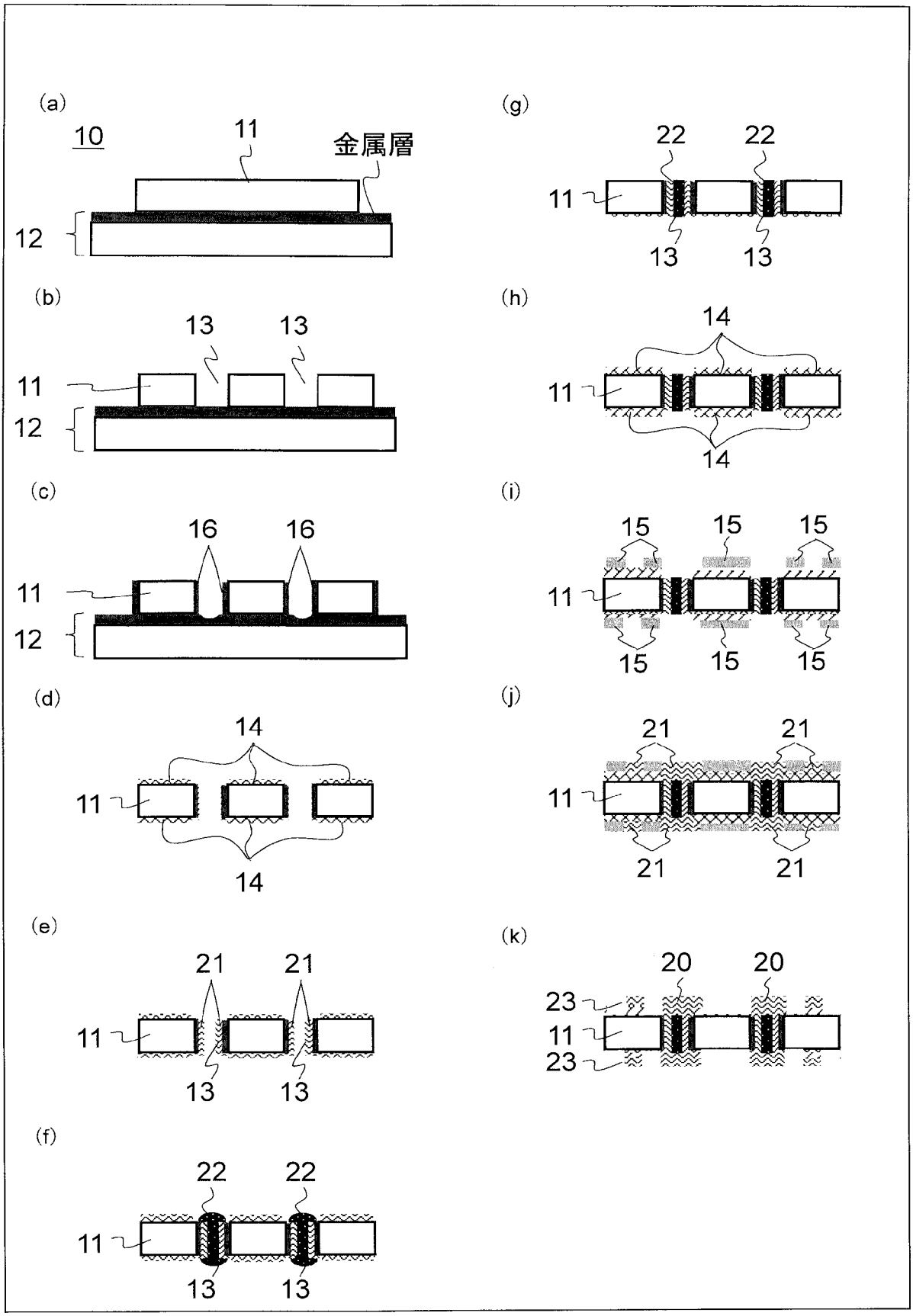
[図6]



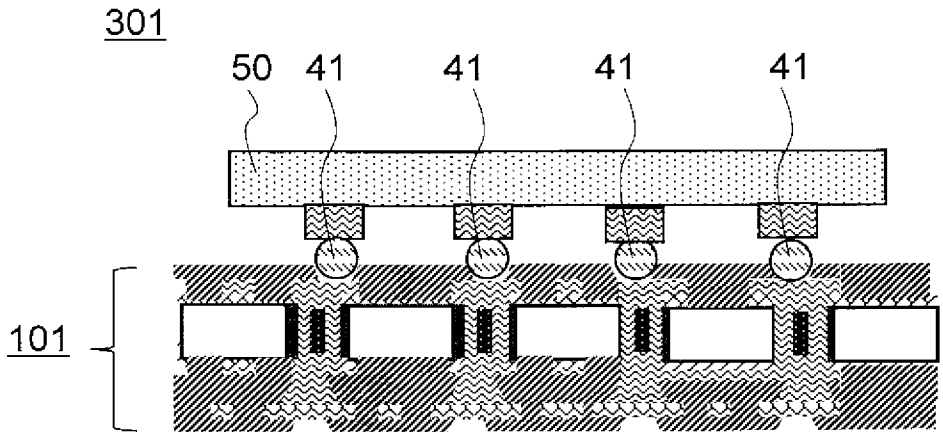
[図7]


支持体固定
貫通孔形成
密着層形成
シード層形成
めっき層形成
埋込樹脂充填
研磨
シード層形成
めっき層形成
配線層・貫通電極形成

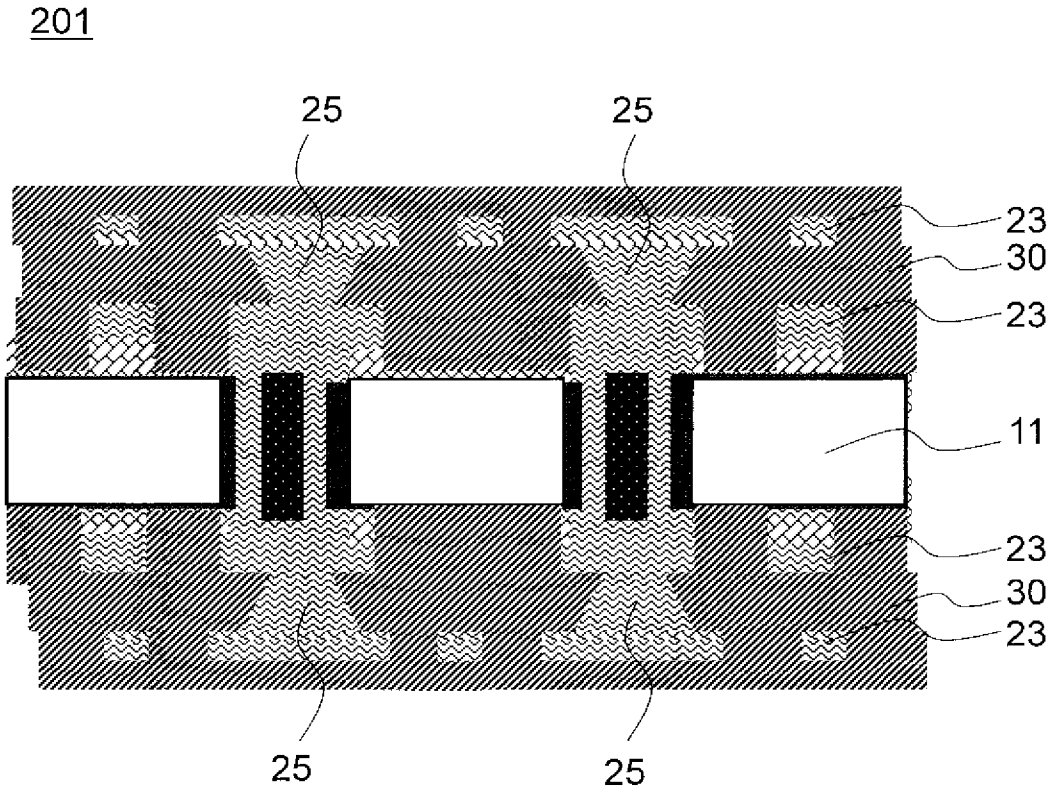
[図8]


(a)
10
11
金属層
12
(b)
13
13
11
12
(c)
16
16
11
12
(d)
14
11
14
(e)
21
21
11
13
13
(f)
22
22
11
13
13
(g)
22
22
11
13
13
(h)
14
11
14
(i)
15
15
15
11
15
15
15
(j)
21
21
11
21
21
(k)
20
20
23
11
23

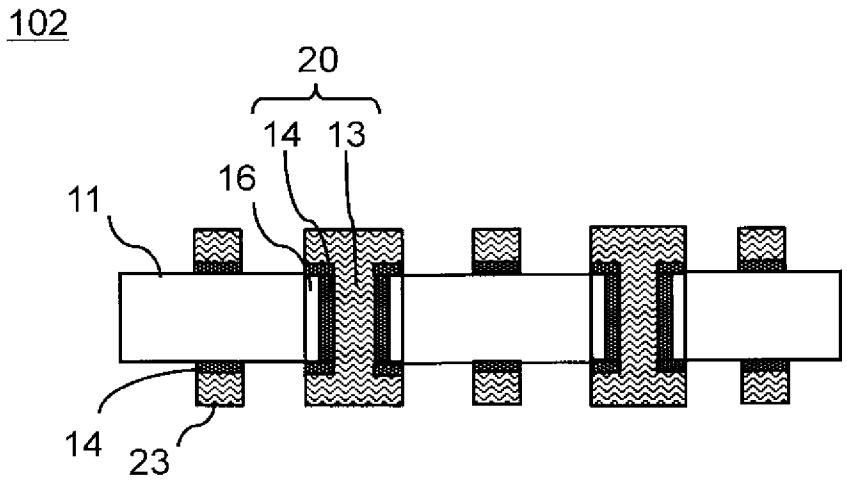
[図9]



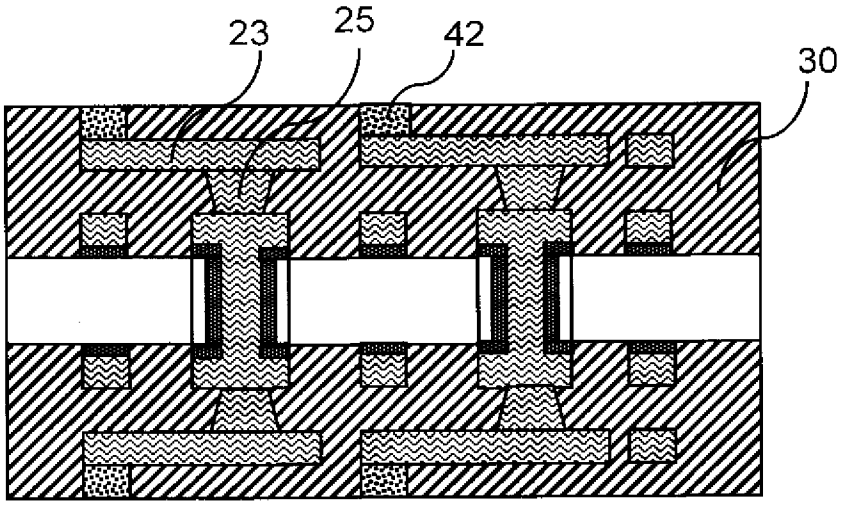

[図10]



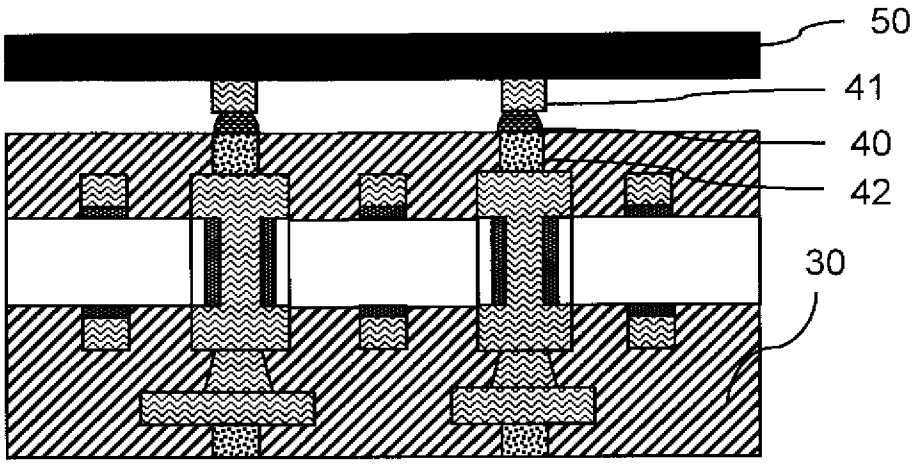
[図11]



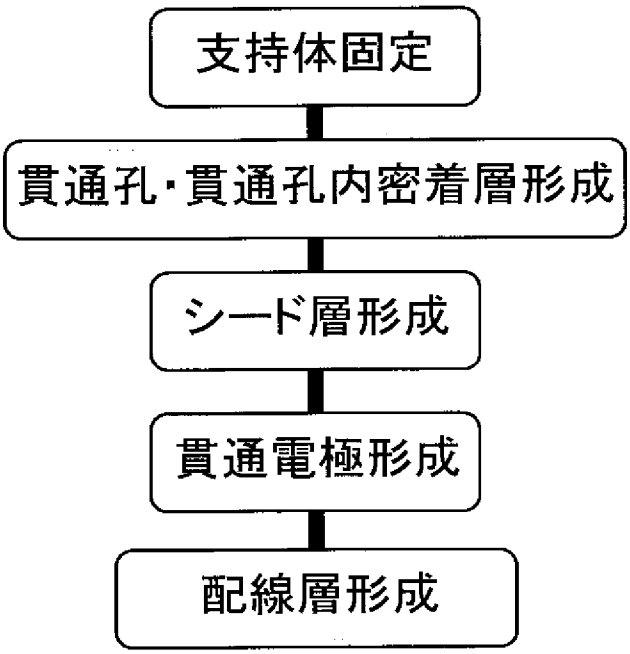

[図12]



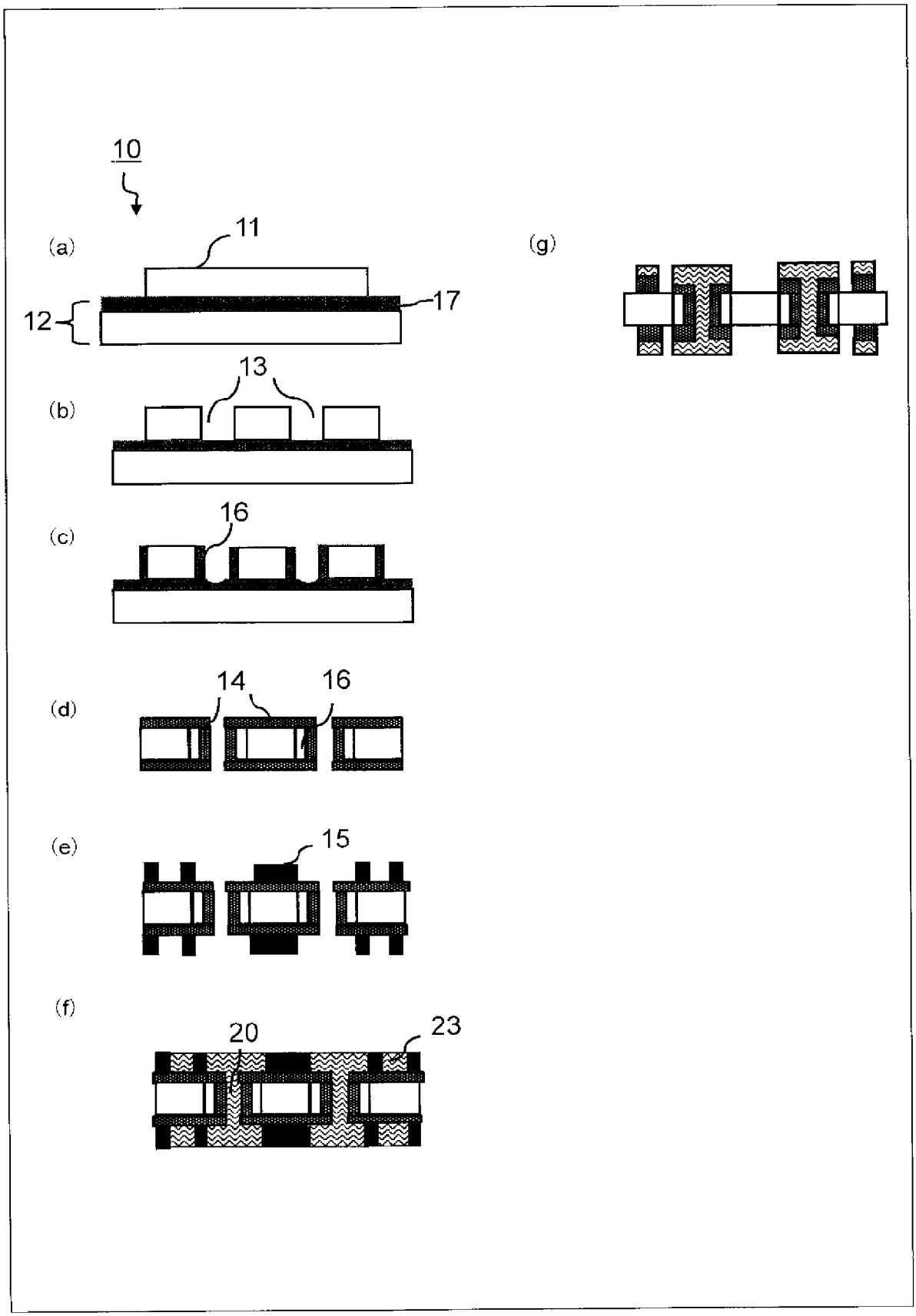

[図13]



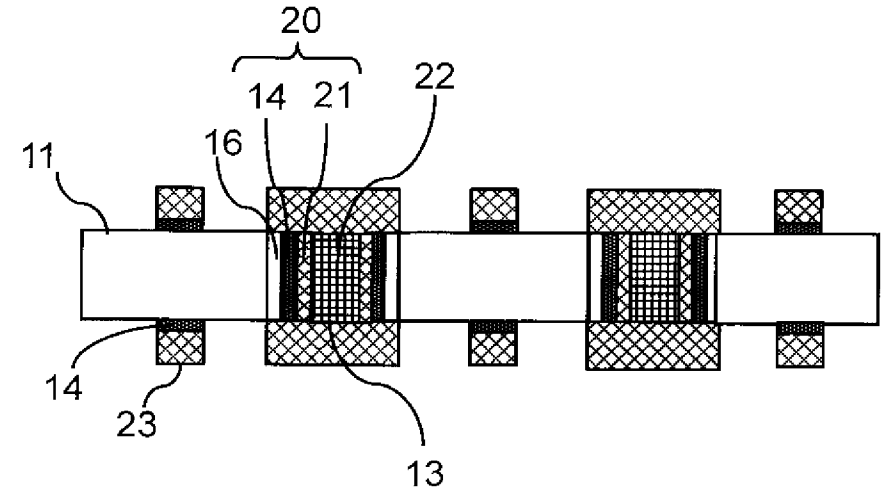
[図14]



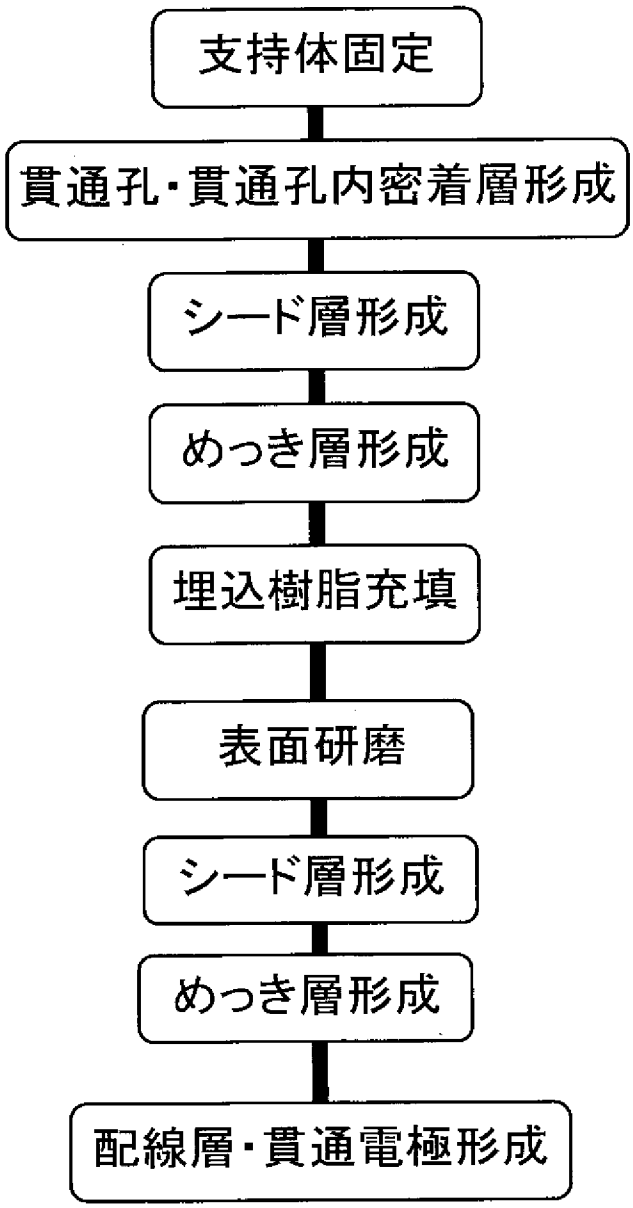
[図15]



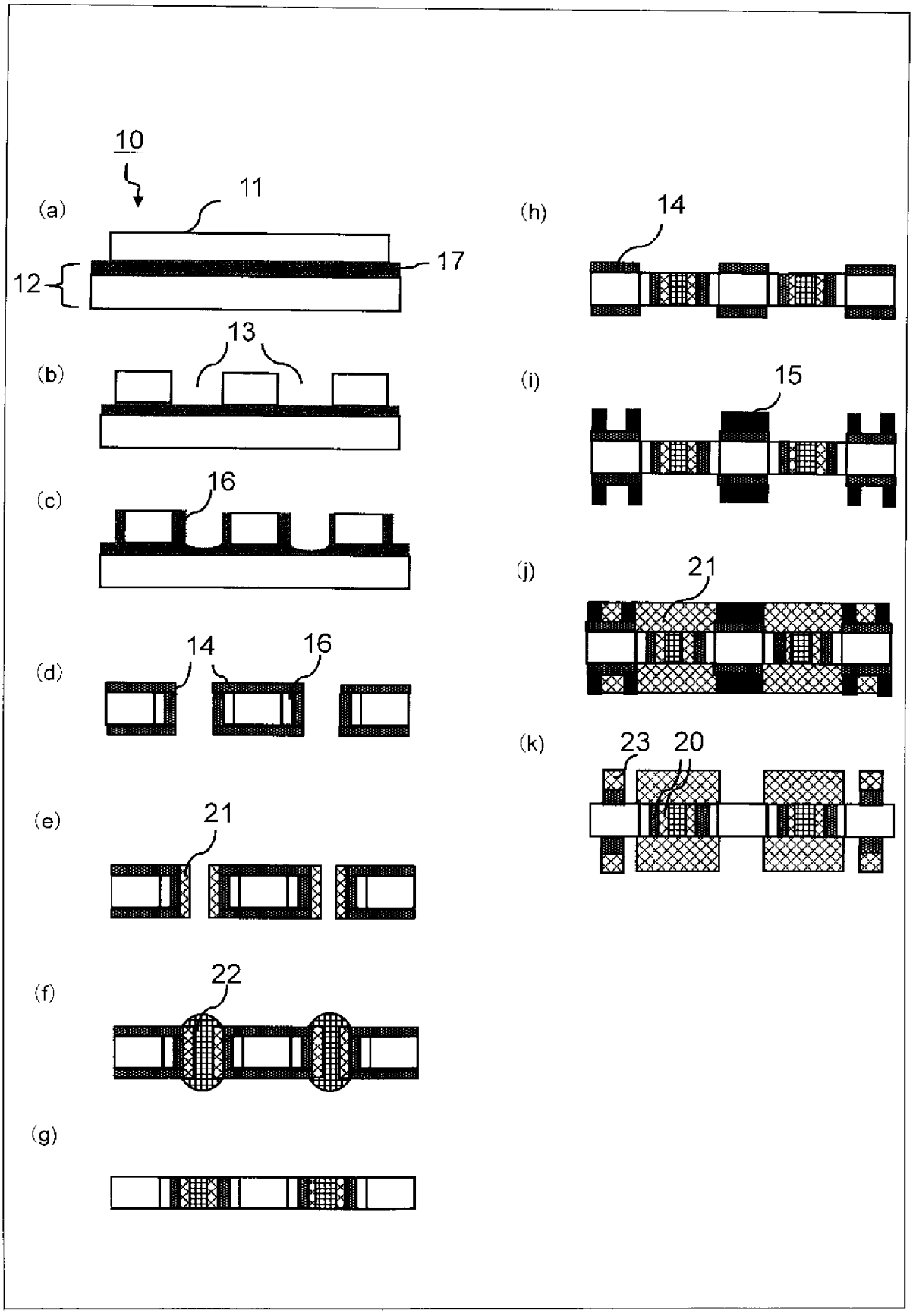
[図16]


103
20
14
21
22
16
11
14
23
13

[図17]

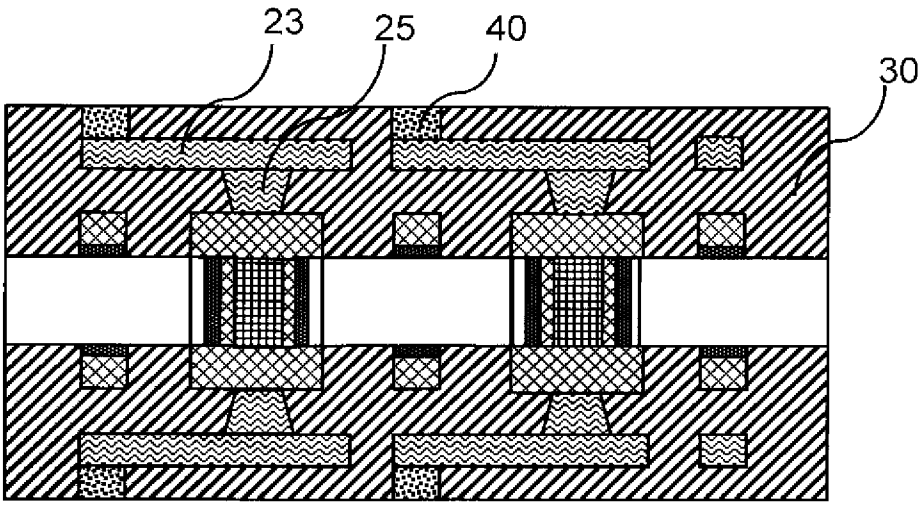

支持体固定
貫通孔・貫通孔内密着層形成
シード層形成
めっき層形成
埋込樹脂充填
表面研磨
シード層形成
めっき層形成
配線層・貫通電極形成

[図18]



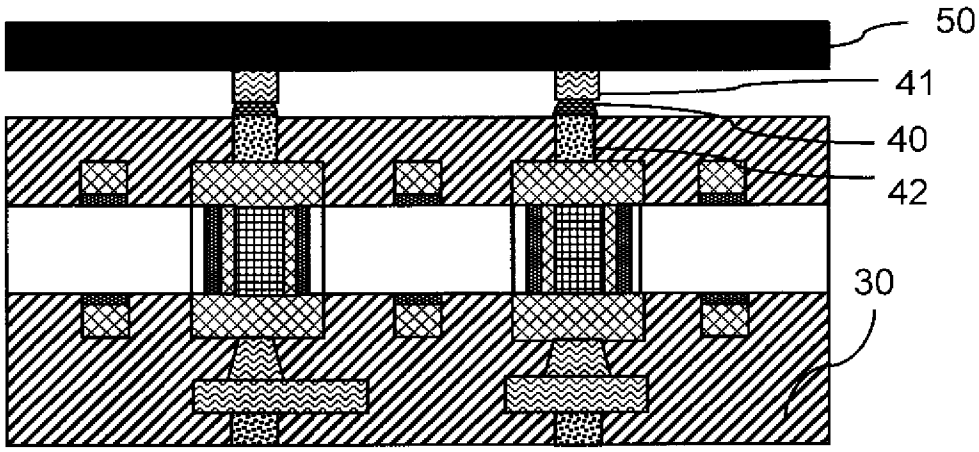
[図19]

203




[図20]

303



**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/000137

A. CLASSIFICATION OF SUBJECT MATTER
*H01L23/15*(2006.01)i, *H01L21/60*(2006.01)i, *H01L23/12*(2006.01)i, *H01L23/32*(2006.01)i, *H05K1/11*(2006.01)i, *H05K3/40*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/15, H01L21/60, H01L23/12, H01L23/32, H05K1/11, H05K3/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2012-74482 A (Sekisui Chemical Co., Ltd., National University Corporation Chiba University, Kabushiki Kaisha AGT), 12 April 2012 (12.04.2012), paragraphs [0024] to [0082]; fig. 3, 4 (Family: none) | 1-9 |
| Y | JP 2013-521663 A (Georgia Tech Research Corp.), 10 June 2013 (10.06.2013), paragraphs [0025], [0051], [0054]; fig. 1, 22, 24 & US 2013/0119555 A1 paragraphs [0045], [0074], [0077]; fig. 1, 22, 24 & WO 2011/109648 A1 & EP 2543065 A & CN 102947931 A & KR 10-2013-0038825 A | 1-9 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 16 March 2016 (16.03.16) | 05 April 2016 (05.04.16) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Authorized officer<br><br>Telephone No. |

Form PCT/ISA/210 (second sheet) (January 2015)

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/000137

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| P,X | JP 2015-95590 A (Dainippon Printing Co., Ltd.), 18 May 2015 (18.05.2015), paragraphs [0006] to [0091]; fig. 20, 21 (Family: none) | 1,2,4-6 |
| A | JP 2010-87230 A (Sanyo Electric Co., Ltd.), 15 April 2010 (15.04.2010), entire text & US 2009/0321119 A1 entire text | 1-9 |
| A | JP 2012-15209 A (Advantest Corp.), 19 January 2012 (19.01.2012), entire text (Family: none) | 1-9 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０００１３７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/15(2006.01)i, H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L23/32(2006.01)i, H05K1/11(2006.01)i, H05K3/40(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/15, H01L21/60, H01L23/12, H01L23/32, H05K1/11, H05K3/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０１６年
日本国実用新案登録公報　１９９６－２０１６年
日本国登録実用新案公報　１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2012-74482 A (積水化学工業株式会社, 国立大学法人 千葉大学, 株式会社ＡＧＴ) 2012.04.12, 段落[0024]-[0082], 図 3,4 (ファミリーなし) | 1-9 |
| Y | JP 2013-521663 A (ジョージア テック リサーチ コーポレイション) 2013.06.10, 段落[0025], [0051], [0054], 図 1, 22, 24 & US 2013/0119555 A1, 段落[0045], [0074], [0077], 図 1, 22, 24 & WO 2011/109648 A1 & EP 2543065 A & CN 102947931 A & KR 10-2013-0038825 A | 1-9 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １６．０３．２０１６ | ０５．０４．２０１６ |

| 国際調査機関の名称及びあて先 | 特許庁審査官（権限のある職員） | ５Ｄ | ４６９０ |
|---|---|---|---|
| 日本国特許庁（ＩＳＡ／ＪＰ）<br>郵便番号１００－８９１５<br>東京都千代田区霞が関三丁目４番３号 | 原田　貴志<br>電話番号　０３－３５８１－１１０１　内線　３５５１ | | |

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Ｐ，Ｘ | JP 2015-95590 A（大日本印刷株式会社）2015.05.18<br>段落[0006]-[0091],図 20,21（ファミリーなし） | 1,2,4-6 |
| Ａ | JP 2010-87230 A（三洋電機株式会社）2010.04.15，全文<br>& US 2009/0321119 A1,全文 | 1-9 |
| Ａ | JP 2012-15209 A（株式会社アドバンテスト）2012.01.19，全文<br>（ファミリーなし） | 1-9 |