

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 22 日(22.11.2012)



(10) 国際公開番号
WO 2012/157728 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09F 9/30* (2006.01)
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G09F 9/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062713
- (22) 国際出願日: 2012 年 5 月 17 日(17.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-111907 2011 年 5 月 18 日(18.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 塩見 誠(SH-IOMI, Makoto).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

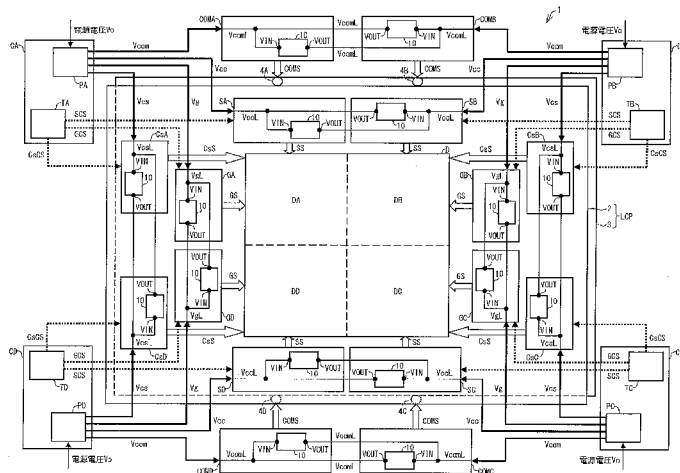
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

【図1】



Vo Power supply voltage

(57) Abstract: The present invention prevents an overcurrent from flowing between a plurality of driver substrates (GA to GD) due to operation of a plurality of power supply circuits (PA to PD) becoming unstable. A liquid crystal display device (1) is provided with the power supply circuits (PA to PD), and gate power supply lines (Vg_L) arranged on the respective G driver substrates (GA to GD) and connected to the respective power supply circuits (PA to PD). The power supply line (Vg_L) of the G driver substrate (GA) and the power supply line (Vg_L) of the G driver substrate (GD) are connected to each other through current limit circuits (10).

(57) 要約: 本願発明は、複数の電源回路 (PA~PD) の動作が不安定となることで、複数のドライバ基板 (GA~GD) 間に過電流が流れることを防止する。液晶表示装置 (1) は、電源回路 (PA~PD) と、Gドライバ基板 (GA~GD) のそれぞれに対して配されてそれぞれ電源回路 (PA~PD) と接続されているゲート電源線 (Vg_L) とを備えている。Gドライバ基板 (GA) の電源線 (Vg_L) と、Gドライバ基板 (GD) の電源線 (Vg_L) とは、電流制限回路 (10) を介して互いに接続されている。

イバ基板 (GA) の電源線 (Vg_L) と、Gドライバ基板 (GD) の電源線 (Vg_L) とは、電流制限回路 (10) を介して互いに接続されている。

WO 2012/157728 A1

明 細 書

発明の名称 : 表示装置

技術分野

[0001] 本発明は高精細な表示装置に関する。

背景技術

[0002] 近年、テレビ放送画像の高画質化や、P C（パーソナルコンピュータ）の高性能化が進んでいる。これに伴い、テレビやP Cのモニターとして用いられている表示装置も、過去から現在にかけて、順に、V G A（S D）→X G A→W X G A→F H D→2 K 4 K→4 K 8 Kといった高解像度化や、2 4 H z→3 0 H z→6 0 H zインターレース→6 0 H zプログレッシブ→1 2 0 H z（倍速）→2 4 0 H zといった高リフレッシュレート化が要求されてきている。

[0003] この要求を実現するために、表示パネルのアクティブマトリクス素子の高速化や、低容量配線技術など多くの技術が採用されているが、その中で特に有効である方式として、表示パネルのパネル配線を上下に分割し、分割した領域を個別に駆動する上下分割方式や、ソースライン反転駆動方式など、一つの表示画面を複数の領域に分割して、当該領域毎に駆動する分割駆動方式を挙げることができる。

[0004] また、特許文献1に記載されているように、表示装置を駆動するには、各種電圧が必要であり、この数種類の電圧を生成するために表示装置に電源回路を設ける必要がある。

先行技術文献

特許文献

[0005] 特許文献1 : W O 9 6 / 2 1 8 7 9 号（1 9 9 6 年 7 月 1 8 日国際公開）

発明の概要

発明が解決しようとする課題

[0006] 図9は、表示パネルを、複数のエリア毎に分割駆動する表示装置の構成例

を表すブロック図である。

- [0007] 表示装置 100 は、表示パネル 101 と、複数の駆動用基板 102 A・102 B・102 C・102 D と、複数の電源 103 A・103 B・103 C・103 D とを備えている。
- [0008] 表示パネル 101 は、一つの表示画面 104 と、複数のソースドライバ基板 105 A・105 B・105 C・105 D と、複数のゲートドライバ基板 106 A・106 B・106 C・106 D とを備えている。
- [0009] 表示画面 104 は、4 分割されたエリア 104 A・104 B・104 C・104 D からなる。そして、エリア 104 A・104 B・104 C・104 D のそれぞれの上下方向、左右方向に、それぞれ、ソースドライバ基板 105 A・105 B・105 C・105 D と、ゲートドライバ基板 106 A・106 B・106 C・106 D とが接続されている。
- [0010] つまり、エリア 104 A には、ソースドライバ基板 105 A 及びゲートドライバ基板 106 A が接続されている。エリア 104 B には、ソースドライバ基板 105 B 及びゲートドライバ基板 106 B が接続されている。エリア 104 C には、ソースドライバ基板 105 C 及びゲートドライバ基板 106 C が接続されている。エリア 104 D には、ソースドライバ基板 105 D 及びゲートドライバ基板 106 D が接続されている。
- [0011] そして、駆動用基板 102 A は、ソースドライバ基板 105 A、ゲートドライバ基板 106 A、及び電源 103 A と接続されている。駆動用基板 102 B は、ソースドライバ基板 105 B、ゲートドライバ基板 106 B、及び電源 103 B と接続されている。駆動用基板 102 C は、ソースドライバ基板 105 C、ゲートドライバ基板 106 C、及び電源 103 C と接続されている。駆動用基板 102 D は、ソースドライバ基板 105 D、ゲートドライバ基板 106 D、及び電源 103 D と接続されている。
- [0012] 駆動用基板 102 A・102 B・102 C・102 D は、それぞれ、電源 103 A・103 B・103 C・103 D のそれぞれから電源電圧の供給を受ける。

[0013] そして、各駆動用基板 102A・102B・102C・102Dは、それぞれと接続されているソースドライバ基板105A・ゲートドライバ基板106A、ソースドライバ基板105B・ゲートドライバ基板106B、ソースドライバ基板105C・ゲートドライバ基板106C、ソースドライバ基板105D・ゲートドライバ基板106Dに対して、エリア104A・104B・104C・104Dそれぞれの画像表示用の映像データ、階調電圧データ、対向電圧（VCOM）、CS電圧、ゲート電圧、LCD駆動タイミングデータなどの情報を供給する。

[0014] これにより、各ソースドライバ基板105A・ゲートドライバ基板106A、ソースドライバ基板105B・ゲートドライバ基板106B、ソースドライバ基板105C・ゲートドライバ基板106C、ソースドライバ基板105D・ゲートドライバ基板106Dは、それぞれ、エリア104A、エリア104B、エリア104C、エリア104Dを駆動させる。

[0015] しかし、このような分割駆動方式を、高解像度の表示パネルを有する表示装置に適用した場合、以下のように、各電源103A・103B・103C・103Dの駆動が不安定になった場合に課題が生じる。

[0016] 電源103A・103B・103C・103Dのそれぞれと接続されている各駆動用基板102A・102B・102C・102Dが出力する情報は、基本的に、以下の3つのグループ（P、Q、R）に分類することができる。

[0017] P：エリア固有の情報

映像データ，階調電圧データ

Q：エリア104A・104B・104C・104D間で協調が必要なデータ

LCD駆動タイミングデータ

R：エリア104A・104B・104C・104D間で同じであることが好ましいもの

VCOM電圧，CS電圧，ゲート電圧

ここで、Pグループに分類したデータであっても、映像処理が複雑になるにつれ（例えばFRCの適用、バックライト制御の連動など）、何らかの協調が必要となることもあるが、当該協調は、表示パネル101を駆動する上で絶対必要ということではない。

[0018] また、Qグループに分類したようなタイミングデータは、表示の大容量化に伴って信号を分割して伝達する必要が発生したときから、各駆動回路102A・102B・102C・102D間で同期のための機構を設ける必要があることは従来から知られており、各種同期のための工夫がなされてきた。

[0019] これに対し、Rグループに分類した情報は状況が異なっている。VCOM電圧やCS電圧は、本質的には、エリア104A・104B・104C・104D間で同一でなければならない。

[0020] なぜならば、これらの電圧変化は映像信号とは無関係に画素に印可される電圧を変化させるものであり、これらが本質的に同一でなければ、エリア104A・104B・104C・104D間の輝度別れ、グラデーション、ムラにつながるからである。つまり画像の表示品位が低下することとなる。

[0021] この課題に対する解決法として、従来から、以下の(i)または(ii)の方法がとられている。

[0022] 解決法(i)は、各エリア104A・104B・104C・104Dに接続されている基板間の電源を接続するラインを確保する方法である。低抵抗の接続ラインによって、少なくとも各基板間のVCOM電圧ライン、CS電圧ラインを接続し、表示パネル104周囲から同一電位で、各エリア104A・104B・104C・104Dに供給することによって、ムラを回避することができる。

[0023] 解決方法(ii)は、駆動タイミング、映像に関する処理は各エリアによって分割するが、電源は一つの回路のみを使用し、その電圧を各基板に供給するというものである。

[0024] 信号の伝送などは、規格で定められている帯域を超えることは難しいが、そもそも電源には明確な制限規格などはなく、従来は、より大容量の電源を

作成し、表示装置 100 に搭載することが比較的容易にできた。

[0025] 実際、現時点での市販品では、60 インチクラスの 4 K 2 K (3840 × 2160) の LCD などは、信号系は FHD 4 系統に分割されているが、電源系は 1 系統しか存在しないものもある。

[0026] しかし、この課題は、以下の (i) または (ii) の解決方法により解決されると考えられていたため、従来は深刻に取り上げられていなかった。

[0027] これは、以下のような単純な解決方法により解決することができると考えられていたからである。しかし、下記の単純な解決方法では、解決できていないことが分かった。

[0028] しかしながら、上述した解決方法 (i) は、実際には好ましくないことがわかった。電源に用いられるアナログ回路は、立ち上がりのタイミングを完全に一致させることは困難である。このため、複数の電源回路のうち、一方が先行して立ち上がると、まだ立ち上がっていない方の電源回路との間に短絡回路が生成され、大量の過電流が流れることになる。

[0029] この対策として、通常はタイマーなどを組み込んでデジタル制御回路を設ける方法を挙げることができる。このデジタル制御回路を設けることで、各電源が十分に立ち上がった後に、基板間の接続がなされるように配慮する。しかし、このデジタル制御回路の立ち上がり時間も一定ではない。さらに、電源回路の不安定さに影響されて、一部のデジタル制御回路がシャットダウンするなどの可能性があり、デジタル制御による電源管理は本質的な解決法になっていないことがわかった。

[0030] しかしながら、上述したように、上記課題は、従来は深刻視されてこなかった。これはは、上記解決方法 (ii) が効果的であったからである。

[0031] しかしながら、パネルサイズが 80 インチ、100 インチと巨大化し、表示容量が 4 K 2 K から 8 K 4 K のように大容量化すると、そこに必要な電源容量は格段に増大し、従来の LCD の設計ルールでは適切とされないレベルとなってきた。つまり、容量が大きい電源はそれだけ高価であり、コストが増大することとなる。また、設置面積も大きくなるため、電源設置用の基板

を新たに設ける必要が生じ、この点からもコストが増大することとなる。

[0032] すなわち、従来の設計技術を生かして効率的に電源系を設計製造するために、結局、電源も回路計に応じて、少なくとも2分割、好ましくは4分割する必要が生じる。

[0033] 本発明は、上記の課題を鑑みなされたものであって、その目的は、複数の電源回路の動作が不安点となることで、上記複数のドライバ基板間に過電流が流れることを防止することである。

課題を解決するための手段

[0034] 上記の課題を解決するために、本発明の表示装置は、第1及び第2の電源回路と、当該第1の電源回路と接続されている第1の電源線及び上記第2の電源回路と接続されている第2の電源線と、表示パネル駆動用の第1及び第2ドライバ基板とを備え、上記第1の電源線は上記第1のドライバ基板に接続されており、上記第2の電源線は上記第2のドライバ基板に接続されており、上記第1及び第2の電源線は、過電流の流出を制御する電流制限回路を介して接続されていることを特徴とする。

[0035] 上記構成によると、上記第1及び第2の電源線に電源電圧を供給する第1及び第2の電源回路を備えているので、第1及び第2の電源回路の一つの大きさを小さくすることができ、電源回路設計を簡略化することができる。

[0036] そして、上記第1及び第2の電源線は、過電流の流出を制御する電流制限回路を介して接続されているので、上記第1及び第2の電源線間に電位差が生じて、当該電位差を平滑化することができ、画像の表示品位が低下することを防止することができる。

[0037] さらに、上記第1及び第2の電源線間には、過電流の流出を制御する電流制限回路が配されているので、第1及び第2の電源回路の動作が不安定となり、互いに接続されている上記第1及び第2の電源線間の電位差が増大したとしても、上記第1及び第2の電源線間に過電流が流れることを防止することができる。

発明の効果

[0038] 複数のドライバ基板間に過電流が流れることを防止する効果を奏する。

図面の簡単な説明

[0039] [図1]本発明の実施の一形態に係る液晶表示装置の構成を表す図である。

[図2]上記液晶表示装置の電流制限回路の構成を表す回路図である。

[図3]上記電流制限回路の電流電圧特性を表すグラフである。

[図4]上記電流制限回路の第1の変形例の構成を表す回路図である。

[図5]上記電流制限回路の電流電圧特性を表すグラフである。

[図6]上記電流制限回路の第2の変形例の構成を表す回路図である。

[図7]上記電流制限回路の第3の変形例の構成を表す回路図である。

[図8]上記電流制限回路の第4の変形例の構成を表す回路図である。

[図9]表示装置の構成例を表すブロック図である。

[図10]液晶パネルの一部を示す回路図である。

[図11]液晶パネルの別部分を示す回路図である。

[図12]図10・11の液晶パネルの駆動方法を表すタイミングチャートである。

[図13]図12の駆動方法による画素極性の分布（図2の部分）を示す回路図である。

[図14]図12の駆動方法による画素極性の分布（図3の部分）を示す回路図である。

[図15]図12の駆動方法による明暗領域の分布（図2の部分）を示す回路図である。

[図16]図12の駆動方法による明暗領域の分布（図3の部分）を示す回路図である。

[図17]図10・11の液晶パネルの別駆動方法を表すタイミングチャートである。

発明を実施するための形態

[0040] 以下、本発明の実施の形態について、詳細に説明する。

[0041] （液晶表示装置1の構成）

図 1 は、本発明の実施の一形態に係る液晶表示装置 1 の構成を表す図である。

[0042] 本実施の形態にかかる液晶表示装置（表示装置）1 は、フルHD解像度の16倍の解像度（8K4K）を有する映像規格（例えば、横7680画素×縦4320画素の解像度を有するスーパーハイビジョン）に対応するものである。

[0043] 液晶表示装置1は、液晶パネルLCPと、4つの駆動基板（タイミングコントローラ基板）CA・CB・CC・CDと、4つの共通電極駆動基板COMA・COMB・COMC・COMDとを備えている。また、液晶表示装置1は、液晶パネルLCPを照明するための照明装置（不図示）、入力処理回路（不図示）、ピクセルマッピング回路（不図示）を備えている。

[0044] 駆動基板CAは、電源回路PA及びTCON（タイミングコントロール）部TAを備えている。駆動基板CBは、電源回路PB及びTCON部TBを備えている。駆動基板CCは、電源回路PC及びTCON部TCを備えている。駆動基板CDは、電源回路PD及びTCON部TDを備えている。

[0045] また、駆動基板CA・CB・CC・CDのそれぞれは、2つの映像処理回路（不図示）を備えている。また、TCON部TA・TB・TC・TDのそれぞれも2つのタイミングコントロール部からなる。

[0046] 共通電極駆動基板COMA・COMB・COMC・COMDは、それぞれ、過電流の流出防止回路である電流制限回路10を備えている。

[0047] 液晶パネルLCPは、アクティブ基板2と、液晶（不図示）を介してアクティブ基板2と対向配置されている対向基板3とを備えている。また、液晶パネルLCPは、表示領域Dと、4つのG（ゲート）ドライバ基板（第1～第4のドライバ基板）GA・GB・GC・GDと、4つのCs（補助容量）ドライバ基板（第1～第4のドライバ基板）CsA・CsB・CsC・CsDと、4つのS（ソース）ドライバ基板（第1～第4のドライバ基板）SA・SB・SC・SDとを備えている。

[0048] Gドライバ基板GA・GB・GC・GD、Csドライバ基板CsA・Cs

B・C s C・C s D、Sドライバ基板SA・SB・SC・SDのそれぞれは、電流制限回路10を備えている。

[0049] 表示領域Dは、複数の画素がマトリクス状に配された、画像表示用領域である。本実施の形態では、表示領域Dは、4K8Kの画像が表示可能な、高精細かつ大画面の画像表示用領域である。表示領域Dは、複数の液晶パネルから構成されているものではなく、一つの液晶パネルLCPから構成されているものである。これにより、表示パネル毎の特性バラツキを防止することができ、画像の表示品位劣化を防止することができる。

[0050] 表示領域Dは、個別に駆動制御がなされる複数の表示領域からなる。本実施の形態では、表示領域Dは、個別に分割駆動される4つの表示領域（第1～第4の分割領域）DA・DB・DC・DDからなる。ここでは、表示領域Dのうち、紙面左上を表示領域DA、右上を表示領域DB、右下を表示領域DC、左下を表示領域DDとする。

[0051] なお、本実施の形態では、表示領域Dは、上記のように、垂直方向に2分割、水平方向に2分割の合計4分割された表示領域DA～DDからなるものとして説明するが、これに限定されず、例えば、垂直方向に2分割された表示領域からなってもよい。これにより、一つの画像を、複数の表示領域により表示することができる。

[0052] 入力処理回路には、外部から映像信号が入力される。入力処理回路に入力される映像信号は、ブロックスキャンフォーマットの8K4K解像度を有する映像信号（例えば、スーパーハイビジョン）であってもよいし、マルチディスプレイフォーマットの8K4K解像度を有する映像信号であってもよい。もちろん、4K2K解像度を有する映像信号であってもよいし、2K1K解像度（フルHD解像度）を有する映像信号であってもよい。

[0053] ブロックスキャンフォーマットは、1フレーム（8K4K解像度を有する全体画像）をキメの粗い（フルHD解像度の）16枚の全体画像（いわゆる間引き画像）に分割して送信する方式である。この場合、入力処理回路に入力される16本の映像信号それぞれが、キメの粗い全体画像（フルHD解像

度)となっている。

[0054] マルチディスプレイフォーマットは、1フレーム(8K4K解像度を有する全体画像)をキメの細かさを変えることなく16分割し、16枚の部分画像に分割して送信する方式である。この場合、入力処理回路に入力される16本の映像信号それぞれが、キメの細かい部分画像(フルHD解像度)となっている。

[0055] 入力処理回路では、映像データの同期処理、 γ 補正処理、色温度補正処理、および色域変換処理等を行い、映像信号をピクセルマッピング回路に出力する。

[0056] ピクセルマッピング回路は、表示領域DAの左半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CAの映像処理回路に出力し、表示領域DAの右半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板の映像処理回路に出力し、表示領域DBの左半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CBの映像処理回路に出力し、表示領域DBの右半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CBの映像処理回路に出力し、表示領域DCの左半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CCの映像処理回路に出力し、表示領域DCの右半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CCの映像処理回路に出力し、表示領域DDの左半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CDの映像処理回路に出力し、表示領域DDの右半分に対応する映像信号(解像度2K2K)を、2本(フルHD解像度の映像信号)に分割して駆動基板CDの映像処理回路に出力する。

[0057] さらに、ピクセルマッピング回路は、駆動基板CAのTCON部TAに同期信号(垂直同期信号、水平同期信号、クロック信号、データイネーブル信

号、極性反転信号等)を出力し、これを受けたTC ON部TAは、この同期信号を、各駆動基板CA・CB・CC・CD間を接続する基板間共有線(不図示)に出力する。

[0058] 駆動基板CA・共通電極駆動基板COMA・Gドライバ基板GA・Csドライバ基板CsA・Sドライバ基板SAは表示領域DA駆動用のドライバ基板であり、駆動基板CB・共通電極駆動基板COMB・Gドライバ基板GB・Csドライバ基板CsB・Sドライバ基板SBは表示領域DB駆動用のドライバ基板であり、駆動基板CC・共通電極駆動基板COMC・Gドライバ基板GC・Csドライバ基板CsC・Sドライバ基板SCは表示領域DC駆動用のドライバ基板であり、駆動基板CD・共通電極駆動基板COMD・Gドライバ基板GD・Csドライバ基板CsD・Sドライバ基板SDは表示領域DD駆動用のドライバ基板である。

[0059] このように、液晶表示装置1は、4つの表示領域DA～DDのそれぞれと接続されている各ドライバ基板を備えている。これにより、表示領域DA～DDのそれぞれを個別に駆動制御することができる。

[0060] 電源回路(第1～第4の電源回路)PA・PB・PC・PDは、それぞれ、駆動基板(第1～第4の表示制御基板)CA・CB・CC・CDに搭載されている。電源回路PA・PB・PC・PDは、それぞれ、個別に商用電源と接続され、当該接続された商用電源から入力電源電圧VOが入力される。

[0061] そして、電源回路PA・PB・PC・PDは、入力電源電圧VOから、液晶表示装置1内の各回路の動作に必要な電圧を生成し、各回路に供給する。

[0062] すなわち、電源回路PA・PB・PC・PDは、それぞれ、共通電極駆動基板(第1～第4のドライバ基板)COMA・COMB・COMC・COMD駆動用の電圧Vcom、Gドライバ基板GA・GB・GC・GD駆動用の電圧Vg、Csドライバ基板CsA・CsB・CsC・CsD駆動用の電圧Vcs、Sドライバ基板SA・SB・SC・SD駆動用の電圧Vccを生成する。

[0063] そして、電源回路PA・PB・PC・PDは、電圧Vcomを、共通電極

駆動基板COMA・COMB・COMC・COMDの電源線VcomLに、それぞれ出力する。また、電源回路PA・PB・PC・PDは、電圧Vgを、Gドライバ基板GA・GB・GC・GDの電源線VgLに、それぞれ出力する。また、電源回路PA・PB・PC・PDは、電圧Vcsを、Csドライバ基板CsA・CsB・CsC・CsDの電源線VcsLに、それぞれ出力する。また、電源回路PA・PB・PC・PDは、電圧Vccを、Sドライバ基板SA・SB・SC・SDの電源線VccLに、それぞれ出力する。

[0064] 電源回路PA・PB・PC・PDは、表示領域DA～DDそれぞれと接続されたドライバ基板のうち、互いに異なる何れか一つのドライバ基板に対して電源電圧を供給する。すなわち、電源回路PAは表示領域DAと接続されたドライバ基板と接続され、当該ドライバ基板に電源電圧を供給する。電源回路PBは表示領域DBと接続されたドライバ基板と接続され、当該ドライバ基板に電源電圧を供給する。電源回路PCは表示領域DCと接続されたドライバ基板と接続され、当該ドライバ基板に電源電圧を供給する。電源回路PDは表示領域DDと接続されたドライバ基板と接続され、当該ドライバ基板に電源電圧を供給する。

[0065] これにより、一つの電源回路しか備えていない液晶表示装置と比べて電源回路の小型化を行うことができる。

[0066] なお、電源回路は必ずしも4つである必要はなく、表示領域DA～DDそれぞれ駆動用のドライバ基板のうち、2つのドライバ基板に対して電源電圧を供給する2つの電源回路（例えば、表示領域DA・DBに電源電圧を供給する電源回路と、表示領域DC・DDに電源電圧を供給する電源回路）からなってもよい。このように、少なくとも2つの電源回路を有することで、電源回路を小型化することができ、電源回路の設計を容易にすることができる。

[0067] TCON部TAは、ピクセルマッピング回路（不図示）から受けた同期信号を受けて映像処理回路（不図示）と協働し、映像信号に階調変換処理およびフレームレート変換（FRC）処理等の映像処理を行った後に、Sドライ

バ基板 S A に S 駆動信号 S C S を出力し、G ドライバ基板 G A に G 駆動信号 G C S を出力し、C s ドライバ基板 C s A には C s 駆動信号 C s C S を出力する。

[0068] T C O N 部 T B は、ピクセルマッピング回路（不図示）から受けた同期信号を受けて映像処理回路（不図示）と協働し、映像信号に階調変換処理およびフレームレート変換（F R C）処理等の映像処理を行った後に、S ドライバ基板 S B に S 駆動信号 S C S を出力し、G ドライバ基板 G B に G 駆動信号 G C S を出力し、C s ドライバ基板 C s B には C s 駆動信号 C s C S を出力する。

[0069] T C O N 部 T C は、ピクセルマッピング回路（不図示）から受けた同期信号を受けて映像処理回路（不図示）と協働し、映像信号に階調変換処理およびフレームレート変換（F R C）処理等の映像処理を行った後に、S ドライバ基板 S C に S 駆動信号 S C S を出力し、G ドライバ基板 G C に G 駆動信号 G C S を出力し、C s ドライバ基板 C s C には C s 駆動信号 C s C S を出力する。

[0070] T C O N 部 T D は、ピクセルマッピング回路（不図示）から受けた同期信号を受けて映像処理回路（不図示）と協働し、映像信号に階調変換処理およびフレームレート変換（F R C）処理等の映像処理を行った後に、S ドライバ基板 S D に S 駆動信号 S C S を出力し、G ドライバ基板 G D に G 駆動信号 G C S を出力し、C s ドライバ基板 C s D には C s 駆動信号 C s C S を出力する。

[0071] なお、S 駆動信号 S C S には、データ信号、データイネーブル信号（D E 信号）、ソーススタートパルス、およびソースクロックが含まれ、G 駆動信号 G C S には、イニシャル信号、ゲートスタートパルスおよびゲートクロックが含まれる。

[0072] ここで、上記階調変換処理には、高速表示処理（Q S 処理）やパネル上下分割駆動（以下に詳述）とデータ信号線の 1 V 反転駆動（以下に詳述）との組み合わせに対応するための、画素位置（列方向の位置）に応じた階調補正

処理が含まれていてもよい。

[0073] また、上記FRC処理では、各映像処理回路で、16本の映像信号のいずれか1つ（フルHD解像度である、キメの粗い全体画像）を用いて動きベクトルを求めるとともに、映像信号のうち対応する1つ（フルHD解像度である、キメの細かい部分画像）を用いて内挿用の部分画像（フルHD解像度）を生成してもよい。

[0074] また、映像信号の入力に、12ビット転送のHDMI（高精細マルチメディアインターフェース、登録商標）を用いると、DE信号（1920ライン分）が1クロック（1ライン分）前に伸びて1921ライン分となるエラーが生じうるため、DE信号の幅を監視して、1921ライン分となった場合には、1クロック遅らせてDE信号を立ち上げるエラー補正処理を行うことも可能である。

[0075] 駆動基板CA・CB・CC・CDは、基板間で各種信号をやり取りあるいは共有することで、互いの動作を同期させている。具体的には、マスターである駆動基板CAが、RDY（準備完了）信号をスレーブの駆動基板CBに送り、これを受けた駆動基板CBは、準備が完了し次第、RDY信号をスレーブの駆動基板CCに送り、これを受けた駆動基板CCは、準備が完了し次第、RDY信号をスレーブの駆動基板CDに送り、これを受けた駆動基板CDは、準備が完了し次第、RDY信号を駆動基板CAに返送する。

[0076] 駆動基板CAは、RDY信号が返送されたのを受けて、動作開始（SRST）信号を、基板間共有線（付図示）を介して駆動基板CA～CDに一斉送信する。動作開始（SRST）信号が送信された後には、駆動基板CA～CDのTCON部TAが、ピクセルマッピング回路から受けた上記同期信号を、基板間共有線を介して、駆動基板CA～CD（に含まれるTCON部TA～TD）に一斉送信する。

[0077] また、駆動基板CA～CDが動作中にいずれかの駆動基板に異常が発生した場合には、異常が発生した駆動基板から送信されたフェールセーフ信号が、他のすべての駆動基板で受信され、全ての駆動基板は瞬時に自走状態（黒

表示) モードとなる。これにより、映像破綻が回避される。

[0078] また、駆動基板C A～C Dそれぞれにおいて、各種駆動電源が個別に生成されており、同種（同電位・同位相）の駆動電源が供給される電源線は、電流制限回路10を介してドライバ基板間で接続されている。こうすれば、同種の駆動電源の調整を図りつつ、ドライバ基板間の立ち上がりタイミングのずれ等に起因して各ドライバ基板（Gドライバ基板G A～G D、C sドライバ基板C s A～C s D、Sドライバ基板S A～S D、共通電極駆動基板C O M A～C O M D）に過電流が流れることを防止することができる。

[0079] アクティブ基板2は、一枚のガラス基板上に、行方向（パネルの長辺に沿う方向）に延伸するゲート配線G a～G d、列方向に延伸する複数のソース配線S a～S d、行方向に延伸するC s（補助容量）配線C S a～C S d、および列方向に延伸するC S 幹配線M a～M hが設けられている。複数のソース配線S a～S dと、複数のゲート配線G a～G dとで区画されている領域が上記画素である。

[0080] また、アクティブ基板2には、画素内に、液晶の駆動用のT F T素子と、T F T素子と接続されている画素駆動用の画素電極が形成されている。

[0081] T F T素子は、ソース端子、ドレイン端子、ゲート端子を備えており、ソース端子はソース配線と接続されており、ドレイン端子は画素電極と接続されており、ゲート端子はゲート配線と接続されている。

[0082] 対向基板3は、一枚のガラス基板と、カラーフィルタと、上記画素電極と対向する共通電極と、共通電極と接続されている共通電極接続部4 A・4 B・4 C・4 Dを備えている。

[0083] 対向基板3の、アクティブ基板2が配されている側と逆側が、ユーザに視認させるための画像の表示面側である。

[0084] カラーフィルタは、上記ガラス基板のアクティブ基板2との対向面側に配されている。カラーフィルタは、例えば、赤色光、緑色光、青色光を透過するフィルタを有し、各画素内に、上記フィルタの何れかが配されている。

[0085] 共通電極は、表示領域D A・D B・D C・D Dのそれぞれの領域内に互い

に接続して配されており、それぞれ接続された共通電極接続部 4 A・4 B・4 C・4 D から、画素に共通電圧 V_{com} を出力するための信号が入力される。

[0086] 液晶パネル LCP は、1 つの画素列の上半分（パネルの上流側）に対応して 2 本のソース配線が設けられるとともに、この画素列の下半分（パネルの下流側）に対応して 2 本のソース配線が設けられた、いわゆる上下分割ダブルソース構造（1 画素列あたり 4 本のソース配線が設けられ、同時に 4 本のゲート配線を選択することが可能な構造）を有し、通常のパネル構造と比較して 4 倍の書き込み時間を確保することができ、超高精細表示や 4 倍速駆動等の高速駆動に好適な構造となっている。さらに、液晶パネル LCP は、1 つの画素に少なくとも 2 つの画素電極と 2 つのアクティブ素子を備えた、いわゆるマルチ画素方式であり、1 画素内に形成された明領域と暗領域とによって視野角特性を高めることが可能となっている。

[0087] 例えば、図 10・11 に示すように、パネルの上半分（上流側）に走査信号線 $G_a \cdot G_b$ および保持容量配線 $CS_a \cdot CS_b$ が設けられるとともに、パネルの下半分（下流側）に走査信号線 $G_c \cdot G_d$ および保持容量配線 $CS_c \cdot CS_d$ が設けられ、1 つの画素列 PL1 の上半分（上流側）に列方向に隣り合う 2 つの画素 $P_a \cdot P_b$ が含まれるとともに、画素列 PL1 の下半分（下流側）に列方向に隣り合う 2 つの画素 $P_c \cdot P_d$ が含まれ、画素列 PL1 の上半分（上流側）に対応してデータ信号線 $S_a \cdot S_b$ が設けられるとともに、画素列 PL1 の下半分（下流側）に対応してデータ信号線 $S_c \cdot S_d$ が設けられている。

[0088] そして、画素 P_a に含まれる 2 つの画素電極 17 A・17 a のうち画素電極 17 A に接続する TFT 12 A および画素電極 17 a に接続する TFT 12 a それぞれが、データ信号線 S_a と走査信号線 G_a とに接続され、画素電極 17 A が保持容量配線 CS_n と保持容量 CA を形成し、画素電極 17 a が保持容量配線 CS_a と保持容量 Ca を形成し、さらに、画素 P_b に含まれる 2 つの画素電極 17 B・17 b のうち画素電極 17 B に接続する TFT 12

Bおよび画素電極17bに接続するTF T12bそれぞれが、データ信号線Sbと走査信号線Gbとに接続され、画素電極17Bが保持容量配線CSaと保持容量CBを形成し、画素電極17bが保持容量配線CSbと保持容量Cbを形成し、さらに、画素Pcに含まれる2つの画素電極17C・17cのうち画素電極17Cに接続するTF T12Cおよび画素電極17cに接続するTF T12cそれぞれが、データ信号線Scと走査信号線Gcとに接続され、画素電極17Cが保持容量配線CSmと保持容量CCを形成し、画素電極17cが保持容量配線CScと保持容量Ccを形成し、さらに、画素Pdに含まれる2つの画素電極17D・17dのうち画素電極17Dに接続するTF T12Dおよび画素電極17dに接続するTF T12dそれぞれが、データ信号線Sdと走査信号線Gdとに接続され、画素電極17Dが保持容量配線CScと保持容量CDを形成し、画素電極17dが保持容量配線CScと保持容量Cdを形成しており、4本の走査信号線Ga～Gdは同時に選択される。

[0089] なお、画素列PL1では、左端にデータ信号線Sa・Scが列方向に並べて配されるとともに、右端にデータ信号線Sb・Sdが列方向に並べて配され、画素列PL1と隣り合う画素列PL2では、左端にデータ信号線SA・SCが列方向に並べて配されるとともに、右端にデータ信号線SB・SDが列方向に並べて配されている。

[0090] そして、画素列PL2では、画素電極Paと隣り合う画素に含まれる2つの画素電極は、別々のTF Tを介してデータ信号線SBに接続され、画素電極Pbと隣り合う画素に含まれる2つの画素電極は、別々のTF Tを介してデータ信号線SAに接続され、画素電極Pcと隣り合う画素に含まれる2つの画素電極は、別々のTF Tを介してデータ信号線SDに接続され、画素電極Pdと隣り合う画素に含まれる2つの画素電極は、別々のTF Tを介してデータ信号線SCに接続されている。

[0091] 上半分（第1領域）と下半分（第2領域）の境界近傍の構成は、図11のとおりである。すなわち、第1領域のボトムに位置する画素Pxに含まれる

2つの画素電極17X・17xのうち画素電極17Xに接続するTF T12 Xおよび画素電極17xに接続するTF T12 xそれぞれが、データ信号線S bと走査信号線G mとに接続され、画素電極17Xが保持容量配線C S iと保持容量を形成し、画素電極17xが保持容量配線C S mと保持容量を形成し、第2領域のトップに、上記画素P cが位置している。

[0092] なお、パネル上半分に設けられたデータ信号線の本数は、少なくとも7680（画素）×3（原色）×2（ダブルソース）=46080本であり、パネル上半分に設けられた走査信号線の本数は、少なくとも2160本であり、パネル上半分に設けられた保持容量配線の本数は、少なくとも2160本であり、パネル下半分に設けられたデータ信号線の本数は、少なくとも46080本であり、パネル下半分に設けられた走査信号線の本数は、少なくとも2160本であり、パネル下半分に設けられた保持容量配線の本数は、少なくとも2160本である。

[0093] C S 幹配線M a（第1 幹配線）およびC S 幹配線M bは、アクティブマトリクス基板の上半分が有する2つの短辺の一方に近接して設けられ、C S ドライバC D 1によってそれぞれが別位相となるように駆動される。C S 幹配線M c（第3 幹配線）およびC S 幹配線M dは、アクティブマトリクス基板の上半分が有する上記2つの短辺の他方に近接して設けられ、C S ドライバC D 2によってそれぞれが別位相となるように駆動される。C S 幹配線M e・C S 幹配線M f（第2 幹配線）は、アクティブマトリクス基板の下半分が有する2つの短辺の一方に近接して設けられ、C S ドライバC D 3によってそれぞれが別位相となるように駆動される。C S 幹配線M g・C S 幹配線M h（第4 幹配線）は、アクティブマトリクス基板の下半分が有する上記2つの短辺の他方に近接して設けられ、それぞれが別位相となるようにC S ドライバC D 4によって駆動される。そして、1本の保持容量配線は、その両側に配置された2本のC S 幹配線に接続され、これら2本のC S 幹配線からこの1本の保持容量配線に同一位相の変調（パルス）信号が供給される。こうすれば、保持容量配線のC R（時定数）に起因する信号鈍りのばらつき（行

方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0094] 例えば、保持容量配線CSaはCS幹配線Ma・Mcに接続され、保持容量配線CSbはCS幹配線Mb・Mdに接続され、保持容量配線CScはCS幹配線Me・Mgに接続され、保持容量配線CSDはCS幹配線Mf・Mhに接続されている。したがって、例えば、CS幹配線Ma・Mbの電位を逆位相となるように制御すると、保持容量配線CSa・CSbの電位も逆位相となり、画素Pbでは、2つの画素電極17B・17bのうち画素電極17Bが保持容量配線CSaと容量を形成し、画素電極17bが保持容量配線CSbと容量を形成していることから、画素電極17B・17bに同一の信号電位を書き込んだ後に、例えば、画素電極17Bの実効電位をセンター電位に近づく方向にシフトさせる一方、画素電極17bの実効電位をセンター電位から離れる方向にシフトさせる（これにより、1画素内に、画素電極17Bに対応する暗領域と画素電極17bに対応する明領域とを形成する）ことができる。

[0095] なお、1つのデータ信号線の供給されるデータ信号の極性は1垂直走査期間（1V）ごとに反転し、同一垂直走査期間では、1画素列に対応しても設けられる2つのデータ信号線の一方と他方とに供給されるデータ信号の極性が逆極性となっている。こうすれば、各データ信号線を1V反転としながら（すなわち、極性反転周期を長くして消費電力を低減しながら）、画面内の画素の極性分布をドット反転とする（これにより、TFTがOFFしたときに生じる引き込み電圧に起因するフリッカを抑制する）ことができる。

[0096] 液晶パネルの図10・11に示す部分の駆動方法を、図12のタイミングチャートおよび図13～図16の模式図に示す。なお、図12に示すように、データ信号線Sa・SA・Sc・SCには、1垂直走査期間中、プラスのデータ信号電位を供給し、データ信号線Sb・SB・Sd・SDには、1垂直走査期間中、マイナスのデータ信号電位を供給する。

[0097] 時刻t0で走査信号線Ga・Gbの同時走査が始まり、t0から1H（垂

直走査期間)後の時刻 t_1 で走査信号線 $G_a \sim G_d$ の同時走査が終了する。これにより、画素電極 $17A \cdot 17a$ にはプラスのデータ信号電位が書き込まれ、画素電極 $17C \cdot 17c$ にはプラスのデータ信号電位が書き込まれ、画素電極 $17B \cdot 17b$ にはマイナスのデータ信号電位が書き込まれ、画素電極 $17D \cdot 17d$ にはマイナスのデータ信号電位が書き込まれる。

[0098] t_1 から $1H$ 後の t_2 では、 CS 幹配線 Mb から送られる変調信号によって、保持容量配線 CS_n の電位が L (Low) 側にシフトし、これに伴って、画素電極 $17A$ の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも低下する (暗領域となる)。また、 t_2 では、 CS ドライバ $CD1 \cdot CD2$ から CS 幹配線 $Ma \cdot Mc$ を介して送られる変調信号によって、保持容量配線 CS_a の電位が H ($High$) 側にシフトし、これに伴って、画素電極 $17a$ の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも上昇する (明領域となる)。また、 t_2 では、(保持容量配線 CS_a の電位が H 側にシフトするため)、画素電極 $17B$ の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (-) よりも上昇する (暗領域となる)。

[0099] さらに、 t_2 では、 CS 幹配線 Md から送られる変調信号によって、保持容量配線 CS_m の電位が L (Low) 側にシフトし、これに伴って、画素電極 $17C$ の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも低下する (暗領域となる)。また、 t_2 では、 CS ドライバ $CD3 \cdot CD4$ から CS 幹配線 $Me \cdot Mg$ を介して送られる変調信号によって、保持容量配線 CS_c の電位が H ($High$) 側にシフトし、これに伴って、画素電極 $17c$ の電位は突き上がり、次の走査までの実効電位は、書き込まれたデータ信号電位 (+) よりも上昇する (明領域となる)。

[0100] さらに、 t_2 では、 CS ドライバ $CD1 \cdot CD2$ から CS 幹配線 $Mb \cdot Md$ を介して送られる変調信号によって、保持容量配線 CS_b の電位が L 側にシフトし、これに伴って、画素電極 $17b$ の電位は突き下がり、次の走査ま

での実効電位は、書き込まれたデータ信号電位（－）よりも低下する（明領域となる）。

[0101] そして、第1領域のボトムに位置する画素 P_x の走査が時刻 t_3 で終了すると、画素電極 $17X \cdot 17x$ にはマイナスのデータ信号電位が書き込まれる。さらに、 t_3 では、CS幹配線Mdから送られる変調信号によって、保持容量配線CSmの電位がL（Low）側にシフトするため、画素電極 $17x$ の電位は突き下がり、次の走査までの実効電位は、書き込まれたデータ信号電位（－）よりも低下する（明領域となる）。

なお、前述のように、各データ信号線に供給されるデータ信号の極性は1垂直走査期間（1V）ごとに反転するため、各CS変調信号もこれに追随して1垂直走査期間（1V）ごとに位相が反転する。これにより各画素の明領域及び暗領域が継続的に維持される。

上述のように、CS幹配線は上半分（第1領域）と下半分（第2領域）で分割されているため、上半分（第1領域）と下半分（第2領域）の境界近傍において、第2領域に属する保持容量配線CSmは、第1領域のCS信号の変調タイミングに制約されることなく変調駆動することが可能である。

[0102] このように、第1および第2領域でCS幹配線を分割し、それぞれを別駆動とすることで、第1および第2領域の境界近傍の表示を調整（補正）することが可能となる。

[0103] なお、同時に選択される4本の走査信号線Ga～Gdについて、走査信号線Gaがパネルの上側長辺から数えてnライン目で走査信号線Gbがn+1ライン目とすると（図10～図17では $n=0$ として説明している）、走査信号線Gcは、この上側長辺から数えて $n+2160$ ライン目で走査信号線Gdが $n+2161$ ライン目となっており、パネル上半分に設けられた走査信号線Gaに第Nフレームのnライン目のデータ信号が書き込まれるとすると、パネル下半分に設けられた走査信号線Gcには、1つ前のフレームである第N-1フレームの $n+2160$ ライン目のデータ信号が書き込まれる。こうすることで、パネル上下での表示ずれ感が抑制される。

[0104] なお、図12では、第1領域のトップ（1および2番目）に位置する走査信号線G a・G bと、第2領域のトップ（1および2番目）に位置する走査信号線G c・G dとを同時走査しているがこれに限定されない。図17に示すように、第2領域のトップ（1および2番目）に位置する走査信号線G c・G dを、第1領域のトップに位置する走査信号線G a・G bから一定期間遅らせて走査してもよい。このとき、各CSの信号が垂直（ゲート）走査に連動して変調している場合においては、第2領域のCSの変調信号も第1領域のCSのそれに対して一定期間遅れて駆動されることになる。このように、第2領域の走査開始を第1領域のそれよりもnH（nは自然数）分だけ遅らせることで、第1および第2領域の境界近傍のCS変調信号を調整し、表示を調整（補正）することも可能である。

[0105] また、1つのソース配線の供給されるデータ信号の極性は1垂直走査期間（1V）ごとに反転し、同一垂直走査期間では、隣り合う2つのソース配線の一方と他方とに供給されるデータ信号の極性が逆極性となっている。こうすれば、各ソース配線を1V反転としながら（すなわち、極性反転周期を長くして消費電力を低減しながら）、画面内の画素の極性分布をドット反転とする（これにより、TFTがOFFしたときに生じる引き込み電圧に起因するフリッカを抑制する）ことができる。

[0106] 図1に戻って、Gドライバ基板GA・GB・GC・GDと、Csドライバ基板CsA・CsB・CsC・CsDと、Sドライバ基板SA・SB・SC・SDとは、アクティブ基板2に配されている。

[0107] Gドライバ基板GA・GB・GC・GDは、それぞれ、電源線VgLと、電流制限回路10と、図示しないゲートドライバチップとを備えている。

[0108] Gドライバ基板GAは、液晶パネルLCPの上半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップ（不図示）を含む。Gドライバ基板GBは、液晶パネルLCPの上半分が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップ（不図示）を含む。また、Gドライバ基板GCは、液晶パネルLCPの

下半分が有する２つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップ（不図示）を含む。Ｇドライバ基板ＧＤは、液晶パネルＬＣＰの下半分が有する上記２つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップ（不図示）を含む。

[0109] そして、パネル上半分（表示領域ＤＡ・ＤＢ）に設けられた各ゲート配線はＧドライバ基板ＧＡ・ＧＢによって駆動され、パネル下半分（表示領域ＤＣ・ＤＤ）に設けられた各ゲート配線はＧドライバ基板ＧＣ・ＧＤによって駆動される。すなわち、１本のゲート配線がその両側に配置された２つのＧドライバ基板に接続され、これら２つのＧドライバ基板からこの１つのゲート配線に同一位相の走査（パルス）信号が供給される。こうすれば、ゲート配線のＣＲ（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0110] Ｇドライバ基板ＧＡ・ＧＢ・ＧＣ・ＧＤのそれぞれに配されている電源線ＶｇＬは、それぞれに配されている電流制限回路１０及び複数のゲートドライバチップ（不図示）と接続されている。

[0111] Ｇドライバ基板ＧＡに配されている電源線（第１の電源線）ＶｇＬと、Ｇドライバ基板ＧＤに配されている電源線（第２の電源線）ＶｇＬとは、互いに並列に配されている電流制限回路１０を介して接続されている。

[0112] すなわち、Ｇドライバ基板ＧＡに配されている電源線ＶｇＬは、電源回路ＰＡからの入力電圧Ｖｇが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Ｇドライバ基板ＧＡに配されている電流制限回路１０の入力用の端子部ＶＩＮと接続されており、分岐している他方の端部はＧドライバ基板ＧＤに配されている電流制限回路１０の出力用の端子部ＶＯＵＴと接続されている。

[0113] また、Ｇドライバ基板ＧＤに配されている電源線ＶｇＬは、電源回路ＰＤからの入力電圧Ｖｇが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Ｇドライバ基板ＧＤに配されている電流制限回路１０の入力用の端子部ＶＩＮと接続されており、分岐してい

る他方の端部はGドライバ基板GAに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0114] 同様に、Gドライバ基板（第1の電源線）GBに配されている電源線VgLと、Gドライバ基板GCに配されている電源線（第1の電源線）VgLとは、互いに並列に配されている電流制限回路10を介して接続されている。

[0115] すなわち、Gドライバ基板GBに配されている電源線VgLは、電源回路PBからの入力電圧Vgが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Gドライバ基板GBに配されている電流制限回路10の入力用の端子部VINと接続されており、分岐している他方の端部はGドライバ基板GCに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0116] また、Gドライバ基板GCに配されている電源線VgLは、電源回路PCからの入力電圧Vgが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Gドライバ基板GCに配されている電流制限回路10の入力用の端子部VINと接続されており、分岐している他方の端部はGドライバ基板GBに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0117] Gドライバ基板GA・GB・GC・GDのそれぞれに配されている電源線VgLは、電源回路PA・PB・PC・PDのそれぞれから電圧Vgが入力されることで、それぞれ電圧Vgに保持されている。

[0118] そして、Gドライバ基板GA・GB・GC・GDのそれぞれに、TCON部TA・TB・TC・TDからG駆動信号GCSが入力されると、Gドライバ基板GA・GB・GC・GDのそれぞれに配されている図示しないゲートドライバチップは、各ゲート配線と接続されているTFE素子をオン状態にさせるための走査信号GSを生成する。

[0119] そして、Gドライバ基板GA・GB・GC・GDは、それぞれ、表示領域DA・DB・DC・DDに配されているゲート配線を、画面の上から下、又は下から上に向かって線順次走査することで、生成した走査信号GSを出力

する。

[0120] 電流制限回路 10 は、端子部 V I N から入力されてきた過電流を検出し、当該検出した過電流を出力用の端子部 V O U T から出力されることを防止するための回路である。

[0121] すなわち、G ドライバ基板 G A に配されている電流制限回路（第 1 の電流制限回路）10 は、電源線 V g L を介して接続されている G ドライバ基板 G D への過電流の出力を防止し、G ドライバ基板 G D に配されている電流制限回路（第 2 の電流制限回路）10 は、電源線 V g L を介して接続されている G ドライバ基板 G A への過電流の出力を防止する。

[0122] また、G ドライバ基板（第 1 の電流制限回路）G B に配されている電流制限回路 10 は、電源線 V g L を介して接続されている G ドライバ基板 G C への過電流の出力を防止し、G ドライバ基板 G C に配されている電流制限回路（第 2 の電流制限回路）10 は、電源線 V g L を介して接続されている G ドライバ基板 G B への過電流の出力を防止する。

[0123] このように、G ドライバ基板 G A は、ゲート配線 G a ・ G b の一方の端部と接続されており、ゲート配線 G a ・ G b に走査信号 G S を出力することで、ゲート配線 G a ・ G b にゲート電圧を出力するゲート配線用ドライバ基板である。G ドライバ基板 G D は、ゲート配線 G c ・ G d の一方の端部と接続されており、ゲート配線 G c ・ G d に走査信号 G S を出力することで、ゲート配線 G c ・ G d にゲート電圧を出力するゲート配線用ドライバ基板である。

[0124] そして、G ドライバ基板 G A ・ G D の電源線 V g L は、互いに接続されているので、G ドライバ基板 G A の電源線 V g L と、G ドライバ基板 G D の電源線 V g L との間に電位差が生じることを防止し、ゲート配線 G a ・ G b ・ G c ・ G d の破損を防止することができる。

[0125] さらに、G ドライバ基板 G A ・ G D の電源線 V g L 間には、電流制限回路 10 が配されているので、電源回路 P A ・ P B の動作不安定による過電流の流入を防止することができる。

- [0126] 同様に、Gドライバ基板GBは、ゲート配線Ga・Gbの他方の端部と接続されており、ゲート配線Ga・Gbに走査信号GSを出力することで、ゲート配線Ga・Gbにゲート電圧を出力するゲート配線用ドライバ基板である。Gドライバ基板GCは、ゲート配線Gc・Gdの他方の端部と接続されており、ゲート配線Gc・Gdに走査信号GSを出力することで、ゲート配線Gc・Gdにゲート電圧を出力するゲート配線用ドライバ基板である。
- [0127] そして、Gドライバ基板GB・GCの電源線VgLは、互いに接続されているので、Gドライバ基板GBの電源線VgLと、Gドライバ基板GCの電源線VgLとの間に電位差が生じることを防止し、ゲート配線Ga・Gb・Gc・Gdの破損を防止することができる。
- [0128] さらに、Gドライバ基板GB・GCの電源線VgL間には、電流制限回路10が配されているので、電源回路PB・PCの動作不安定による過電流の流入を防止することができる。
- [0129] Sドライバ基板SA・SB・SC・SDは、それぞれ、電源線VccLと、電流制限回路10と、図示しない複数のソースドライバチップとを備えている。
- [0130] Sドライバ基板SAと、Sドライバ基板SBとは並置されており、Sドライバ基板SCと、Sドライバ基板SDとは並置されている。
- [0131] Sドライバ基板SAは、液晶パネルLCPの上半分が有する1つの長辺の左側（表示領域DA）に沿って設けられ、Sドライバ基板SBは、液晶パネルLCPの上半分が有する1つの長辺の右側（表示領域DB）に沿って設けられ、Sドライバ基板SCは、液晶パネルLCPの下半分が有する1つの長辺の右側（表示領域DC）に沿って設けられ、Sドライバ基板SDは、液晶パネルLCPの下半分が有する1つの長辺の左側（表示領域DD）に沿って設けられている。
- [0132] そして、表示領域DAに設けられた各ソース配線はSドライバ基板SAによって駆動され、表示領域DBに設けられた各ソース配線はSドライバ基板SBによって駆動され、表示領域DCに設けられた各ソース配線はSドライ

バ基板 S C によって駆動され、表示領域 D D に設けられた各ソース配線は S ドライバ基板 S D によって駆動される。

[0133] なお、スペースの関係でソースドライバチップをパネル長辺に沿って並べることができない場合は、スペースの余裕のあるパネル短辺側に並べる（ソースドライバチップとゲートドライバチップとを列方に並べる）こともできる。この場合、ソース配線とパネル短辺側のソース端子とを接続する中継ラインを、対向基板側に設けたり、アクティブ基板のソース層（T F T のソース・ドレイン電極の形成層）以外、すなわち、ゲート絶縁膜の下層（ゲート層）やソース層と I T O 層（画素電極形成層）との間の層に設けたりすることもできる。

[0134] S ドライバ基板 S A ・ S B ・ S C ・ S D のそれぞれに配されている電源線 V c c L は、それぞれに配されている電流制限回路 1 0 及び複数のソースドライバチップ（不図示）と接続されている。

[0135] S ドライバ基板 S A に配されている電源線（第 1 の電源線）V c c L と、S ドライバ基板 S B に配されている電源線（第 2 の電源線）V c c L とは、互いに並列に配されている電流制限回路 1 0 を介して接続されている。

[0136] すなわち、S ドライバ基板 S A に配されている電源線 V c c L は、電源回路 P A からの入力電圧 V c c が入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、S ドライバ基板 S A に配されている電流制限回路（第 1 の電流制御回路）1 0 の入力用の端子部 V I N と接続されており、分岐している他方の端部は S ドライバ基板 S B に配されている電流制限回路（第 2 の電流制御回路）1 0 の出力用の端子部 V O U T と接続されている。

[0137] また、S ドライバ基板 S B に配されている電源線 V c c L は、電源回路 P B からの入力電圧 V c c が入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、S ドライバ基板 S B に配されている電流制限回路 1 0 の入力用の端子部 V I N と接続されており、分岐している他方の端部は S ドライバ基板 S A に配されている電流制限回路 1 0 の

出力用の端子部VOUTと接続されている。

[0138] 同様に、Sドライバ基板SCに配されている電源線（第1の電源線）VccLと、Sドライバ基板SDに配されている電源線（第2の電源線）VccLとは、互いに並列に配されている電流制限回路10を介して接続されている。

[0139] すなわち、Sドライバ基板SCに配されている電源線VccLは、電源回路PCからの入力電圧Vccが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Sドライバ基板SCに配されている電流制限回路（第1の電流制御回路）10の入力用の端子部VINと接続されており、分岐している他方の端部はSドライバ基板SDに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0140] また、Sドライバ基板SDに配されている電源線VccLは、電源回路PDからの入力電圧Vccが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Sドライバ基板SDに配されている電流制限回路（第2の電流制御回路）10の入力用の端子部VINと接続されており、分岐している他方の端部はSドライバ基板SCに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0141] Sドライバ基板SA・SB・SC・SDのそれぞれに配されている電源線VccLは、電源回路PA・PB・PC・PDのそれぞれから電圧Vccが入力されることで、それぞれ電圧Vccに保持されている。

[0142] そして、Sドライバ基板SA・SB・SC・SDのそれぞれに、TCON部TA・TB・TC・TDからS駆動信号SCSが入力されると、Sドライバ基板SA・SB・SC・SDのそれぞれに配されている図示しないソースドライバチップはソース駆動信号SSを生成する。

[0143] そして、Sドライバ基板SA・SB・SC・SDのそれぞれは、生成したソース駆動信号SSを各ソース配線に出力する。結果、選択されたゲート配線上にある各画素に対して画像データ（データ信号）を供給する。

[0144] 電流制限回路10は、端子部VINから入力されてきた過電流を検出し、

当該検出した過電流を出力用の端子部VOUTから出力されることを防止するための回路である。

[0145] すなわち、Sドライバ基板SAに配されている電流制限回路10は、電源線VccLを介して接続されているSドライバ基板SBへの過電流の出力を防止し、Sドライバ基板SBに配されている電流制限回路10は、電源線VccLを介して接続されているSドライバ基板SAへの過電流の出力を防止する。

[0146] また、Sドライバ基板SCに配されている電流制限回路10は、電源線VccLを介して接続されているSドライバ基板SDへの過電流の出力を防止し、Sドライバ基板SDに配されている電流制限回路10は、電源線VccLを介して接続されているSドライバ基板SCへの過電流の出力を防止する。

[0147] このように、Sドライバ基板SA・SBは、それぞれ、ソース配線Sa・Sbと接続されており、ソース配線Sa・Sbにソース駆動信号SSを出力することで、ソース配線Sa・Sbに信号電圧を出力するソース配線用ドライバ基板である。

[0148] そして、Sドライバ基板SA・SBの電源線VgLは、互いに接続されているので、Sドライバ基板SAの電源線VgLと、Sドライバ基板SBの電源線VgLとの間に電位差が生じることを防止し、ソース配線Sa・Sbの破損を防止することができる。

[0149] さらに、Sドライバ基板SA・SBの電源線VgL間には、電流制限回路10が配されているので、電源回路PA・PBの動作不安定による過電流の流入を防止することができる。

[0150] 同様に、Sドライバ基板SC・SDは、それぞれ、ソース配線Sc・Sdと接続されており、ソース配線Sc・Sdにソース駆動信号SSを出力することで、ソース配線Sc・Sdに信号電圧を出力するソース配線用ドライバ基板である。

[0151] そして、Sドライバ基板SC・SDの電源線VgLは、互いに接続されて

いるので、Sドライバ基板SCの電源線V_{gL}と、Sドライバ基板SDの電源線V_{gL}との間に電位差が生じることを防止し、ソース配線Sc・Sdの破損を防止することができる。

[0152] さらに、Sドライバ基板SC・SDの電源線V_{gL}間には、電流制限回路10が配されているので、電源回路PC・PDの動作不安定による過電流の流入を防止することができる。

[0153] Csドライバ基板CsA・CsB・CsC・CsDは、それぞれ、電源線V_{cL}と、電流制限回路10とを備えている。また、表示領域DA・DB・DC・DDの外側に沿って、図示しないCS幹配線が配されている。

[0154] Csドライバ基板CsA・CsDは、表示領域Dの左辺に沿って配されており、Csドライバ基板CsB・CsCは表示領域Dの右辺に沿って配されている。

[0155] Csドライバ基板CsAはCs幹配線を介して表示領域DA・DBに跨って配されているCs配線の一方の端部と接続されており、Csドライバ基板CsBはCs幹配線を介して表示領域DA・DBに跨って配されているCs配線の他方の端部と接続されている。

[0156] また、Csドライバ基板CsDはCs幹配線を介して表示領域DD・DCに跨って配されているCs配線の一方の端部と接続されており、Csドライバ基板CsCはCs幹配線を介して表示領域DD・DCに跨って配されているCs配線の他方の端部と接続されている。

[0157] Csドライバ基板CsAは、Cs配線Csaの一方が接続されているCs幹配線と、Cs配線Csbの一方が接続されているCs幹配線とを別位相となるように駆動する。Csドライバ基板CsBは、Cs配線Csaの他方が接続されているCs幹配線と、Cs配線Csbの他方が接続されているCs幹配線とを別位相となるように駆動する。

[0158] Csドライバ基板CsDは、Cs配線Cscの一方が接続されているCs幹配線と、Cs配線Csdの一方が接続されているCs幹配線とを別位相となるように駆動する。Csドライバ基板CsCは、Cs配線Cscの他方が

接続されているCs幹配線と、Cs配線Cs dの他方が接続されているCs幹配線とを別位相となるように駆動する。

[0159] すなわち、1本のCs配線は、その両側に配置された2本のCS幹配線に接続を介してCsドライバ基板と接続され、これら2本のCS幹配線を介して1本のCs配線に同一位相の変調（パルス）信号が供給される。こうすれば、Cs配線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0160] 例えば、Cs配線Cs a Cs bの電位を逆位相となるように制御すると、画素P bでは、2つの画素電極17 B・17 bのうち画素電極17 BがCs配線Cs aと容量を形成し、画素電極17 bがCs配線Cs bと容量を形成していることから、画素電極17 B・17 bに同一の信号電位を書き込んだ後に、例えば、画素電極17 Bの実効電位をセンター電位に近づく方向にシフトさせる一方、画素電極17 bの実効電位をセンター電位から離れる方向にシフトさせる（これにより、1画素内に、画素電極17 Bに対応する暗領域と画素電極17 bに対応する明領域とを形成する）ことができる。

[0161] Csドライバ基板Cs A・Cs B・Cs C・Cs Dのそれぞれに配されている電源線Vcs Lは、それぞれに配されている電流制限回路10と接続されている。

[0162] Csドライバ基板Cs Aに配されている電源線（第1の電源線）Vcs Lと、Csドライバ基板Cs Dに配されている電源線（第2の電源線）Vcs Lとは、互いに並列に配されている電流制限回路10を介して接続されている。

[0163] すなわち、Csドライバ基板Cs Aに配されている電源線Vcs Lは、電源回路PAからの入力電圧Vcsが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Csドライバ基板Cs Aに配されている電流制限回路（第1の電流制御回路）10の入力用の端子部VINと接続されており、分岐している他方の端部はCsドライバ基板Cs Dに配されている電流制限回路（第2の電流制御回路）10の出力用の

端子部VOUTと接続されている。

[0164] また、Csドライバ基板CsDに配されている電源線（第2の電源線）VcsLは、電源回路PDからの入力電圧Vcsが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Csドライバ基板CsDに配されている電流制限回路（第2の電流制御回路）10の入力用の端子部VINと接続されており、分岐している他方の端部はCsドライバ基板CsAに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0165] 同様に、Csドライバ基板CsBに配されている電源線（第1の電源線）VcsLと、Csドライバ基板CsCに配されている電源線（第2の電源線）VcsLとは、互いに並列に配されている電流制限回路10を介して接続されている。

[0166] すなわち、Csドライバ基板CsBに配されている電源線VcsLは、電源回路PBからの入力電圧Vcsが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Csドライバ基板CsBに配されている電流制限回路（第1の電流制御回路）10の入力用の端子部VINと接続されており、分岐している他方の端部はCsドライバ基板CsCに配されている電流制限回路（第2の電流制御回路）10の出力用の端子部VOUTと接続されている。

[0167] また、Csドライバ基板CsCに配されている電源線VcsLは、電源回路PCからの入力電圧Vcsが入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、Csドライバ基板CsCに配されている電流制限回路10の入力用の端子部VINと接続されており、分岐している他方の端部はCsドライバ基板CsBに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0168] Csドライバ基板CsA・CsB・CsC・CsDのそれぞれに配されている電源線VcsLは、電源回路PA・PB・PC・PDのそれぞれから電圧Vcsが入力されることで、それぞれ電圧Vcsに保持されている。

[0169] そして、Csドライバ基板CsA・CsB・CsC・CsDのそれぞれに、TCON部TA・TB・TC・TDからCs駆動信号CsCSが入力されると、Csドライバ基板CsA・CsB・CsC・CsDから各Cs配線に出力するためのCs駆動信号CsSを生成する。

[0170] そして、Csドライバ基板CsA・CsB・CsC・CsDは、それぞれ、表示領域DA・DB・DC・DDに配されているCs配線に、Cs駆動信号CsSを出力する。これにより、各画素に印加されている電圧が、次の画像書き換えのタイミングまで保持される。

[0171] 電流制限回路10は、端子部VINから入力されてきた過電流を検出し、当該検出した過電流を出力用の端子部VOUTから出力されることを防止するための回路である。

[0172] すなわち、Csドライバ基板CsAに配されている電流制限回路10は、電源線VcsLを介して接続されているCsドライバ基板CsDへの過電流の出力を防止し、Csドライバ基板CsDに配されている電流制限回路10は、電源線VcsLを介して接続されているCsドライバ基板CsAへの過電流の出力を防止する。

[0173] また、Csドライバ基板CsBに配されている電流制限回路10は、電源線VcsLを介して接続されているCsドライバ基板CsCへの過電流の出力を防止し、Csドライバ基板CsCに配されている電流制限回路10は、電源線VcsLを介して接続されているCsドライバ基板CsBへの過電流の出力を防止する。

[0174] このように、Csドライバ基板CsAはCs配線Csa・Csbの一方の端部と接続されており、Csドライバ基板CsDはCs配線Csc・Csdの一方の端部と接続されており、Cs配線Csa・Csb・Csc・CsdにCs電圧を出力させるための補助容量配線用ドライバ基板である。

[0175] 同様に、Csドライバ基板CsBはCs配線Csa・Csbの他方の端部と接続されており、Csドライバ基板CsCはCs配線Csc・Csdの他方の端部と接続されており、Cs配線Csa・Csb・Csc・CsdにC

s 電圧を出力させるための補助容量配線用ドライバ基板である。

[0176] これによると、Csドライバ基板CsA・CsDの電源線VcsLは、互いに接続されているので、複数の表示領域DA・DD毎に補助容量配線の電位差が生じたりCs配線の破損を防止することができる。

[0177] また、Csドライバ基板CsB・CsCの電源線VcsLは、互いに接続されているので、複数の表示領域DB・DC毎に補助容量配線の電位差が生じたりCs配線の破損を防止することができる。

[0178] また、Csドライバ基板CsA・CsDの電源線VcsL間には、電流制限回路10が配されているので、電源回路PA・PDの動作不安定による過電流の流入を防止することができる。

[0179] 同様に、Csドライバ基板CsB・CsCの電源線VcsL間には、電流制限回路10が配されているので、電源回路PB・PCの動作不安定による過電流の流入を防止することができる。

[0180] 共通電極駆動基板COMA・COMB・COMC・COMDは、それぞれ、電源線VcomLと、電流制限回路10とを備えている。

[0181] 共通電極駆動基板COMAと、共通電極駆動基板COMBとは並置されており、共通電極駆動基板COMAは、共通電極と接続されている共通電極接続部4Aと接続されており、共通電極駆動基板COMBは、共通電極と接続されている共通電極接続部4Bと接続されている。

[0182] 共通電極駆動基板COMCと、共通電極駆動基板COMDとは並置されており、共通電極駆動基板COMCは、共通電極と接続されている共通電極接続部4Cと接続されており、共通電極駆動基板COMDは、共通電極と接続されている共通電極接続部4Dと接続されている。

[0183] 共通電極駆動基板COMA・COMB・COMC・COMDのそれぞれに配されている電源線VcomLは、それぞれに配されている電流制限回路10と接続されている。

[0184] 共通電極駆動基板COMAに配されている電源線（第1の電源線）VcomLと、共通電極駆動基板COMBに配されている電源線（第2の電源線）

V c o m L とは、互いに並列に配されている電流制限回路 10 を介して接続されている。

[0185] すなわち、共通電極駆動基板 C O M A に配されている電源線 V c o m L は、電源回路 P A からの入力電圧 V c o m が入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、共通電極駆動基板 C O M A に配されている電流制限回路（第 1 の電流制限回路）10 の入力用の端子部 V I N と接続されており、分岐している他方の端部は共通電極駆動基板 C O M B に配されている電流制限回路（第 2 の電流制限回路）10 の出力用の端子部 V O U T と接続されている。

[0186] また、共通電極駆動基板 C O M B に配されている電源線 V c o m L は、電源回路 P B からの入力電圧 V c o m が入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、共通電極駆動基板 C O M B に配されている電流制限回路 10 の入力用の端子部 V I N と接続されており、分岐している他方の端部は共通電極駆動基板 C O M A に配されている電流制限回路 10 の出力用の端子部 V O U T と接続されている。

[0187] 同様に、共通電極駆動基板 C O M C に配されている電源線（第 1 の電源線）V c o m L と、共通電極駆動基板 C O M D に配されている電源線（第 2 の電源線）V c o m L とは、互いに並列に配されている電流制限回路 10 を介して接続されている。

[0188] すなわち、共通電極駆動基板 C O M C に配されている電源線 V c o m L は、電源回路 P C からの入力電圧 V c o m が入力される入力端部とは異なる側の端部は分岐している。そして、分岐している一方の端部は、共通電極駆動基板 C O M C に配されている（第 1 の電流制限回路）電流制限回路 10 の入力用の端子部 V I N と接続されており、分岐している他方の端部は共通電極駆動基板 C O M D に配されている電流制限回路（第 2 の電流制限回路）10 の出力用の端子部 V O U T と接続されている。

[0189] また、共通電極駆動基板 C O M D に配されている電源線 V c o m L は、電源回路 P D からの入力電圧 V c o m が入力される入力端部とは異なる側の端

部は分岐している。そして、分岐している一方の端部は、共通電極駆動基板COMDに配されている電流制限回路10の入力用の端子部VINと接続されており、分岐している他方の端部は共通電極駆動基板COMCに配されている電流制限回路10の出力用の端子部VOUTと接続されている。

[0190] 共通電極駆動基板COMA・COMB・COMC・COMDのそれぞれに配されている電源線VcomLは、電源回路PA・PB・PC・PDのそれぞれから電圧Vcomが入力されることで、それぞれ電圧Vcomに保持されている。

[0191] 共通電極駆動基板COMA・COMB・COMC・COMDのそれぞれに、TCON部TA・TB・TC・TDから電圧Vcomが入力されると、共通電極駆動基板COMA・COMB・COMC・COMDは、共通電極に出力すべき電圧Vcomを示す共通電極信号COMSを生成する。

[0192] 共通電極駆動基板COMA・COMB・COMC・COMDのそれぞれは、生成した共通電極信号COMSを、各共通電極接続部4A・4B・4C・4Dに出力する。これにより、表示領域DA・DB・DC・DDのそれぞれ内の共通電極のそれぞれに、共通電圧Vcomが印加される。

[0193] 電流制限回路10は、端子部VINから入力されてきた過電流を検出し、当該検出した過電流を出力用の端子部VOUTから出力されることを防止するための回路である。

[0194] すなわち、共通電極駆動基板COMAに配されている電流制限回路10は、電源線VcomLを介して接続されている共通電極駆動基板COMBへの過電流の出力を防止し、共通電極駆動基板COMBに配されている電流制限回路10は、電源線VcomLを介して接続されている共通電極駆動基板COMAへの過電流の出力を防止する。

[0195] また、共通電極駆動基板COMCに配されている電流制限回路10は、電源線VcomLを介して接続されている共通電極駆動基板COMDへの過電流の出力を防止し、共通電極駆動基板COMDに配されている電流制限回路10は、電源線VcomLを介して接続されている共通電極駆動基板COM

Cへの過電流の出力を防止する。

[0196] このように、共通電極駆動基板C O M A・C O M Bのそれぞれは、共通電極と接続されている各共通電極接続部4 A・4 Bと接続されており、当該共通電極に上記共通電圧を出力させる共通電極用ドライバ基板である。また、共通電極駆動基板C O M C・C O M Dのそれぞれは、共通電極と接続されている各共通電極接続部4 C・4 Dと接続されており、当該共通電極に上記共通電圧を出力させる共通電極用ドライバ基板である。

[0197] そして、共通電極接続部4 A・4 Bの電源線V c o m Lは、互いに接続されているので、表示領域D A・D B毎に共通電極の電位差が生じることを防止し、共通電極の破損を防止することができる。

[0198] 同様に、共通電極接続部4 C・4 Dの電源線V c o m Lは、互いに接続されているので、表示領域D C・D D毎に共通電極の電位差が生じることを防止し、共通電極の破損を防止することができる。

[0199] さらに、共通電極接続部4 A・4 Bの電源線V c o m L間には、電流制限回路1 0が配されているので、電源回路P A・P Bの動作不安定による過電流の流入を防止することができる。

[0200] 同様に、共通電極接続部4 C・4 Dの電源線V c o m L間には、電流制限回路1 0が配されているので、電源回路P C・P Dの動作不安定による過電流の流入を防止することができる。

[0201] また液晶表示装置1は、図示しないバックライトを備えていてもよい。バックライトコントローラは、ピクセルマッピング回路から出力された映像信号を受けてバックライト制御信号をバックライトドライバに出力し、バックライトドライバによってバックライトが駆動される。なお、バックライトは、複数の分割され、それぞれが、映像信号に応じて個別に輝度調整される（アクティブバックライト）。

[0202] 電源コントローラ（不図示）は、4つの電源回路P A・P B・P C・P Dそれぞれに接続される商用電源の供給電力レベルを監視しており、何らかの理由で1つまたは複数の商用電源に異常（供給電力レベルの低下）が生じた

場合には、バックライトへの電源ライン（例えば、R・B・G用の3系統）と駆動基板C A～C Dへの電源ライン（例えば、1系統）とを1つまたは複数の正常な商用電源に繋ぎかえるとともに、バックライトコントローラに異常発生信号を出力する。この異常発生信号を受けたバックライトコントローラは、バックライトの輝度の上限を下げるような制御信号をバックライトドライバに出力する。これにより、予期せぬ商用電源の異常に起因する駆動基板C A～C Dの破損等を回避することができる。

[0203] なお、液晶表示装置の省電力化等によって4つの電源回路が必要でなくなり、商用電源に接続される電源回路が1つのみ設けられる構成が可能となった場合には、電源コントローラは、この1つの商用電源の供給電力レベルを監視し、何らかの理由でこの商用電源に異常（供給電力レベルの低下）が生じた場合には、バックライトコントローラに異常発生信号を出力する（この異常発生信号を受けたバックライトコントローラは、バックライトの輝度の上限を下げるような制御信号をバックライトドライバに出力する）ようにすることも可能である。

[0204] （液晶表示装置1の主な作用効果）

上述したように、液晶表示装置1は、複数に分割されていない一つの液晶パネルL C Pを備えている。そして、液晶パネルL C Pは、高精細であり、かつ大画面である画像表示用の表示領域Dを備えている。一例として、表示領域Dは、4 K 8 Kの画像表示が可能で高精細の表示領域である。

[0205] このように、表示領域Dは、高精細なので、液晶表示装置1は、表示領域Dを、表示領域D A・D B・D C・D Dの4つの分割領域毎に個別に駆動制御することで、表示領域Dの全体に一つの画像を表示する。

[0206] このように、表示領域D A・D B・D C・D Dは、個別に駆動制御がなされる表示領域であり、液晶表示装置1は、各表示領域D A・D B・D C・D Dのそれぞれを駆動するために、各表示領域D A・D B・D C・D Dのそれぞれと接続されている各ドライバ基板を備えている。

[0207] すなわち、液晶表示装置1は、表示領域D Aの駆動制御用のドライバ基板

である駆動基板C A・共通電極駆動基板C O M A・Gドライバ基板G A・C sドライバ基板C s A・Sドライバ基板S Aと、表示領域D Bの駆動制御用のドライバ基板である駆動基板C B・共通電極駆動基板C O M B・Gドライバ基板G B・C sドライバ基板C s B・Sドライバ基板S Bと、表示領域D Cの駆動制御用のドライバ基板である駆動基板C C・共通電極駆動基板C O M C・Gドライバ基板G C・C sドライバ基板C s C・Sドライバ基板S Cと、表示領域D Dの駆動制御用のドライバ基板である駆動基板C D・共通電極駆動基板C O M D・Gドライバ基板G D・C sドライバ基板C s D・Sドライバ基板S Dとを備えている。

[0208] このように、表示領域Dは、上記複数のドライバ基板のそれぞれにより駆動制御がなされる表示領域D A～D Dからなるので、高解像度の画像を高速で表示が可能である。

[0209] そして、液晶表示装置1は、各表示領域D A・D B・D C・D Dのそれぞれ駆動用のドライバ基板のそれぞれに電源電圧を供給するための複数の電源回路P A・P B・P C・P Dを備えている。本実施の形態では、分割された表示領域D A・D B・D C・D Dのそれぞれ毎に接続されており、当該接続されているドライバ基板に電源電圧を供給する複数の電源回路P A・P B・P C・P Dを備えている。

[0210] すなわち、液晶表示装置1は、駆動基板C A・共通電極駆動基板C O M A・Gドライバ基板G A・C sドライバ基板C s A・Sドライバ基板S Aに電源電圧を供給するための電源回路P Aと、表示領域D Bの駆動制御用の駆動基板C B・共通電極駆動基板C O M B・Gドライバ基板G B・C sドライバ基板C s B・Sドライバ基板S Bに電源電圧を供給するための電源回路P Bと、駆動基板C C・共通電極駆動基板C O M C・Gドライバ基板G C・C sドライバ基板C s C・Sドライバ基板S Cに電源電圧を供給するための電源回路P Cと、駆動基板C D・共通電極駆動基板C O M D・Gドライバ基板G D・C sドライバ基板C s D・Sドライバ基板S Dに電源電圧を供給するための電源回路P Dとを備えている。

- [0211] このように、液晶表示装置 1 では、一つの大型の電源回路から、各ドライバ基板に電源電圧を供給するのではなく、表示領域 $DA \cdot DB \cdot DC \cdot DD$ のそれぞれと接続された駆動用のドライバ基板のそれぞれに電源電圧を供給するための複数の電源回路 $PA \cdot PB \cdot PC \cdot PD$ を備えている。本実施の形態では、液晶表示装置 1 は、各表示領域 $DA \cdot DB \cdot DC \cdot DD$ 毎に、対応する電源回路 $PA \cdot PB \cdot PC \cdot PD$ を備えている。
- [0212] このため、電源回路 $PA \cdot PB \cdot PC \cdot PD$ のそれぞれのサイズを小さくすることができるので、電源回路 $PA \cdot PB \cdot PC \cdot PD$ のそれぞれを、駆動基板 $CA \cdot CB \cdot CC \cdot CD$ のそれぞれに搭載することができる。
- [0213] これにより、大型の電源回路を搭載する場合のように、当該電源回路を搭載するための基板を新たに設ける必要がなく、コスト増大を防止することができる。
- [0214] また、液晶表示装置 1 では、複数の電源回路 $PA \cdot PB \cdot PC \cdot PD$ のサイズを小さく抑えることができるので、表示領域 D が $4K8K$ のように高精細であっても、例えば、 $4K2K$ 等、相対的に容量が小さい表示領域に用いられていたサイズの電源回路での設計手法を用いることができる。このため、液晶表示装置 1 では、表示領域 D が $4K8K$ のように高精細であっても、電源回路の設計が容易であり、簡略化することができるという利点も有している。
- [0215] また、液晶表示装置 1 では、電源回路 $PA \cdot PB \cdot PC \cdot PD$ のそれぞれから電源電圧が入力される各ドライバ基板は、互いに隣接しているドライバ基板の電源線 $V_{gL} \cdot V_{ccL} \cdot V_{csL} \cdot V_{comL}$ 間は、互いに並列に配されている電流制限回路 10 を介して接続されている。
- [0216] このため、各ドライバ基板間に電圧調停用の接続をさせることで、各ドライバ基板の電源線 $V_{gL} \cdot V_{ccL} \cdot V_{csL} \cdot V_{comL}$ 間に電位差が生じることを防止することができる。これにより、液晶表示装置 1 を安定駆動させ、画像の表示品位低下を防止することができる。
- [0217] しかし、複数の電源回路 $PA \cdot PB \cdot PC \cdot PD$ を有すると、各電源回路

PA・PB・PC・PD間の同期（電圧の出力や停止のタイミング）調整は、通常行うことはできず、非常に困難である。

[0218] 特に、共通電極や、Cs配線、ゲート配線は、パネル全体で繋がっており、これらと接続されているドライバ基板の電源線に電位差が発生することを防止するために、複数のドライバ基板の電源線間を接続しておくことが好ましい。

[0219] しかし、電流制限回路10を設けず、各ドライバ基板間を接続した場合、例えば、液晶表示装置1の起動時やリセット時などで、電源回路PA・PB・PC・PDそれぞれの起動時間が異なった場合、互いに接続されているドライバ基板間に巨大な電位差が発生し、これにより過電流が流れることで、画像の表示品位が悪くなったり、回路部品が損傷する場合がある。

[0220] そこで、液晶表示装置1では、互いに隣接しているドライバ基板の電源線VgL・VccL・VcsL・VcomL間は、過電流の流出防止用の電流制限回路10を介して接続されている。

[0221] これにより、電源回路PA・PB・PC・PDの電圧の出力や停止のタイミングが異なったとしても、電流制限回路10が過電流の流出を防止するので、互いに接続されているドライバ基板間に電位差が生じることを防止し、表示品位の低下や、回路の破損を防止することができる。

[0222] また、電流制限回路10は、例えばGドライバ基板GA・GDのように、互いに異なるドライバ基板のそれぞれに配されており、Gドライバ基板GA・GDのそれぞれに配されている電流制限回路10は、互いに並列に配されている。

[0223] このため、Gドライバ基板GA・GDに配されている電源線VgLのうち、どちらの電位が高くなった場合でも、他方の電源線VgLへの過電流の流出を防止することができ、確実に過電流の流出入を防止することができる。

[0224] また、電流制限回路10に過電流が流れたとき、互いに並列に配されている電流制限回路10のうち高電位側の電流制限回路の電流の流れを遮断するようにする。これにより、過電流の流出を防止することができる。

[0225] (電流制限回路 10 の構成)

次に、図 2 を用いて、電流制限回路 10 の具体的な構成について説明する。

[0226] 図 2 は、電流制限回路 10 の構成を表す回路図である。

[0227] なお、各ドライバ基板 (G ドライバ基板 $G A \cdot G B \cdot G C \cdot G D$ 、S ドライバ基板 $S A \cdot S B \cdot S C \cdot S D$ 、Cs ドライバ基板 $C s A \cdot C s B \cdot C s C \cdot C s D$ 、共通電極駆動基板 $C O M A \cdot C O M B \cdot C O M C \cdot C O M D$) のそれぞれに配されている電流制限回路 10 の回路構成は同じである。

[0228] このため、本実施の形態では、一例として、G ドライバ基板 $G A \cdot G D$ に配されている電流制限回路 10 について説明する。

[0229] 図 2 に示すように、G ドライバ基板 $G A$ (G ドライバ基板 $G D$) の電流制限回路 10 は、複数の NPN 型のトランジスタ $T r 1 \cdot T r 2$ と、複数の抵抗 $R 1 \cdot R 2 \cdot R 3 \cdot R 4$ とを備えている。

[0230] トランジスタ $T r 1$ のコレクタ $C 1$ は、端子部 $V I N$ に接続されており、この端子部 $V I N$ は電源線 $V g L$ を介して電源回路 $P A$ (電源回路 $P D$) と接続されている。トランジスタ $T r 1$ のエミッタ $E 1$ は、抵抗 $R 2 \cdot R 4$ と直列に接続されており、抵抗 $R 4$ は、出力用の端子部 $V O U T$ と接続されている。この端子部 $V O U T$ は G ドライバ基板 $G A$ (G ドライバ基板 $G D$) の端子部 $V I N \cdot$ 電源回路 $P D$ 間 (端子部 $V I N \cdot$ 電源回路 $P A$ 間) の電源線 $V g L$ と接続されている。

[0231] トランジスタ $T r 1$ のベース $B 1$ には抵抗 $R 1$ が接続されており、当該抵抗 $R 1$ を介して端子部 $T I N$ と接続されている。この端子部 $T I N$ は電源回路 $P A$ (電源回路 $P D$) と接続されており、電源回路 $P A$ (電源回路 $P D$) から端子部 $T I N$ を介してトランジスタ $T r 1$ のベース $B 1$ にトランジスタ $T r 1$ 駆動用の電圧が印加される。

[0232] トランジスタ $T r 2$ のコレクタ $C 2$ は、抵抗 $R 1 \cdot$ トランジスタ $T r 1$ のベース $B 1$ 間に接続されている。トランジスタ $T r 2$ のエミッタ $E 2$ は抵抗 $R 3 \cdot R 4$ 間に接続されている。トランジスタ $T r 2$ のベース $B 2$ は抵抗 R

2と接続されており、当該抵抗 R_2 を介して、トランジスタ T_{r1} のエミッタ E_1 ・抵抗 R_3 間に接続されている。

[0233] 電流制限回路10では、抵抗 R_3 が電流検出抵抗となる。そして、端子部 V_{IN} ・トランジスタ T_{r1} ・抵抗 R_3 ・抵抗 R_4 ・端子部 V_{OUT} が、他方のドライバ基板の電源線 V_{GL} と接続されている接続ライン（接続部）である。また、抵抗 R_2 ・トランジスタ T_{r2} ・抵抗 R_1 ・端子部 T_{IN} が、上記接続部に過電流が流れたとき、当該接続部に流れる電流を引き抜き、電流を制限する電流制限ライン（電流制限部）である。

[0234] 例えば、電源回路PDより、電源回路PAの立ち上がりの方が速く、電流制限回路10を介して接続されているGドライバ基板GDの電源線 V_{GL} より、Gドライバ基板GAの電源線 V_{GL} の方が電位が高くなったとする。

[0235] 入力端子部 V_{IN} から抵抗 R_3 を通り、出力用の端子部 V_{OUT} へ過電流が流れる。この R_3 に過電流が流れることで発生する電圧がトランジスタ T_{r2} のベース B_2 電圧を超えると、トランジスタ T_{r2} がON（オン）となり、トランジスタ T_{r1} のベース B_1 へ入力する電流が減少する（電流制限状態）。これにより、トランジスタ T_{r1} のコレクタ C_1 ・エミッタ E_1 間の電流を制限することができる。すなわち、端子部 V_{OUT} から出力する電流を制限することができる。

[0236] 図3は、定電流電圧垂下型の電流電圧特性を表すグラフである。電流制限回路10は、定電流電圧垂下型と称することができる。

[0237] 図3に示すように、電流制限回路10によると、抵抗 R_3 を流れる電流 I_{in} が一定値を超えた過電流 I_{sc} となると、過電流 I_{sc} は定電流状態となり抵抗 R_3 の電圧 V_o が直線的に降下する。

[0238] これにより、端子部 V_{OUT} からの出力電流を制限することができる。

[0239] 電流制限回路10によると、単純な構成で電流制限回路を構成することができるので、容易に液晶表示装置1を実現することができるばかりでなく、耐電圧、耐電流に優れた回路を構成するための部品の選定も比較的容易である。

[0240] しかし、電流制限回路 10 に流れる電流と、目的の接続配線とを一体化するために、配線（すなわち、電源線 V_{GL} ）を 2 重にすることが難しく、また、電流制限回路 10 自身による電圧降下も考慮する必要がある。このため、G ドライバ基板 GA・GD 間で予め電位差を持った設定をしたり、上流側の電源回路（すなわち電源回路 PA）の電源が立ち上がったあと、必ずもう一方の下流側の電源回路（すなわち電源回路 PD）を立ち上げるようなシーケンス制御を別途設ける必要がある場合がある。

[0241] （電流制限回路 10 の第 1 の変形例）

次に、図 4、5 を用いて、電流制限回路 10 の第 1 の変形例について説明する。

[0242] 図 4 は、電流制限回路 10 の第 1 の変形例である電流制限回路 11 を表す図である。

[0243] 液晶表示装置 1 は、電流制限回路 10 に換えて、図 4 に示す電流制限回路 11 を備えていてもよい。

[0244] 電流制限回路 11 は、電流制限回路 10 に抵抗 R5 を加えた構成である。抵抗 R5 の一方の端部はトランジスタ Tr2 のベース B2 と抵抗 R2 との間に接続されており、他方の端部は接地されている。

[0245] 電流制限回路 11 では、端子部 VIN・トランジスタ Tr1・抵抗 R3・抵抗 R4・端子部 VOUT が、他方のドライバ基板の電源線 V_{GL} と接続されている接続ラインである。また、抵抗 R2・抵抗 R5・トランジスタ Tr2・抵抗 R1・端子部 TIN が、上記接続部に過電流が流れたとき、当該接続部に流れる電流を引き抜き、電流を制限する電流制限ラインである。電流制限回路 11 では、電流制限ラインが接地されている。

[0246] 上述した電流制限回路 10 では、端子部 VOUT からの出力電流を制限しているとき、最大電流が電流制限回路 10 に流れるため、節電の観点から好ましくない。さらに、本発明の液晶表示装置 1 が想定する事故に対し、電流を遮断しない場合、想定外の電流が流れ、危険な場合がある。

[0247] 一方、電流制限回路 11 によると、抵抗 R3 で過電流を検知し、トランジ

スタ T_r2 が ON した際、トランジスタ T_r2 のエミッタ $E2$ から出力される電流の流れを抑えることができる。

[0248] 図5は、電流減少型の電流電圧特性を表すグラフである。電流制限回路11は、電流減少型の電流制限回路と称することができる。

[0249] 図5に示すように、電流制限回路11によると、抵抗 $R3$ に過電流 I_{sc} が流れ、電流制限状態となり、電圧 V_o が低下すると、電圧 V_o の低下に応じて、電流制限値が下がる。これにより抵抗 $R3$ を流れる電流を絞ることができる。

[0250] このため、過電流である電流値 I_{sc} に達すると、図5の点AからB1又はB2へと急速に移行し、抵抗 $R3$ での電圧降下が無くなる。つまり、過電流が発生すると電流制限回路11は即シャットダウン状態となる。このため、電流の出力がなく、安全性が高い保護回路を構成することができる。

[0251] (電流制限回路10の第2の変形例)

次に、図6を用いて、電流制限回路10の第2の変形例について説明する。

[0252] 図6は、電流制限回路10の第2の変形例である電流制限回路12の構成を表す図である。

[0253] 液晶表示装置1は、電流制限回路10・11に換えて、図6に示す電流制限回路12を備えていてもよい。

[0254] 電流制限回路12は、入力用の端子部 V_{IN} として、端子部 V_{IN1} ・ V_{IN2} ・ V_{IN3} を備えている。

[0255] Gドライバ基板GA (Gドライバ基板GD) の電流制限回路12は、PNP型のトランジスタ T_r3 と、抵抗 $R6$ ・ $R7$ と、オペアンプOPとを備えている。

[0256] トランジスタ T_r3 のエミッタ $E3$ は、抵抗 $R6$ と接続されており、この抵抗 $R6$ を介して入力端子部 V_{IN3} に接続されている。入力端子部 V_{IN3} は電源線 V_{gL} と接続されており、電源線 V_{gL} を介して電源回路PA (電源回路PD) と接続されている。

- [0257] トランジスタ T_r3 のベース $B3$ には抵抗 $R7$ が接続されており、当該抵抗 $R7$ を介してオペアンプ OP の出力部と接続されている。
- [0258] トランジスタ T_r3 のコレクタ $C3$ は、出力用の端子部 $VOUT$ と接続されている。
- [0259] オペアンプ OP は、負極（－）の入力端子は、トランジスタ T_r3 のエミッタ・抵抗 $R6$ 間に接続されている。オペアンプ OP の正極（＋）の入力端子は、入力用の端子部 $VIN1$ と接続されている。入力端子部 $VIN1$ は電源線 VgL と接続されており、電源線 VgL を介して電源回路 PA （電源回路 PD ）と接続されている。
- [0260] また、オペアンプ OP は、入力用の端子部 $VIN2$ とも接続されている。入力端子部 $VIN2$ は電源線 VgL と接続されており、電源線 VgL を介して電源回路 PA （電源回路 PD ）と接続されている。
- [0261] 電流制限回路 12 では、端子部 $VIN3$ ・抵抗 $R6$ ・トランジスタ T_r3 ・端子部 $VOUT$ が他方のドライバ基板の電源 VgL と接続されている接続ラインである。端子部 $VIN1$ ・ $VIN2$ ・オペアンプ OP ・抵抗 $R7$ が、上記接続ラインに過電流が流れたとき、当該接続ラインに流れる電流を引き抜き、電流を制限する電流制限ラインである。電流制限回路 12 では、電流制限ラインは、接続ラインの出力用の端子部 $VOUT$ とは異なる出力端子部 $VOUT2$ と接続されている。このため電流制限ラインは、接続ラインと独立して駆動させることができるので、安全な回路構成を得ることができる。
- [0262] この電流制限回路 12 のように、電流制限回路 10 ・ 11 とは逆順のトランジスタ T_r3 を用いて電流制限回路を構成することもできる。
- [0263] 電流制限回路 12 によると、制限電圧を、供給電圧を基準に構成することができ、電流制限回路 12 の両端にある電源回路 PA ・ PD の電圧差を直接設定値とすることができる。
- [0264] （電流制限回路 10 の第3の変形例）
- 次に、図7を用いて、電流制限回路 10 の第3の変形例について説明する。

- [0265] 図7は、電流制限回路10の第3の変形例である電流制限回路13の構成を表す図である。
- [0266] 液晶表示装置1は、電流制限回路10・11・12に換えて、図7に示す電流制限回路13を備えていてもよい。電流制限回路13は、所謂カレントミラー回路である。
- [0267] Gドライバ基板GA（Gドライバ基板GD）の電流制限回路13は、PNP型のトランジスタTr4・Tr5と、抵抗R8・R9とを備えている。トランジスタTr4と、トランジスタTr5とは並列に配されている。
- [0268] トランジスタTr4のエミッタE4は、抵抗R8と接続されており、抵抗R8を介して入力用の端子部VINと接続されている。端子部VINは電源線VgLと接続されており、この電源線VgLを介して電源回路PA（電源回路PD）と接続されている。トランジスタTr4のコレクタC4は出力用の端子部VOUTとは異なる出力用の端子部VOUT2と接続されている。トランジスタTr4のベースB4はトランジスタTr5のベースB5と接続されている。トランジスタTr4のコレクタC4・ベースB4は、トランジスタTr4外で短絡されている。
- [0269] トランジスタTr5のエミッタE5は、抵抗R9と接続されており、抵抗R9を介して入力用の端子部VINと接続されている。トランジスタTr5のコレクタC5は出力用の端子部VOUTと接続されている。
- [0270] 電流制限回路13では、端子部VIN・抵抗R9・トランジスタTr5・端子部VOUTが、他方のドライバ基板の電源VgLと接続されている接続ラインである。抵抗R8・トランジスタTr4・端子部VOUT2が、上記接続ラインに過電流が流れたとき、当該接続ラインに流れる電流を引き抜き、電流を制限する電流制限ラインである。電流制限回路13では、接続ラインと、電流制限ラインとは、カレントミラー回路の構成となっている。電流制限ラインは、接続ラインの出力用の端子部VOUTとは異なる出力端子部VOUT2と接続されているので、電流制限ラインと、接続ラインと独立して駆動させることができ、安全な回路構成を得ることができる。

[0271] また、電流制限回路 13 によると、電流制限ラインに流れる電流と、接続ラインに流れる電流とを分離することが可能となる。このため、接続ラインを 2 重化する場合と比べて、安全な回路構成を実現することができる。また、電流制限回路 13 による電圧降下を考慮する必要が減り、より正確な比較と電流制御が可能となる。

[0272] (電流制限回路 10 の第 4 の変形例)

次に、図 8 を用いて、電流制限回路 10 の第 4 の変形例について説明する。

[0273] 図 8 は、電流制限回路 10 の第 4 の変形例である電流制限回路 14 を表す図である。

[0274] 液晶表示装置 1 は、電流制限回路 10・11・12・13 に換えて、図 8 に示す電流制限回路 14 を備えていてもよい。電流制限回路 14 は、電流制限回路 13 の電流制限ラインに、トランジスタ T_r6 と、オペアンプ $OP2$ と、抵抗 $R10$ とを加えた構成である。

[0275] トランジスタ T_r5 のエミッタ $E5$ は入力用の端子部 $VIN1$ と接続されており、端子部 $VIN1$ を介して電源線 VGL と接続されている。また、トランジスタ T_r4 のエミッタ $E4$ は入力用の端子部 $VIN2$ と接続されており、端子部 $VIN2$ を介して電源線 VGL と接続されている。

[0276] トランジスタ T_r6 は、NPN 型のトランジスタである。トランジスタ T_r6 のコレクタ $C6$ はトランジスタ T_r4 のコレクタ $C4$ と接続されている。トランジスタ T_r6 のエミッタ $E6$ は抵抗 $R10$ と接続されており、抵抗 $R10$ を介して、端子部 $VOU1$ とは異なる出力用の端子部 $VOU2$ と接続されている。トランジスタ T_r6 のベース $B6$ はオペアンプ $OP2$ の出力部と接続されている。

[0277] オペアンプ $OP2$ は、負極 (−) の入力端子は、トランジスタ T_r6 のエミッタ $E6$ ・抵抗 $R10$ 間に接続されている。オペアンプ OP の正極 (+) の入力端子は、電源回路 PA (電源回路 PD) と接続されている。

[0278] 電流制限回路 14 では、端子部 $VIN1$ ・トランジスタ T_r5 ・端子部 V

OUTが、他方のドライバ基板の電源V_gLと接続されている接続ラインである。端子部VIN2・トランジスタTr4・トランジスタTr6・オペアンプOP2が、上記接続ラインに過電流が流れたとき、当該接続ラインに流れる電流を引き抜き、電流を制限する電流制限ラインである。電流制限回路14では、接続ラインと、電流制限ラインとは、カレントミラー回路の構成となっている。電流制限ラインは、接続ラインの出力用の端子部VOUTとは異なる出力端子部VOUT2と接続されているので、電流制限ラインと、接続ラインと独立して駆動させることができ、安全な回路構成を得ることができる。

[0279] また、電流制限回路14によると、電流制限ラインを、完全に接続ラインから分離し、2重化した一方の電流を制御することができる。これにより、電流制限回路14は、電圧モニターとして独立して動作可能となるので、接続ラインを2重化すると共に、電位差をモニターし、より危険な電流が流れる方（Gドライバ基板GAからGドライバ基板GDの方向、又はGドライバ基板GD側からGドライバ基板GAの方向）を遮断するように、相手方からの電源を遮断することもできる。

[0280] 更に詳しくは図8における電流遮断回路14において電源回路PA側の端子部VOUT2を電源回路PDに、電源回路PD側の端子部VOUT2を電源回路PAに接続すると、遮断回路のオペアンプOP2を含む電圧検出部が、電源回路PAと電源回路PDの電圧差に応じて、トランジスタTr6を制御するものとなる。もちろん、電源回路PA・PDのいずれかが0Vであっても、この部分は壊れない。その結果、電源回路PAと電源回路PDとを比較して、より高電圧側である電流パスを選択的に遮断することが出来る。

[0281] このため、より安全な回路構成を実現することができる。

[0282] 以上のように、本発明の表示装置は、第1及び第2の電源回路と、当該第1の電源回路と接続されている第1の電源線及び上記第2の電源回路と接続されている第2の電源線と、表示パネル駆動用の第1及び第2ドライバ基板とを備え、上記第1の電源線は上記第1のドライバ基板に接続されており、

上記第2の電源線は上記第2のドライバ基板に接続されており、上記第1及び第2の電源線は、過電流の流出を制御する電流制限回路を介して接続されていることを特徴とする。

[0283] 上記構成によると、上記第1及び第2の電源線に電源電圧を供給する第1及び第2の電源回路を備えているので、第1及び第2の電源回路の一つの大きさを小さくすることができ、電源回路設計を簡略化することができる。

[0284] そして、上記第1及び第2の電源線は、過電流の流出を制御する電流制限回路を介して接続されているので、上記第1及び第2の電源線間に電位差が生じて、当該電位差を平滑化することができ、画像の表示品位が低下することを防止することができる。

[0285] さらに、上記第1及び第2の電源線間には、過電流の流出を制御する電流制限回路が配されているので、第1及び第2の電源回路の動作が不安定となり、互いに接続されている上記第1及び第2の電源線間の電位差が増大したとしても、上記第1及び第2の電源線間に過電流が流れることを防止することができる。

[0286] また、上記第1の電源線は上記第1のドライバ基板に配されており、上記第2の電源線は上記第2のドライバ基板に配されている構成としてもよい。

[0287] また、上記表示パネルは、共通電極を備え、上記第1及び第2の電源線は、上記共通電極と接続されていることが好ましい。

[0288] 上記構成によると、上記第1及び第2の電源線は、互いに接続されているので、上記共通電極内に電位差が生じることを防止し、共通電極の破損を防止することができる。さらに、上記第1及び第2の電源線間には、上記電流制限回路が配されているので、上記第1及び第2の電源回路の動作不安定による過電流の流入を防止することができる。

[0289] 上記表示パネルは、補助容量配線を備え、上記第1及び第2の電源線は、上記補助容量配線と接続されていてもよい。

[0290] 上記構成によると、上記第1及び第2の電源線は、互いに接続されている

ので、上記補助容量配線に電位差が生じることを防止し、補助容量配線の破損を防止することができる。さらに、上記第 1 及び第 2 の電源線間には、上記電流制限回路が配されているので、上記第 1 及び第 2 の電源回路の動作不安定による過電流の流入を防止することができる。

[0291] また、上記表示パネルは、ゲート配線を備え、上記第 1 及び第 2 の電源線は、上記ゲート配線と接続されていてもよい。

[0292] 上記構成によると、上記第 1 及び第 2 の電源線は、互いに接続されているので、上記ゲート配線に電位差が生じることを防止し、ゲート配線の破損を防止することができる。さらに、上記第 1 及び第 2 の電源線間には、上記電流制限回路が配されているので、上記第 1 及び第 2 の電源回路の動作不安定による過電流の流入を防止することができる。

[0293] また、上記電流制限回路は、上記第 1 のドライバ基板に配されている第 1 の電流制限回路と、上記第 2 のドライバ基板に配されている第 2 の電流制限回路とを備え、上記第 1 及び第 2 の電流制限回路は並列に配されていることが好ましい。

[0294] 上記構成によると、上記第 1 及び第 2 の電源線のうち、どちらの電位が高くなった場合でも、他方の電源線への過電流の流出を防止することができ、確実に過電流の流出入を防止することができる。

[0295] また、上記第 1 の電流制限回路は、上記第 2 の電源線と接続されている接続部と、当該接続部に流れる過電流を引き抜く電流制限部を備え、上記第 2 の電流制限回路は、上記第 1 の電源線と接続されている接続部と、当該接続部に流れる過電流を引き抜く電流制限部を備えていることが好ましい。

[0296] 上記構成によると、上記電流制限部は、上記接続部と独立して駆動させることができるので、安全な回路構成を得ることができる。

[0297] また、上記第 1 及び第 2 の電流制限回路に過電流が流れたとき、上記第 1 及び第 2 の電流制限回路のうち高電位側の電流制限回路の電流の流れが遮断されることが好ましい。これにより、過電流の流出を防止することができる。

- [0298] また、上記表示パネルは、画像表示用の表示領域を備え、上記表示領域は、垂直方向に2分割された分割領域からなることが好ましい。または、上記表示パネルは、画像表示用の表示領域を備え、上記表示領域は、垂直方向に2分割され、水平方向に2分割された4つの分割領域からなっている。これにより、一つの画像を、複数の表示領域により表示することができる。
- [0299] また、上記複数の表示領域は、一つの液晶パネルに配されていることが好ましい。これにより、表示パネル毎の特性バラツキを防止することができ、画像の表示品位劣化を防止することができる。
- [0300] また、上記第1及び第2のドライバ基板は、上記4つの分割領域のうち、2つの分割領域のそれぞれと接続されており、さらに、残りの2つの分割領域のそれぞれと接続されている第3及び第4のドライバ基板を備えていることが好ましい。これにより、上記4つの表示領域のそれぞれを個別に駆動制御することができる。
- [0301] また、上記第1の電源回路は、上記第1～第4のドライバ基板のうち、2つとそれぞれ接続されており、上記第2の電源回路は、上記第1～第4のドライバ基板のうち、残りの2つのそれぞれと接続されていることが好ましい。このように、少なくとも2つの電源回路を有することで、電源回路を小型化することができ、電源回路の設計を容易にすることができる。
- [0302] また、上記第1の電源回路は上記第1のドライバ基板と接続されており、上記第2の電源回路は上記第2のドライバ基板と接続されており、さらに、上記第3のドライバ基板と接続されている第3の電源回路と、第4のドライバ基板と接続されている第4の電源回路とを備えていることが好ましい。これにより、さらに電源回路の小型化を行うことができる。
- [0303] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0304] 本発明は、高精細な表示装置に利用することができる。

符号の説明

[0305] 1 液晶表示装置（表示装置）

4 A ・ 4 B ・ 4 C ・ 4 D 共通電極接続部

1 0 ・ 1 1 ・ 1 2 ・ 1 3 電流制限回路

C A ・ C B ・ C C ・ C D 駆動基板

C O M A ・ C O M B ・ C O M C ・ C O M D 共通電極駆動基板（ドライバ基板）

C O M S 共通電極信号

C S a C s 配線

C S a ・ C S b ・ C S c ・ C S d C s 配線

C s A ・ C s B ・ C s C ・ C s D C s ドライバ基板（ドライバ基板）

C s S C s 駆動信号

D 表示領域

D A ・ D B ・ D C ・ D D 表示領域

G A ・ G B ・ G C ・ G D G ドライバ基板（ドライバ基板）

G C S G 駆動信号

G S 走査信号

G a ・ G b ・ G c ・ G d ゲート配線

L C P 液晶パネル（表示パネル）

P A ・ P B ・ P C ・ P D 電源回路

S A ・ S B ・ S C ・ S D S ドライバ基板（ドライバ基板）

S C S S 駆動信号

S S ソース駆動信号

T A ・ T B ・ T C ・ T D T C O N 部

V 0 入力電源電圧

V g L ・ V c c L ・ V c s L ・ V c o m L 電源線

請求の範囲

- [請求項1] 第1及び第2の電源回路と、当該第1の電源回路と接続されている第1の電源線及び上記第2の電源回路と接続されている第2の電源線と、表示パネル駆動用の第1及び第2ドライバ基板とを備え、
上記第1の電源線は上記第1のドライバ基板に接続されており、上記第2の電源線は上記第2のドライバ基板に接続されており、
上記第1及び第2の電源線は、過電流の流出を制御する電流制限回路を介して接続されていることを特徴とする表示装置。
- [請求項2] 上記第1の電源線は上記第1のドライバ基板に配されており、上記第2の電源線は上記第2のドライバ基板に配されていることを特徴とする請求項1に記載の表示装置。
- [請求項3] 上記表示パネルは、共通電極を備え、
上記第1及び第2の電源線は、上記共通電極と接続されていることを特徴とする請求項1又は2に記載の表示装置。
- [請求項4] 上記表示パネルは、補助容量配線を備え、
上記第1及び第2の電源線は、上記補助容量配線と接続されていることを特徴とする請求項1又は2に記載の表示装置。
- [請求項5] 上記表示パネルは、ゲート配線を備え、
上記第1及び第2の電源線は、上記ゲート配線と接続されていることを特徴とする請求項1又は2に記載の表示装置。
- [請求項6] 上記電流制限回路は、上記第1のドライバ基板に配されている第1の電流制限回路と、上記第2のドライバ基板に配されている第2の電流制限回路とを備え、
上記第1及び第2の電流制限回路は並列に配されていることを特徴とする請求項1～5の何れか1項に記載の表示装置。
- [請求項7] 上記第1の電流制限回路は、上記第2の電源線と接続されている接続部と、当該接続部に流れる過電流を引き抜く電流制限部を備え、
上記第2の電流制限回路は、上記第1の電源線と接続されている接

続部と、当該接続部に流れる過電流を引き抜く電流制限部を備えていることを特徴とする請求項 6 に記載の表示装置。

[請求項 8] 上記第 1 及び第 2 の電流制限回路に過電流が流れたとき、
 上記第 1 及び第 2 の電流制限回路のうち高電位側の電流制限回路の電流の流れが遮断されることを特徴とする請求項 6 又は 7 に記載の表示装置。

[請求項 9] 上記表示パネルは、画像表示用の表示領域を備え、
 上記表示領域は、垂直方向に 2 分割された分割領域からなることを特徴とする請求項 1 ～ 8 の何れか 1 項に記載の表示装置。

[請求項 10] 上記表示パネルは、画像表示用の表示領域を備え、
 上記表示領域は、垂直方向に 2 分割され、水平方向に 2 分割された 4 つの分割領域からなることを特徴とする請求項 1 ～ 8 の何れか 1 項に記載の表示装置。

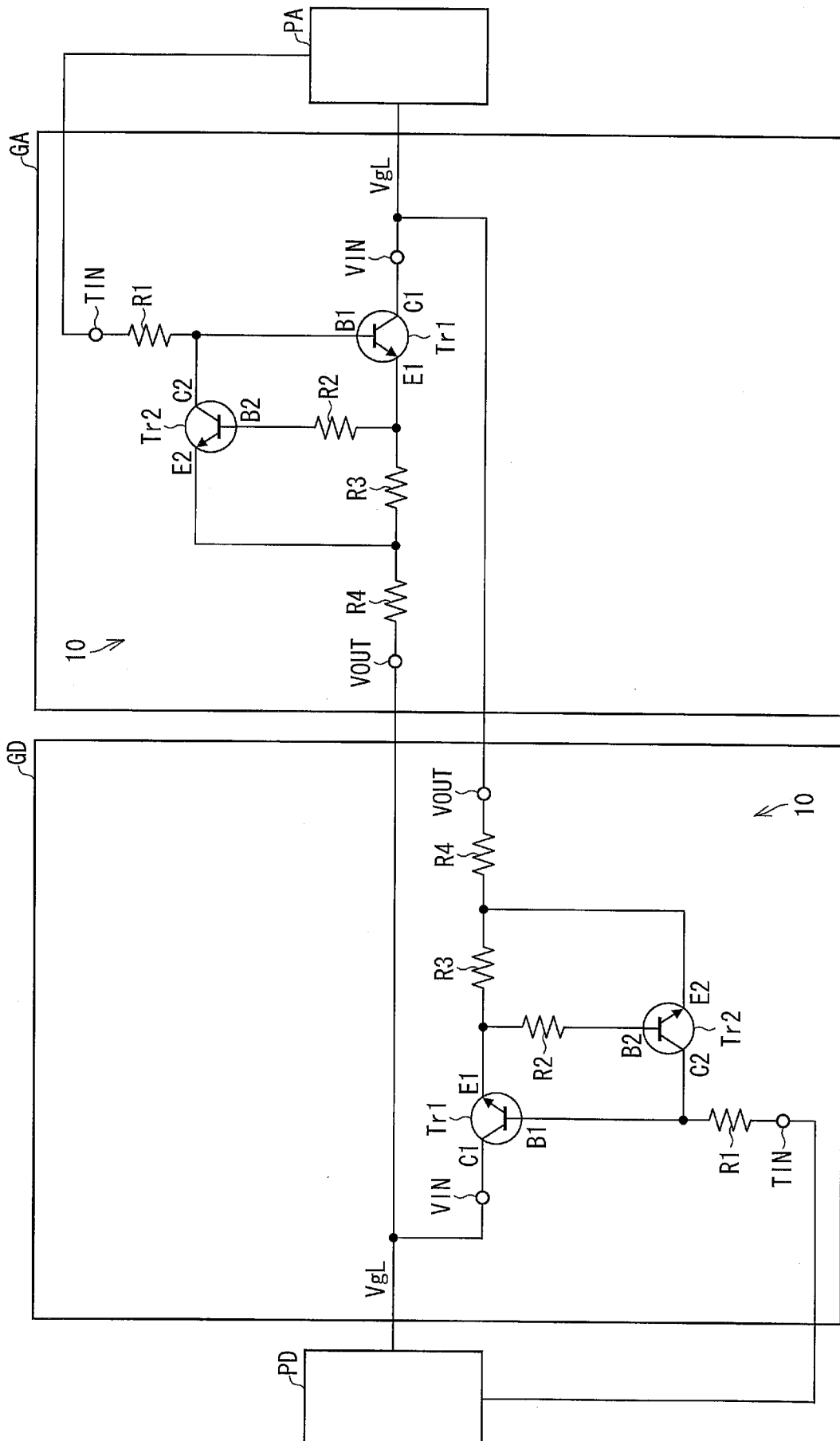
[請求項 11] 上記分割領域は、一つの液晶パネルに配されていることを特徴とする請求項 9 又は 10 に記載の表示装置。

[請求項 12] 上記第 1 及び第 2 のドライバ基板は、上記 4 つの分割領域のうち、2 つの分割領域のそれぞれと接続されており、さらに、残りの 2 つの分割領域のそれぞれと接続されている第 3 及び第 4 のドライバ基板を備えていることを特徴とする請求項 10 に記載の表示装置。

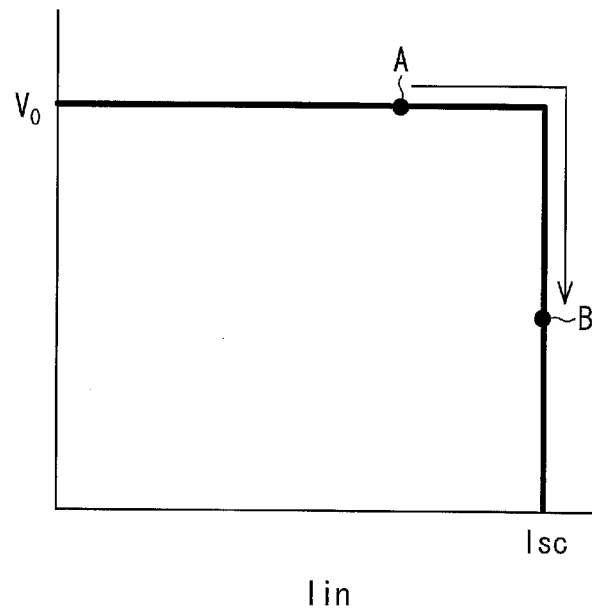
[請求項 13] 上記第 1 の電源回路は、上記第 1 ～ 第 4 のドライバ基板のうち、2 つとそれぞれ接続されており、上記第 2 の電源回路は、上記第 1 ～ 第 4 のドライバ基板のうち、残りの 2 つのそれぞれと接続されていることを特徴とする請求項 12 に記載の表示装置。

[請求項 14] 上記第 1 の電源回路は上記第 1 のドライバ基板と接続されており、
 上記第 2 の電源回路は上記第 2 のドライバ基板と接続されており、
 さらに、上記第 3 のドライバ基板と接続されている第 3 の電源回路と、
 第 4 のドライバ基板と接続されている第 4 の電源回路とを備えていることを特徴とする請求項 12 に記載の表示装置。

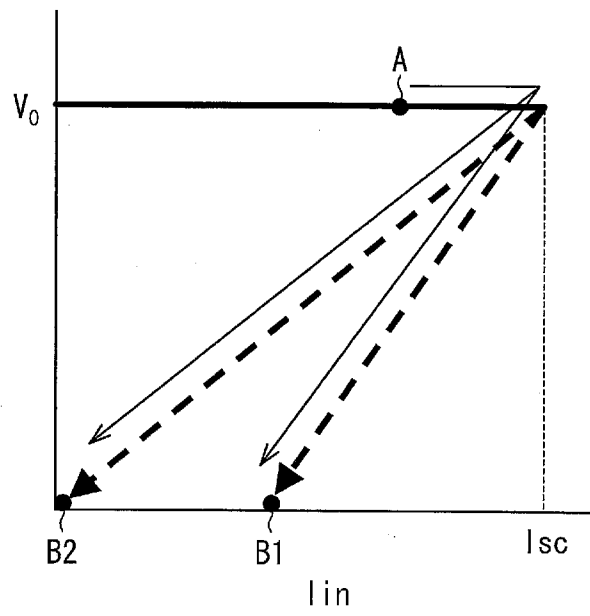
[図2]



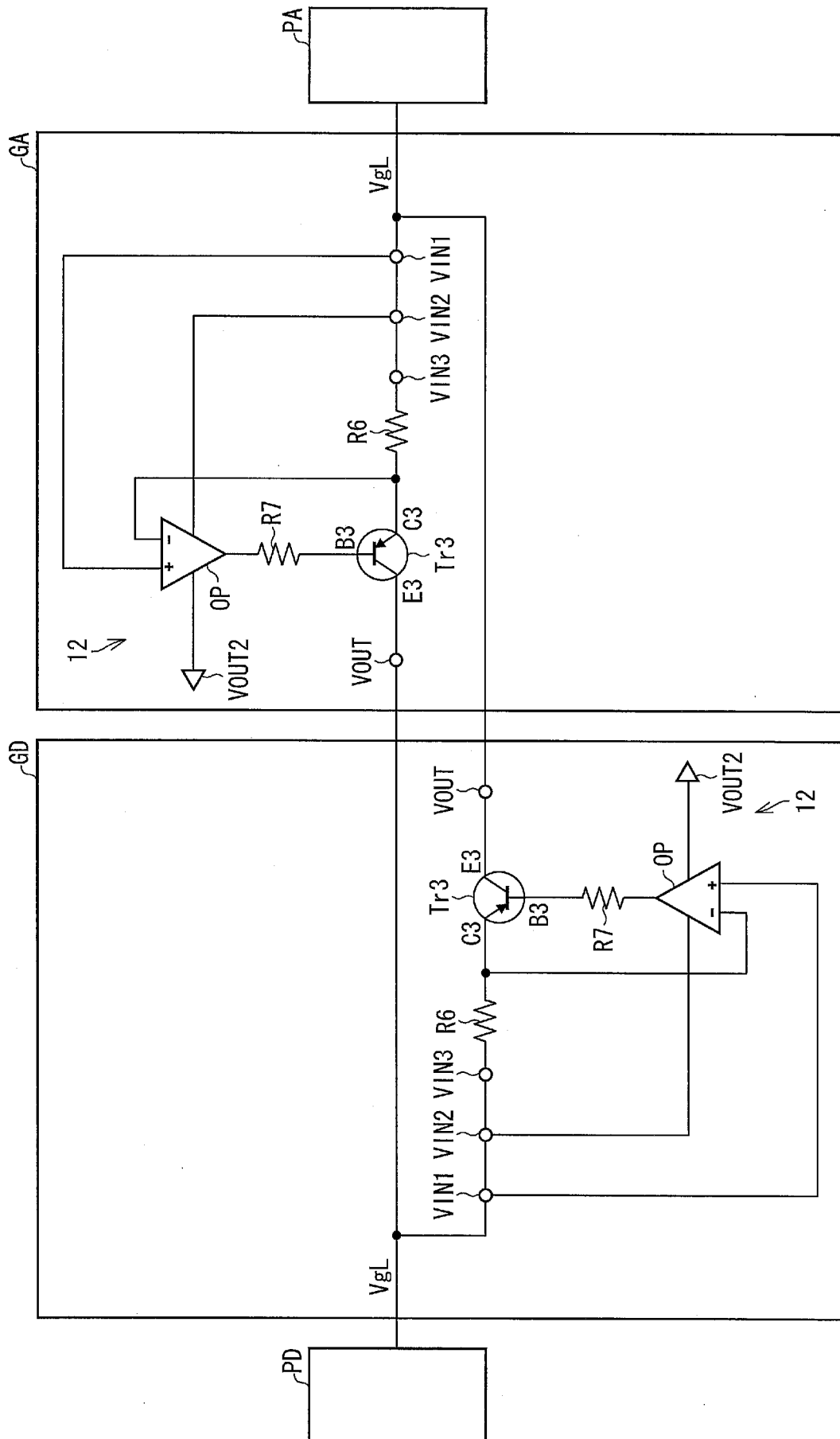
[図3]



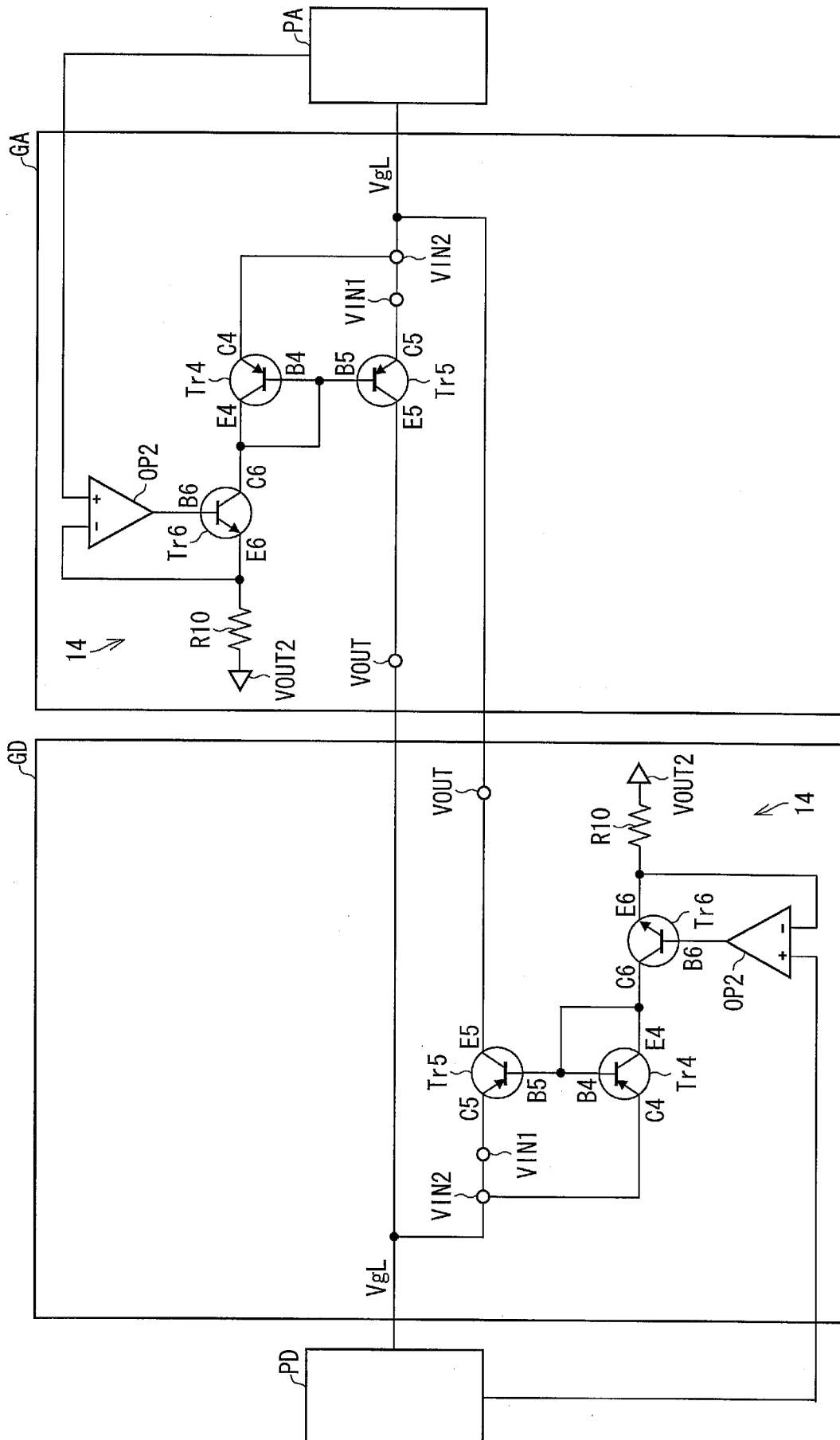
[図5]



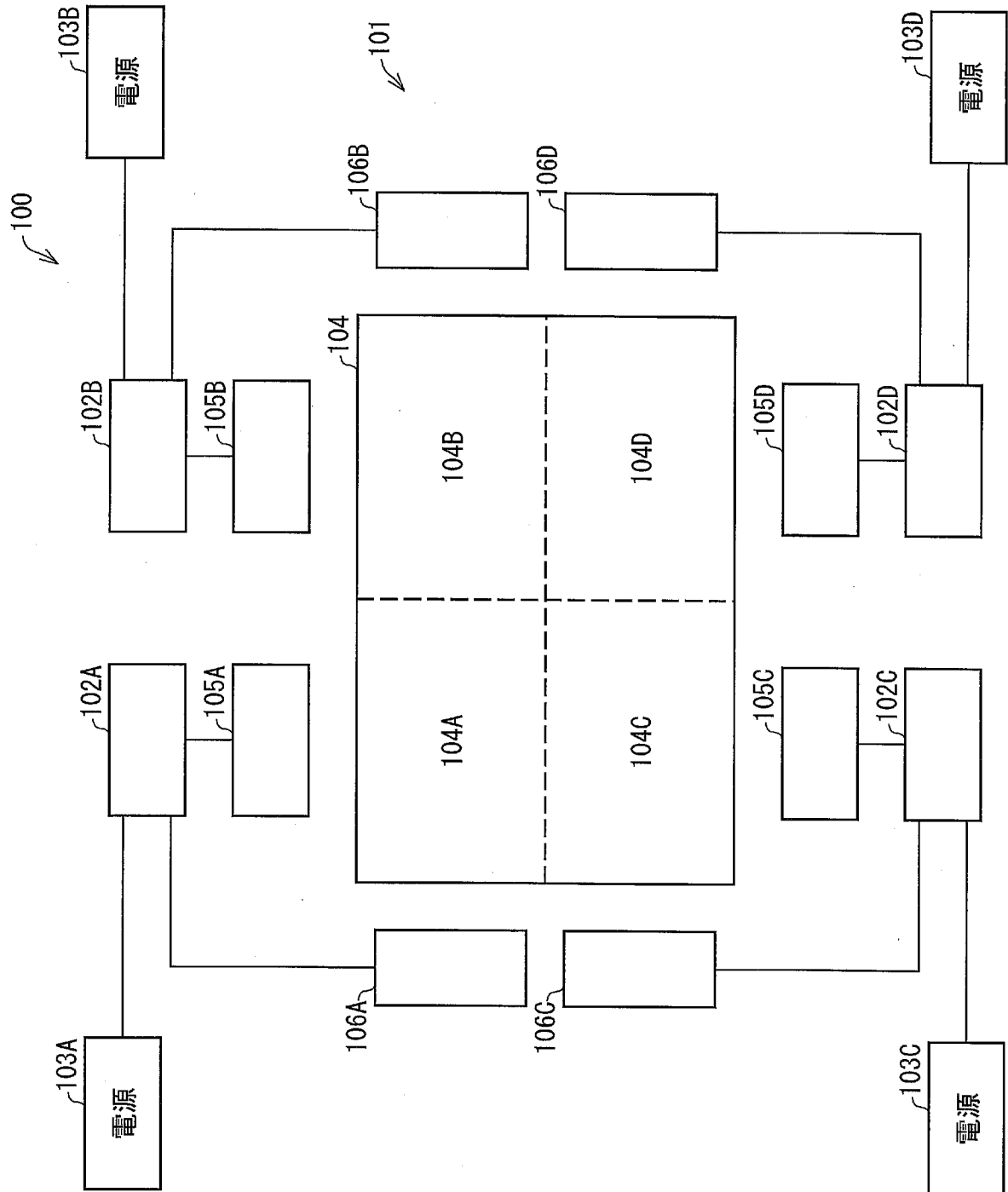
[図6]



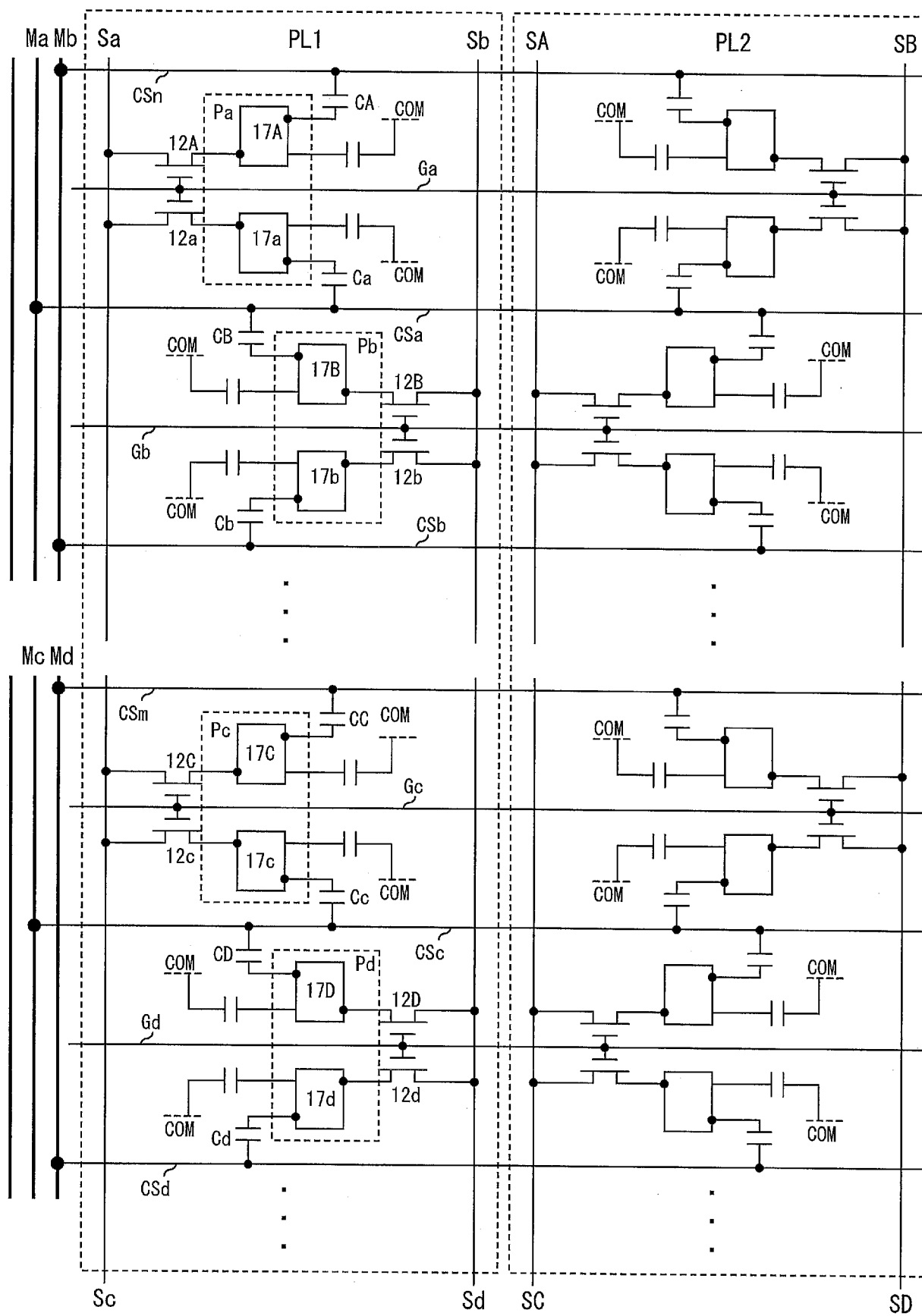
[図8]



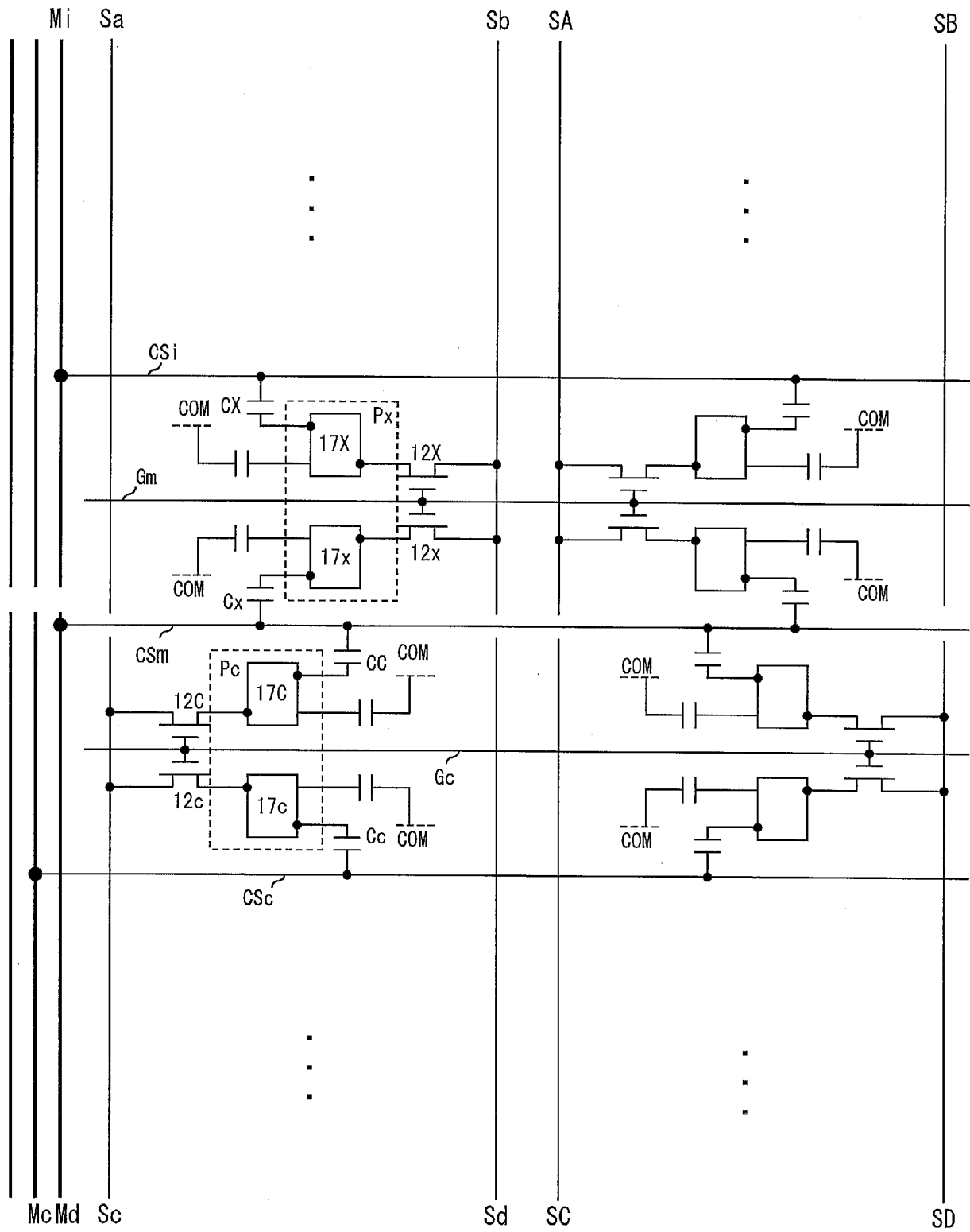
[図9]



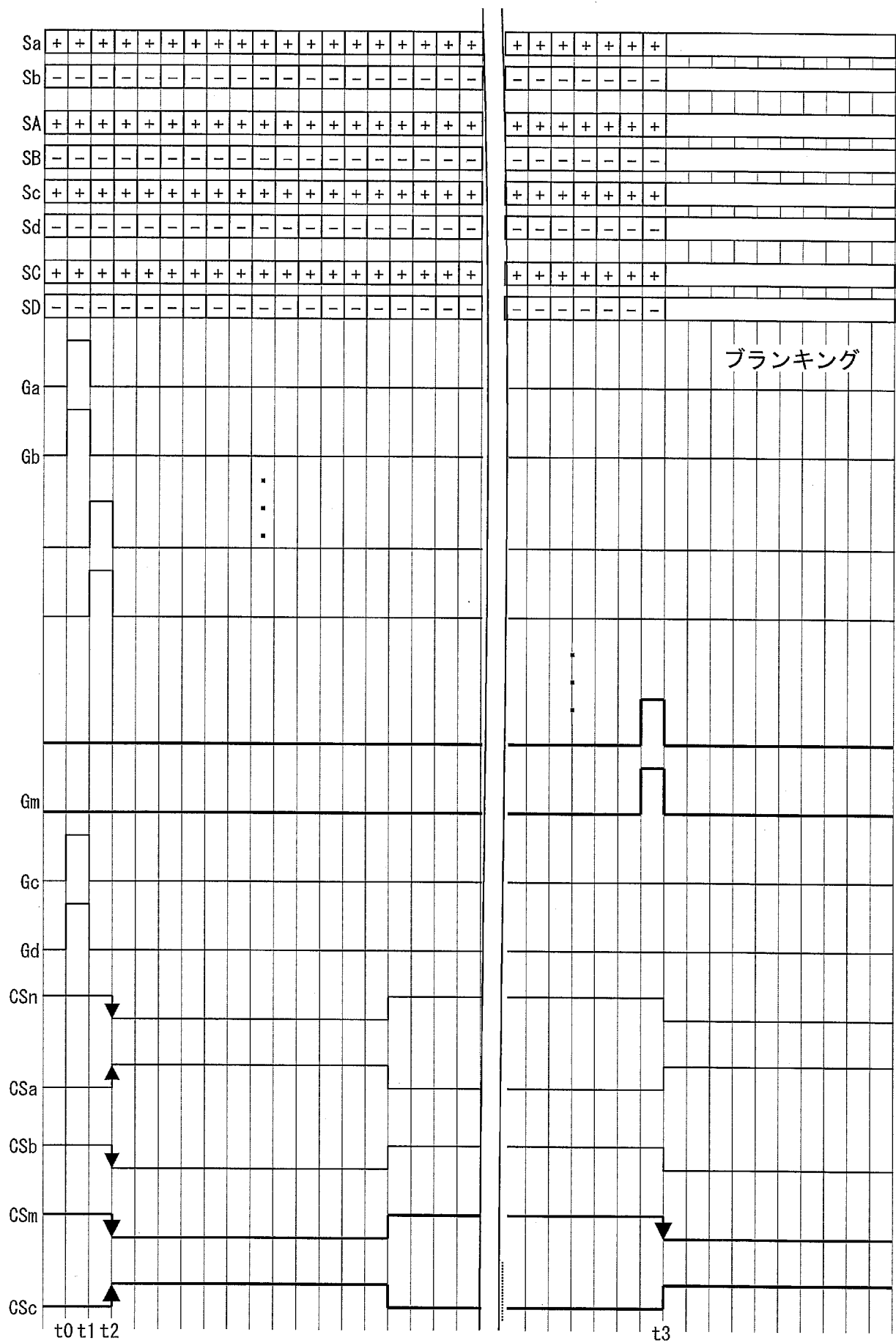
[図10]



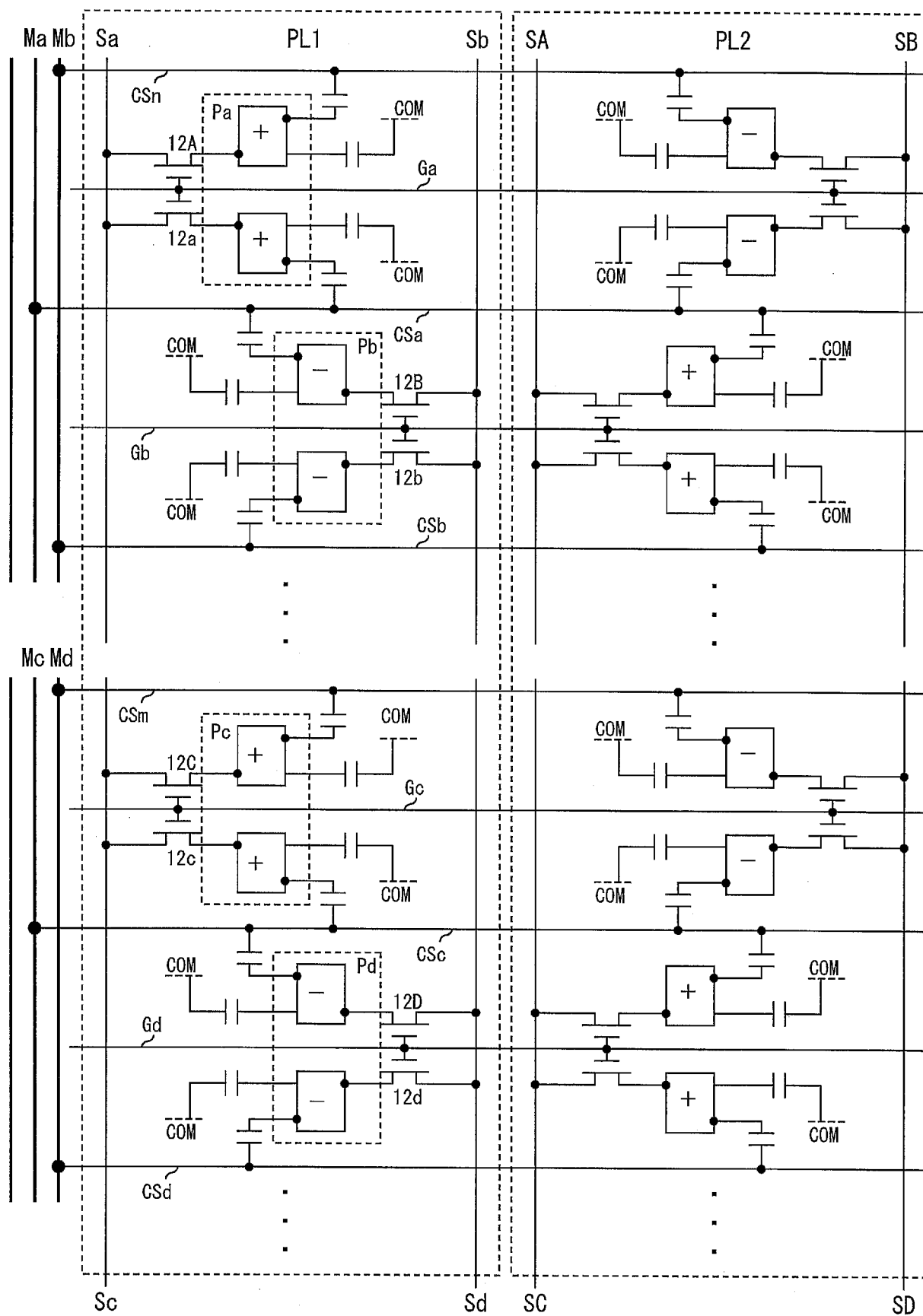
[図11]



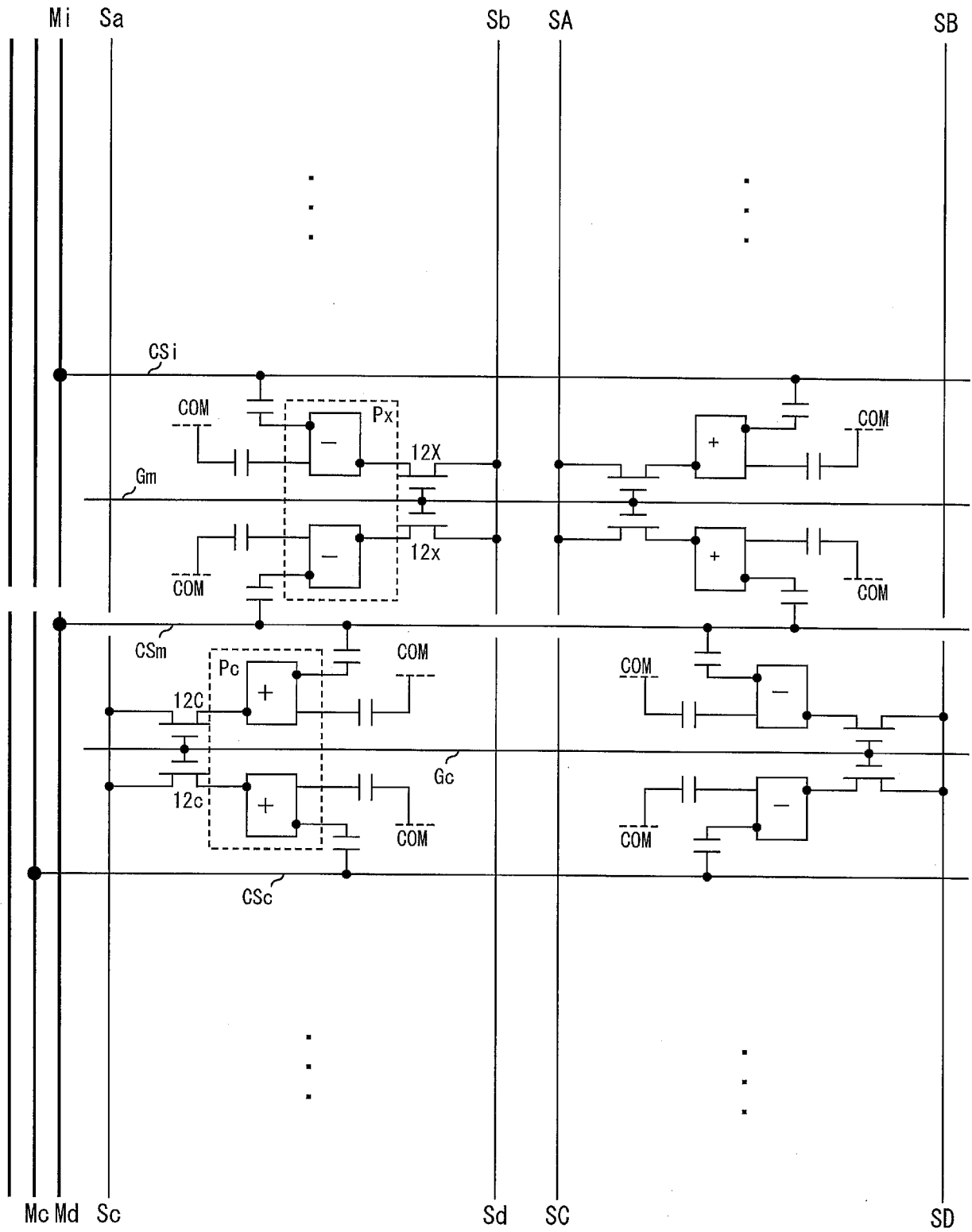
[図12]



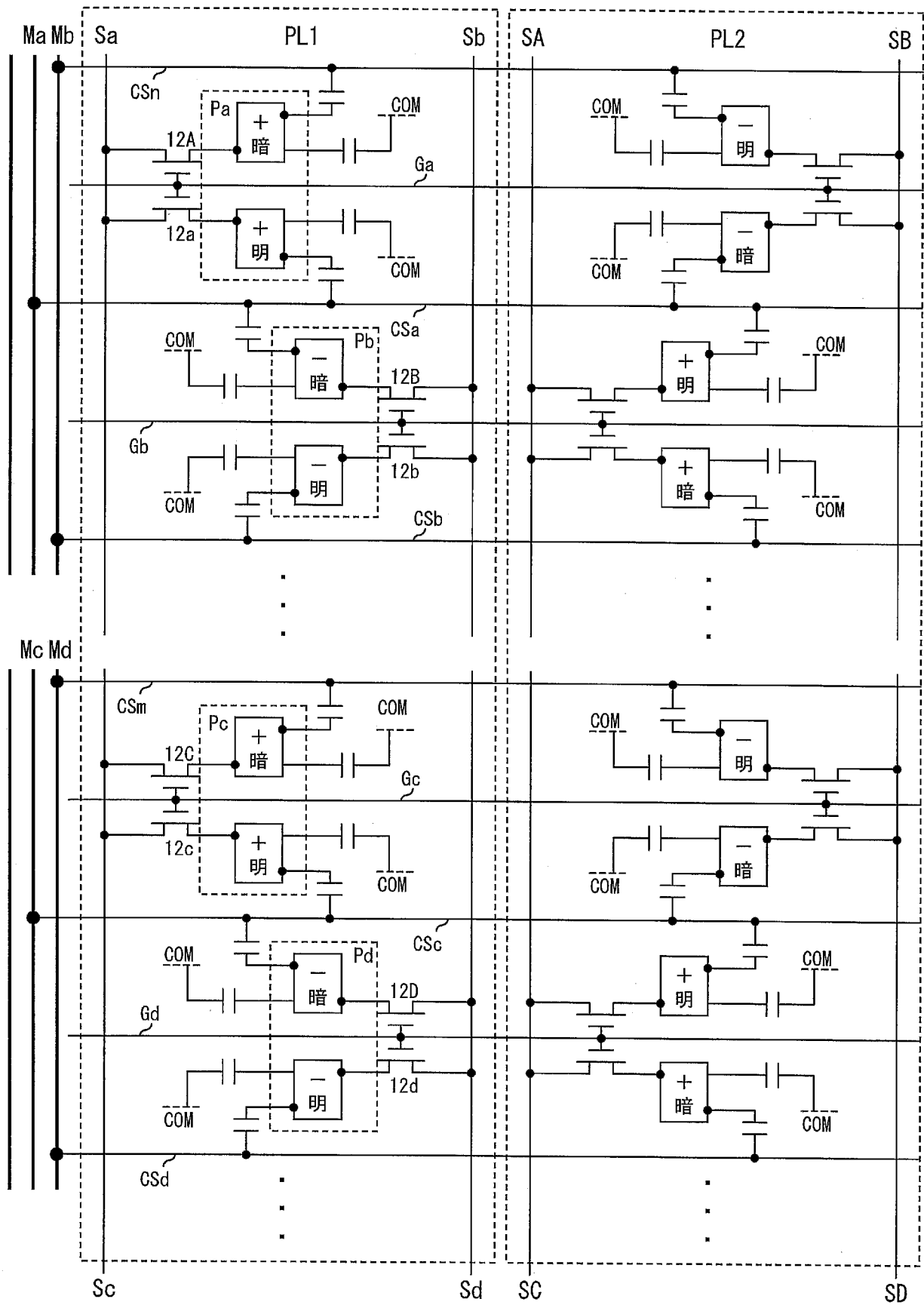
[図13]



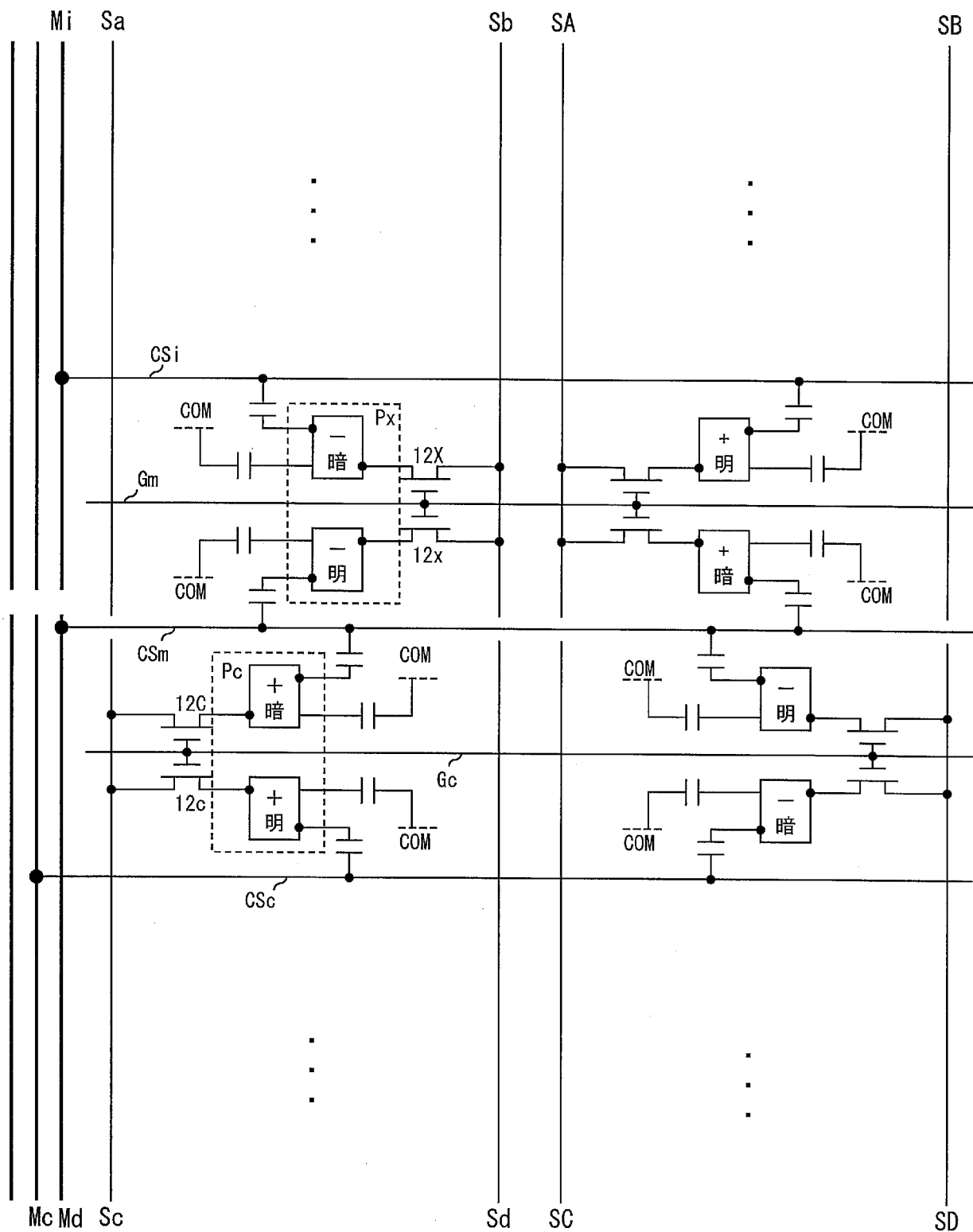
[図14]



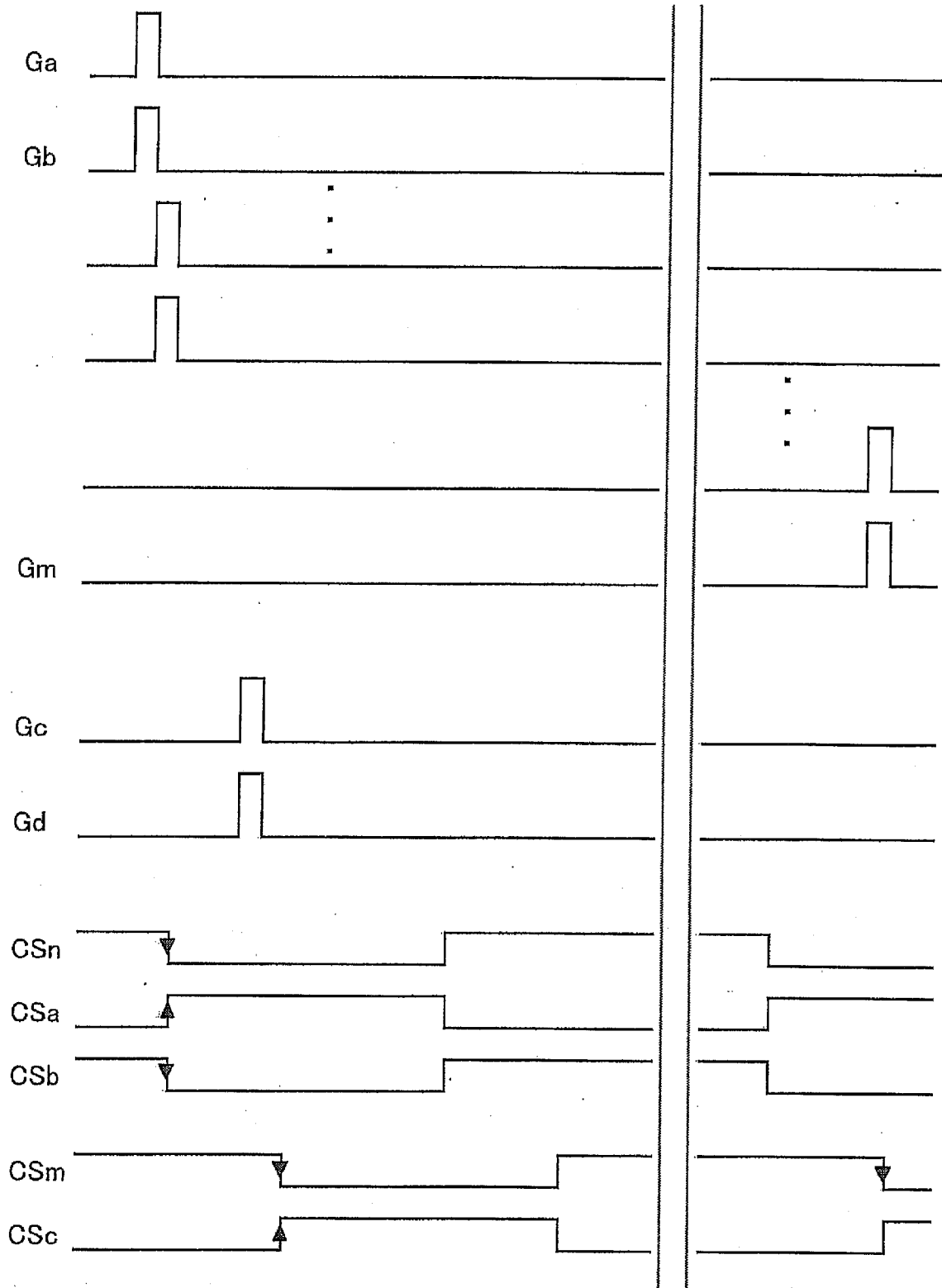
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062713

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09F9/00(2006.01)i, G09F9/30
(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09F9/00, G09F9/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-200394 A (NEC Corp.), 11 August 1989 (11.08.1989), page 2, upper right column, line 1, to lower right column, line 2; fig. 1 (Family: none)	1-14
A	JP 9-34396 A (NEC Corp.), 07 February 1997 (07.02.1997), paragraphs [0059] to [0075]; fig. 4 to 5 (Family: none)	1-14
A	JP 2009-47866 A (Toshiba Corp.), 05 March 2009 (05.03.2009), paragraphs [0014] to [0051]; fig. 1 to 7 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2012 (04.06.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062713

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-281686 A (International Business Machines Corp.), 10 October 2001 (10.10.2001), paragraphs [0022] to [0024]; fig. 3 to 5 & US 2001/0033259 A1	1-14
A	JP 2006-330404 A (Sharp Corp.), 07 December 2006 (07.12.2006), paragraphs [0019] to [0027]; fig. 1 to 3 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/36, G02F1/133, G09F9/00, G09F9/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 1-200394 A (日本電気株式会社) 1989.08.11, 第2頁右上欄第1行 - 第2同右下欄第2行, 第1図 (ファミリーなし)	1-14
A	JP 9-34396 A (日本電気株式会社) 1997.02.07, 段落【0059】 - 【0075】, 【図4】 - 【図5】 (ファミリーなし)	1-14
A	JP 2009-47866 A (株式会社東芝) 2009.03.05, 段落【0014】 - 【0051】, 【図1】 - 【図7】 (ファミリーなし)	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-281686 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2001. 10. 10, 段落【0022】－【0024】, 【図3】－【図5】 & US 2001/0033259 A1	1-14
A	JP 2006-330404 A (シャープ株式会社) 2006. 12. 07, 段落【0019】－【0027】, 【図1】－【図3】 (ファミリーなし)	1-14