

(19)日本国特許庁(JP)

**(12)特許公報(B2)**

(11)特許番号  
**特許第7523552号**  
**(P7523552)**

(45)発行日 令和6年7月26日(2024.7.26)

(24)登録日 令和6年7月18日(2024.7.18)

(51)国際特許分類

H 02 H	7/20 (2006.01)	H 02 H	7/20	D
H 02 M	1/00 (2007.01)	H 02 M	1/00	C
H 02 M	1/08 (2006.01)	H 02 M	1/08	A

F I

請求項の数 10 (全19頁)

(21)出願番号 特願2022-546858(P2022-546858)  
 (86)(22)出願日 令和2年9月7日(2020.9.7)  
 (86)国際出願番号 PCT/JP2020/033793  
 (87)国際公開番号 WO2022/049772  
 (87)国際公開日 令和4年3月10日(2022.3.10)  
 審査請求日 令和5年2月2日(2023.2.2)

(73)特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74)代理人 110001195  
 弁理士法人深見特許事務所  
 三井 陽平  
 東京都千代田区丸の内二丁目7番3号  
 三菱電機株式会社内  
 今村 泰隆  
 東京都千代田区丸の内二丁目7番3号  
 三菱電機株式会社内  
 堀口 剛司  
 東京都千代田区丸の内二丁目7番3号  
 三菱電機株式会社内  
 (72)発明者 棚木 康滋

最終頁に続く

(54)【発明の名称】 半導体素子の駆動装置、半導体装置および電力変換装置

**(57)【特許請求の範囲】****【請求項1】**

ゲート端子を有する電力用の半導体素子の駆動装置であって、  
 第1電圧源と、  
 スイッチング素子と、  
 前記スイッチング素子を介して前記第1電圧源と並列に接続されるコンデンサと、  
 前記コンデンサと前記半導体素子の前記ゲート端子との間に設けられ、前記ゲート端子  
 に印加される電圧を切替可能に構成される切替装置と、  
 前記コンデンサの電圧と第1基準値との比較結果を示す信号を出力する第1比較装置と、  
 前記ゲート端子の電圧または前記コンデンサの電圧を微分した値と第2基準値との比較  
 結果を示す信号を出力する第2比較装置と、  
 前記第1比較装置の出力信号と前記第2比較装置の出力信号とを用いて前記半導体素子  
 が短絡状態であるか否かを判定する判定器と、  
 を備える、半導体素子の駆動装置。

**【請求項2】**

前記第1比較装置は、  
 前記コンデンサの電圧が前記第1基準値以下である場合にロー状態を示す信号を出力  
 し、  
 前記コンデンサの電圧が前記第1基準値よりも大きい場合にハイ状態を示す信号を出  
 力し、

10

20

前記第2比較装置は、

前記ゲート端子の電圧または前記コンデンサの電圧を微分した値が前記第2基準値以下である場合にロー状態を示す信号を出力し、

前記ゲート端子の電圧または前記コンデンサの電圧を微分した値が前記第2基準値よりも大きい場合にハイ状態を示す信号を出力し、

前記判定器は、

前記第1比較装置の出力信号が前記ハイ状態である時に前記第2比較装置の出力信号が前記ロー状態から前記ハイ状態に変化した場合、前記半導体素子が短絡状態であると判定し、

前記第2比較装置の出力信号が前記ロー状態である時に前記第1比較装置の出力信号が前記ハイ状態から前記ロー状態に変化した場合、前記半導体素子が短絡状態ではないと判定する、請求項1に記載の半導体素子の駆動装置。 10

#### 【請求項3】

前記第1電圧源と直列に接続される第2電圧源をさらに備え、

前記切替装置は、前記第1電圧源および前記第2電圧源と並列に接続され、前記ゲート端子に印加される電圧を、前記第1電圧源または前記コンデンサからの正電圧と、前記第2電圧源からの負電圧との間で切替可能に構成される、請求項1または2に記載の半導体素子の駆動装置。 20

#### 【請求項4】

前記半導体素子に接続可能な出力端子と、

前記コンデンサと前記出力端子との間に設けられ、前記判定器の出力に応じて前記コンデンサと前記出力端子を切り離すように動作する切り離し装置と、

前記切り離し装置およびダイオードを介して前記コンデンサと並列に接続されるとともに前記ダイオードを介して前記出力端子に接続され、前記コンデンサの電圧よりも低い電圧を出力する安定化用の電圧源と、

をさらに備える、請求項1～3のいずれか1項に記載の半導体素子の駆動装置。

#### 【請求項5】

前記コンデンサの電圧と、前記第1基準値とは異なる基準値との比較結果を示す信号を出力する第3比較装置と、

前記ゲート端子の電圧または前記コンデンサの電圧を微分した値と、前記第2基準値とは異なる基準値との比較結果を示す信号を出力する第4比較装置とをさらに備え、 30

前記判定器は、前記第1比較装置の出力信号、前記第2比較装置の出力信号、前記第3比較装置の出力信号、および前記第4比較装置の出力信号を用いて前記半導体素子のミラーパー期間を検出し、

前記切り離し装置は、前記判定器によって前記ミラー期間が検出されたことに応じて前記コンデンサと前記出力端子とを切り離すように動作する、請求項4に記載の半導体素子の駆動装置。

#### 【請求項6】

前記第2比較装置は、

前記コンデンサの電圧の微分値を出力する微分器と、

前記微分器の出力と前記第2基準値とを比較する比較器と、

を備える、請求項1～5のいずれか1項に記載の半導体素子の駆動装置。 40

#### 【請求項7】

前記半導体素子をオン状態にするときの前記ゲート端子の電圧をV<sub>on</sub>、前記半導体素子をオフ状態にするときの前記ゲート端子の電圧をV<sub>off</sub>、前記半導体素子の入力容量をC<sub>i</sub>、前記コンデンサの充電電圧をV<sub>c</sub>、前記コンデンサの容量をC<sub>b</sub>と記載するとき、

前記コンデンサの容量C<sub>b</sub>が、

$$C_b = \{ |V_{off} - V_{on}| / |V_c - V_{on}| \times C_i \}$$

の関係式を満たす、請求項1～6のいずれか1項に記載の半導体素子の駆動装置。

#### 【請求項8】

前記半導体素子は、シリコン、シリコンカーバイド、ガリウムナイトライド、および酸化ガリウムのいずれかを材料とする素子である、請求項1～7のいずれか1項に記載の半導体素子の駆動装置。

【請求項9】

請求項1～8のいずれか1項に記載の駆動装置および半導体素子を備える、半導体装置。

【請求項10】

請求項1～8のいずれか1項に記載の駆動装置および半導体素子を有し、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、

を備えた電力変換装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体素子の駆動装置、および、その半導体素子と駆動装置とを有する半導体装置ならびに電力変換装置に関する。

【背景技術】

【0002】

電力変換器を構成する電力用の半導体素子にはSi(シリコン)を材料とするIGBT(Insulated Gate Bipolar Transistor)がよく用いられるが、最近では電力変換器の更なる小型化、高効率化を実現するためにSiC(シリコンカーバイト)を材料とするMOSFET(Metal Oxide Semiconductor Field Effect Transistor)の適用が盛んになってきている。

20

【0003】

電力変換器において電力用の半導体素子が短絡状態になると、電力変換器の直流リンク電圧が電力用の半導体素子に印加された状態で大電流が流れることになり、非常に大きな損失(熱)が発生する可能性がある。そのため、電力変換器の信頼性を確保するためには、電力用の半導体素子の短絡状態を検出する回路を設けることが望ましい。

【0004】

電力用の半導体素子の短絡状態を高速に検出する手段として、従来の電力用の半導体素子の駆動装置のなかには、電力用の半導体素子のゲートに供給されるゲート電荷量を検出する装置と、電力用の半導体素子のゲート電圧を検出する装置とを備える駆動装置がある(例えば特許文献1)。

30

【先行技術文献】

【特許文献】

【0005】

【文献】特開2015-53749号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特開2015-53749号公報(特許文献1)に記載の駆動装置は、ゲート電荷量とゲート電圧との関係が短絡時と通常時とで異なることを利用して短絡状態を検出するために、ゲート電荷量を検出する検出装置が必要になる。この検出装置は、電流センサの出力およびゲート抵抗の両端電圧をモニタすることでゲート電圧を検出し、検出されたゲート電圧を積分することによってゲート電荷量を検出する。そのため、積分器が必要となり、回路規模が大きくなってしまうという課題があった。

40

【0007】

本開示は、上述の課題を解決するためになされたものであって、その目的は、積分器を使用することなく簡素な回路で電力用の半導体素子の短絡判定を行なうことを可能にすることである。

【課題を解決するための手段】

50

**【 0 0 0 8 】**

本開示による駆動装置は、ゲート端子を有する電力用の半導体素子の駆動装置であって、第1電圧源と、スイッチング素子と、スイッチング素子を介して第1電圧源と並列に接続されるコンデンサと、コンデンサと半導体素子のゲート端子との間に設けられ、ゲート端子に印加される電圧を切替可能に構成される切替装置と、コンデンサの電圧と第1基準値との比較結果を示す信号を出力する第1比較装置と、ゲート端子の電圧または電圧微分値と第2基準値との比較結果を示す信号を出力する第2比較装置と、第1比較装置の出力信号と第2比較装置の出力信号とを用いて半導体素子が短絡状態であるか否かを判定する判定器と、を備える。

**【 0 0 0 9 】**

10

上記の駆動装置においては、ゲート電荷量を直接的に検出した結果で半導体素子の短絡判定を行なうのではなく、コンデンサの電圧とスイッチング素子のゲート電圧またはその微分値とをモニタすることによって、半導体素子の短絡判定を行なう。そのため、ゲート電荷量を検出するための積分器を使用することなく、簡素な回路で半導体素子の短絡判定を行なうことができる。

**【発明の効果】****【 0 0 1 0 】**

本開示によれば、積分器を使用することなく簡素な回路で電力用の半導体素子の短絡判定を行なうことができる。

**【図面の簡単な説明】**

20

**【 0 0 1 1 】**

【図1】半導体装置の一例を示す図（その1）である。

【図2】ゲート電荷量とゲート電圧との関係、および、コンデンサ電圧とゲート電圧との関係を示す図である。

【図3】短絡判定器の処理手順の一例を示すフローチャートである。

【図4】半導体装置の一例を示す図（その2）である。

【図5】半導体装置の一例を示す図（その3）である。

【図6】ゲート電荷量とゲート電流との関係の一例を示す図である。

【図7】半導体装置の一例を示す図（その4）である。

【図8】半導体装置の一例を示す図（その5）である。

30

【図9】ゲート電荷量とゲート電圧との関係の一例を示す図（その1）である。

【図10】半導体装置の一例を示す図（その6）である。

【図11】ゲート電荷量とゲート電圧との関係の一例を示す図（その2）である。

【図12】電力変換システムの構成を示すブロック図である。

**【発明を実施するための形態】****【 0 0 1 2 】**

以下、本開示の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

**【 0 0 1 3 】**

40

実施の形態1.

図1は、本実施の形態1による駆動装置100を有する半導体装置Dの一例を示す図である。半導体装置Dは、電力用の半導体素子であるスイッチング素子1と、スイッチング素子1を駆動するための駆動装置100とを備える。

**【 0 0 1 4 】**

本実施の形態1においては、スイッチング素子1がMOSFETである場合について説明する。一般的に、MOSFETは、ゲート電圧（ゲートソース間電圧）がしきい電圧未満である場合にドレイン電流（ソースとドレインとの間を流れる電流）が生じないオフ状態（遮断状態）となり、ゲート電圧がしきい電圧以上である場合にドレイン電流が生じるオン状態（導通状態）となるように構成される。

**【 0 0 1 5 】**

50

以下に説明するスイッチング素子 5, 6, 15, 50についても、スイッチング素子 1 と同様に、MOSFETである場合について説明する。なお、スイッチング素子 1 およびスイッチング素子 5, 6, 15, 50 は、MOSFETに限定されるものではなく、例えば、IGBT等の電圧駆動型の半導体素子であってもよい。また、IGBTは、逆導通 IGBT (RC-IGBT) であってもよい。

#### 【0016】

また、スイッチング素子 1, 5, 6, 15 は、Si (シリコン)、SiC (シリコンカーバイド)、GaN (ガリウムナイトライド)、および  $\text{Ga}_2\text{O}_3$  (酸化ガリウム) のいずれかを材料としたデバイスに適用可能である。

#### 【0017】

駆動装置 100 は、指令部 2 と、電圧源 3, 7, 9 と、コンデンサ 4 と、スイッチング素子 5, 6, 15 と、ダイオード 8 と、一対の出力端子 17, 18 と、第 1 比較装置 U1 と、第 2 比較装置 U2 と、短絡判定器 14 と、ゲート抵抗 16 と、を備える。第 1 比較装置 U1 は、比較部 10 と電圧源 11 とを備える。第 2 比較装置 U2 は、比較部 12 と電圧源 13 とを備える。

#### 【0018】

出力端子 17, 18 は、スイッチング素子 1 のゲートおよびソースにそれぞれ接続される。

#### 【0019】

電圧源 3 は、スイッチング素子 15 を介してコンデンサ 4 に接続される。具体的には、電圧源 3 の正極はスイッチング素子 15 を介してコンデンサ 4 の一方端に接続され、電圧源 3 の負極はコンデンサ 4 の他方端に接続される。

#### 【0020】

電圧源 9 は、電圧源 3 と直列に接続される。電圧源 9 の正極は電圧源 3 の負極および出力端子 18 に接続され、電圧源 9 の負極はスイッチング素子 6 のドレイン端子に接続される。

#### 【0021】

コンデンサ 4 は、スイッチング素子 15 を介して電圧源 3 と並列に接続される。

電圧源 7 は、ダイオード 8 を介してコンデンサ 4 の一方端に接続され、コンデンサ 4 の一方端に駆動電圧  $V_{on}$  を供給する。電圧源 7 およびダイオード 8 によって、スイッチング素子 1 の定常オン状態の電圧が駆動電圧  $V_{on}$  に安定する。

#### 【0022】

スイッチング素子 5 は、N 型のMOSFETである。スイッチング素子 5 のソース端子は、ゲート抵抗 16 を介して駆動装置 100 の出力端子 17 に接続される。ゲート抵抗 16 は、スイッチング素子 5 のスイッチング速度を調節するための抵抗である。スイッチング素子 5 のドレイン端子は、コンデンサ 4 の一方端に接続されるとともに、スイッチング素子 15 を介して電圧源 3 の正極に接続される。

#### 【0023】

スイッチング素子 5 のゲート端子は、指令部 2 に接続され、指令部 2 からのゲート電圧を受ける。スイッチング素子 5 のゲート端子に指令部 2 からのゲート電圧が印加されると、スイッチング素子 5 はオン状態となり、コンデンサ 4 の一方端と出力端子 17 とが接続される。これにより、駆動装置 100 の出力電圧は、コンデンサ 4 の電圧（コンデンサ 4 の端子間電圧、以下、単に「コンデンサ電圧」ともいう）となる。

#### 【0024】

スイッチング素子 6 は、スイッチング素子 5 と同様、N 型のMOSFETである。スイッチング素子 6 のドレイン端子は、ゲート抵抗 16 を介して駆動装置 100 の出力端子 17 に接続される。スイッチング素子 6 のソース端子は、電圧源 9 の負極に接続される。

#### 【0025】

スイッチング素子 6 のゲート端子は、指令部 2 に接続され、指令部 2 からのゲート電圧を受ける。スイッチング素子 6 のゲート端子に指令部 2 からのゲート電圧が印加されると

10

20

30

40

50

、スイッチング素子 6 はオン状態となり、電圧源 9 の負極と出力端子 17 とが接続される。これにより、出力電圧は、電圧源 9 により供される負バイアス電位  $V_{off}$  となる。

#### 【0026】

スイッチング素子 5, 6 は、指令部 2 により、互いに相補的に動作するように制御される。すなわち、スイッチング素子 5 がオン状態である場合にスイッチング素子 6 はオフ状態となり、スイッチング素子 5 がオフ状態である場合にスイッチング素子 6 はオン状態となる。これにより、スイッチング素子 1 の定常オン時にスイッチング素子 1 のゲート端子に駆動電圧  $V_{on}$  を印加し、スイッチング素子 1 の定常オフ時にスイッチング素子 1 のゲート端子に負バイアス電位  $V_{off}$  を印加することができる。

#### 【0027】

指令部 2 は、外部より入力されるゲート信号に基づいて予め指定されたタイミングでスイッチング素子 5, 6, 15 にゲート電圧をそれぞれ与えることによって、スイッチング素子 5, 6, 15 のオンオフを制御する。指令部 2 は、スイッチング素子 5 のオンオフと、スイッチング素子 6 のオンオフと、スイッチング素子 15 のオンオフとを、それぞれ別々に制御可能に構成される。

10

#### 【0028】

スイッチング素子 1 は、指令部 2 からの信号に基づいて、オン状態、オフ状態を遷移する。

#### 【0029】

スイッチング素子 1 をオフ状態にする場合、指令部 2 は、スイッチング素子 15 をオン状態にし、スイッチング素子 5 をオフ状態にし、スイッチング素子 6 をオン状態にするためのオフ指令を各スイッチング素子 5, 6, 15 に出力する。スイッチング素子 15 がオン状態とされることにより、コンデンサ 4 が電圧源 3 にて充電されてコンデンサ電圧が電圧源 3 の出力電圧となる。これにより、スイッチング素子 1 のスイッチングに必要な電荷量がコンデンサ 4 に蓄えられる。また、スイッチング素子 5 がオフ状態、スイッチング素子 6 がオン状態とされることにより、スイッチング素子 1 のゲート端子には、電圧源 9 からの負バイアス電位  $V_{off}$  が印加される。

20

#### 【0030】

スイッチング素子 1 をオフ状態からオン状態に変化させる場合、指令部 2 は、まずスイッチング素子 15 をオン状態からオフ状態に変化させることによって、コンデンサ 4 を電圧源 3 から切り離す。

30

#### 【0031】

その後、指令部 2 は、スイッチング素子 5 をオン状態、スイッチング素子 6 をオフ状態にそれぞれ切り替える。これにより、スイッチング素子 1 のゲート端子は、ゲート抵抗 16 を介してコンデンサ 4 に接続される。コンデンサ 4 に充電された電荷はスイッチング素子 1 のゲートへ流入する。スイッチング素子 1 のゲート電圧が上昇するにつれて、コンデンサ 4 の電圧は低下する。このとき、コンデンサ電圧の初期値（電圧源 3 の出力電圧）を駆動電圧  $V_{on}$ （電圧源 7 の出力電圧）よりも高い電圧に設定することにより、駆動電圧  $V_{on}$  にて定電圧駆動をした場合と比較し、スイッチング素子 1 を高速でスイッチングすることが可能となる。

40

#### 【0032】

コンデンサ電圧が初期値から駆動電圧  $V_{on}$  まで低下すると、ダイオード 8 が導通し、出力電圧は駆動電圧  $V_{on}$  で一定となる。このとき、駆動装置 100 からスイッチング素子 1 のゲートへ流入した電荷量（以下「ゲート電荷量」ともいう）は、コンデンサ 4 が放出した電荷量に等しい。そのため、ゲート電荷量を「 $Q_g$ 」、コンデンサ 4 の容量を「 $C_b$ 」、コンデンサ電圧の減少幅を「 $\Delta V$ 」と記載するとき、これらの間には、下記の関係式（1）が成立する。

#### 【0033】

$$\Delta V \times C_b = Q_g \dots (1)$$

上記の関係式（1）において、コンデンサ 4 の容量  $C_b$  は予め決められた値であるため

50

、コンデンサ電圧を検出してコンデンサ電圧の減少幅  $V$  を求めることによって、ゲート電荷量  $Q_g$  を検出することができる。そのため、ゲート電荷量  $Q_g$  を検出するにあたり、積分回路等の演算回路が不要であり、コンデンサ電圧からゲート電荷量  $Q_g$  を直接的に検出することができる。そのため、回路規模を小さくすることができる。

#### 【0034】

第1比較装置 U1 は、上記の関係式(1)を利用して、コンデンサ電圧からゲート電荷量  $Q_g$  を検出する。具体的には、第1比較装置 U1 は、上述したように、比較部 10 と、電圧源 11 とを備える。電圧源 11 は基準値  $V_{QR}$  の電圧を比較部 10 に出力する。

#### 【0035】

比較部 10 は、コンデンサ電圧を電圧源 11 が出力する基準値  $V_{QR}$  の電圧と比較してコンデンサ電圧が基準値  $V_{QR}$  に低下したことを検出することで、ゲート電荷量  $Q_g$  が基準値  $Q_R$  に達したことを検出する。

#### 【0036】

比較部 10 は、コンデンサ電圧と基準値  $V_{QR}$ との比較結果を示す出力信号 S1 を短絡判定器 14 に出力する。比較部 10 は、コンデンサ電圧が基準値  $V_{QR}$  以下である場合には出力信号 S1 をロー状態にし、コンデンサ電圧が基準値  $V_{QR}$  よりも大きい場合には出力信号 S1 をハイ状態にする。

#### 【0037】

また、第2比較装置 U2 は、上述したように、比較部 12 と、電圧源 13 とを備える。電圧源 13 は、基準値  $V_R$  の電圧を比較部 12 に出力する。比較部 12 は、スイッチング素子 1 のゲート電圧（駆動装置 100 からスイッチング素子 1 のゲート端子に印加される電圧）と、電圧源 13 が出力する基準値  $V_R$  の電圧とを比較することにより、スイッチング素子 1 のゲート電圧が基準値  $V_R$  に達したことを検出する。

#### 【0038】

比較部 12 は、スイッチング素子 1 のゲート電圧と基準値  $V_R$  との比較結果を示す出力信号 S2 を短絡判定器 14 に出力する。比較部 12 は、スイッチング素子 1 のゲート電圧が基準値  $V_R$  以下である場合には出力信号 S2 をロー状態とし、スイッチング素子 1 のゲート電圧が基準値  $V_R$  よりも大きい場合には出力信号 S2 をハイ状態とする。

#### 【0039】

短絡判定器 14 は、第1比較装置 U1 の出力信号 S1 と第2比較装置 U2 の出力信号 S2 を用いて、スイッチング素子 1 の短絡状態を検出する。

#### 【0040】

##### [スイッチング素子 1 の短絡判定]

図 2 は、スイッチング素子 1 のターンオン動作時における、スイッチング素子 1 のゲート電荷量とゲート電圧との関係（左側）、および、コンデンサ電圧とスイッチング素子 1 のゲート電圧との関係（右側）を示す図である。ゲート電荷量とゲート電圧との関係を示す左側の図において、スイッチング素子 1 の通常時（非短絡時）の関係が破線 L1 で表わされ、スイッチング素子 1 のアーム短絡時の関係が実線 L2 で表わされる。また、コンデンサ電圧とゲート電圧との関係を示す右側の図において、スイッチング素子 1 の通常時の関係が破線 L3 で表わされ、スイッチング素子 1 のアーム短絡時の関係が実線 L4 で表わされる。

#### 【0041】

なお、図 2 においては、スイッチング素子 1 が、SiC（シリコンカーバイド）を材料とした MOSFET（以下「SiC-MOSFET」ともいう）である場合の関係を例示している。

#### 【0042】

スイッチング素子 1 の通常時においては、ゲート電圧が上昇すると、ゲート電荷量は増加し、コンデンサ電圧は減少する。ゲート電圧が電圧  $V_m$  にまで上昇すると、ゲート電圧の上昇率は大幅に低下する。ゲート電圧が電圧  $V_m$  に達したとき、ゲート電荷量は電荷量  $Q_0$  であり、コンデンサ電圧は電圧  $V_{Q0}$  ( $V_{Q0} = Q_0 / C_b$ ) である。なお、「 $C_b$

10

20

30

40

50

」は上述したようにコンデンサ4の容量である。

#### 【0043】

その後、ゲート電荷量が電荷量Q1( $Q_1 > Q_0$ )に到達すると、コンデンサ電圧は電圧 $V_{Q1}$ ( $V_{Q1} = Q_1 / C_b$ )となる。ゲート電荷量が電荷量Q0から電荷量Q1に達するまでの期間は、ゲート電圧の上昇がごく緩やかとなり、ゲート電圧はほぼ電圧Vmのまま維持される。ゲート電荷量が電荷量Q0から電荷量Q1に達するまでの期間は「ミラー期間」と呼ばれる。

#### 【0044】

その後、ゲート電荷量が電荷量Q1を超えると、ゲート電圧は再び上昇してゲート駆動電源電圧Vdにまで到達する。これにより、スイッチング素子1がオン状態となる。

10

#### 【0045】

スイッチング素子1のようなSiC-MOSFETにおけるゲート電荷量とゲート電圧との関係においては、帰還容量の存在が大きく寄与している。SiC-MOSFETにおける帰還容量は、ドレイン・ゲート間容量に相当し、大きな電圧依存性を有している。

#### 【0046】

スイッチング素子1の通常時におけるターンオン動作時においては、指令部2からの指令に基づきゲート電圧が上昇し、ゲート・ソース間が充電される。ゲート電圧がしきい電圧を超えると、ドレイン電流(ソースとドレインとの間を流れる電流)が流れ始めるとともにドレイン・ソース間電圧は低下し、駆動装置100からスイッチング素子1に供給されるゲート電流は帰還容量を介してスイッチング素子1のゲート端子からドレイン端子に流れる。これにより、ゲート電圧の上昇がごく緩やかなミラー期間が現れる。帰還容量には大きな電圧依存性があり、ドレイン・ソース間電圧がスイッチング素子1のオン電圧まで低下すると帰還容量の値は1桁ないし2桁大きな値となる。その結果、ミラー期間の終了後に、ゲート電圧はゲート駆動電源電圧Vdまで緩やかに上昇する。

20

#### 【0047】

しかしながら、スイッチング素子1のアーム短絡時においては、このようなミラー期間は現れることなく、スイッチング素子1のゲート電圧はゲート駆動電源電圧Vdまで一気に上昇することになる。

#### 【0048】

本実施の形態による短絡判定器14は、図2に示した関係を利用して、スイッチング素子1のアーム短絡の有無を判定する。以下、スイッチング素子1のアーム短絡の判定手法について説明する。

30

#### 【0049】

本実施の形態においては、図2の左側に示すゲート電荷量とゲート電圧との関係において、通常時の破線L1とアーム短絡時の実線L2とゲート駆動電源電圧Vdとで囲まれる領域A1内にゲート電荷量の基準値QRおよびゲート電圧の基準値VRが含まれるように、ゲート電荷量の基準値QRおよびゲート電圧の基準値VRが設定される。これを図2の右側に示すコンデンサ電圧とゲート電圧との関係に換算した場合、コンデンサ電圧の基準値 $V_{QR}$ (ゲート電荷量が基準値QRであるときのコンデンサ電圧)およびゲート電圧の基準値VRは、通常時の破線L3とアーム短絡時の実線L4とゲート駆動電源電圧Vdとで囲まれる領域A2内に含まれることになる。

40

#### 【0050】

スイッチング素子1のスイッチング動作の際、コンデンサ4より流出したゲート電荷量が基準値QRに達すると、コンデンサ電圧は基準値 $V_{QR}$ まで低下し、第1比較装置U1の出力信号S1がハイ状態からロー状態に変化する。

#### 【0051】

第1比較装置U1の出力信号S1がハイ状態である時に第2比較装置U2の出力信号S2がロー状態からハイ状態に変化した場合(すなわちコンデンサ電圧が基準値 $V_{QR}$ よりも大きい時にゲート電圧が基準値 $V_{QR}$ に達した場合)、コンデンサ電圧とゲート電圧との関係はミラー期間のない短絡時の実線L4上の動作点P4で示される(ゲート電荷量と

50

ゲート電圧との関係に置き換えるとミラー期間のない短絡時の実線 L 2 上の動作点 P 2 で示される)と考えられるため、短絡判定器 1 4 は、スイッチング素子 1 が短絡状態であると判定し、スイッチング素子 1 が短絡状態であることを示すハイ信号を指令部 2 に出力する。

#### 【 0 0 5 2 】

一方、第 2 比較装置 U 2 の出力信号 S 2 がロー状態である時に第 1 比較装置 U 1 の出力信号 S 1 がハイ状態からロー状態に変化した場合(すなわちゲート電圧が基準値 V R 以下である時にコンデンサ電圧が基準値 V Q R よりも大きい値から基準値 V Q R に低下した場合)、コンデンサ電圧とゲート電圧との関係はミラー期間の存在する通常時の破線 L 3 上の動作点 P 3 で示される(ゲート電荷量とゲート電圧との関係に置き換えるとミラー期間の存在する通常時の実線 L 1 上の動作点 P 1 で示される)と考えられるため、短絡判定器 1 4 は、スイッチング素子 1 が通常状態である(短絡状態ではない)と判定し、スイッチング素子 1 が通常状態であることを示すロー信号を指令部 2 に出力する。

#### 【 0 0 5 3 】

図 3 は、短絡判定器 1 4 がスイッチング素子 1 の短絡判定を行なう際に実行する処理手順の一例を示すフローチャートである。このフローチャートは、スイッチング素子 1 のターンオン動作中において、予め定められた条件が成立する毎(たとえば予め定められた周期毎)に繰り返し実行される。なお、短絡判定器 1 4 の処理は、ソフトウェア処理によって実現されてもよいし、専用のハードウェア(電子回路)の処理で実現されてもよい。

#### 【 0 0 5 4 】

短絡判定器 1 4 は、第 1 比較装置 U 1 の出力信号 S 1 がハイ状態である時に第 2 比較装置 U 2 の出力信号 S 2 がロー状態からハイ状態に変化したか否かを判定する(ステップ S 1 0)。

#### 【 0 0 5 5 】

出力信号 S 1 がハイ状態である時に出力信号 S 2 がロー状態からハイ状態に変化した場合(ステップ S 1 0において YES)、すなわち、コンデンサ電圧が基準値 V Q R よりも大きい時にゲート電圧が基準値 V Q R に達した場合、短絡判定器 1 4 は、スイッチング素子 1 が短絡状態であると判定してハイ信号を指令部 2 に出力する(ステップ S 1 2)。

#### 【 0 0 5 6 】

一方、ステップ S 1 0において NO と判定された場合、短絡判定器 1 4 は、第 2 比較装置 U 2 の出力信号 S 2 がロー状態である時に第 1 比較装置 U 1 の出力信号 S 1 がハイ状態からロー状態に変化したか否かを判定する(ステップ S 1 4)。

#### 【 0 0 5 7 】

出力信号 S 2 がロー状態である時に出力信号 S 1 がハイ状態からロー状態に変化した場合(ステップ S 1 4において YES)、すなわち、ゲート電圧が基準値 V R 以下である時にコンデンサ電圧が基準値 V Q R よりも大きい値から基準値 V Q R に低下した場合、短絡判定器 1 4 は、スイッチング素子 1 が通常状態でありミラー期間に突入したと判定してロー信号を指令部 2 にする(ステップ S 1 6)。

#### 【 0 0 5 8 】

なお、指令部 2 は、短絡判定器 1 4 からハイ信号(スイッチング素子 1 が短絡状態であることを示す信号)を受けた場合、上述のオフ指令(スイッチング素子 1 5 をオン状態にし、スイッチング素子 5 をオフ状態にし、スイッチング素子 6 をオン状態にするための指令)を各スイッチング素子 5, 6, 1 5 に出力する。これにより、スイッチング素子 1 の短絡状態を解消することができる。

#### 【 0 0 5 9 】

さらに、本実施の形態による駆動装置 1 0 0 においては、コンデンサ 4 の容量 C b が、下記の関係式(2)を満たすように設計される。

#### 【 0 0 6 0 】

$|V_{off} - V_{on}| \times C_i |V_c - V_{on}| \times C_b \dots (2)$   
上記の関係式(2)において、「C i」はスイッチング素子 1 の入力容量(ゲートソ

10

20

30

40

50

ス間容量とゲートドレイン間容量とを合計した全体の容量)を表わし、「 $V_c$ 」はコンデンサ充電電圧(コンデンサ電圧の初期値)を表わす。なお、負バイアス電位 $V_{off}$ 、駆動電圧 $V_{on}$ 、コンデンサ4の容量 $C_b$ は、上述したとおりである。

#### 【0061】

関係式(2)の左辺は、スイッチング素子1のゲート電圧が、負バイアス電位 $V_{off}$ から駆動電圧 $V_{on}$ に上昇するために必要な電荷量に相当する。

#### 【0062】

関係式(2)の右辺は、コンデンサ電圧が初期値 $V_c$ から駆動電圧 $V_{on}$ に低下するまでにコンデンサ4が放出する電荷量に相当する。

#### 【0063】

仮に上記の関係式(2)を満たさない場合、ゲート電圧が駆動電圧 $V_{on}$ よりも高い電圧になるため、スイッチング素子1内の酸化膜の寿命低下を招く可能性がある。

10

#### 【0064】

これに対し、本実施の形態においては、上記の関係式(2)を満たす。これにより、スイッチング素子1のスイッチング動作中にコンデンサ電圧が駆動電圧 $V_{on}$ に低下し、ダイオード8が導通する状態となる。そのため、スイッチング素子1の定常オン状態のゲート電圧を駆動電圧 $V_{on}$ (電圧源7の出力電圧)に安定させることができる。その結果、スイッチング素子1内の酸化膜の寿命低下を抑制することができる。

#### 【0065】

以上のように、本実施の形態1による駆動装置100は、電圧源3(第1電圧源)と、スイッチング素子15と、スイッチング素子15を介して電圧源3と並列に接続されるコンデンサ4と、コンデンサ4と電力用のスイッチング素子1のゲート端子との間に設けられたスイッチング素子5, 6(切替装置)と、コンデンサ4の電圧と基準値 $V_{QR}$ との比較結果を示す信号 $S_1$ を出力する第1比較装置U1と、スイッチング素子1のゲート電圧と基準値 $V_R$ との比較結果を示す信号 $S_2$ を出力する第2比較装置U2と、第1比較装置U1の出力信号 $S_1$ と第2比較装置U2の出力信号 $S_2$ とを用いてスイッチング素子1が短絡状態であるか否かを判定する短絡判定器14とを備える。

20

#### 【0066】

この構成によれば、コンデンサ4の電圧と基準値 $V_{QR}$ との比較結果(第1比較装置U1の出力信号 $S_1$ )と、スイッチング素子1のゲート電圧と基準値 $V_R$ との比較結果(第2比較装置U2の出力信号 $S_2$ )とを用いて、スイッチング素子1の短絡状態を判定する。そのため、積分器が不要となり回路の簡略化ができる。

30

#### 【0067】

実施の形態2.

図4は、本実施の形態2による駆動装置100Aを有する半導体装置DAの一例を示す図である。図4に示す駆動装置100Aは、上述の図1に示す駆動装置100に対して、負バイアス電位 $V_{off}$ を出力する電圧源9を削除するとともに、スイッチング素子6をオフ抵抗20に置き換えたものである。駆動装置100Aのその他の構成は、上述の駆動装置100の構成と同じであるため、ここでの詳細な説明は繰返さない。

#### 【0068】

この駆動装置100Aにおいては、スイッチング素子1をオフ状態にする場合、指令部2は、スイッチング素子5をオフ状態にする。これにより、駆動装置100Aの出力端子17, 18間の電圧は、ゲート抵抗16およびオフ抵抗20によって0Vへ低下する。そのため、スイッチング素子1のゲート電圧がしきい電圧を下回り、スイッチング素子1がオフ状態となる。

40

#### 【0069】

このように、駆動装置100の構成を簡素化した駆動装置100Aを採用するようにしてもよい。

#### 【0070】

実施の形態3.

50

上述の実施の形態1では、スイッチング素子1のゲート電荷量とゲート電圧との関係(図2参照)を利用してスイッチング素子1の短絡判定を行なう例について説明した。

#### 【0071】

これに対し、本実施の形態3では、スイッチング素子1のゲート電荷量とゲート電流との関係を利用してスイッチング素子1の短絡判定を行なう。

#### 【0072】

図5は、本実施の形態3による駆動装置100Bを有する半導体装置DBの一例を示す図である。図5に示す駆動装置100Bは、上述の図1に示す駆動装置100に対して、第1比較装置U1および第2比較装置U2を、それぞれ第1比較装置U1Bおよび第2比較装置U2Bに置き換えたものである。駆動装置100Bのその他の構成は、上述の駆動装置100の構成と同じであるため、ここでの詳細な説明は繰返さない。10

#### 【0073】

第1比較装置U1Bは、比較部10aおよび電圧源11aと、比較部10bおよび電圧源11bと、論理回路60とを備える。電圧源11aは、基準値Vrq1に対応する電圧を比較部10aに出力する。比較部10aは、コンデンサ電圧と電圧源11aが出力する電圧との比較結果を論理回路60に出力する。電圧源11bは、基準値Vrq2に対応する電圧を比較部10bに出力する。比較部10bは、コンデンサ電圧と電圧源11bが出力する電圧との比較結果を論理回路60に出力する。論理回路60は、比較部10a, 10bの出力の論理積を取ることで、ゲート電荷量が基準値Vrq1から基準値Vrq2までの範囲内にあることを検出することができる。論理回路60は検出結果を短絡判定器14に出力する。20

#### 【0074】

第2比較装置U2Bは、微分器30と、比較部31と、電圧源32とを備える。微分器30は、コンデンサ4と比較部31との間に設けられ、コンデンサ電圧を微分した値を比較部31に出力する。なお、微分器30の出力(コンデンサ電圧の微分値)は、スイッチング素子1のゲート電流(駆動装置100Bからスイッチング素子1のゲートに流れる電流)に相当する。電圧源32は、基準値Vriに対応する電圧を比較部31に出力する。比較部31は、微分器30の出力(ゲート電流に相当する値)と電圧源32が出力する電圧と比較することで、ゲート電流が基準値Vri未満であることを検出することができる。比較部31は、比較結果を短絡判定器14に出力する。30

#### 【0075】

図5に示す駆動装置100Bにおいても、積分器を使用することなくスイッチング素子1の短絡検出が可能となり、設計の自由度が向上する。

#### 【0076】

図6は、スイッチング素子1のターンオン動作時における、ゲート電荷量とゲート電流との関係の一例を示す図である。図6において、スイッチング素子1の通常時の関係が破線L5で表わされ、スイッチング素子1のアーム短絡時の関係が実線L6で表わされる。

#### 【0077】

通常時は、上述したミラー期間の存在により、破線L5に示すように、ゲート電流の変化率がごく緩やかになる期間(ゲート電流が電流値Imでほぼ一定となる期間)が発生する。一方、アーム短絡時には、ミラー期間がないため、実線L6に示すように、ゲート電流はそのまま単調に低下する。40

#### 【0078】

破線L5と実線L6との違いを判定できるように、ゲート電流の基準値Vri、ゲート電荷量の基準値Vrq1, Vrq2で囲まれた範囲が図6に示す斜線部分となるように電圧源11a, 11b, 32の各出力電圧を設定することによって、スイッチング素子1の短絡判定を行なうことができる。

#### 【0079】

以上のように、図5に示す駆動装置100Bにおいては、コンデンサ電圧を微分することでゲート電流値を求め、このゲート電流を用いてスイッチング素子1の短絡判定を行な

うことができる。そのため、駆動装置 100Bにおいても、積分器を使用することなくスイッチング素子 1 の短絡判定を行なうことができる。

#### 【0080】

##### 実施の形態 4 .

図 7 は、本実施の形態 4 による駆動装置 100C を有する半導体装置 DC の一例を示す図である。図 7 に示す駆動装置 100C は、上述の図 1 に示す駆動装置 100 に対して、比較部 10, 12 の入力部分にそれぞれフィルタ 40, 41 を追加したものである。駆動装置 100C のその他の構成は、上述の駆動装置 100 の構成と同じであるため、ここでの詳細な説明は繰返さない。

#### 【0081】

比較部 10, 12 は、回路外部からの放射ノイズなど、ノイズによって誤動作する可能性がある。そのため、比較部 10, 12 の入力部分にそれぞれフィルタ 40, 41 を挿入することで、誤動作の発生しにくい構成とすることができます。

#### 【0082】

また、図 7 には図 1 に示す駆動装置 100 を元に変形した例を示したが、他の駆動装置 100A, 100B における比較部または微分器の入力部分にフィルタを挿入することで同様の効果を得ることができる。

#### 【0083】

##### 実施の形態 5 .

上述の実施の形態 1 ~ 4 では、いずれにおいてもミラー期間の有無を判定することによって、スイッチング素子 1 の短絡状態を検出する。

#### 【0084】

これに対し、本実施の形態 5 では、ミラー期間を検出した場合に、駆動装置 100 の出力電圧を減少させることによって、スイッチング素子 1 のスイッチング速度が必要以上に高くなることを防ぎ、ドレイン電圧の時間変化率を減少させる。

#### 【0085】

図 8 は、本実施の形態 5 による駆動装置 100D を有する半導体装置 DD の一例を示す図である。図 8 に示す駆動装置 100D は、上述の図 1 に示す駆動装置 100 に対して、スイッチング素子 50 および制御部 51 を追加するとともに、短絡判定器 14 の出力を制御部 51 に入力するようにしたものである。駆動装置 100D のその他の構成は、上述の駆動装置 100 の構成と同じであるため、ここでの詳細な説明は繰返さない。

#### 【0086】

コンデンサ 4 は、MOSFET であるスイッチング素子 50 を介して、スイッチング素子 5 に接続される。制御部 51 は、短絡判定器 14 からロー信号を受けた場合（すなわちミラー期間への突入が検出された場合）に、スイッチング素子 50 をオフ状態にしてコンデンサ 4 からスイッチング素子 5 への電荷の供給を切断する。これにより、ミラー期間への突入が検出された場合に、駆動装置 100D の出力電圧は電圧源 7 から出力される駆動電圧  $V_{on}$  に切り替えられる。そのため、その後のスイッチング素子 1 のスイッチング速度を抑えることができ、ノイズの原因となる主電圧の変化速度（単位時間あたりの変化量）を抑制することができる。

#### 【0087】

図 9 は、スイッチング素子 1 のターンオン動作時における、スイッチング素子 1 のゲート電荷量とゲート電圧との関係の一例を示す図である。図 9 においては、基準値  $V_R$  よりも高いミラー電圧となる電流値をスイッチングした場合の関係が実線 L7 で示され、基準値  $V_R$  よりも低いミラー電圧となる電流値をスイッチングした場合の関係が破線 L8 で示される。

#### 【0088】

基準値  $V_R$  よりも高いミラー電圧となる電流値をスイッチングした場合、実線 L7 に示すように、ゲート電圧が基準値  $V_R$  よりも低くかつゲート電荷量が基準値  $Q_R$  よりも高くなる領域は存在しないため、スイッチング速度は低下せず、ターンオン損失を増加させる

10

20

30

40

50

ことはない。

#### 【0089】

一方、基準値VRよりも低いミラー電圧となる電流値をスイッチングした場合、破線L8に示すように、ゲート電圧が基準値VRよりも低くかつゲート電荷量が基準値QRよりも高くなる領域が存在する。この領域が検出された場合、短絡判定器14は、ミラー期間に突入したと判定し、ロー信号を制御部51に出力する。制御部51は、短絡判定器14からロー信号を受けると、スイッチング素子50をターンオフする。これにより、駆動装置100Dの出力電圧は、コンデンサ4の両端電圧から電圧源7の駆動電圧Vonへ低下するため、スイッチング素子1の主電圧の変化速度（単位時間あたりの変化量）を抑制することができる。

10

#### 【0090】

実施の形態6.

図10は、本実施の形態6による駆動装置100Eを有する半導体装置DEの一例を示す図である。図10に示す駆動装置100Eは、上述の図8に示す駆動装置100Dに対して、第3比較装置U3および第4比較装置U4を追加し、短絡判定器14を短絡判定器14Eに変更したものである。駆動装置100Eのその他の構成は、上述の駆動装置100Dの構成と同じであるため、ここでの詳細な説明は繰返さない。

#### 【0091】

上述の実施の形態5では、基準値VRよりも低いミラー電流となるスイッチングでは、ミラー期間が終了してから短絡判定器14がハイ信号を出力してしまい、スイッチング素子1の主電圧の変化率の抑制が不十分となる条件が発生する可能性がある。

20

#### 【0092】

図11は、スイッチング素子1のターンオン動作時における、スイッチング素子1のゲート電荷量とゲート電圧との関係の一例を示す図である。図11においては、基準値VRよりも低くかつ基準値VR2よりも高いミラー電圧となる電流値をスイッチングした場合の関係が実線L9で示され、基準値VR, VR2よりも低いミラー電圧となる電流値をスイッチングした場合の関係が破線L10で示される。

#### 【0093】

図11に示す例において、ゲート電荷量の基準値QRおよびゲート電圧の基準値VRでミラー期間を判定する場合、電流の小さい破線L10の波形において、ゲート電圧が基準値VRよりも低くかつゲート電荷量が基準値QRよりも高くなるタイミング（すなわちミラー期間の検出タイミング）が、ミラー期間が終了した後になってしまふ。

30

#### 【0094】

そこで、本実施の形態6においては、第1比較装置U1および第2比較装置U2に加えて、第3比較装置U3および第4比較装置U4を備える。

#### 【0095】

第3比較装置U3は、比較部10eと電圧源11eとを備える。電圧源11eは、基準値VQRとは異なる基準値（ゲート電荷量が基準値QRよりも低い値QR2となる時のゲート電圧の値）を比較部10eに出力する。比較部10eは、コンデンサ電圧を電圧源11が出力する電圧との比較結果を示す信号S3を短絡判定器14Eに出力する。

40

#### 【0096】

第4比較装置U4は、比較部12eと電圧源13eとを備える。電圧源13eは、基準値VRよりも低い基準値VR2の電圧を比較部12eに出力する。比較部12eは、スイッチング素子1のゲート電圧と、電圧源13eが出力する電圧との比較結果を示す信号S4を短絡判定器14Eに出力する。

#### 【0097】

短絡判定器14Eは、第1比較装置U1の出力信号S1、第2比較装置U2の出力信号S2、第3比較装置U3の出力信号S3、および第4比較装置U4の出力信号S4を用いて、スイッチング素子1のミラー期間を検出する。

#### 【0098】

50

制御部 5 1 は、短絡判定器 1 4 E がスイッチング素子 1 のミラー期間を検出した場合に、スイッチング素子 5 0 をターンオフする。

#### 【 0 0 9 9 】

このように、実施の形態 6 においては、第 3 比較装置 U 3 および第 4 比較装置 U 4 を追加で備えることで、電流の大きさの異なる条件においても適切にミラー期間を検出して駆動装置 1 0 0 D の出力電圧を低下させることができる。そのため、電流の大きさの異なる条件においてもスイッチング素子 1 の主電圧の変化速度（単位時間あたりの変化量）を適切に抑制することができる。

#### 【 0 1 0 0 】

実施の形態 7 .

10

本実施の形態 7 は、上述した実施の形態 1 ~ 6 による半導体装置 D ~ D E のいずれかを電力変換装置に適用したものである。以下、実施の形態 7 として、三相のインバータに本開示を適用した場合について説明する。

#### 【 0 1 0 1 】

図 1 2 は、本実施の形態 7 による電力変換装置を適用した電力変換システムの構成を示すブロック図である。

#### 【 0 1 0 2 】

図 1 2 に示す電力変換システムは、電源 1 0 0 0 と、電力変換装置 2 0 0 0 と、負荷 3 0 0 0 とを備える。電源 1 0 0 0 は、直流電源であり、電力変換装置 2 0 0 0 に直流電力を供給する。電源 1 0 0 0 は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路や A C / D C コンバータで構成することとしてもよい。また、電源 1 0 0 0 を、直流系統から出力される直流電力を負荷 3 0 0 0 が使用可能な電力に変換する D C / D C コンバータによって構成することとしてもよい。

20

#### 【 0 1 0 3 】

電力変換装置 2 0 0 0 は、電源 1 0 0 0 と負荷 3 0 0 0 との間に接続された三相のインバータであり、電源 1 0 0 0 から供給された直流電力を交流電力に変換し、負荷 3 0 0 0 に交流電力を供給する。電力変換装置 2 0 0 0 は、図 1 2 に示すように、直流電力を交流電力に変換して出力する主変換回路 2 0 1 0 と、主変換回路 2 0 1 0 を制御する制御信号を主変換回路 2 0 1 0 に出力する制御回路 2 0 3 0 とを備えている。

30

#### 【 0 1 0 4 】

負荷 3 0 0 0 は、電力変換装置 2 0 0 0 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 3 0 0 0 は、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

#### 【 0 1 0 5 】

以下、電力変換装置 2 0 0 0 の詳細を説明する。主変換回路 2 0 1 0 は、スイッチング素子を備えており（図示せず）、スイッチング素子がスイッチングすることによって、電源 1 0 0 0 から供給される直流電力を交流電力に変換し、負荷 3 0 0 0 に供給する。主変換回路 2 0 1 0 の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路 2 0 1 0 は 2 レベルの三相フルブリッジ回路であり、6 つのスイッチング素子とそれぞれのスイッチング素子に逆並列された 6 つの還流ダイオードから構成することができる。主変換回路 2 0 1 0 は、各スイッチング素子および各スイッチング素子を駆動する駆動装置を有する半導体装置 2 0 2 0 を備える。半導体装置 2 0 2 0 に備えられる各スイッチング素子および各駆動装置は、上述した実施の形態 1 ~ 6 による半導体装置 D ~ D E のいずれかが有するスイッチング素子 1 および駆動装置である。6 つのスイッチング素子は 2 つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U 相、V 相、W 相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路 2 0 1 0 の 3 つの出力端子は、負荷 3 0 0 0 に接続される。

40

#### 【 0 1 0 6 】

50

制御回路 2030 は、負荷 3000 に所望の電力が供給されるよう主変換回路 2010 のスイッチング素子を制御する。具体的には、負荷 3000 に供給すべき電力に基づいて主変換回路 2010 の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調する PWM 制御によって主変換回路 2010 を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路 2010 が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

#### 【0107】

10

本実施の形態 7 による電力変換装置では、主変換回路 2010 を構成する半導体装置 2020 として実施の形態 1 ~ 6 のいずれかにかかる半導体装置を適用するため、実施の形態 1 ~ 6 と同様、電力用のスイッチング素子の短絡状態を、積分器を使用することなく簡素な回路で検出することができる。

#### 【0108】

本実施の形態 7 では、2 レベルの三相インバータに本開示を適用する例を説明したが、本開示は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態 7 では、2 レベルの電力変換装置としたが 3 レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本開示を適用しても構わない。また、直流負荷等に電力を供給する場合には DC / DC コンバータや AC / DC コンバータに本開示を適用することも可能である。

20

#### 【0109】

また、本開示を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

#### 【0110】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

30

#### 【符号の説明】

#### 【0111】

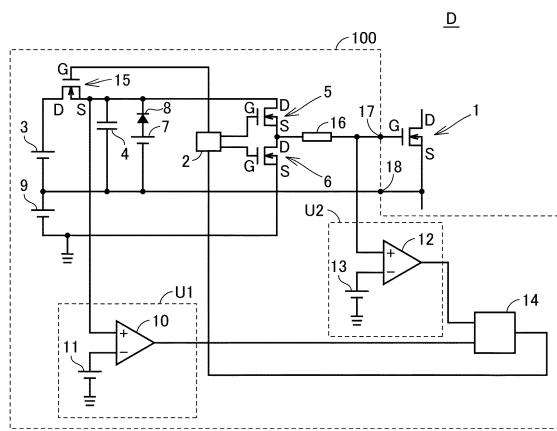
1, 5, 6, 15, 50 スイッチング素子、2 指令部、3, 7, 9, 11, 11a, 11b, 11e, 13, 13e, 32 電圧源、4 コンデンサ、8 ダイオード、10, 10a, 10b, 10e, 12, 12e, 31 比較部、14, 14E 短絡判定器、16 ゲート抵抗、17, 18 出力端子、20 オフ抵抗、30 微分器、40, 41 フィルタ、51 制御部、60 論理回路、100, 100A, 100B, 100C, 100D, 100E 駆動装置、1000 電源、2000 電力変換装置、2010 主変換回路、2020, D, DA, DB, DC, DD, DE 半導体装置、2030 制御回路、3000 負荷、U1, U1B 第1比較装置、U2, U2B 第2比較装置、U3 第3比較装置、U4 第4比較装置。

40

## 【図面】

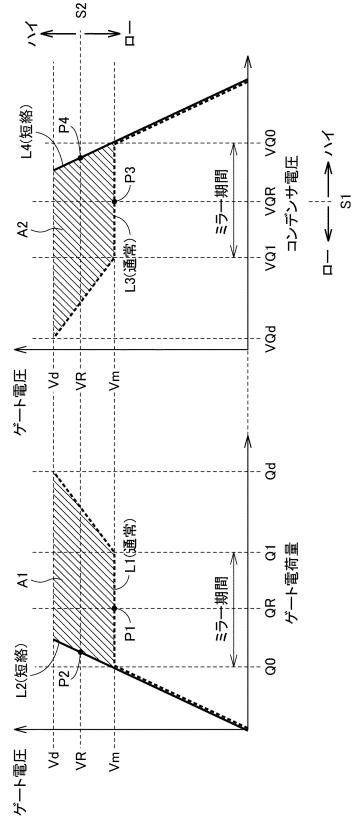
## 【図 1】

図1



## 【図 2】

図2



10

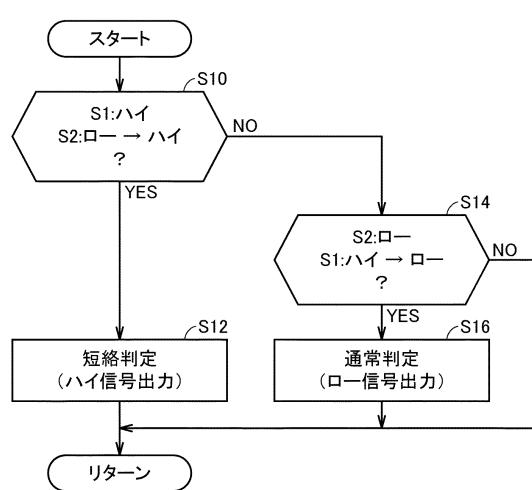
20

30

40

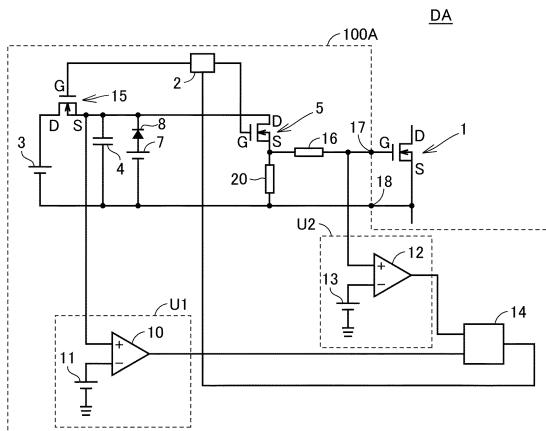
## 【図 3】

図3



## 【図 4】

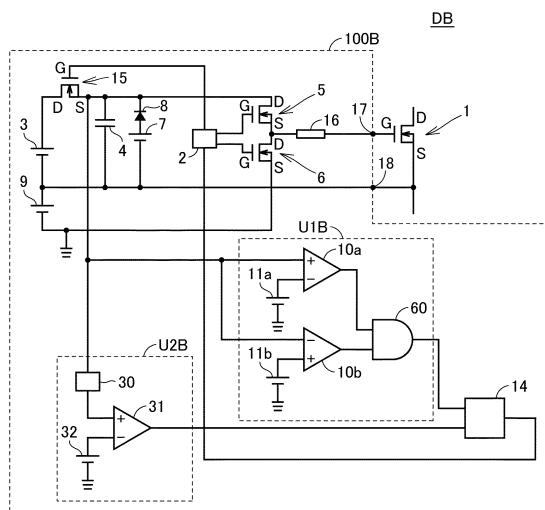
図4



50

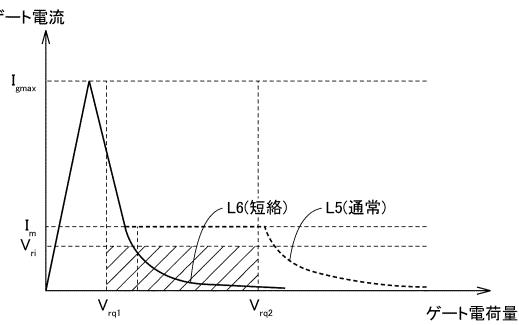
【図 5】

図5



【図 6】

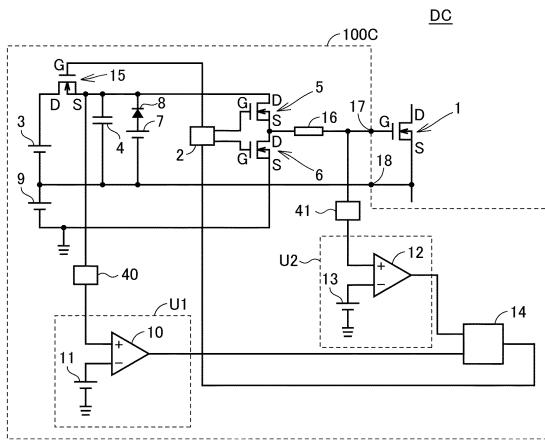
図6



10

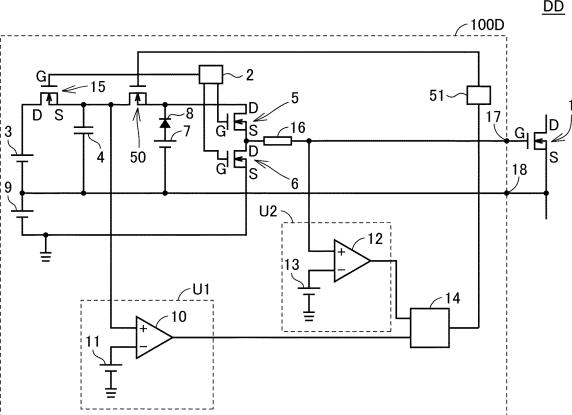
【図 7】

図7



【図 8】

図8



20

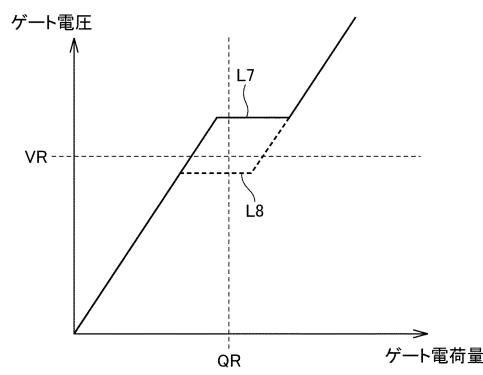
30

40

50

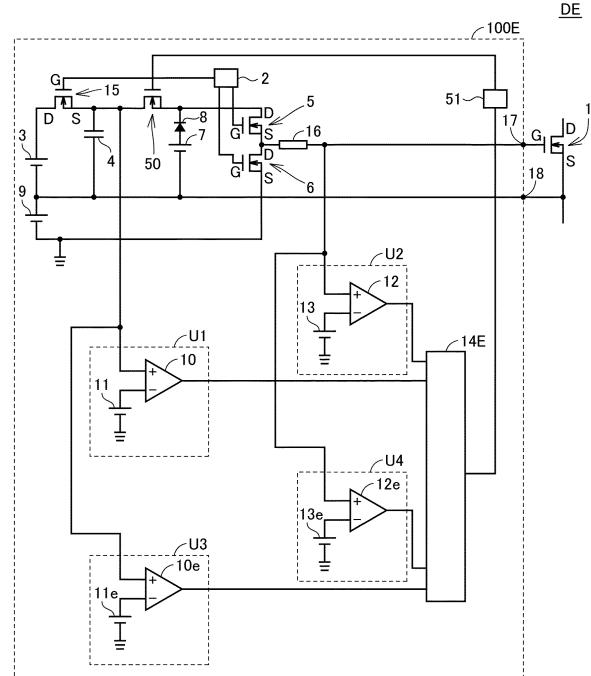
【図 9】

図9



【図 10】

図10

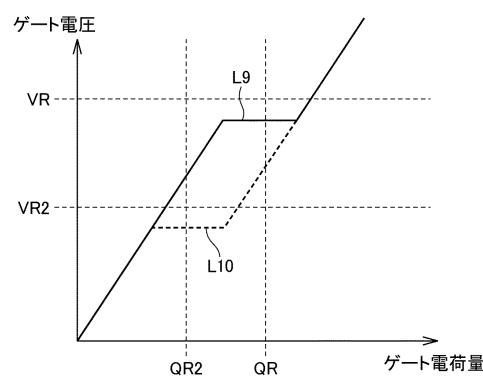


10

20

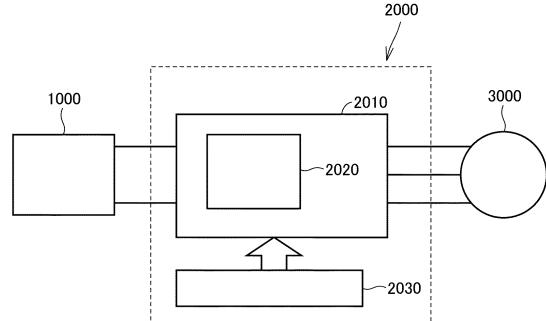
【図 11】

図11



【図 12】

図12



30

40

50

---

フロントページの続き

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 宮本 秀一

(56)参考文献 国際公開第2019/021590 (WO, A1)

特開2015-053749 (JP, A)

特開2018-098938 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H02H7/00

H02H7/10 - 7/20

H02M1/00 - 1/44

H03K17/00 - 17/70