

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年10月26日(26.10.2012)



(10) 国際公開番号
WO 2012/144163 A1

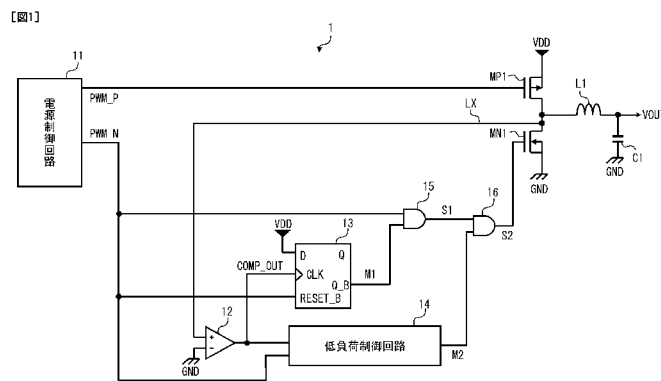
- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002519
- (22) 国際出願日: 2012年4月11日(11.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-094305 2011年4月20日(20.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 井手 洋平 (IDE, Yohei) [JP/JP]; 〒2210056 神奈川県横浜市神奈川区金港町3番地1 ルネサスマイクロシステム株式会社内 Kanagawa (JP).
- (74) 代理人: 家入 健(IEIRI, Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目33番8 アサヒビルディング10階 響国際特許事務所 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第21条(3))

(54) Title: DC-DC CONVERTER AND METHOD OF CONTROLLING THEREOF

(54) 発明の名称: DCDCコンバータ及びその制御方法



11 Power-supply control circuit
14 Low-load control circuit

(57) Abstract: A DC-DC converter (1) of the present invention is provided with: a power-supply control circuit (11) that generates pulse signals (PWM_P, PWM_N); an output transistor (MP1) the ON/OFF of which is controlled on the basis of the pulse signal (PWM_P); a rectifying transistor (MN1) the ON/OFF of which is controlled on the basis of a control signal (S2); a coil (L1) that is provided between a node (LX) between the output transistor (MP1) and the rectifying transistor (MN1), and an external output terminal (VOUT); a comparator (12) that compares the voltage of the node (LX) and a reference voltage (GND); a first control circuit that generates a control signal (S1) on the basis of the result (COMP_OUT) of the comparison by the comparator (12); and a second control circuit that generates the control signal (S2) on the basis of backflow detection timing and reference timing.

(57) 要約:

[続葉有]



WO 2012/144163 A1

本発明にかかるDCDCコンバータ(1)は、パルス信号(PWM_P, PWM_N)を生成する電源制御回路(11)と、パルス信号(PWM_P)に基づきオンオフが制御される出力トランジスタ(MP1)と、制御信号(S2)に基づきオンオフが制御される整流トランジスタ(MN1)と、出力トランジスタ(MP1)及び整流トランジスタ(MN1)間のノード(LX)と外部出力端子(VOU T)との間に設けられたコイル(L1)と、ノード(LX)の電圧と基準電圧(GND)とを比較するコンパレータ(12)と、コンパレータ(12)の比較結果(COMP_OUT)に基づき制御信号(S1)を生成する第1制御回路と、逆流検出タイミングと基準タイミングとに基づき制御信号(S2)を生成する第2制御回路と、を備える。

明 細 書

発明の名称 : DCDCコンバータ及びその制御方法

技術分野

[0001] 本発明は、DCDCコンバータ及びその制御方法に関し、特に消費電流の低減に適したDCDCコンバータ及びその制御方法に関する。

背景技術

[0002] 例えば、デジタルカメラセットでは、モータ、メモリ、スピーカ及びバックライト等を駆動するために様々な電圧レベルの電源電圧が必要である。この要求を満足するために、一般的に、一つの入力電圧に基づいて様々な電圧レベルの出力電圧を生成可能なDCDCコンバータが用いられている。

[0003] さらに近年では、デジタルカメラを低消費電力化して長時間動作可能にすることが求められている。そのため、かつて考慮されていなかったDCDCコンバータ1の低負荷時における消費電流も低減することが必要になってきている。つまり、DCDCコンバータ1の低負荷時における電力効率を高めることが必要になってきている。

[0004] 関連する技術が特許文献1に開示されている。図13は、特許文献1に開示されたスイッチング電源装置200の全体構成を示す図である。Nchドライバ216は、駆動信号DRV_Nを出力して同期整流トランジスタMN201を駆動する回路である。Nchドライバ216は、ノードLX1の電圧V_LX1を取り込み、インダクタL201と同期整流トランジスタMN201を流れる電流の方向を検出する電流方向検出部をさらに備えている。

[0005] 図14にNchドライバ216の内部回路を示す。このNchドライバ216は、電流方向検出部2161とドライバ信号生成部2162とを有する。電流方向検出部2161は、固定電圧VREGが供給されるI/V変換回路2163と、バイアス電圧Vg1を生成するゲートバイアス回路2164と、ノードLX1とI/V変換回路2163との間に設けられゲートにバイアス電圧Vg1が印加されたNMOSトランジスタMN202と、基準電圧

V_{ref1} とトランジスタMN202のドレイン電圧 V_{11} とを比較する比較器2165と、を有する。

[0006] このスイッチング電源装置200では、Pchドライバ215によってメイントランジスタMP201がオンした（同期整流トランジスタMN201がオフした）とき、電源装置211からメイントランジスタMP201及びインダクタL201を介してキャパシタC201に電流が流れ、当該キャパシタC201が充電される。また、Nchドライバ216によって同期整流トランジスタMN201がオンした（メイントランジスタMP201がオフした）ときは、インダクタL201に蓄積されたエネルギーにより、同期整流トランジスタMN201及びインダクタL201を介してキャパシタC201に電流が流れ、当該キャパシタC201が充電される。後者の場合において、Nchドライバ216は、ノードLX1の電圧 V_{LX1} の変化を検出して電流の方向が逆転していると判断すると、同期整流トランジスタMN201をオフに制御する。

[0007] 図15にこのNchドライバ216の動作波形を示す。図13の電源制御回路214から出力される制御信号PRDRV_Nが”L”→”H”に変化（制御信号PRDRV_Pが”L”→”H”に変化してメイントランジスタMP201がオフ）すると、ドライバ信号生成部2162によって駆動信号DRV_Nが”L”→”H”に変化する。それにより、同期整流トランジスタMN201がオフ→オンに変化する。それにより、同期整流トランジスタMN201からインダクタL201を介してキャパシタC201に向けて電流が流れる。そのため、ノードLX1の電圧 V_{LX1} は接地電圧GNDよりも低い負の電圧となる。

[0008] この後、時間経過により、インダクタL201の電流は減少してゆき、ノードLX1の電位も上昇していく。インダクタL201の電流がゼロになると、ノードLX1の電圧 V_{LX1} もゼロとなり、この後はインダクタL201から同期整流トランジスタMN201の方向に逆電流が流れ始める。

[0009] そこで、基準電圧 V_{ref1} をこのときのトランジスタMN202のドレ

イン電圧V₁₁になるように予め設定しておく。そうすると、比較器2165の出力が反転して”H”→”L”となり、それに応じて、駆動信号DRV_Nが”H”→”L”に変化して、同期整流トランジスタMN201がオフする。このように、ノードLX1の電圧V_{LX1}がゼロになると、直ちにインダクタL201から同期整流トランジスタMN201に向けて流れる逆電流が阻止される。

[0010] そのほか、特許文献2には、一对の同期整流用スイッチング素子を備えたスイッチング電源において、出力電圧が所定の電圧を上回ったときに前記一对の同期整流スイッチング素子の一方を停止させるための停止制御部を備えることを特徴とするスイッチング電源が開示されている。

[0011] また、特許文献3には、電流の逆流の発生を検出すると同期整流用トランジスタを強制的にオフさせて遮断状態にすることを特徴とする同期整流型スイッチングレギュレータが開示されている。

先行技術文献

特許文献

[0012] 特許文献1：特開2010-239778号公報

特許文献2：特開2007-318909号公報

特許文献3：特開2009-71920号公報

発明の概要

発明が解決しようとする課題

[0013] 特許文献1に開示されたスイッチング電源装置（DCDCコンバータ）は、電流の逆流が発生した場合に同期整流トランジスタMN201をオフすることにより、消費電流を低減させている。しかしながら、このスイッチング電源装置は、負荷213が低負荷の場合等、電流の逆流が発生しやすい場合でも、整流トランジスタMN201を一度オンし、電流の逆流が発生したのを検出した後にオフにする動作が必要である。つまり、このスイッチング電源装置は、電流の逆流が発生しやすく整流トランジスタMN201を常にオ

フしておくべき場合でも、整流トランジスタを一度オンしてオフする制御（スイッチ制御）を行う必要がある。そのため、このスイッチング電源装置では、整流トランジスタの無駄なスイッチ制御により消費電流が増大するという問題があった。

[0014] なお、低負荷が継続される状態では、スイッチ制御による消費電流が回路全体の消費電流に占める割合は無視できないほど大きなものである。

[0015] このように、関連する技術のDCDCコンバータでは、整流トランジスタの無駄なスイッチ制御により消費電流が増大するという問題があった。

課題を解決するための手段

[0016] 本発明にかかるDCDCコンバータは、所定のデューティ比の第1及び第2パルス信号を生成する電源制御回路と、入力電圧の供給される入力電圧端子と外部出力端子との間に設けられ、前記第1パルス信号に基づいてオンオフが制御される第1スイッチ素子と、第1基準電圧の供給される基準電圧端子と外部出力端子との間に設けられ、第2制御信号に基づいて前記第1スイッチ素子と相反するようにオンオフが制御される第2スイッチ素子と、前記第1及び第2スイッチ素子との間の接続点と、前記外部出力端子と、の間に設けられたインダクタと、前記接続点の電圧と第2基準電圧とを比較して比較結果を出力する比較回路と、前記比較結果に基づき、前記第2パルス信号と、前記第2スイッチ素子をオフする第1停止信号と、の何れかを第1制御信号として出力する第1制御回路と、前記比較結果により前記外部出力端子から前記第2スイッチ素子に向けて電流が逆流していると判定された検出タイミングと、基準タイミングと、に基づき、前記第1制御信号と、前記第2スイッチ素子をオフする第2停止信号と、の何れかを第2制御信号として出力する第2制御回路と、を備える。

[0017] 本発明にかかるDCDCコンバータの制御方法は、所定のデューティ比の第1及び第2パルス信号を生成する電源制御回路と、入力電圧の供給される入力電圧端子と外部出力端子との間に設けられ、前記第1パルス信号に基づいてオンオフが制御される第1スイッチ素子と、第1基準電圧の供給される

基準電圧端子と外部出力端子との間に設けられ、第2制御信号に基づいて前記第1スイッチ素子と相反するようにオンオフが制御される第2スイッチ素子と、前記第1及び第2スイッチ素子との間の接続点と、前記外部出力端子と、の間に設けられたインダクタと、を備えたDCDCコンバータの制御方法であって、前記接続点の電圧と第2基準電圧とを比較して比較結果を出力し、前記比較結果に基づき、前記第2パルス信号と、前記第2スイッチ素子をオフする第1停止信号と、の何れかを第1制御信号として出力し、前記比較結果により前記外部出力端子から前記第2スイッチ素子に向けて電流が逆流していると判定された検出タイミングと、基準タイミングと、に基づき、前記第1制御信号と、前記第2スイッチ素子をオフする第2停止信号と、の何れかを第2制御信号として出力する。

[0018] 上述のような回路構成により、整流トランジスタのスイッチ制御を抑制することができるため、消費電流の増大を抑制することができる。

発明の効果

[0019] 本発明により、整流トランジスタのスイッチ制御を抑制することにより、消費電流の増大を抑制することが可能なDCDCコンバータを提供することができる。

図面の簡単な説明

[0020] [図1]本発明の実施の形態1にかかるDCDCコンバータを示すブロック図である。

[図2]本発明の実施の形態1にかかるDCDCコンバータの動作を示すタイミングチャートである。

[図3]本発明の実施の形態1にかかるDCDCコンバータの動作を示すタイミングチャートである。

[図4]本発明の実施の形態1にかかるDCDCコンバータの動作を示すタイミングチャートである。

[図5]本発明の実施の形態1にかかる低負荷制御回路を示すブロック図である。

[図6]本発明の実施の形態1にかかる低負荷制御回路の動作を示すタイミングチャートである。

[図7]本発明の実施の形態1にかかる低負荷制御回路の動作を示すタイミングチャートである。

[図8]本発明の実施の形態1にかかる低負荷制御回路の動作を示すタイミングチャートである。

[図9]本発明の実施の形態2にかかる低負荷制御回路を示すブロック図である。

[図10]本発明の実施の形態2にかかる低負荷制御回路の動作を示すタイミングチャートである。

[図11]本発明の実施の形態2にかかる低負荷制御回路の動作を示すタイミングチャートである。

[図12]本発明の実施の形態2にかかる低負荷制御回路の動作を示すタイミングチャートである。

[図13]関連する技術のスイッチング電源装置を示すブロック図である。

[図14]関連する技術のNchドライバのドライバ信号生成部を示すブロック図である。

[図15]関連する技術のスイッチング電源装置の動作を示すタイミングチャートである。

発明を実施するための形態

[0021] 以下、図面を参照しつつ、本発明の実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として本発明の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

[0022] 実施の形態1

図1は、本発明の実施の形態1にかかるDCDCコンバータ1を示すブロック図である。本実施の形態にかかるDCDCコンバータ1は、電流が逆流していることを検出した場合（コイル電流が0付近の値まで減少しているこ

とを検出した場合)に、逆流経路上に設けられた整流トランジスタをオフにすることにより電流の逆流を停止させる。それにより、消費電流の増大が抑制される。さらに、本実施の形態にかかるDCDCコンバータ1は、あるサイクルにおいて電流の逆流を検出したタイミング(逆流検出タイミング)が予め決められた基準タイミングと同じ又はそれより早い場合に、次のサイクルの期間中、整流トランジスタをオフにし続ける。それにより、本実施の形態にかかるDCDCコンバータは、逆流の発生しやすい低負荷の場合に、整流トランジスタの無駄なスイッチ制御を抑制することができるため、さらに消費電流の増大を抑制することができる。以下、具体的に説明する。

[0023] 図1に示すように、DCDCコンバータ1は、電源制御回路11と、コンパレータ(比較回路)12と、フリップフロップ(第1フリップフロップ。以下、単にDFFと称す)13と、低負荷制御回路14と、論理積回路(第1論理積回路)15と、論理積回路(第2論理積回路。以下、単にANDと称す)16と、出力トランジスタ(第1スイッチ素子)MP1と、整流トランジスタ(第2スイッチ素子)MN1と、コイル(インダクタ)L1と、キャパシタC1と、を備える。本実施の形態では、出力トランジスタMP1がPチャネルMOSトランジスタであって、整流トランジスタMN1がNチャネルMOSトランジスタである場合を例に説明する。なお、DFF13とAND15とにより第1制御回路が構成される。また、低負荷制御回路14とAND16とにより第2制御回路が構成される。

[0024] 電源制御回路11は、所定のデューティ比のパルス信号(第1パルス信号)PWM_P及びパルス信号(第2パルス信号)PWM_Nを連続的に生成する回路である。電源制御回路11は、パルス信号PWM_P、PWM_Nのデューティ比を適宜変更することができる。なお、デューティ比とは、HレベルとLレベルの電圧レベルのうちパルス信号1サイクルにおけるHレベルの占める割合のことである。

[0025] 出力トランジスタMP1と整流トランジスタMN1とは、電源電圧(入力電圧)VDDの供給される入力電圧端子(以下、端子名をVDDと称す)と

、基準電圧（第1基準電圧）GNDの供給される基準電圧端子（以下、端子名をGNDと称す）と、の間に直列に接続される。より具体的には、出力トランジスタMP1では、ソースが入力電圧端子VDDに接続され、ドレインがノードLXに接続され、ゲートに電源制御回路11からのパルス信号PWM_Pが印加される。整流トランジスタMN1では、ソースが基準電圧端子GNDに接続され、ドレインがノードLXに接続され、ゲートに制御信号S2（後述）が印加される。

[0026] 出力トランジスタMP1は、パルス信号PWM_PがLレベルの場合にオンし、パルス信号PWM_PがHレベルの場合にオフする。整流トランジスタMN1は、制御信号S2がHレベルの場合にオンし、制御信号S2がLレベルの場合にオフする。なお、通常状態（電流の逆流が生じない状態）の場合、出力トランジスタMP1と整流トランジスタMN1とは、互いに相反するようにオンオフが制御される。

[0027] コイルL1は、ノードLXと外部出力端子VOUTとの間に設けられる。また、キャパシタC1は、コイルL1と外部出力端子VOUTとの間の接続点と、基準電圧端子GNDと、の間に設けられる。

[0028] 例えば、出力トランジスタMP1がオンし、整流トランジスタMN1がオフした場合、入力電圧端子VDDから出力トランジスタMP1を介してコイルL1に向けて電流が流れキャパシタC1が充電される。それにより、コイルL1に流れる電流は増大し、コイルL1にエネルギーが蓄積される。

[0029] 一方、出力トランジスタMP1がオフし、整流トランジスタMN1がオンした場合、コイルL1に蓄積されたエネルギーが放出され、整流トランジスタMN1を介してコイルL1に向けて電流が流れキャパシタC1が充電される。この間にコイルL1に流れる電流は減少する。なお、整流トランジスタMN1を介してコイルL1に向けて電流が流れている場合、ノードLXの電圧は基準電圧GNDより低い値を示す。一方、コイルL1に流れる電流が減少して、コイルL1から整流トランジスタMN1を介して電流が流れ始めると、即ち、電流の逆流が発生すると、ノードLXの電圧は基準電圧GND以

上の値を示す。

- [0030] コンパレータ 1 2 では、非反転入力端子にノード L X の電圧が供給され、反転入力端子に基準電圧（第 2 基準電圧）G N D が供給され、出力端子から比較結果 C O M P _ O U T が出力される。つまり、コンパレータ 1 2 は、ノード L X の電圧と、基準電圧 G N D と、を比較して比較結果 C O M P _ O U T を出力する回路である。
- [0031] 例えば、ノード L X の電圧が基準電圧 G N D より低い場合、コンパレータ 1 2 は L レベルの比較結果 C O M P _ O U T を出力する。一方、ノード L X の電圧が基準電圧 G N D 以上である場合、コンパレータ 1 2 は H レベルの比較結果 C O M P _ O U T を出力する。
- [0032] D F F 1 3 では、クロック入力端子 C L K に比較結果 C O M P _ O U T が入力され、データ入力端子 D に電源電圧 V D D （H レベル）が入力され、リセット入力端子 R E S E T _ B に電源制御回路 1 1 からのパルス信号 P W M _ N が入力され、データ反転出力端子 Q _ B からマスク信号（第 1 マスク信号）M 1 が出力される。
- [0033] D F F 1 3 は、パルス信号 P W M _ N が L レベルの場合にリセットされ、データ反転出力端子 Q _ B から H レベルのマスク信号 M 1 を出力する。また、D F F 1 3 は、パルス信号 P W M _ N が H レベルの場合にリセット解除され、この期間中に比較結果 C O M P _ O U T が立ち上がると、当該比較結果 C O M P _ O U T の立ち上がり同期してデータ反転出力端子 Q _ B から L レベルのマスク信号 M 1 を出力する。
- [0034] A N D 1 5 では、一方の入力端子に電源制御回路 1 1 からのパルス信号 P W M _ N が入力され、他方の入力端子に D F F 1 3 からのマスク信号 M 1 が入力され、出力端子から制御信号（第 1 制御信号）S 1 が出力される。つまり、A N D 1 5 は、マスク信号 M 1 に基づき、電源制御回路 1 1 からのパルス信号 P W M _ N をそのまま制御信号 S 1 として出力するか否かを制御する回路である。
- [0035] 例えば、マスク信号 M 1 が H レベルの場合、A N D 1 5 は、電源制御回路

11からのパルス信号PWM__Nをそのまま制御信号S1として出力する。一方、マスク信号M1がLレベルの場合、AND15は、パルス信号PWM__Nの値に関わらずLレベルの制御信号S1（第1停止信号）を出力する。

[0036] 低負荷制御回路14は、比較結果COMP__OUTにより電流の逆流が検出されたタイミング（逆流検出タイミング）と、予め決められた基準タイミングと、に基づいて、マスク信号（第2マスク信号）M2を生成する回路である。具体的には、あるサイクルにおいて、パルス信号PWM__P, PWM__Nが何れもHレベルの期間中、比較結果COMP__OUTのLレベルからHレベルへの切り替わりタイミングが基準タイミングより遅い場合には、低負荷制御回路14は、次のサイクルの期間中、Hレベルのマスク信号M2を出力し続ける。同様に、あるサイクルにおいて、パルス信号PWM__P, PWM__Nが何れもHレベルの期間中、比較結果COMP__OUTがLレベルのままである場合には、低負荷制御回路14は、次のサイクルの期間中、Hレベルのマスク信号M2を出力し続ける。一方、あるサイクルにおいて、パルス信号PWM__P, PWM__Nが何れもHレベルの期間中、比較結果COMP__OUTのLレベルからHレベルへの切り替わりタイミングが基準タイミングと同じ又はそれより早い場合には、低負荷制御回路14は、次のサイクルの期間中、Lレベルのマスク信号M2を出力し続ける。

[0037] AND16では、一方の入力端子にAND15からの制御信号S1が入力され、他方の入力端子に低負荷制御回路14からのマスク信号M2が入力され、出力端子から制御信号（第2制御信号）S2が出力される。つまり、AND16は、マスク信号M2に基づき、AND15からの制御信号S1をそのまま制御信号S2として出力するか否かを制御する回路である。

[0038] 例えば、マスク信号M2がHレベルの場合、AND16は、AND15からの制御信号S1をそのまま制御信号S2として出力する。一方、マスク信号M2がLレベルの場合、AND16は、制御信号S1の値に関わらずLレベルの制御信号S2（第2停止信号）を出力する。

[0039] このように、図1に示すDCDCコンバータ1は、コンパレータ12によ

り電流の逆流を検出すると、整流トランジスタMN1をオフすることにより電流の逆流を停止させる。それにより、消費電流の増大が抑制される。さらに、図1に示すDCDCコンバータ1は、あるサイクルにおいて、電流の逆流を検出したタイミングが基準タイミングと同じ又はそれより早い場合、即ち、電流の逆流を比較的早いタイミングで検出した場合、次のサイクルの期間中、整流トランジスタMN1をオフにし続ける。それにより、図1に示すDCDCコンバータ1は、整流トランジスタMN1の無駄なスイッチ制御を抑制できるため、さらに消費電流の増大を抑制することができる。

[0040] (タイミングチャート)

次に、図1に示すDCDCコンバータ1の動作を、図2～図4のタイミングチャートを用いて説明する。なお、図2～図4のタイミングチャート中に示すコイル電流とは、コイルL1に流れる電流であって、ノードLXからコイルL1を介して外部出力端子VOUTに向けて流れる電流を正としている。

[0041] 図2は、高負荷時におけるDCDCコンバータ1の動作を示すタイミングチャートである。なお、高負荷とは、外部出力端子VOUTに接続された回路（不図示）に対し多くの電流を供給する必要がある状態をいう。

[0042] 図2に示すように、パルス信号PWM_N、PWM_PがLレベルの場合（時刻t1～t2及び時刻t3～t4）、出力トランジスタMP1はオンする。このとき、Lレベルのパルス信号PWM_Nは、マスク信号M1、M2の値に関わらず、AND15、16を介してそのまま制御信号S2として伝搬される。それにより、整流トランジスタMN1はオフする。そのため、入力電圧端子VDDから出力トランジスタMP1を介してコイルL1に向けて電流が流れキャパシタC1が充電される。それにより、コイルL1に流れるコイル電流は増大し、コイルL1にエネルギーが蓄積される。

[0043] なお、この期間中（時刻t1～t2及び時刻t3～t4）、ノードLXの電圧が基準電圧GNDより高いため、コンパレータ12はHレベルの比較結果COMP_OUTを出力する。しかしながら、dff13は、Lレベルの

パルス信号PWM_Nによりリセットされているため、Hレベルのマスク信号M1を出力する。

[0044] また、低負荷制御回路14は、一つ前のサイクルで電流の逆流が検出されていないため（コイル電流が0付近の値まで減少していないため）、本サイクルの期間中（時刻t1～t3及び時刻t3～t5）、Hレベルのマスク信号M2を出力し続けている。

[0045] 次に、パルス信号PWM_N、PWM_PがLレベルからHレベルに切り替わると（時刻t2及び時刻t4）、出力トランジスタMP1はオフする。このとき、Hレベルのパルス信号PWM_Nは、マスク信号M1、M2がHレベルであるため、AND15、16を介してそのまま制御信号S2として伝搬される。それにより、整流トランジスタMN1はオンする。そのため、コイルL1に蓄積されたエネルギーが放出され、整流トランジスタMN1を介してコイルL1に向けて電流が流れキャパシタC1が充電される。この間にコイルL1に流れる電流は減少する。

[0046] なお、整流トランジスタMN1を介してコイルL1に向けて電流が流れている場合、ノードLXの電圧は基準電圧GNDより低い値を示す。この場合、コンパレータ12はLレベルの比較結果COMP_OUTを出力する。そのため、DF13は、リセット時におけるHレベルのマスク信号M1を出力する。

[0047] ここで、図2の高負荷の例では、コイルL1に蓄積されたエネルギーが大きいため、パルス信号PWM_N、PWM_Pが何れもHレベルの期間中（時刻t2～t3及び時刻t4～t5）、コイル電流は減少するが負の値まで減少しない。つまり、電流の逆流は発生していない。言い換えると、パルス信号PWM_P、PWM_Nが何れもHレベルの期間中、ノードLXの電圧は常に基準電圧GNDよりも低い値を示す。したがって、この期間中、コンパレータ12はLレベルの比較結果COMP_OUTを出力し続ける。そのため、DF13は、この期間中、リセット時におけるHレベルのマスク信号M1を出力し続ける。また、低負荷制御回路14は、上記したように本サ

イクルの期間中、Hレベルのマスク信号M2を出力し続けている。したがって、パルス信号PWM_Nは、AND15, 16を介してそのまま制御信号S2として伝搬される。

[0048] このように高負荷時の場合、コイルL1に流れる電流（コイル電流）は増減を繰り返すがその方向は変わらない。つまり、本実施の形態にかかるDCDCコンバータ1は、高負荷時の場合、一般的なDCDCコンバータと同様の動作を行う。

[0049] 図3は、中負荷時（電流の逆流の発生するタイミングが遅い場合）におけるDCDCコンバータ1の動作を示すタイミングチャートである。なお、中負荷とは、外部出力端子VOUTに接続された回路（不図示）に対し高負荷の場合より少ない電流を供給する必要がある状態をいう。

[0050] 図3に示すように、パルス信号PWM_N, PWM_PがLレベルの場合（時刻t1～t2及び時刻t4～t5）、出力トランジスタMP1はオンする。このとき、Lレベルのパルス信号PWM_Nは、マスク信号M1, M2の値に関わらず、AND15, 16を介してそのまま制御信号S2として伝搬される。それにより、整流トランジスタMN1はオフする。そのため、入力電圧端子VDDから出力トランジスタMP1を介してコイルL1に向けて電流が流れキャパシタC1が充電される。それにより、コイルL1に流れるコイル電流は増大し、コイルL1にエネルギーが蓄積される。

[0051] なお、この期間中（時刻t1～t2及び時刻t4～t5）、ノードLXの電圧が基準電圧GNDより高いため、コンパレータ12はHレベルの比較結果COMP_OUTを出力する。しかしながら、DF13は、Lレベルのパルス信号PWM_Nによりリセットされているため、Hレベルのマスク信号M1を出力する。

[0052] また、低負荷制御回路14は、一つ前のサイクルにおいて予め決められた基準タイミングより遅いタイミングで電流の逆流が検出されているため（コイル電流が0付近の値まで減少しているため）、本サイクルの期間中（時刻t1～t4及び時刻t4～t7）、Hレベルのマスク信号M2を出力し続け

ている。

[0053] 次に、パルス信号PWM_N, PWM_PがLレベルからHレベルに切り替わると（時刻t₂及び時刻t₅）、出力トランジスタMP₁はオフする。このとき、Hレベルのパルス信号PWM_Nは、マスク信号M₁, M₂がHレベルであるため、AND₁₅, AND₁₆を介してそのまま制御信号S₂として伝搬される。それにより、整流トランジスタMN₁はオンする。そのため、コイルL₁に蓄積されたエネルギーが放出され、整流トランジスタMN₁を介してコイルL₁に向けて電流が流れキャパシタC₁が充電される。この間にコイルL₁に流れる電流は減少する。

[0054] なお、整流トランジスタMN₁を介してコイルL₁に向けて電流が流れている場合、ノードL_Xの電圧は基準電圧GNDより低い値を示す。この場合、コンパレータ12はLレベルの比較結果COMP_OUTを出力する。そのため、DFF₁₃は、リセット時におけるHレベルのマスク信号M₁を出力する。

[0055] ここで、図3の中負荷の例では、コイルL₁に蓄積されたエネルギーが高負荷の場合よりも小さいため、パルス信号PWM_N, PWM_Pが何れもHレベルの期間中（時刻t₂～t₄及び時刻t₅～t₇）、コイル電流は負の値まで減少する（時刻t₃及び時刻t₆）。つまり、電流の逆流が発生する。言い換えると、時刻t₃及び時刻t₆にて、ノードL_Xの電圧は基準電圧GND以上の値を示す。このとき、コンパレータ12は比較結果COMP_OUTをLレベルからHレベルに切り替えて出力する。DFF₁₃は、比較結果COMP_OUTの立ち上がりに同期して、マスク信号M₁をHレベルからLレベルに切り替えて出力する。したがって、パルス信号PWM_Nの値に関わらず、制御信号S₁, S₂はLレベルを示す。それにより、整流トランジスタMN₁がオフするため、電流の逆流は停止する。

[0056] また、低負荷制御回路14は、本サイクル（時刻t₁～t₄及び時刻t₄～t₇）において逆流検出タイミング（時刻t₃及び時刻t₆）が基準タイミング（時刻X及び時刻Y）より遅いため、次のサイクルの期間中、Hレベ

ルのマスク信号M2を出力し続ける。

[0057] このように中負荷時の場合、コイルL1に流れる電流（コイル電流）は逆流する。しかし、DCDCコンバータ1は、電流の逆流が検出されると整流トランジスタMN1をオフするため、電流の逆流を停止させることができる。それにより、消費電流の増大が抑制される。なお、図3の例では、逆流検出タイミングが基準タイミングより遅いため、次のサイクルの期間中、整流トランジスタMN1が常にオフし続けることはない。

[0058] 図4は、低負荷時（電流の逆流の発生するタイミングが早い場合）におけるDCDCコンバータ1の動作を示すタイミングチャートである。なお、低負荷とは、外部出力端子VOUTに接続された回路（不図示）に対し中負荷より少ない電流を供給する必要がある状態をいう。

[0059] 図4に示すように、パルス信号PWM_N、PWM_PがLレベルの場合（時刻t1～t2及び時刻t4～t5）、出力トランジスタMP1はオンする。このとき、Lレベルのパルス信号PWM_Nは、マスク信号M1、M2の値に関わらず、AND15、16を介してそのまま制御信号S2として伝搬される。それにより、整流トランジスタMN1はオフする。そのため、入力電圧端子VDDから出力トランジスタMP1を介してコイルL1に向けて電流が流れキャパシタC1が充電される。それにより、コイルL1に流れるコイル電流は増大し、コイルL1にエネルギーが蓄積される。

[0060] なお、この期間中（時刻t1～t2及び時刻t4～t5）、ノードLXの電圧が基準電圧GNDより高いため、コンパレータ12はHレベルの比較結果COMP_OUTを出力する。しかしながら、DF13は、Lレベルのパルス信号PWM_Nによりリセットされているため、Hレベルのマスク信号M1を出力する。

[0061] また、低負荷制御回路14は、一つ前のサイクルにおいて予め決められた基準タイミングと同じ又はそれより早いタイミングで電流の逆流が検出されているため（コイル電流が0付近の値まで減少しているため）、本サイクルの期間中（時刻t1～t4及び時刻t4～t7）、Lレベルのマスク信号M

2 を出力し続けている。

[0062] 次に、パルス信号PWM__N, PWM__PがLレベルからHレベルに切り替わると（時刻t 2及び時刻t 5）、出力トランジスタMP 1はオフする。このとき、マスク信号M 2がLレベルを示しているため、制御信号S 2はLレベルとなる。したがって、整流トランジスタMN 1は、パルス信号PWM__Nの値に関わらずオフする。そのため、電流の逆流が発生することはない。ただし、図4の例では、整流トランジスタMN 1に寄生ダイオードが形成された場合も考慮している。つまり、コイルL 1に蓄積されたエネルギーが放出され、整流トランジスタMN 1の寄生ダイオードを介してコイルL 1に向けて電流が流れキャパシタC 1が充電されている。この間にコイルL 1に流れる電流は減少する。

[0063] なお、整流トランジスタMN 1の寄生ダイオードを介してコイルL 1に向けて電流が流れている場合、ノードL Xの電圧は基準電圧GNDより低い値を示す。この場合、コンパレータ1 2はLレベルの比較結果COMP__OUTを出力する。そのため、DFF 1 3は、リセット時におけるHレベルのマスク信号M 1を出力する。

[0064] ここで、図4の低負荷の例では、コイルL 1に蓄積されたエネルギーが中負荷の場合よりもさらに小さいため、パルス信号PWM__N, PWM__Pが何れもHレベルの期間中（時刻t 2～t 4及び時刻t 5～t 7）、コイル電流は基準タイミング（時刻X及び時刻Y）より早いタイミングで0付近の値まで減少する（時刻t 3及び時刻t 6）。言い換えると、時刻t 3及び時刻t 6にて、ノードL Xの電圧は基準電圧GND以上の値を示す。このとき、コンパレータ1 2は比較結果COMP__OUTをLレベルからHレベルに切り替えて出力する。DFF 1 3は、比較結果COMP__OUTの立ち上がりに同期して、マスク信号M 1をHレベルからLレベルに切り替えて出力する。なお、低負荷制御回路1 4は、上記したように本サイクルの期間中、Lレベルのマスク信号M 2を出力し続けている。したがって、制御信号S 2は、本サイクルの期間中、パルス信号PWM__Nの値に関わらずLレベルを示す

。それにより、本サイクルの期間中、整流トランジスタMN1は常にオフし続けるため、無駄なスイッチ制御が抑制され消費電流の増大が抑制される。

[0065] また、低負荷制御回路14は、本サイクル（時刻t1～t4及び時刻t4～t7）において逆流検出タイミング（時刻t3及び時刻t6）が基準タイミング（時刻X及び時刻Y）と同じ又はそれより早いため、次のサイクルの期間中、Lレベルのマスク信号M2を出力し続ける。

[0066] このように低負荷時の場合、コイルL1に流れる電流（コイル電流）は基準タイミングより早いタイミングで0付近の値にまで減少する。この場合、DCDCコンバータ1は、次のサイクルの期間中に整流トランジスタMN1をオフし続けることにより、電流の逆流を停止させるとともに無駄なスイッチ制御を抑制する。それにより、電流の逆流が発生しやすい低負荷時において、さらに消費電流の増大が抑制される。

[0067] （低負荷制御回路14の構成例）

図5は、低負荷制御回路14の具体的な回路構成を示す図である。図5に示すように、低負荷制御回路14は、DF F（第2フリップフロップ）141と、DF F（第3フリップフロップ）142と、遅延回路143と、を有する。

[0068] DF F 141では、クロック入力端子CLKに比較結果COMP_OUTが入力され、データ入力端子Dに電源電圧VDD（Hレベル）が入力され、リセット入力端子RESET_Bに電源制御回路11からのパルス信号PWM_Nが入力され、データ出力端子Qから中間信号T1が出力され、データ反転出力端子Q_Bから中間反転信号TB1が出力される。遅延回路143では、入力端子に中間信号T1が入力され、出力端子から遅延信号D1が出力される。DF F 143では、クロック入力端子CLKにDF F 141からの中間反転信号TB1が入力され、データ入力端子Dに遅延回路143からの遅延信号D1が入力され、リセット入力端子RESET_Bに電源電圧VDD（Hレベル）が入力され、データ出力端子Qからマスク信号M2が出力される。

[0069] DFF141は、パルス信号PWM_NがLレベルの場合にリセットされ、データ出力端子QからLレベルの中間信号T1を出力するとともに、データ反転出力端子Q_BからHレベルの中間反転信号TB1を出力する。また、DFF141は、パルス信号PWM_NがHレベルの場合にリセット解除され、この期間中に比較結果COMP_OUTが立ち上がると、当該比較結果COMP_OUTの立ち上がり同期して、データ出力端子QからHレベルの中間信号T1を出力するとともに、データ反転出力端子Q_BからLレベルの中間反転信号TB1を出力する。

[0070] 遅延回路143は、中間信号T1に所定の遅延を付加して反転させ、遅延信号D1として出力する。DFF142は、中間反転信号TB1の立ち上がり同期して遅延信号D1を取り込み、マスク信号M2として出力する。

[0071] (低負荷制御回路14のタイミングチャート)

次に、図5に示す低負荷制御回路14の動作を、図6～図8のタイミングチャートを用いて説明する。

[0072] 図6は、高負荷時における低負荷制御回路14の動作を示すタイミングチャートである。なお、図6に示すタイミングチャートは、図2と同じ条件でDCDCコンバータ1を動作させた場合における低負荷制御回路14の動作を示すものである。

[0073] 図6に示すように、パルス信号PWM_N、PWM_PがLレベルの場合、コンパレータ12はHレベルの比較結果COMP_OUTを出力する(時刻t1～t2及び時刻t3～t4)。しかしながら、DFF141は、Lレベルのパルス信号PWM_Nによりリセットされているため、Lレベルの中間信号T1を出力し、Hレベルの中間反転信号TB1を出力する。

[0074] なお、一つ前のサイクルで電流の逆流が検出されていないため(コイル電流が0付近の値まで減少していないため)、本サイクルの期間中(時刻t1～t3及び時刻t3～t5)、DFF142は、リセット時におけるHレベルのマスク信号M2を出力し続けている。詳細については後述する。

[0075] 次に、パルス信号PWM_N、PWM_PがLレベルからHレベルに切り

替わると（時刻 t_2 及び時刻 t_4 ）、コンパレータ 12 は L レベルの比較結果 COMP_OUT を出力する。

[0076] ここで、図 6 の高負荷の例では、コイル L1 に蓄積されたエネルギーが大きいため、パルス信号 PWM_N, PWM_P が何れも H レベルの期間中（時刻 $t_2 \sim t_3$ 及び時刻 $t_4 \sim t_5$ ）、コイル電流は減少するが負の値まで減少しない。つまり、電流の逆流は発生していない。言い換えると、パルス信号 PWM_P, PWM_N が何れも H レベルの期間中、ノード LX の電圧は常に基準電圧 GND よりも低い値を示す。したがって、この期間中、コンパレータ 12 は L レベルの比較結果 COMP_OUT を出力し続ける。そのため、DF141 は、この期間中、リセット時における L レベルの中間信号 T1 及び H レベルの中間反転信号 TB1 を出力し続ける。それに応じて、遅延回路 143 は、H レベルの遅延信号 D1 を出力する。そのため、DF142 は、次のサイクルの期間中、リセット時における H レベルのマスク信号 M2 を出力し続ける。

[0077] このように、低負荷制御回路 14 は、あるサイクルにおいて電流の逆流が発生しない場合、次のサイクルの期間中、H レベルのマスク信号 M2 を出力し続ける。

[0078] 図 7 は、中負荷時における低負荷制御回路 14 の動作を示すタイミングチャートである。なお、図 7 に示すタイミングチャートは、図 3 と同じ条件で DCDC コンバータ 1 を動作させた場合における低負荷制御回路 14 の動作を示すものである。

[0079] 図 7 に示すように、パルス信号 PWM_N, PWM_P が L レベルの場合、コンパレータ 12 は H レベルの比較結果 COMP_OUT を出力する（時刻 $t_1 \sim t_2$ 及び時刻 $t_4 \sim t_5$ ）。しかしながら、DF141 は、L レベルのパルス信号 PWM_N によりリセットされているため、L レベルの中間信号 T1 を出力し、H レベルの中間反転信号 TB1 を出力する。

[0080] なお、一つ前のサイクルにおいて予め決められた基準タイミングより遅いタイミングで電流の逆流が検出されているため（コイル電流が 0 付近の値ま

で減少しているため)、本サイクルの期間中(時刻 $t_1 \sim t_4$ 及び時刻 $t_4 \sim t_7$)、 $DFF142$ は、Hレベルのマスク信号 $M2$ を出力し続けている。詳細については後述する。

[0081] 次に、パルス信号 PWM_N 、 PWM_P がLレベルからHレベルに切り替わると(時刻 t_2 及び時刻 t_5)、コンパレータ 12 はLレベルの比較結果 $COMP_OUT$ を出力する。

[0082] ここで、図7の中負荷の例では、コイル $L1$ に蓄積されたエネルギーが高負荷の場合よりも小さいため、パルス信号 PWM_N 、 PWM_P が何れもHレベルの期間中(時刻 $t_2 \sim t_4$ 及び時刻 $t_5 \sim t_7$)、コイル電流は負の値まで減少する(時刻 t_3 及び時刻 t_6)。つまり、電流の逆流が発生する。言い換えると、時刻 t_3 及び時刻 t_6 にて、ノード LX の電圧は基準電圧 GND 以上の値を示す。このとき、コンパレータ 12 は比較結果 $COMP_OUT$ をLレベルからHレベルに切り替えて出力する。 $DFF141$ は、比較結果 $COMP_OUT$ の立ち上がり同期して、中間信号 $T1$ をLレベルからHレベルに切り替えて出力するとともに、中間反転信号 $TB1$ をHレベルからLレベルに切り替えて出力する。

[0083] そして、遅延回路 143 は、中間信号 $T1$ に所定の遅延を付加して反転させ、遅延信号 $D1$ として出力する。ここでは、遅延回路 142 は、中間信号 $T1$ に期間 $X \sim t_4$ に相当する長さの遅延を付加して反転させ、遅延信号 $D1$ として出力する。

[0084] パルス信号 PWM_N がHレベルからLレベルへ切り替わることにより中間反転信号 $TB1$ がHレベルにリセットされると(時刻 t_4 及び時刻 t_7)、 $DFF142$ は、当該中間反転信号 $TB1$ の立ち上がり同期して遅延信号 $D1$ を取り込む。ここで、逆流検出タイミング(時刻 t_3 及び時刻 t_6)が基準タイミング(時刻 X 及び時刻 Y)より遅いため、 $DFF142$ は、Hレベル状態の遅延信号 $D1$ を取り込んでマスク信号 $M2$ として出力する。つまり、 $DFF142$ は、次のサイクルの期間中、Hレベルのマスク信号 $M2$ を出力し続ける。

- [0085] このように、低負荷制御回路14は、あるサイクルにおいて逆流検出タイミングが基準タイミングより遅い場合、次のサイクルの期間中、Hレベルのマスク信号M2を出力し続ける。
- [0086] 図8は、低負荷時における低負荷制御回路14の動作を示すタイミングチャートである。なお、図8に示すタイミングチャートは、図4と同じ条件でDCDCコンバータ1を動作させた場合における低負荷制御回路14の動作を示すものである。
- [0087] 図8に示すように、パルス信号PWM_N, PWM_PがLレベルの場合、コンパレータ12はHレベルの比較結果COMP_OUTを出力する（時刻t1～t2及び時刻t4～t5）。しかしながら、DF141は、Lレベルのパルス信号PWM_Nによりリセットされているため、Lレベルの中間信号T1を出力し、Hレベルの中間反転信号TB1を出力する。
- [0088] なお、一つ前のサイクルにおいて予め決められた基準タイミングと同じ又はそれより早いタイミングで電流の逆流が検出されているため（コイル電流が0付近の値まで減少しているため）、本サイクルの期間中（時刻t1～t4及び時刻t4～t7）、DF142は、Lレベルのマスク信号M2を出力し続けている。詳細については後述する。
- [0089] 次に、パルス信号PWM_N, PWM_PがLレベルからHレベルに切り替わると（時刻t2及び時刻t5）、コンパレータ12はLレベルの比較結果COMP_OUTを出力する。
- [0090] ここで、図8の低負荷の例では、コイルL1に蓄積されたエネルギーが中負荷の場合よりもさらに小さいため、パルス信号PWM_N, PWM_Pが何れもHレベルの期間中（時刻t2～t4及び時刻t5～t7）、コイル電流は基準タイミング（時刻X及び時刻Y）より早いタイミングで0付近の値まで減少する（時刻t3及び時刻t6）。言い換えると、時刻t3及び時刻t6にて、ノードLXの電圧は基準電圧GND以上の値を示す。このとき、コンパレータ12は比較結果COMP_OUTをLレベルからHレベルに切り替えて出力する。DF141は、比較結果COMP_OUTの立ち上が

りに同期して、中間信号T 1をLレベルからHレベルに切り替えて出力するとともに、中間反転信号T B 1をHレベルからLレベルに切り替えて出力する。

[0091] そして、遅延回路1 4 3は、中間信号T 1に所定の遅延を付加して反転させ、遅延信号D 1として出力する。ここでは、遅延回路1 4 2は、中間信号T 1に期間X～t 4に相当する長さの遅延を付加して反転させ、遅延信号D 1として出力する。

[0092] パルス信号PWM_NがHレベルからLレベルへ切り替わることにより中間反転信号T B 1がHレベルにリセットされると（時刻t 4及び時刻t 7）、D F F 1 4 2は、当該中間反転信号T B 1の立ち上がり同期して遅延信号D 1を取り込む。ここで、逆流検出タイミング（時刻t 3及び時刻t 6）が基準タイミング（時刻X及び時刻Y）より早いため、D F F 1 4 2は、Lレベル状態の遅延信号D 1を取り込んでマスク信号M 2として出力する。つまり、D F F 1 4 2は、次のサイクルの期間中、Lレベルのマスク信号M 2を出力し続ける。

[0093] このように、低負荷制御回路1 4は、あるサイクルにおいて逆流検出タイミングが基準タイミングと同じ又はそれより早い場合、次のサイクルの期間中、Lレベルのマスク信号M 2を出力し続ける。

[0094] このように、本実施の形態にかかるD C D Cコンバータ1は、電流の逆流を検出すると（コイル電流が0付近の値まで減少していることを検出すると）、逆流経路上に設けられた整流トランジスタをオフにすることにより電流の逆流を停止させる。それにより、消費電流の増大が抑制される。さらに、本実施の形態にかかるD C D Cコンバータ1は、あるサイクルにおいて逆流検出タイミングが基準タイミングと同じ又はそれより早い場合に、次のサイクルの期間中、整流トランジスタをオフにし続ける。それにより、本実施の形態にかかるD C D Cコンバータ1は、逆流の発生しやすい低負荷の場合に、整流トランジスタの無駄なスイッチ制御を抑制できるため、さらに消費電流の増大を抑制することができる。

[0095] 関連する技術では、どんなに早く電流の逆流を検出した場合でも、整流トランジスタをオフするためのスイッチ制御が必ず働く。したがって、関連する技術では、スイッチ制御による消費電流の増大を抑制することができなかった。一方、本実施の形態にかかるDCDCコンバータ1は、電流の逆流が発生しやすい低負荷の場合、整流トランジスタを予めオフにしておくことにより無駄なスイッチ制御を抑制することができるため、さらに消費電流の増大を抑制することができる。

[0096] なお、遅延回路143により中間信号T1に付加される遅延は、調整可能である。また、低負荷制御回路14は、2つのDF F 141, 142及び遅延回路143からなる簡単な回路構成により実現されることができる。また、本実施の形態では、降圧回路に対して低負荷制御回路14を適用した場合を例に説明したが、これに限られない。降圧回路に限られず、昇圧回路、昇降圧回路及び極性反転回路に対して低負荷制御回路14を適用することも可能である。

[0097] 実施の形態2

本実施の形態では、低負荷制御回路14の他の構成例を低負荷制御回路14aとして説明する。図9は、低負荷制御回路14aの具体的な回路構成を示すである。図9に示すように、低負荷制御回路14aは、DF F 141と、DF F 142と、パルス生成回路144と、を有する。

[0098] DF F 141では、クロック入力端子CLKに比較結果COMP__OUTが入力され、データ入力端子Dに電源電圧VDD（Hレベル）が入力され、リセット入力端子RESET__Bに電源制御回路11からのパルス信号PWM__Nが入力され、データ出力端子Qから中間信号T1が出力される。パルス生成回路144では、入力端子に判定信号が入力され、出力端子からパルス信号（第3パルス信号）P1が出力される。DF F 142では、クロック入力端子CLKにパルス生成回路144からのパルス信号P1が入力され、データ入力端子DにDF F 141からの中間信号T1が入力され、リセット入力端子RESET__Bに電源電圧VDD（Hレベル）が入力され、データ

反転出力端子Q__Bからマスク信号M2が出力される。

[0099] DFF141は、パルス信号PWM__NがLレベルの場合にリセットされ、データ出力端子QからLレベルの中間信号T1を出力する。また、DFF141は、パルス信号PWM__NがHレベルの場合にリセット解除され、この期間中に比較結果COMP__OUTが立ち上がると、当該比較結果COMP__OUTの立ち上がり同期して、データ出力端子QからHレベルの中間信号T1を出力する。

[0100] パルス生成回路144は、電源制御回路11から出力された判定信号に基づいて、所定周期のパルス信号P1を出力する。本実施の形態では、パルス信号P1がパルス信号PWM__Nと同一周期であってデューティ比が異なる場合を例に説明する。DFF142は、パルス信号P1の立ち上がり同期して中間信号T1を取り込み、その反転信号をマスク信号M2として出力する。

[0101] (低負荷制御回路14aのタイミングチャート)

次に、図9に示す低負荷制御回路14aの動作を、図10～図12のタイミングチャートを用いて説明する。

[0102] 図10は、高負荷時における低負荷制御回路14aの動作を示すタイミングチャートである。なお、図10に示すタイミングチャートは、図2と同じ条件でDCDCコンバータ1を動作させた場合における低負荷制御回路14aの動作を示すものである。

[0103] 図10に示すように、パルス信号PWM__N、PWM__PがLレベルの場合、コンパレータ12はHレベルの比較結果COMP__OUTを出力する(時刻t1～t2及び時刻t3～t4)。しかしながら、DFF141は、Lレベルのパルス信号PWM__Nによりリセットされているため、Lレベルの中間信号T1を出力する。

[0104] 次に、パルス信号PWM__N、PWM__PがLレベルからHレベルに切り替わると(時刻t2及び時刻t4)、コンパレータ12はLレベルの比較結果COMP__OUTを出力する。

- [0105] ここで、図10の高負荷の例では、コイルL1に蓄積されたエネルギーが大きいため、パルス信号PWM_N, PWM_Pが何れもHレベルの期間中（時刻t2～t3及び時刻t4～t5）、コイル電流は減少するが負の値まで減少しない。つまり、電流の逆流は発生していない。言い換えると、パルス信号PWM_P, PWM_Nが何れもHレベルの期間中、ノードLXの電圧は常に基準電圧GNDよりも低い値を示す。したがって、この期間中、コンパレータ12はLレベルの比較結果COMP_OUTを出力し続ける。そのため、DF141は、この期間中、リセット時におけるLレベルの中間信号T1を出力し続ける。
- [0106] 一方、パルス生成回路144は、電源制御回路11からの判定信号に基づき、パルス信号PWM_Nの立ち下がりに同期して立ち下がり（時刻t1及び時刻t3）、パルス信号PWM_Nの立ち上がりから所定期間経過後の基準タイミングにて立ち上がる（時刻X及び時刻Y）。
- [0107] そのため、DF142は、パルス信号P1の立ち上がりに同期してLレベルの中間信号T1を取り込み、次のパルス信号P1の立ち上がりまで反転信号であるHレベルのマスク信号M2を出力し続ける。
- [0108] このように、低負荷制御回路14aは、電流の逆流が発生しない場合、Hレベルのマスク信号M2を出力し続ける。
- [0109] 図11は、中負荷時における低負荷制御回路14aの動作を示すタイミングチャートである。なお、図11に示すタイミングチャートは、図3と同じ条件でDCDCコンバータ1を動作させた場合における低負荷制御回路14aの動作を示すものである。
- [0110] 図11に示すように、パルス信号PWM_N, PWM_PがLレベルの場合、コンパレータ12はHレベルの比較結果COMP_OUTを出力する（時刻t1～t2及び時刻t4～t5）。しかしながら、DF141は、Lレベルのパルス信号PWM_Nによりリセットされているため、Lレベルの中間信号T1を出力する。
- [0111] 次に、パルス信号PWM_N, PWM_PがLレベルからHレベルに切り

替わると（時刻 t_2 及び時刻 t_5 ）、コンパレータ 12 は L レベルの比較結果 COMP_OUT を出力する。

[0112] ここで、図 11 の中負荷の例では、コイル L1 に蓄積されたエネルギーが高負荷の場合よりも小さいため、パルス信号 PWM_N, PWM_P が何れも H レベルの期間中（時刻 $t_2 \sim t_4$ 及び時刻 $t_5 \sim t_7$ ）、コイル電流は負の値まで減少する（時刻 t_3 及び時刻 t_6 ）。つまり、電流の逆流が発生する。言い換えると、時刻 t_3 及び時刻 t_6 にて、ノード LX の電圧は基準電圧 GND 以上の値を示す。このとき、コンパレータ 12 は比較結果 COMP_OUT を L レベルから H レベルに切り替えて出力する。DFF141 は、比較結果 COMP_OUT の立ち上がりに同期して、中間信号 T1 を L レベルから H レベルに切り替えて出力する。

[0113] 一方、パルス生成回路 144 は、電源制御回路 11 からの判定信号に基づき、パルス信号 PWM_N の立ち下がりに同期して立ち下がり（時刻 t_1 及び時刻 t_3 ）、パルス信号 PWM_N の立ち上がりから所定期間経過後の基準タイミングにて立ち上がる（時刻 X 及び時刻 Y）。

[0114] ここで、逆流検出タイミング（時刻 t_3 及び時刻 t_6 ）が基準タイミング（時刻 X 及び時刻 Y）より遅い。したがって、DFF142 は、パルス信号 P1 の立ち上がりに同期して L レベルの中間信号 T1 を取り込み、次のパルス信号 P1 の立ち上がりまで反転信号である H レベルのマスク信号 M2 を出力し続ける。

[0115] このように、低負荷制御回路 14a は、あるサイクルにおいて逆流検出タイミングが基準タイミングより遅い場合、当該基準タイミングから次のサイクルの基準タイミングまで、H レベルのマスク信号 M2 を出力し続ける。

[0116] 図 12 は、低負荷時における低負荷制御回路 14a の動作を示すタイミングチャートである。なお、図 12 に示すタイミングチャートは、図 4 と同じ条件で DCDC コンバータ 1 を動作させた場合における低負荷制御回路 14a の動作を示すものである。

[0117] 図 12 に示すように、パルス信号 PWM_N, PWM_P が L レベルの場

合、コンパレータ12はHレベルの比較結果COMP_OUTを出力する（時刻t1～t2及び時刻t4～t5）。しかしながら、DF141は、Lレベルのパルス信号PWM_Nによりリセットされているため、Lレベルの中間信号T1を出力する。

[0118] 次に、パルス信号PWM_N, PWM_PがLレベルからHレベルに切り替わると（時刻t2及び時刻t5）、コンパレータ12はLレベルの比較結果COMP_OUTを出力する。

[0119] ここで、図12の低負荷の例では、コイルL1に蓄積されたエネルギーが中負荷の場合よりもさらに小さいため、パルス信号PWM_N, PWM_Pが何れもHレベルの期間中（時刻t2～t4及び時刻t5～t7）、コイル電流は基準タイミング（時刻X及び時刻Y）より早いタイミングで0付近の値まで減少する（時刻t3及び時刻t6）。言い換えると、時刻t3及び時刻t6にて、ノードLXの電圧は基準電圧GND以上の値を示す。このとき、コンパレータ12は比較結果COMP_OUTをLレベルからHレベルに切り替えて出力する。DF141は、比較結果COMP_OUTの立ち上がりに同期して、中間信号T1をLレベルからHレベルに切り替えて出力する。

[0120] 一方、パルス生成回路144は、電源制御回路11からの判定信号に基づき、パルス信号PWM_Nの立ち下がりに同期して立ち下がり（時刻t1及び時刻t3）、パルス信号PWM_Nの立ち上がりから所定期間経過後の基準タイミングにて立ち上がる（時刻X及び時刻Y）。

[0121] ここで、逆流検出タイミング（時刻t3及び時刻t6）が基準タイミング（時刻X及び時刻Y）より早い。したがって、DF142は、パルス信号P1の立ち上がりに同期してHレベルの中間信号T1を取り込み、次のパルス信号P1の立ち上がりまで反転信号であるLレベルのマスク信号M2を出力し続ける。

[0122] このように、低負荷制御回路14aは、あるサイクルにおいて逆流検出タイミングが基準タイミングと同じ又はそれより早い場合、当該基準タイミン

グから次のサイクルの基準タイミングまで、Lレベルのマスク信号M2を出力し続ける。

[0123] このように、本実施の形態にかかる低負荷制御回路14aを備えたDCDCコンバータ1の場合も、実施の形態1の場合と同様の効果を奏することができる。

[0124] 以上のように、上記実施の形態1, 2にかかるDCDCコンバータ1は、電流の逆流を検出すると（コイル電流が0付近の値まで減少していることを検出すると）、逆流経路上に設けられた整流トランジスタをオフにすることにより電流の逆流を停止させる。それにより、消費電流の増大が抑制される。さらに、上記実施の形態1, 2にかかるDCDCコンバータ1は、あるサイクルにおいて逆流検出タイミングが基準タイミングと同じ又はそれより早い場合に、次のサイクルの期間中、整流トランジスタをオフにし続ける。それにより、本実施の形態にかかるDCDCコンバータは、逆流の発生しやすい低負荷の場合に、整流トランジスタの無駄なスイッチ制御を抑制できるため、さらに消費電流の増大を抑制することができる。

[0125] なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。本実施の形態では、コンパレータ12がノードLXの電圧と基準電圧GNDとを比較する場合を例に説明したが、これに限られない。コンパレータ12は、ノードLXの電圧と、基準電圧GNDとは異なる電圧レベルの第2の基準電圧と、を比較する回路構成に適宜変更可能である。この場合、コンパレータ12は、必ずしも電流が逆流していない場合でも、それに近い状態を「電流が逆流している」と判定し、比較結果を出力することとなる。

[0126] また、上記実施の形態では、低負荷時において常に整流トランジスタMN1がオフに制御される場合を例に説明したが、これに限られない。あるサイクルの期間中、マスク信号M2がLレベルを示して整流トランジスタMN1がオフし続けることにより、電流の逆流が発生していないと判定される可能性もある。その場合、次のサイクルの期間中、マスク信号M2がHレベルを

示す。このような動作が繰り返され、サイクル毎にマスク信号M2の電圧レベルが交互に切り替わる可能性もある。

[0127] また、実施の形態2では、判定信号が電源制御回路11から出力された場合を例に説明したが、これに限られない。判定信号が外部から供給される回路構成に適宜変更可能である。

[0128] この出願は、2011年4月20日に出願された日本出願特願2011-094305を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

- [0129]
- 11 電源制御回路
 - 12 コンパレータ
 - 13 フリップフロップ
 - 14 低負荷制御回路
 - 14a 低負荷制御回路
 - 141 フリップフロップ
 - 142 遅延回路
 - 143 フリップフロップ
 - 144 パルス生成回路
 - 15 論理積回路
 - 16 論理積回路
 - MP1 出力トランジスタ
 - MN1 整流トランジスタ
 - L1 コイル
 - C1 キャパシタ

請求の範囲

- [請求項1] 所定のデューティ比の第1及び第2パルス信号を生成する電源制御回路と、
- 入力電圧の供給される入力電圧端子と外部出力端子との間に設けられ、前記第1パルス信号に基づいてオンオフが制御される第1スイッチ素子と、
- 第1基準電圧の供給される基準電圧端子と前記外部出力端子との間に設けられ、第2制御信号に基づいてオンオフが制御される第2スイッチ素子と、
- 前記第1及び第2スイッチ素子との間の接続点と、前記外部出力端子と、の間に設けられたインダクタと、
- 前記接続点の電圧と第2基準電圧とを比較して比較結果を出力する比較回路と、
- 前記比較結果に基づき、前記第2スイッチ素子を前記第1スイッチ素子と相補的にオンオフする前記第2パルス信号と、前記第2スイッチ素子をオフする第1停止信号と、の何れかを第1制御信号として出力する第1制御回路と、
- 前記比較結果により前記外部出力端子から前記第2スイッチ素子に向けて電流が逆流していると判定された検出タイミングと、基準タイミングと、に基づき、前記第1制御信号と、前記第2スイッチ素子をオフする第2停止信号と、の何れかを前記第2制御信号として出力する第2制御回路と、を備えたDCDCコンバータ。
- [請求項2] 前記外部出力端子と前記インダクタとの間の接続点と基準電圧端子との間にキャパシタをさらに備えた請求項1に記載のDCDCコンバータ。
- [請求項3] 前記第1制御回路は、
- 前記比較結果により前記外部出力端子から前記第2スイッチ素子に向けて電流が逆流していると判定された場合、前記第1停止信号を前

記第 1 制御信号として出力することを特徴とする請求項 1 又は 2 に記載の D C D C コンバータ。

[請求項4]

前記第 1 制御回路は、

前記比較結果により前記第 2 スイッチ素子から前記外部出力端子に向けて電流が流れていると判定されている場合、前記第 2 パルス信号を前記第 1 制御信号として出力することを特徴とする請求項 1 ～ 3 の何れか一項に記載の D C D C コンバータ。

[請求項5]

前記第 1 制御回路は、

前記比較結果及び前記第 2 パルス信号に基づいて第 1 マスク信号を生成する第 1 フリップフロップと、

前記第 2 パルス信号及び前記第 1 マスク信号の論理積を前記第 1 制御信号として出力する第 1 論理積回路と、を備えた請求項 1 ～ 4 のいずれか一項に記載の D C D C コンバータ。

[請求項6]

前記第 1 フリップフロップは、

前記比較結果の論理値が電流の逆流を示す論理値に変化したことに応じて所定論理値の前記第 1 マスク信号を生成するとともに、前記第 2 パルス信号の論理値が前記第 2 スイッチ素子をオフする論理値に変化したことに応じて前記第 1 マスク信号を初期化することを特徴とする請求項 5 に記載の D C D C コンバータ。

[請求項7]

前記第 2 制御回路は、

前記検出タイミングが前記基準タイミングより遅い場合、前記第 1 制御信号を前記第 2 制御信号として出力することを特徴とする請求項 1 ～ 6 のいずれか一項に記載の D C D C コンバータ。

[請求項8]

前記第 2 制御回路は、

前記検出タイミングが前記基準タイミングと同じ又はそれより早い場合、前記第 2 停止信号を前記第 2 制御信号として出力することを特徴とする請求項 1 ～ 7 の何れか一項に記載の D C D C コンバータ。

[請求項9]

前記第 2 制御回路は、

前記比較結果により前記第2スイッチ素子から前記外部出力端子に向けて電流が流れていると判定されている場合、前記第1制御信号を前記第2制御信号として出力することを特徴とする請求項1～8のいずれか一項に記載のDCDCコンバータ。

[請求項10]

前記第2制御回路は、

前記検出タイミングと前記基準タイミングとに基づき第2マスク信号を生成する低負荷制御回路と、

前記第1制御信号及び前記第2マスク信号の論理積を前記第2制御信号として出力する第2論理積回路と、を備えた請求項1～9のいずれか一項に記載のDCDCコンバータ。

[請求項11]

前記低負荷制御回路は、

前記比較結果の論理値が電流の逆流を示す論理値に変化したことに応じて所定論理値の中間信号を生成するとともに、前記第2パルス信号の論理値が前記第2スイッチ素子をオフする論理値に変化したことに応じて前記中間信号を初期化する第2フリップフロップと、

前記中間信号に所定の遅延が付加された遅延信号を前記中間信号に同期して取り込み、前記第2マスク信号として出力する第3フリップフロップと、を有する請求項10に記載のDCDCコンバータ。

[請求項12]

前記低負荷制御回路は、

前記比較結果の論理値が電流の逆流を示す論理値に変化したことに応じて所定論理値の中間信号を生成するとともに、前記第2パルス信号の論理値が前記第2スイッチ素子をオフする論理値に変化したことに応じて前記中間信号を初期化する第2フリップフロップと、

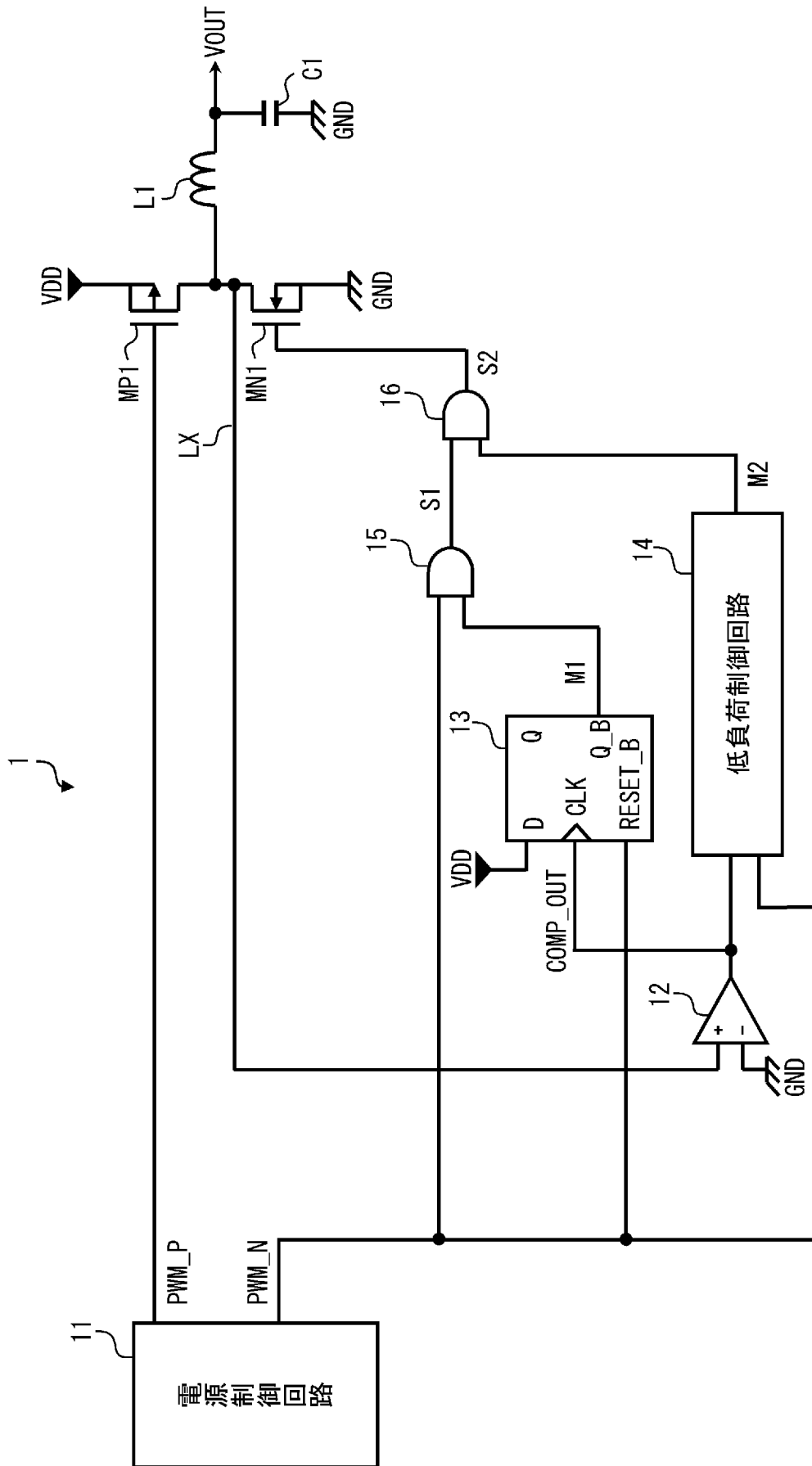
前記第2パルス信号に応じた周期の第3パルス信号を生成するパルス生成回路と、

前記第3パルス信号に同期して前記中間信号を取り込み、前記第2マスク信号として出力する第3フリップフロップと、を有する請求項10に記載のDCDCコンバータ。

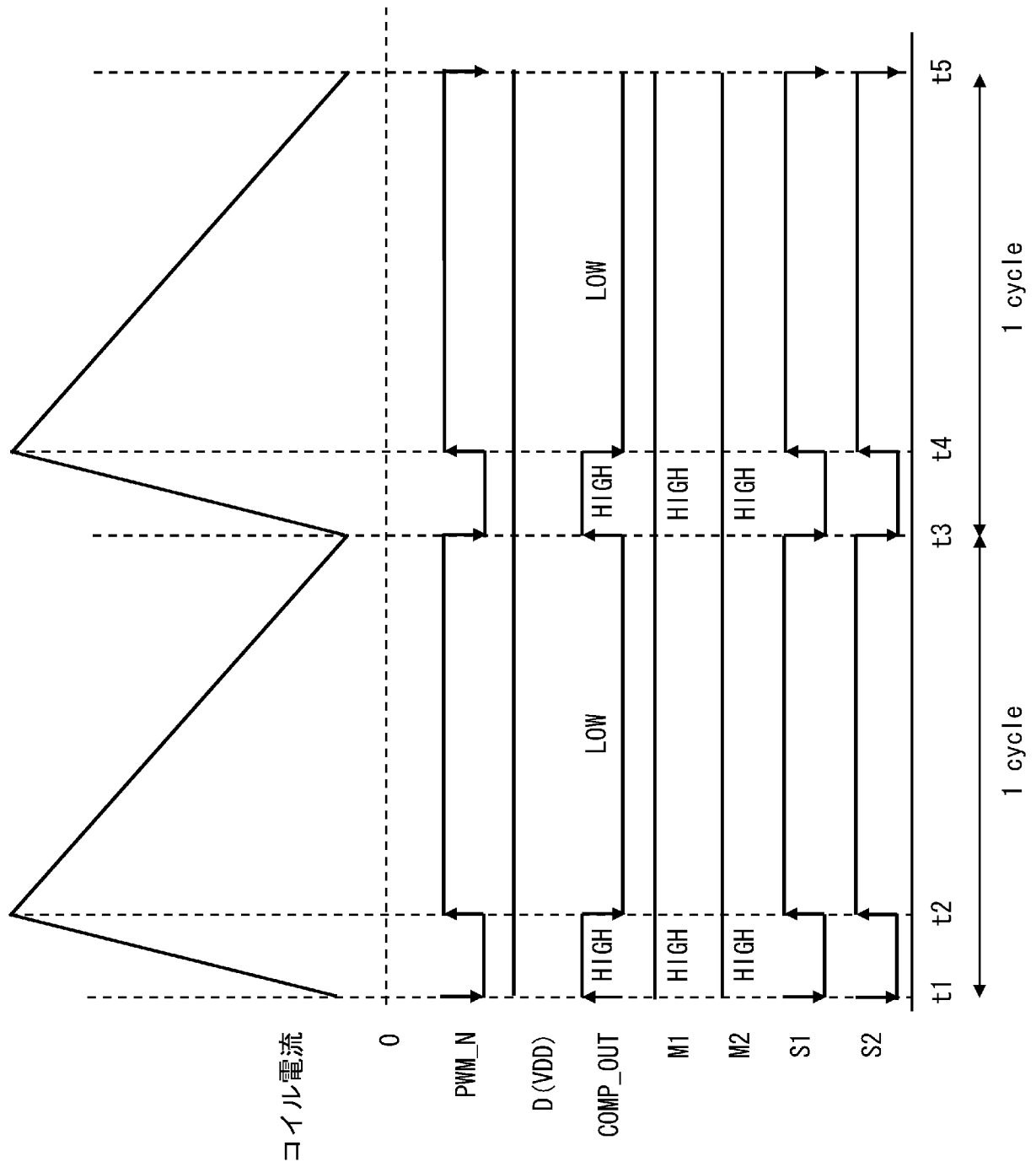
- [請求項13] 前記基準タイミングは、前記第2パルス信号の論理値変化のタイミングに基づいて決定されることを特徴とする請求項1～12のいずれか一項に記載のDCDCコンバータ。
- [請求項14] 前記第1基準電圧と前記第2基準電圧とは同一の電圧レベルであることを特徴とする請求項1～13のいずれか一項に記載のDCDCコンバータ。
- [請求項15] 前記第1基準電圧と前記第2基準電圧とは異なる電圧レベルであることを特徴とする請求項1～13のいずれか一項に記載のDCDCコンバータ。
- [請求項16] 所定のデューティ比の第1及び第2パルス信号を生成する電源制御回路と、
- 入力電圧の供給される入力電圧端子と外部出力端子との間に設けられ、前記第1パルス信号に基づいてオンオフが制御される第1スイッチ素子と、
- 第1基準電圧の供給される基準電圧端子と前記外部出力端子との間に設けられ、第2制御信号に基づいてオンオフが制御される第2スイッチ素子と、
- 前記第1及び第2スイッチ素子との間の接続点と、前記外部出力端子と、の間に設けられたインダクタと、を備えたDCDCコンバータの制御方法であって、
- 前記接続点の電圧と第2基準電圧とを比較して比較結果を出力し、
- 前記比較結果に基づき、前記第2スイッチ素子を前記第1スイッチ素子と相補的にオンオフする前記第2パルス信号と、前記第2スイッチ素子をオフする第1停止信号と、の何れかを第1制御信号として出力し、
- 前記比較結果により前記外部出力端子から前記第2スイッチ素子に向けて電流が逆流していると判定された検出タイミングと、基準タイミングと、に基づき、前記第1制御信号と、前記第2スイッチ素子を

オフする第2停止信号と、の何れかを前記第2制御信号として出力するDCDCコンバータの制御方法。

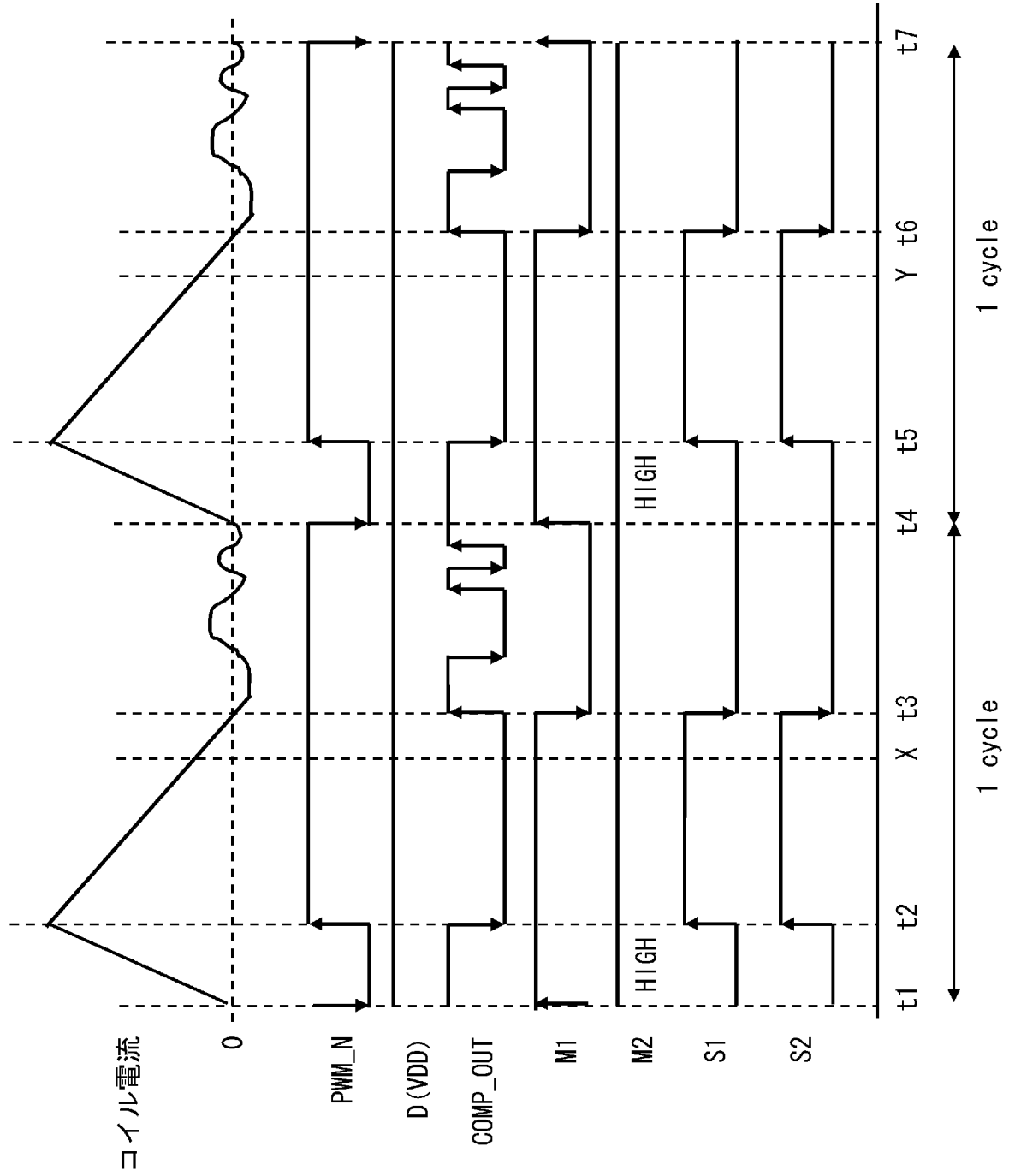
[図1]



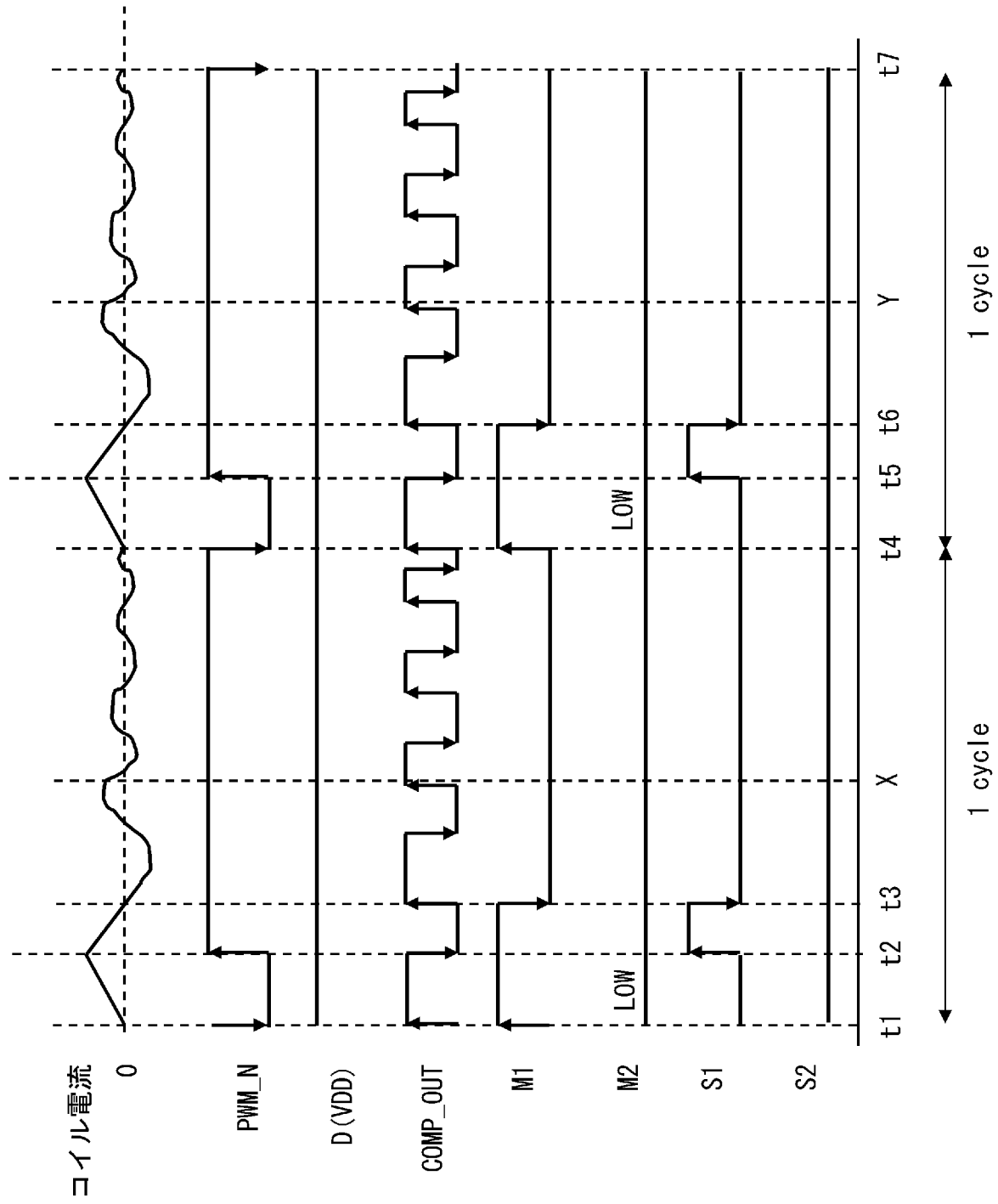
[図2]



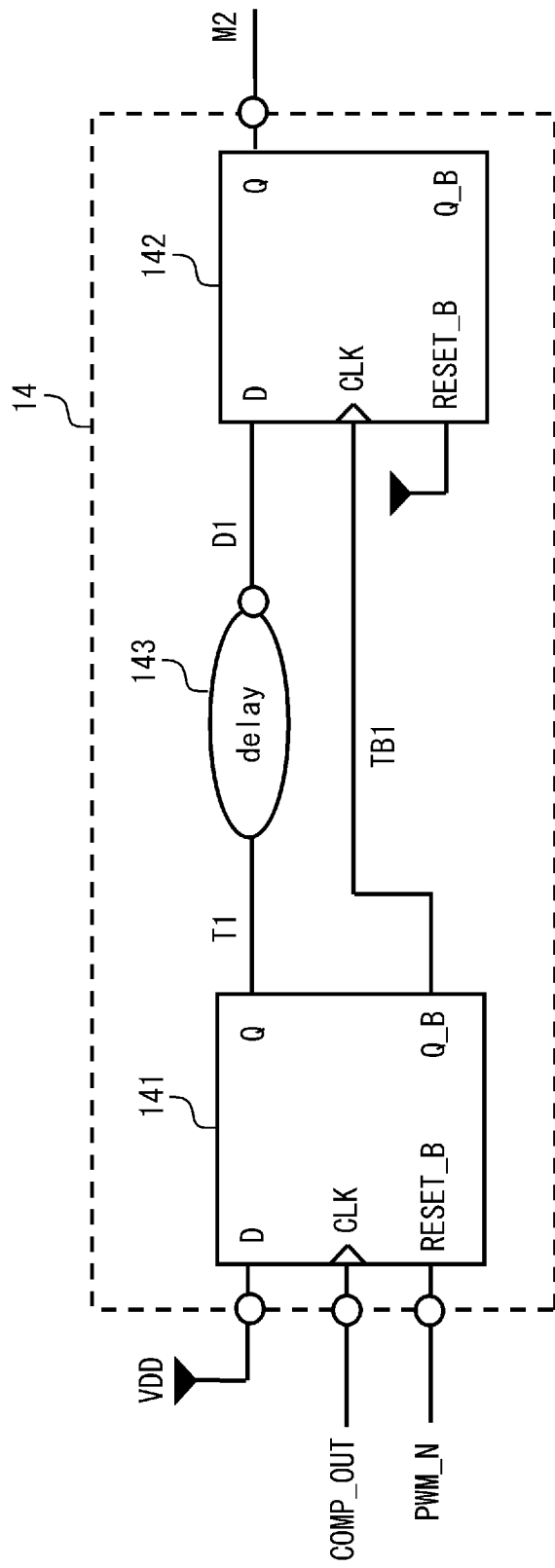
[図3]



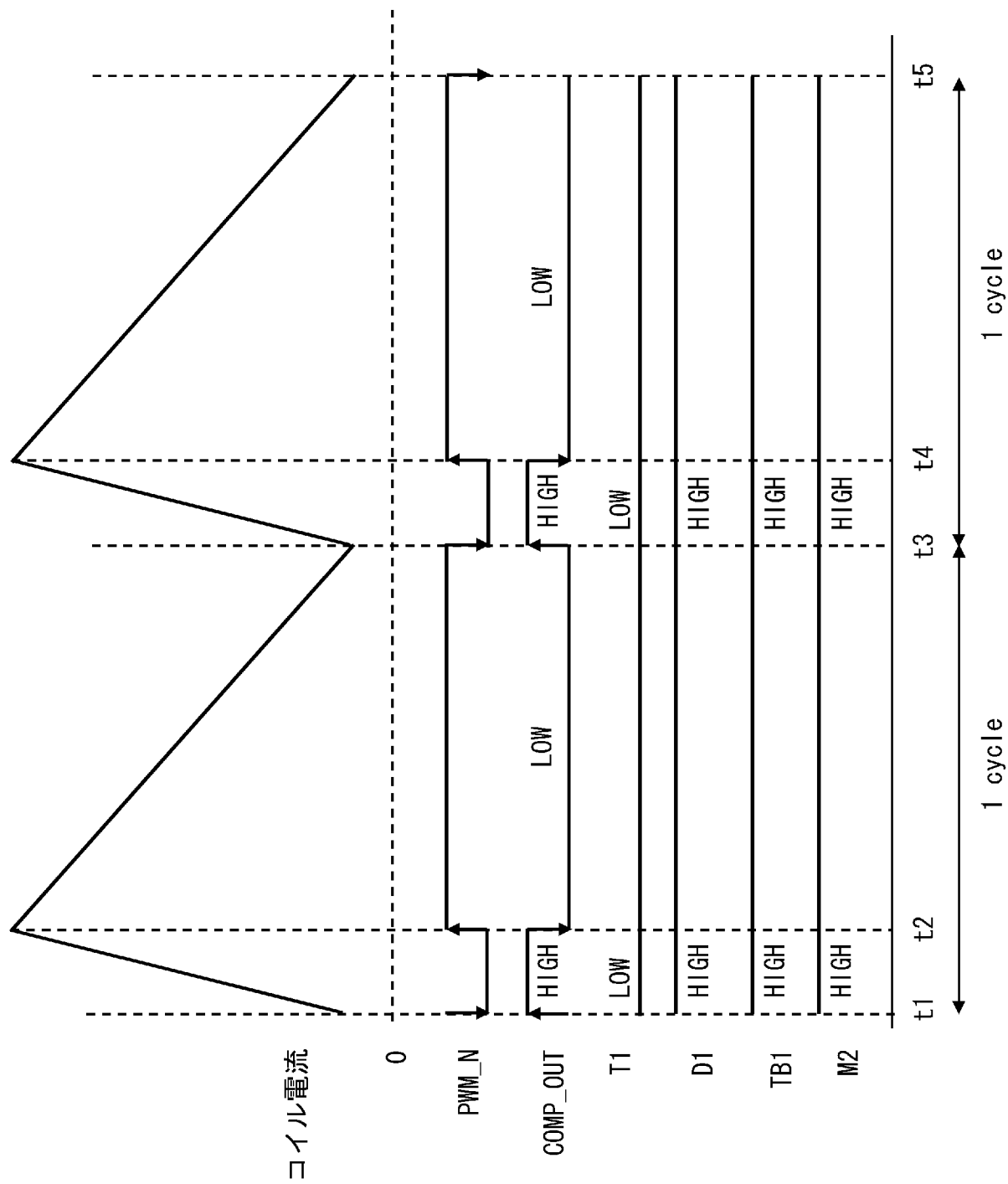
[図4]



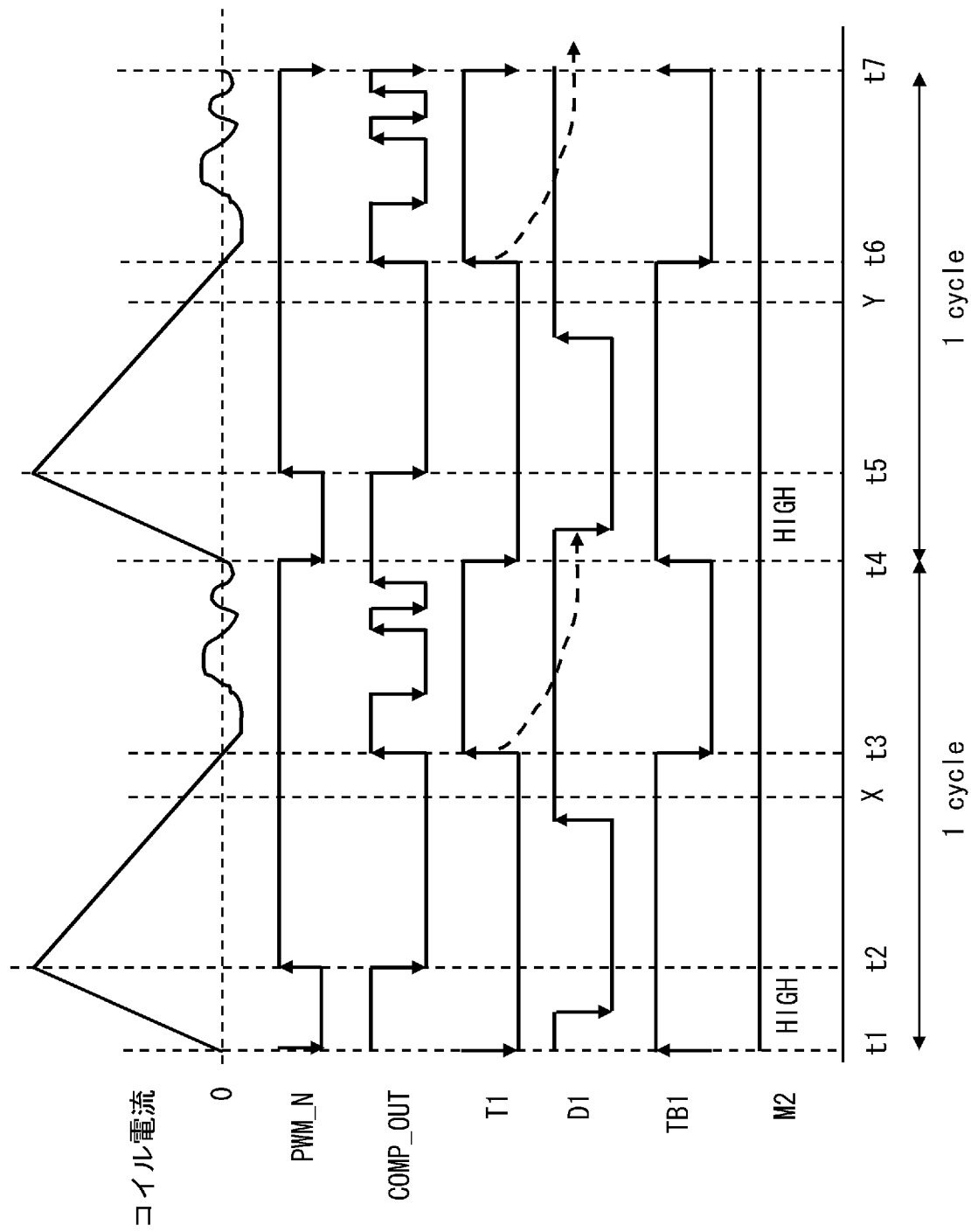
[図5]



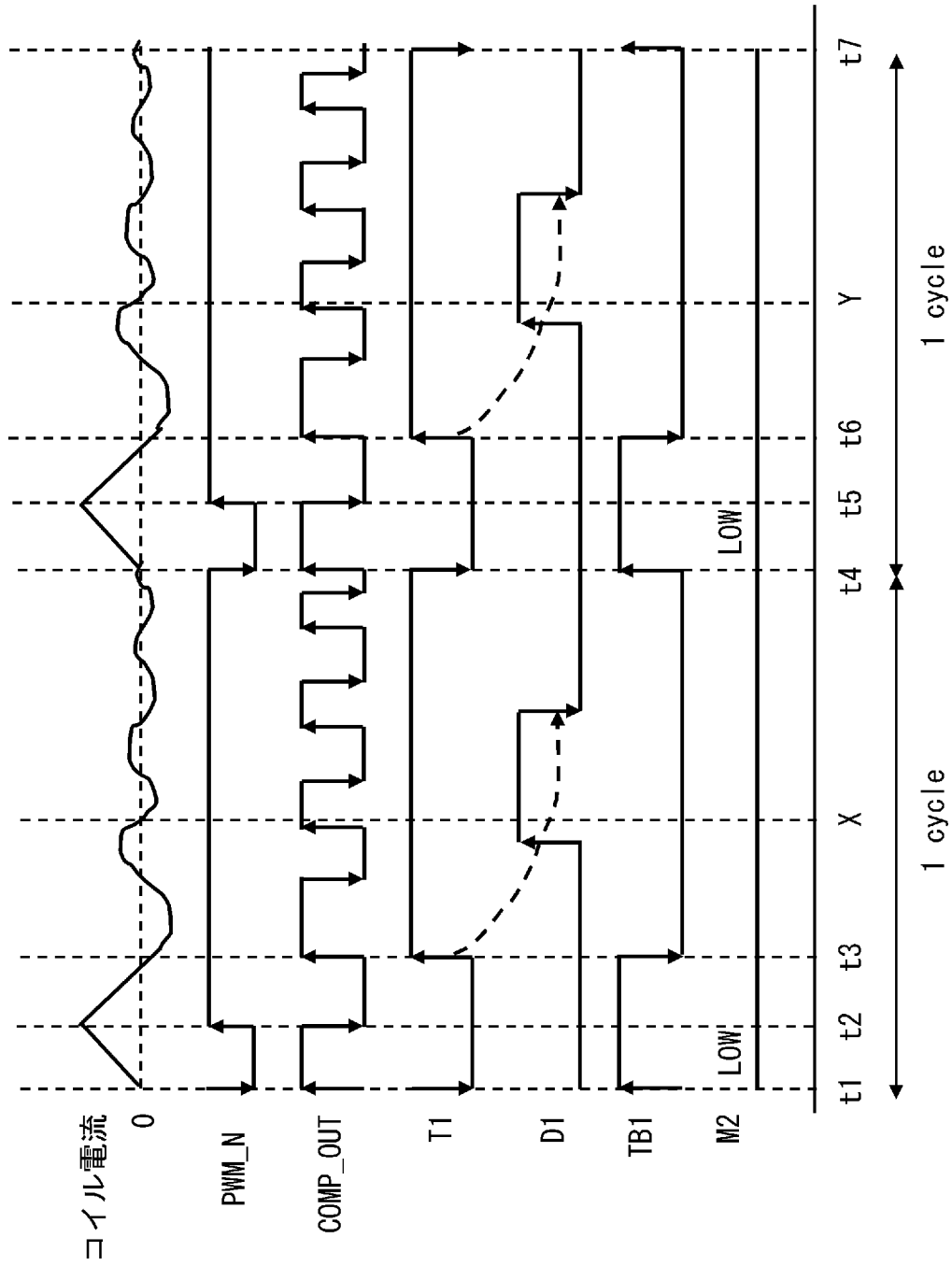
[図6]



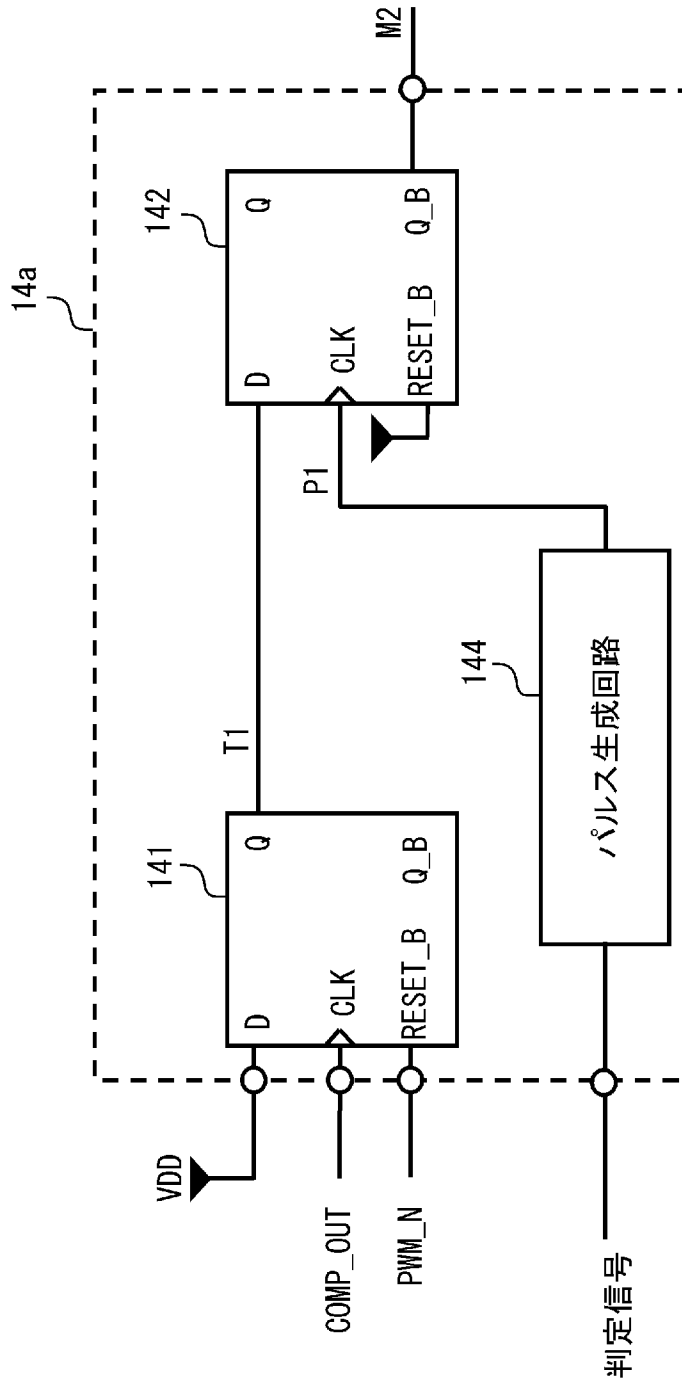
[図7]



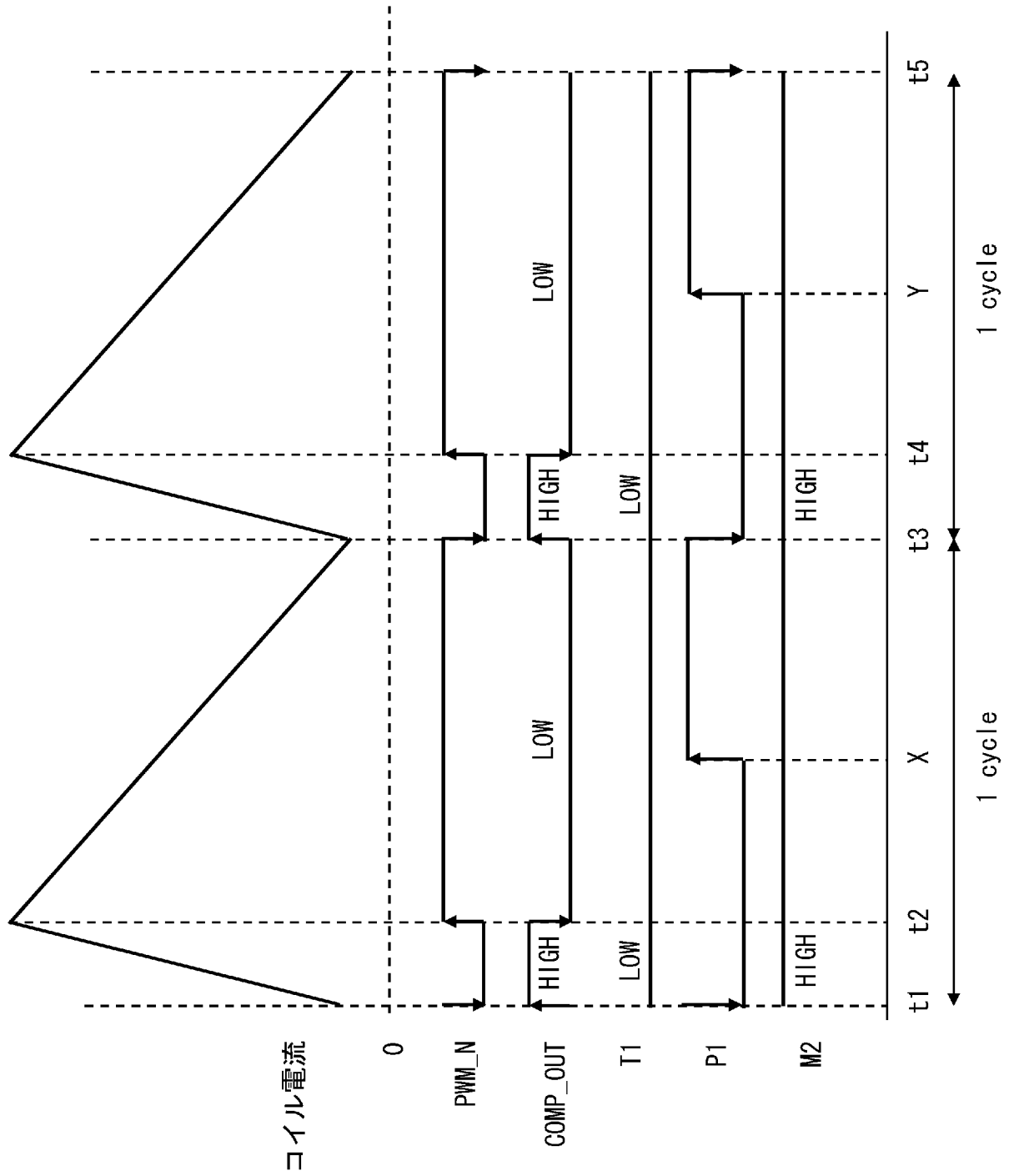
[図8]



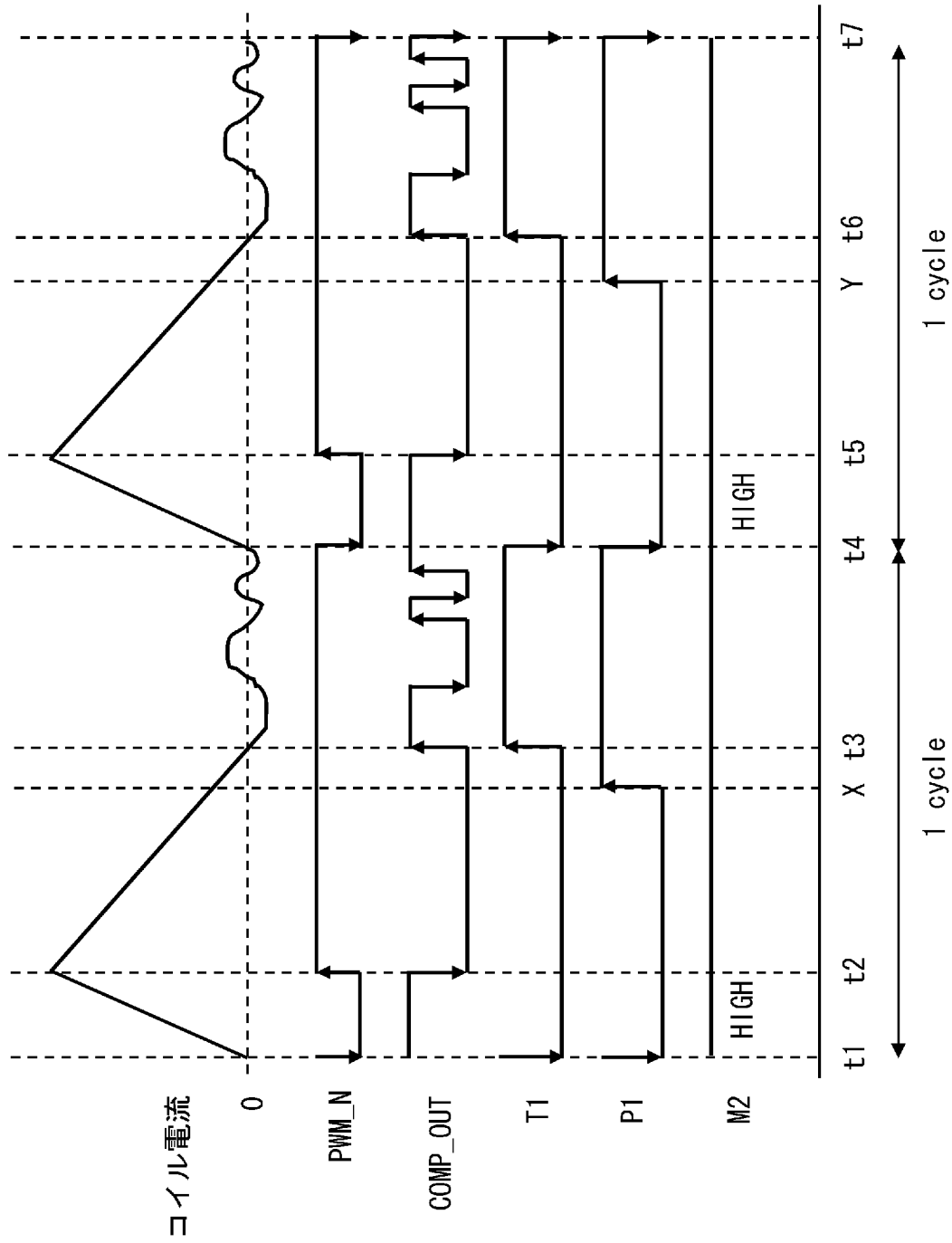
[図9]



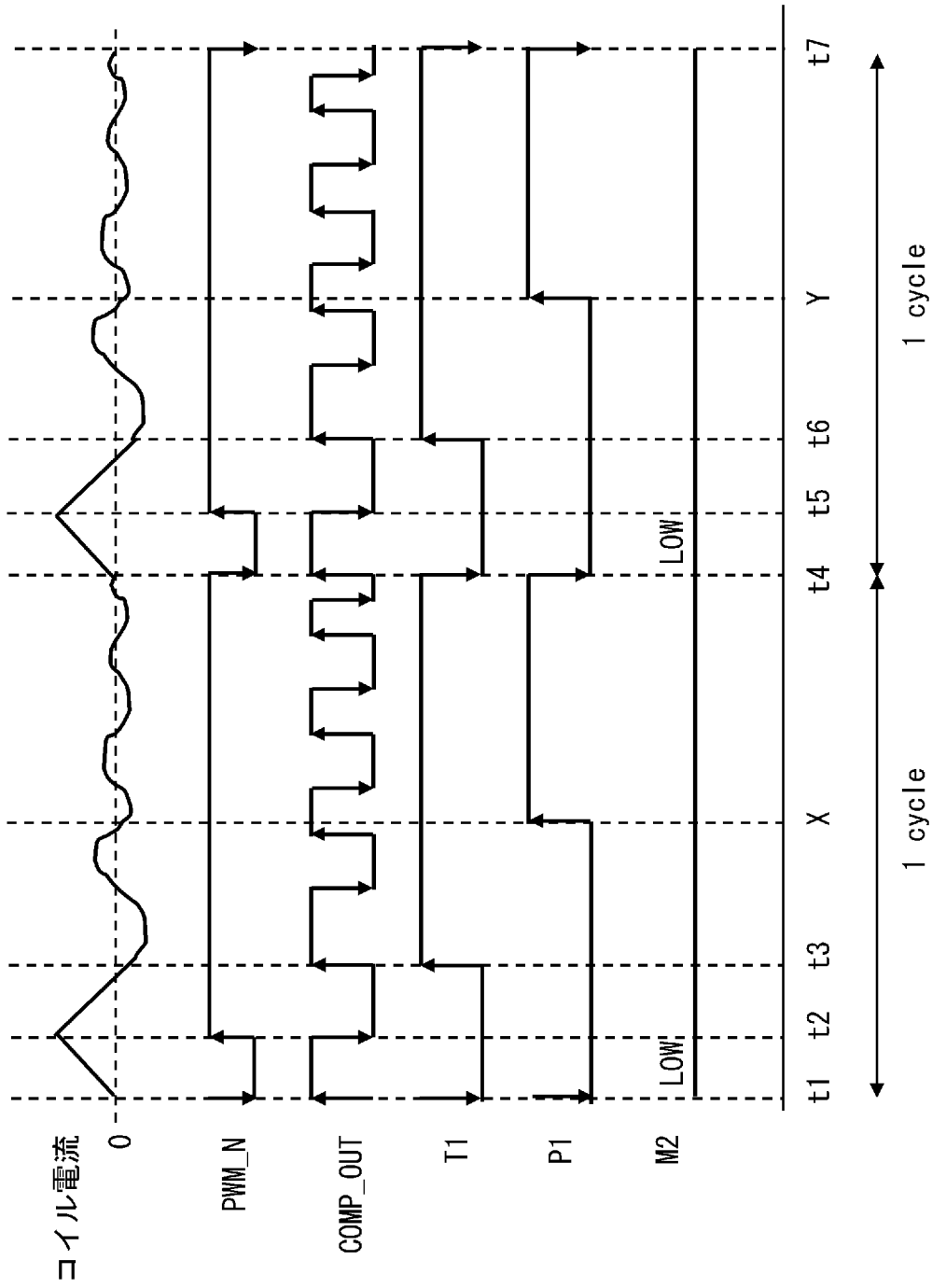
[図10]



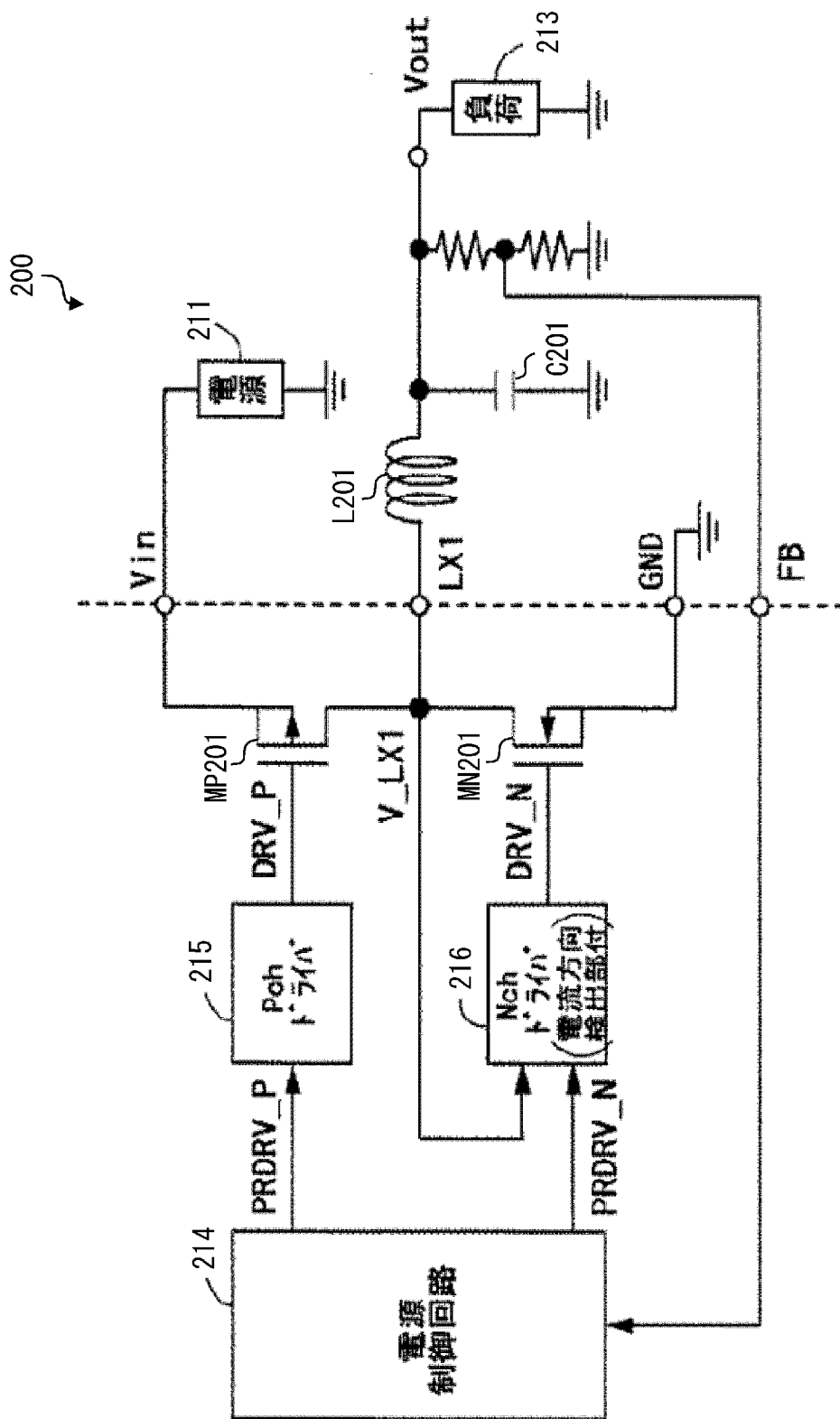
[図11]



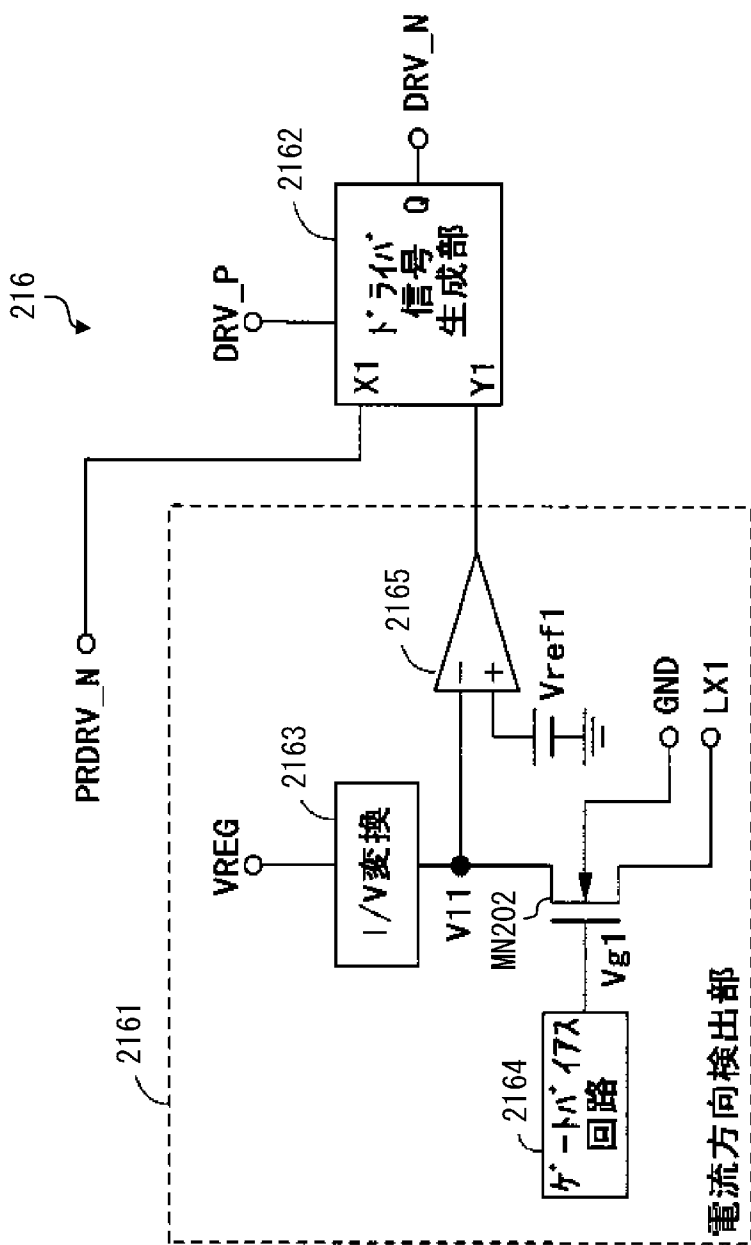
[図12]



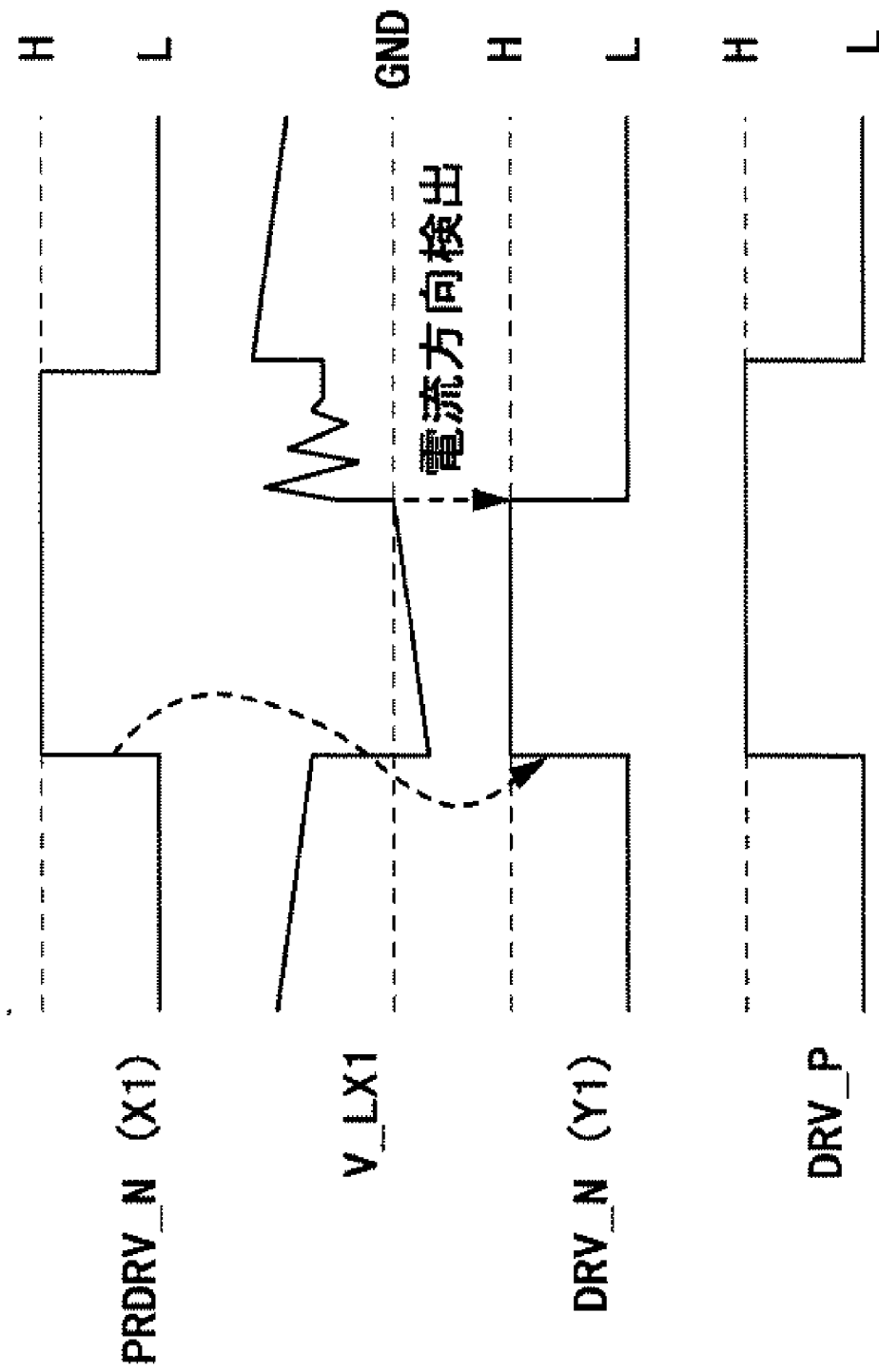
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002519

A. CLASSIFICATION OF SUBJECT MATTER H02M3/155(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M3/00-3/44		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-092824 A (Matsushita Electric Industrial Co., Ltd.), 31 March 2000 (31.03.2000), (Family: none)	1-16
A	JP 2006-158097 A (Renesas Technology Corp.), 15 June 2006 (15.06.2006), & US 2006/0113980 A1 & CN 1790886 A	1-16
A	JP 2010-239778 A (New Japan Radio Co., Ltd.), 21 October 2010 (21.10.2010), (Family: none)	1-16
A	JP 2007-318909 A (NEC Computertechno, Ltd.), 06 December 2007 (06.12.2007), (Family: none)	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 July, 2012 (04.07.12)		Date of mailing of the international search report 17 July, 2012 (17.07.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002519

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-071920 A (Ricoh Co., Ltd.), 02 April 2009 (02.04.2009), & US 2009/0066305 A1 & CN 101388605 A & KR 10-2009-0027149 A	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M3/155 (2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M 3/00-3/44		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-092824 A (松下電器産業株式会社) 2000.03.31 (ファミリーなし)	1-16
A	JP 2006-158097 A (株式会社ルネサステクノロジ) 2006.06.15 & US 2006/0113980 A1 & CN 1790886 A	1-16
A	JP 2010-239778 A (新日本無線株式会社) 2010.10.21 (ファミリーなし)	1-16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 04.07.2012	国際調査報告の発送日 17.07.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 永田 和彦 電話番号 03-3581-1101 内線 3358	3V 3116

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-318909 A (エヌイーシーコンピュータテクノ株式会社) 2007. 12. 06 (ファミリーなし)	1-16
A	JP 2009-071920 A (株式会社リコー) 2009. 04. 02 & US 2009/0066305 A1 & CN 101388605 A & KR 10-2009-0027149 A	1-16