

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3745316号  
(P3745316)

(45) 発行日 平成18年2月15日(2006.2.15)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int.C1.

F 1

<b>HO1L 21/822</b>	<b>(2006.01)</b>	HO1L 27/04	L
<b>HO1L 27/04</b>	<b>(2006.01)</b>	HO1F 17/00	B
<b>HO1F 17/00</b>	<b>(2006.01)</b>	HO1F 17/04	A
<b>HO1F 17/04</b>	<b>(2006.01)</b>	HO1F 17/04	F
<b>HO1F 41/04</b>	<b>(2006.01)</b>	HO1F 41/04	C

請求項の数 23 (全 17 頁) 最終頁に続く

(21) 出願番号

特願2002-183471 (P2002-183471)

(22) 出願日

平成14年6月24日 (2002.6.24)

(65) 公開番号

特開2004-31520 (P2004-31520A)

(43) 公開日

平成16年1月29日 (2004.1.29)

審査請求日

平成16年4月15日 (2004.4.15)

(73) 特許権者 302062931

NECエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100090158

弁理士 藤巻 正憲

(72) 発明者 富留宮 正之

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 山本 良太

東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】半導体集積回路及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項1】

基板上に設けられたインダクタと、前記インダクタの側方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有することを特徴とする半導体集積回路。

## 【請求項2】

前記インダクタがスパイラル形状を有し、前記基板の表面に垂直な方向から見て、前記積層膜が前記インダクタを構成する配線によって囲まれる領域に配置されていることを特徴とする請求項1に記載の半導体集積回路。

## 【請求項3】

前記基板の表面に垂直な方向から見て、前記強磁性体層が相互に離隔した複数の部分に分割されていることを特徴とする請求項2に記載の半導体集積回路。

## 【請求項4】

前記基板上に設けられた多層配線層を有し、前記インダクタ及び前記積層膜は前記多層配線層の最上層に設けられていることを特徴とする請求項1乃至3のいずれか1項に記載の半導体集積回路。

## 【請求項5】

基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有することを特徴とする半導体集積回路。

10

20

**【請求項 6】**

基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記基板の表面に垂直な方向から見て、前記積層膜が前記インダクタと重ならずに前記インダクタを囲むように設けられていることを特徴とする半導体集積回路。

**【請求項 7】**

前記基板上に設けられた多層配線層を有し、前記インダクタ及び前記積層膜は前記多層配線層における相互に異なる層に設けかれていることを特徴とする請求項 5 に記載の半導体集積回路。 10

**【請求項 8】**

前記積層膜と同層に設けられたパッドを有することを特徴とする請求項 5 又は 7 に記載の半導体集積回路。

**【請求項 9】**

基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、前記積層膜と同層に設けられたパッドと、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記パッドの積層構造が前記積層膜の積層構造と同じであることを特徴とする半導体集積回路。

**【請求項 10】**

基板上に設けられたインダクタと、前記インダクタの側方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記金属層がバリアメタル層を有することを特徴とする半導体集積回路。 20

**【請求項 11】**

基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、前記積層膜と同層に設けられたパッドと、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記金属層がバリアメタル層を有することを特徴とする半導体集積回路。

**【請求項 12】**

前記金属層が第 1 層及び第 2 層を有し、前記強磁性体層の下面是前記第 1 層により覆われており、前記強磁性体層の上面及び側面は前記第 2 層により覆われていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路。 30

**【請求項 13】**

前記第 1 層及び前記第 2 層が夫々バリアメタル層を有することを特徴とする請求項 1 2 に記載の半導体集積回路。

**【請求項 14】**

基板上に設けられたインダクタと、前記インダクタの側方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層の下面を覆う第 1 の金属層と、前記強磁性体層の上面を覆う第 2 の金属層と、を有し、前記インダクタは前記第 1 の金属層及び前記第 2 の金属層が積層されたものであることを特徴とする半導体集積回路。 40

**【請求項 15】**

基板上に設けられたスパイラル形状のインダクタと、前記基板の表面に垂直な方向から見て前記インダクタを構成する配線によって囲まれる領域に設けられた第 1 の金属層と、この第 1 の金属層上に選択的に設けられた強磁性体層と、この強磁性体層の上面及び側面を覆うように設けられた第 2 の金属層と、を有し、前記第 1 の金属層の下面是前記インダクタの下面と同一高さ又はそれよりも低く、前記第 2 の金属層の上面は前記インダクタの上面と同一高さ又はそれよりも高く、前記強磁性体層の下面是前記インダクタの上面よりも低く、前記強磁性体層の上面は前記インダクタの下面よりも高く、前記インダクタは、前記第 1 の金属層及び前記第 2 の金属層が積層されたものであることを特徴とする半導体集積回路。 50

## 【請求項 1 6】

基板上に設けられたスパイラル形状のインダクタと、前記基板の表面に垂直な方向から見て前記インダクタを構成する配線によって囲まれる領域に設けられた第1の金属層と、この第1の金属層上に選択的に設けられた強磁性体層と、この強磁性体層の上面及び側面を覆うように設けられた第2の金属層と、を有し、前記第1の金属層の下面是前記インダクタの下面と同一高さ又はそれよりも低く、前記第2の金属層の上面は前記インダクタの上面と同一高さ又はそれよりも高く、前記強磁性体層の下面是前記インダクタの上面よりも低く、前記強磁性体層の上面は前記インダクタの下面よりも高いことを特徴とする半導体集積回路。

## 【請求項 1 7】

前記基板の表面に垂直な方向から見て、前記強磁性体層が複数の部分に分割されていることを特徴とする請求項 1 6 に記載の半導体集積回路。 10

## 【請求項 1 8】

前記基板上に多層配線層が設けられており、前記インダクタ並びに前記第1の金属層、強磁性体層及び第2の金属層からなる積層膜は、前記多層配線層の最上層に形成されていることを特徴とする請求項 1 6 又は 1 7 に記載の半導体集積回路。

## 【請求項 1 9】

前記インダクタ、前記第1の金属層及び前記第2の金属層が銅又はアルミニウムにより形成されていることを特徴とする請求項 1 6 乃至 1 8 のいずれか 1 項に記載の半導体集積回路。 20

## 【請求項 2 0】

前記インダクタがスパイラルインダクタであることを特徴とする請求項 1 6 乃至 1 9 のいずれか 1 項に記載の半導体集積回路。

## 【請求項 2 1】

前記強磁性体層がニッケルにより形成されていることを特徴とする請求項 1 6 乃至 2 0 のいずれか 1 項に記載の半導体集積回路。

## 【請求項 2 2】

基板上に第1の金属層を形成する工程と、この第1の金属層上に選択的に強磁性体層を形成する工程と、この選択的に形成された強磁性体層を覆うように第2の金属層を形成する工程と、前記第1及び第2の金属層を選択的に除去してパターニングし、前記第1の金属層、前記強磁性体層及び前記第2の金属層が積層されてなる積層膜を形成すると共にこの積層膜と同層でありこの積層膜を囲むように配置されたインダクタを形成する工程と、を有することを特徴とする半導体集積回路の製造方法。 30

## 【請求項 2 3】

前記第1の金属層を形成する工程の前に、前記基板の表面における前記積層膜を形成する予定の領域にその深さが前記第1の金属層と前記強磁性体層の合計膜厚よりも小さい凹部を形成する工程を有することを特徴とする請求項 2 2 に記載の半導体集積回路の製造方法。

## 【発明の詳細な説明】

## 【0 0 0 1】

## 【発明の属する技術分野】

本発明はインダクタを備えた半導体集積回路及びその製造方法に関し、特に、インダクタのインダクタンス及びQ値の向上を図った半導体集積回路及びその製造方法に関する。 40

## 【0 0 0 2】

## 【従来の技術】

図 1 4 は従来の半導体集積回路を示す平面図であり、図 1 5 は図 1 4 に示す E - E 線による断面図である。図 1 4 及び図 1 5 に示すように、この従来の半導体集積回路においては、半導体基板（図示せず）上に多層配線層 1 0 1 が設けられており、この多層配線層 1 0 1 の最上層 1 0 2 に、スパイラルインダクタであるインダクタ 1 0 3 が設けられている。即ち、多層配線層 1 0 1 中に設けられた SiO<sub>2</sub> からなる絶縁層 1 0 4 上に、1 本の配線

が渦巻状に配置されたインダクタ103が設けられており、このインダクタ103を覆うようにSiO<sub>2</sub>からなる絶縁層105が設けられている。そして、絶縁層105上にはポリイミドからなる絶縁層106が設けられている。なお、図14においては、絶縁層105及び106は図示を省略されている。

#### 【0003】

そして、インダクタ103を構成する配線は、銅又はアルミニウムからなる配線本体層107の上面及び下面に、TiW層108が被覆されて形成されている。このように、インダクタ103を多層配線層101の最上層102に設ける理由は、インダクタ103と半導体基板との間の寄生容量を可及的に少なくすると共に、インダクタ103の配線の厚さを可及的に厚くして直列抵抗を下げ、インダクタ103のQ値を向上させるためである。10

#### 【0004】

しかしながら、この従来の半導体集積回路においては、以下に示す問題点がある。インダクタ103を多層配線層101の最上層102に配置しても、最上層102の厚さは最大で10μm程度であるため、インダクタ103の厚さは数μmが上限である。このため、インダクタンスの損失が大きく、Q値が5乃至10程度と低かった。また、例えば10nHのインダクタンスを得るために、インダクタ103の大きさを、一辺の長さが200乃至300μmの正方形のスパイラル（渦巻）とする必要があり、インダクタ103の占有面積が極めて大きくなつた。これにより、半導体集積回路の微細化が阻害されていた。

#### 【0005】

そこで、実開平3-28758号公報には、インダクタの上層に強磁性体層を設ける技術が開示されている。実開平3-28758号公報において、この強磁性体層は、配線がなす渦巻の内部に相当する領域の直上域に設けられている。また、実開平4-63653号公報には、インダクタの上方又は下方に、強磁性体層を設ける技術が開示されている。実開平4-63653号公報においては、基板の表面に垂直な方向から見て、強磁性体層はインダクタを覆うように設けられている。更に、特開昭61-161747号公報にも、インダクタの上方に強磁性体層を設ける技術が開示されている。特開昭61-161747号公報には、強磁性体層を設けることにより、インダクタのインダクタンスが増大すると記載されている。20

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、上述の従来の技術には以下に示すような問題点がある。実開平3-28758号公報、実開平4-63653号公報及び特開昭61-161747号公報に記載されている半導体集積回路においても、インダクタのインダクタンス及びQ値の大きさが不十分であり、所定のインダクタンスを得るために大きな面積のインダクタを必要とする。この結果、半導体集積回路の微細化を十分に図ることができない。30

#### 【0007】

本発明はかかる問題点に鑑みてなされたものであって、インダクタのインダクタンス及びQ値が高く、小型化が可能な半導体集積回路及びその製造方法を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

本発明に係る半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの側方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有することを特徴とする。

本発明に係る他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有することを特徴とする。40

#### 【0009】

本発明においては、インダクタの内部に、第1の金属層、強磁性体層及び第2の金属層からなる積層膜を設けている。そして、強磁性体層がインダクタの磁芯として作用し、イン

ダクタのインダクタンス及びQ値を向上させることができる。また、強磁性体層を第1及び第2の金属層で被覆することにより、強磁性体層を形成する材料が半導体集積回路内の他の領域に拡散することを防止すると共に、この材料が半導体集積回路の製造装置を汚染することを防止できる。更に、強磁性体層の下面をインダクタの上面よりも低くし、強磁性体層の上面をインダクタの下面よりも高くすることにより、強磁性体層の少なくとも一部がインダクタと同層になり、インダクタのインダクタンス及びQ値をより一層向上させることができる。更にまた、積層膜の下面、即ち第1の金属層の下面が、インダクタの下面と同一高さ又はそれよりも低く、積層膜の上面、即ち第2の金属層の上面が、インダクタの上面と同一高さ又はそれよりも高いため、積層膜の上面及び下面とインダクタとの間に寄生容量が発生せず、インダクタのインダクタンス及びQ値をより一層向上させることができる。

#### 【0010】

また、本発明に係る半導体集積回路においては、基板の表面に垂直な方向から見て、前記強磁性体層が複数の部分に分割されていてもよい。これにより、強磁性体層内に渦電流が流れることを抑制でき、渦電流によるインダクタンスの損失を抑制することができる。

#### 【0011】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記基板の表面に垂直な方向から見て、前記積層膜が前記インダクタと重ならずに前記インダクタを囲むように設けられていることを特徴とする。

#### 【0012】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、前記積層膜と同層に設けられたパッドと、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記パッドの積層構造が前記積層膜の積層構造と同じであることを特徴とする。

#### 【0013】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの側方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記金属層がバリアメタル層を有することを特徴とする。

#### 【0014】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの上方に設けられた積層膜と、前記積層膜と同層に設けられたパッドと、を有し、前記積層膜は、強磁性体層と、この強磁性体層を覆いこの強磁性体層の拡散を防止する金属層と、を有し、前記金属層がバリアメタル層を有することを特徴とする。

#### 【0015】

本発明に係る更に他の半導体集積回路は、基板上に設けられたインダクタと、前記インダクタの側方に設けられた積層膜と、を有し、前記積層膜は、強磁性体層と、この強磁性体層の下面を覆う第1の金属層と、前記強磁性体層の上面を覆う第2の金属層と、を有し、前記インダクタは前記第1の金属層及び前記第2の金属層が積層されたものであることを特徴とする。

#### 【0016】

本発明に係る更に他の半導体集積回路は、基板上に設けられたスパイラル形状のインダクタと、前記基板の表面に垂直な方向から見て前記インダクタを構成する配線によって囲まれる領域に設けられた第1の金属層と、この第1の金属層上に選択的に設けられた強磁性体層と、この強磁性体層の上面及び側面を覆うように設けられた第2の金属層と、を有し、前記第1の金属層の下面是前記インダクタの下面と同一高さ又はそれよりも低く、前記第2の金属層の上面は前記インダクタの上面と同一高さ又はそれよりも高く、前記強磁

10

20

30

40

50

性体層の下面是前記インダクタの上面よりも低く、前記インダクタの上面は前記インダクタの下面よりも高く、前記インダクタは、前記第1の金属層及び前記第2の金属層が積層されたものであることを特徴とする。

【0017】

本発明に係る更に他の半導体集積回路は、基板上に設けられたスパイラル形状のインダクタと、前記基板の表面に垂直な方向から見て前記インダクタを構成する配線によって囲まれる領域に設けられた第1の金属層と、この第1の金属層上に選択的に設けられた強磁性体層と、この強磁性体層の上面及び側面を覆うように設けられた第2の金属層と、を有し、前記第1の金属層の下面是前記インダクタの下面と同一高さ又はそれよりも低く、前記第2の金属層の上面は前記インダクタの上面と同一高さ又はそれよりも高く、前記強磁性体層の下面是前記インダクタの上面よりも低く、前記インダクタの上面は前記インダクタの下面よりも高いことを特徴とする。

【0019】

本発明に係る半導体集積回路の製造方法は、基板上に第1の金属層を形成する工程と、この第1の金属層上に選択的に強磁性体層を形成する工程と、この選択的に形成された強磁性体層を覆うように第2の金属層を形成する工程と、前記第1及び第2の金属層を選択的に除去してパターニングし、前記第1の金属層、前記強磁性体層及び前記第2の金属層が積層されてなる積層膜を形成すると共にこの積層膜と同層でありこの積層膜を囲むように配置されたインダクタを形成する工程と、を有することを特徴とする。

【0020】

また、本発明に係る半導体集積回路の製造方法は、前記第1の金属層を形成する工程の前に、前記基板の表面における前記積層膜を形成する予定の領域にその深さが前記第1の金属層と前記強磁性体層の合計膜厚よりも小さい凹部を形成する工程を有していてもよい。

【0022】

【発明の実施の形態】

以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施例について説明する。図1は本実施例に係る半導体集積回路を示す平面図であり、図2(a)は図1に示すA-A線による断面図であり、(b)は図1に示すB-B線による断面図である。

【0023】

図1並びに図2(a)及び(b)に示すように、本実施例の半導体集積回路においては、半導体基板(図示せず)上に多層配線層1が設けられている。多層配線層1は複数の層が積層されて形成されており、この多層配線層1の最上層である絶縁層2上に、スパイラルインダクタ3が設けられている。インダクタ3は1本の配線3aがスパイラル状(渦巻状)に配置されて形成されている。絶縁層2の膜厚は例えば1.5μmであり、インダクタ3の外形は例えば一辺の長さが100μmの正方形であり、内形は例えば一辺の長さが40乃至60μmの正方形であり、配線3aの幅は例えば5乃至10μmであり、インダクタ3の巻き数は例えば3である。なお、図2(a)においては、便宜上、配線3aは片側2本ずつしか示していない。また、絶縁層2の下方には絶縁層4が設けられている。絶縁層2及び4は例えばSiO<sub>2</sub>により形成されている。

【0024】

また、絶縁層2におけるインダクタ3から離れた領域には配線5が埋め込まれており、絶縁層2における配線5の上方に相当する部分には、ピア6が形成されている。配線3aの一端は、インダクタ3の外側からこのピア6まで引き出され、ピア6を介して配線5に接続されている。また、絶縁層2におけるインダクタ3内の領域にはピア7が形成されており、配線3aの他端はこのピア7を介して、インダクタ3よりも下層に配置された配線8に接続されている。即ち、配線5、ピア6、配線3aにおける渦巻の外側、配線3aにおける渦巻の内側、ピア7及び配線8がこの順に接続されている。

【0025】

配線3a、5及び8は、下層側から順に、TiW層9、Cu層10、Cu層11及びTi

10

20

30

40

50

W層12が積層されて形成されている。TiW層9及び12の膜厚は例えば0.05乃至0.1μmであり、Cu層10及び11の膜厚は例えば0.2乃至0.4μmであり、配線3a、5及び8の膜厚は例えば0.5乃至1.0μmである。なお、Cu層10及び11は配線本体層17を形成している。また、TiW層9及び12は配線本体層17のバリアメタルであり、TiW層9はCu層とSiO<sub>2</sub>からなる絶縁層2との間の密着性向上させる機能がある。

#### 【0026】

更に、絶縁層2上におけるインダクタ3の内部領域、即ち、配線3aがなす渦巻の内部(以下、内部領域13という)には、積層膜14が設けられている。内部領域13は例えば一辺の長さが40乃至60μmの正方形の領域であり、積層膜14の形状は、例えば一辺の長さが30乃至50μmの正方形である。積層膜14の下面及び配線3aの下面是同一平面上にあり、絶縁層2の上面に接している。この積層膜14においては、下層側から順に、TiW層9及びCu層10が設けられている。そして、Cu層10上における中央部には、Niからなる強磁性体層15が設けられており、この強磁性体層15の側面及び上面を覆うように、Cu層11及びTiW層12が設けられている。強磁性体層15の膜厚は例えば3乃至5μmである。

#### 【0027】

このため、強磁性体層15の下面是配線層3aの上面よりも低くなっている。従って、強磁性体層15の上面は配線層3aの下面よりも高くなっている。従って、強磁性体層15の下部は配線層3aと同層となっている。また、強磁性体層15の上面は配線層3aの上面よりも高くなっている。従って、積層膜14の上面は配線層3aの上面よりも高くなっている。

#### 【0028】

更にまた、インダクタ3及び積層膜14を覆うように、例えばポリイミドからなる絶縁層16が設けられている。なお、図1においては、絶縁層16は図示を省略されている。なお、半導体基板(図示せず)の表面には、トランジスタ等の素子が形成されていてよい。

#### 【0029】

なお、本実施例においては、渦巻状の配線の巻き数が3である例を示したが、本発明はこれに限定されず、4以上又は2以下であってもよく、1以下であってもよい。また、渦巻の形状は正方形に限定されず、例えば、正方形以外の多角形又は円形であってもよい。更に、上述の各部の寸法は一例であり、本発明はこれに限定されない。更にまた、強磁性体層はNi以外の強磁性体、例えばCoにより形成されていてもよく、配線はCu以外の導電性材料、例えばAlにより形成されていてもよい。更にまた、絶縁膜2はSiONにより形成されていてもよい。

#### 【0030】

次に、本実施例に係る半導体集積回路の製造方法について説明する。図3(a)乃至(e)は本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図であり、図2(a)の一部に相当する部分を示す。先ず、図3(a)に示すように、半導体基板上に多層配線層1(図2(a)参照)を形成する。このとき、多層配線層1の最上層をなす絶縁層2の内部に、配線5(図2(b)参照)及び配線8(図1参照)を埋め込み、絶縁層2における配線5及び8の直上域に、エッチングにより夫タビア6及び7(図1参照)を形成する。このとき、配線5及び8が、夫タビア6及び7を形成する際のエッチングストップ層となる。そして、絶縁膜2上の全面に、スパッタリング法によりTiW層9を形成する。次に、電気めっき法により、TiW層9上にCu層10を形成する。

#### 【0031】

次に、図3(b)に示すように、Cu層10上にレジスト18を形成し、このレジスト18における後の工程において強磁性体層15を形成する予定の領域に、開口部18aを形成する。開口部18aにおいてはCu層10が露出している。

#### 【0032】

次に、図3(c)に示すように、レジスト18をマスクとして、Niの電気めっきを行い

10

20

30

40

50

、Cu層10上における開口部18aに相当する領域にNiからなる強磁性体層15を形成する。

#### 【0033】

次に、図3(d)に示すように、レジスト18を除去し、Cu層10及び強磁性体層15上にCu層11を形成する。そして、このCu層11上にTiW層12を形成する。

#### 【0034】

次に、図3(e)に示すように、TiW層12上にレジスト(図示せず)を形成し、このレジストをマスクとして、TiW層9、Cu層10、Cu層11及びTiW層12をウエットエッティングして選択的に除去してパターニングする。Cu層10及び11のウエットエッティングは硫酸と過酸化水素との混合液である硫酸過水を使用すればよく、TiW層9及び12のウエットエッティングは過酸化水素水により行うことができる。  
10

#### 【0035】

これにより、半導体基板の表面に垂直な方向、即ち、絶縁層2の表面に垂直な方向から見て、正方形状となる積層膜14と、この積層膜14の周囲に渦巻状に配置され、ピア6及び7により夫々配線5及び8に接続された配線3aとを形成する。積層膜14はTiW層9、Cu層10、強磁性体層15、Cu層11及びTiW層12が積層されて構成されており、配線3aはTiW層9、Cu層10、Cu層11及びTiW層12が積層されて構成されている。そして、絶縁層2上の全面に、積層膜14及び配線3aを埋め込むように、ポリイミドからなる絶縁層16を形成する。これにより、本実施例に係る半導体集積回路を製造することができる。  
20

#### 【0036】

本実施例においては、配線3aを渦巻状に配置することにより、スパイラルインダクタであるインダクタ3が形成されている。そして、このインダクタ3の内部領域13に設けられた強磁性体層15が、インダクタ3の磁芯として作用し、インダクタ3のインダクタンス及びQ値を向上させることができる。実際に実験した結果、図1に示す本実施例の半導体集積回路は、図14に示す従来の半導体集積回路と比較して、Q値が約2倍になった。

#### 【0037】

また、強磁性体層15をCu層9及び10で被覆することにより、強磁性体層15を形成するNiが半導体集積回路内の他の領域に拡散することなく、また、半導体集積回路の製造工程において、製造装置を汚染することができない。  
30

#### 【0038】

更に、強磁性体層15の下部は配線層3aと同層となっているため、インダクタ3のインダクタンス及びQ値をより一層向上させることができる。更にまた、積層膜14の下面が配線3aの下面と同一平面にあり、積層膜14の上面が配線層3aの上面よりも高くなっているため、積層膜14の上面及び下面と配線3aとの間に寄生容量が発生せず、インダクタ3のインダクタンス及びQ値をより一層向上させることができる。

#### 【0039】

次に、前述の第1の実施例の変形例について説明する。本変形例に係る半導体集積回路を示す平面図は図1と同様な図である。また、図4(a)及び(b)は本変形例に係る半導体集積回路を示す断面図であり、(a)は図1に示すA-A線による断面図に相当し、(b)は図1に示すB-B線による断面図に相当する。図4(a)及び(b)に示すように、本変形例においては、絶縁層2における積層膜14の直下域に金属層19が設けられており、絶縁層2における金属層19の直上域に開口部2aが形成されている。そして、この開口部2aに、絶縁膜14の下部が埋め込まれている。金属層19は配線5と同層であり、同じ材料により形成されている。金属層19は配線5と同時に形成され、開口部2aは、ピア6及び7と同時に形成される。開口部2aの形成に際しては、金属層19がエッティングストップ層となる。本変形例における上記以外の構成及び製造方法は、前述の第1の実施例と同様である。  
40

#### 【0040】

本変形例においては、前述の第1の実施例と比較して、積層膜14を配線3aに対して相  
50

対的に低くすることができるため、強磁性体層 15 における配線 3a と同層となる部分が拡大する。これにより、インダクタ 3 のインダクタンス及び Q 値をより一層向上させることができる。

#### 【 0 0 4 1 】

次に、本発明の第 2 の実施例について説明する。図 5 は、本実施例に係る半導体集積回路を示す平面図である。図 5 に示すように、本実施例に係る半導体集積回路においては、前述の第 1 の実施例と比較して、積層膜 14 が複数の部分 14a から構成されている。絶縁層 2 の表面に垂直な方向から見て、部分 14a は例えば 1 辺の長さが 5 乃至 10 μm の矩形であり、インダクタ 3 の内部領域 13 に例えばマトリクス状に配列されている。本実施例における上記以外の構成は前述の第 1 の実施例と同様である。

10

#### 【 0 0 4 2 】

本実施例においては、前述の第 1 の実施例と比較して、積層膜 14 が複数の部分 14a に分割されているため、積層膜 14 と配線 3a との間の容量を低減できると共に、積層膜 14 内に渦電流が発生することを抑制できる。これにより、インダクタ 3 のインダクタンス及び Q 値がより一層向上する。

#### 【 0 0 4 3 】

次に、本発明の第 3 の実施例について説明する。図 6 は、本実施例に係る半導体集積回路を示す平面図である。図 6 に示すように、本実施例に係る半導体集積回路においては、前述の第 1 の実施例と比較して、インダクタ 3 が絶縁層 2 内に埋め込まれている。従って、絶縁層 2 にピア 6 (図 1 参照) は形成されておらず、配線 3a は配線 5 (図 1 参照) に同層で接続されている。また、インダクタ 3 の内部領域 13 には積層膜が設けられておらず、絶縁層 2 上におけるインダクタ 3 の周囲に相当する領域に、インダクタ 3 の直上域を囲むように積層膜 14 が環状に設けられている。本実施例における上記以外の構成は前述の第 1 の実施例と同様である。なお、本実施例においては、積層膜 14 はインダクタ 3 の上方に設けられているが、積層膜 14 をインダクタ 3 の下方に配置してもよい。

20

#### 【 0 0 4 4 】

本実施例においては、前述の第 1 の実施例と比較して、積層膜 14 がインダクタ 3 の周囲に設けられているため、積層膜 14 と配線 3a との間の容量を低減すると共に、積層膜 14 内に渦電流が流れることを抑制することができる。これにより、インダクタンスの損失を低減することができる。なお、強磁性体層 15 はインダクタ 3 が発生させる磁力線の経路に配置されればよいため、強磁性体層 15 がインダクタ 3 の周囲に設けられていても、内部領域 13 に設けられている場合と比較して、強磁性体によるインダクタンスの向上効果が損なわれることはない。

30

#### 【 0 0 4 5 】

次に、本発明の第 4 の実施例について説明する。図 7 は、本実施例に係る半導体集積回路を示す平面図である。図 7 に示すように、本実施例に係る半導体集積回路においては、前述の第 3 の実施例と比較して、積層膜 14 の一部が除去されて断絶部 14b が形成されている。また、本実施例においては、インダクタ 3 を絶縁層 2 内ではなく、前述の第 1 の実施例と同様に絶縁層 2 上に形成し、インダクタ 3 における渦巻の外側から引き出された配線 3a が、断絶部 14b を通過するようにしてもよい。本実施例における上記以外の構成は前述の第 1 の実施例と同様である。

40

#### 【 0 0 4 6 】

本実施例においては、前述の第 3 の実施例と比較して、積層膜 14 に断絶部 14b が形成されているため、積層膜 14 を周回するような渦電流が発生することができない。このため、渦電流による損失をより一層低減し、Q 値を向上させることができる。

#### 【 0 0 4 7 】

次に、本発明の第 5 の実施例について説明する。図 8 は、本実施例に係る半導体集積回路を示す平面図である。図 8 に示すように、本実施例に係る半導体集積回路においては、前述の第 3 の実施例と同様に、インダクタ 3 が絶縁層 2 内に埋め込まれている。また、インダクタ 3 の内部領域 13 には積層膜が設けられておらず、絶縁層 2 上におけるインダク

50

タ3及びその周囲の領域の直上域に相当する領域に、複数の矩形部分14cからなる積層膜14が設けられている。積層膜14の矩形部分14cの幅は例えば10μmである。また、絶縁層2の表面に垂直な方向から見て、矩形部分14cはその長手方向が渦巻形のインダクタ3の中心から周囲に向かう方向に沿うように放射状に配置されている。本実施例における上記以外の構成は前述の第1の実施例と同様である。なお、本実施例においては、積層膜14はインダクタ3の上方に設けられているが、積層膜14をインダクタ3の下方に配置してもよい。

#### 【0048】

本実施例においては、前述の第1の実施例と比較して、積層膜14を複数の矩形部分14cに分割しているため、積層膜14と配線3aとの間の容量を低減すると共に、積層膜14がインダクタ3の周回方向において断続的に配置されているため、積層膜14内に渦電流が流れることを抑制することができる。これにより、インダクタンスの損失を低減することができる。

#### 【0049】

次に、本発明の第6の実施例について説明する。図9は本実施例に係る半導体集積回路を示す平面図であり、図10は図9に示すC-C線による断面図である。図9及び図10に示すように、本実施例の半導体集積回路においては、半導体基板(図示せず)上に多層配線層1が設けられている。多層配線層1は複数の層が積層されて形成されており、この多層配線層1の最上層である絶縁層2内に、スパイラルインダクタであるインダクタ3が設けられている。インダクタ3は1本の配線3aがスパイラル状(渦巻状)に配置されて形成されており、配線3aはTiW層22、Cu層23及びTiW層24がこの順に積層されて形成されている。前述の第1の実施例と同様に、インダクタ3の巻き数は例えば3であるが、図10においては、便宜上、配線3aは片側2本ずつしか示していない。

#### 【0050】

また、絶縁層2上におけるインダクタ3の内部領域13の直上域に相当する領域には、積層膜14が設けられている。積層膜14の構成は前述の第1の実施例と同様である。

#### 【0051】

更に、絶縁層2上におけるインダクタ3の形成領域から外れた領域には、パッド21が形成されている。パッド21は、例えば、フリップチップのバンプが形成されるものである。絶縁層2の表面に垂直な方向から見て、パッド21の形状は例えば八角形であり、その外径は例えば100μmである。パッド21は、積層膜14と同様に、TiW層9及びCu層10が積層され、Cu層10上の中央部分にNiからなる強磁性体層15が積層され、強磁性体層15の上面及び側面を覆うように、Cu層11及びTiW層12が積層されて形成されている。即ち、パッド21は積層膜14と同層に形成されている。

#### 【0052】

次に、本実施例に係る半導体集積回路の製造方法について説明する。図11(a)乃至(e)は本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図である。先ず、図10に示すように、半導体基板上に多層配線層1を形成する。このとき、SiO<sub>2</sub>からなる絶縁層4上に、TiW層22、Cu層23及びTiW層24をこの順に積層し、これらの積層膜をパターニングして、渦巻状の配線3aを形成する。即ち、配線3aはTiW層22、Cu層23及びTiW層24がこの順に積層されて形成されている。これにより、スパイラルインダクタであるインダクタ3が形成される。次に、絶縁層4上にSiO<sub>2</sub>からなる絶縁層2を形成し、インダクタ3を埋め込む。

#### 【0053】

次に、図11(a)に示すように、絶縁膜2上の全面に、スパッタリング法によりTiW層9を形成する。次に、電気めっき法により、TiW層9上にCu層10を形成する。

#### 【0054】

次に、図11(b)に示すように、Cu層10上にレジスト25を形成し、このレジスト25に開口部25a及び25bを形成する。開口部25aは、後の工程において積層膜14の強磁性体層15を形成する予定の領域に相当し、開口部25bは、後の工程において

10

20

30

40

50

パッド21の強磁性体層15を形成する予定の領域に相当する。開口部25a及び25bにおいてはCu層10が露出している。

#### 【0055】

次に、図11(c)に示すように、レジスト25をマスクとして、Niの電気めっきを行い、Cu層10上における開口部25a及び25bに相当する領域にNiからなる強磁性体層15を形成する。

#### 【0056】

次に、図11(d)に示すように、レジスト25を除去し、Cu層10及び強磁性体層15上にCu層11を形成する。そして、このCu層11上にTiW層12を形成する。

#### 【0057】

次に、図11(e)に示すように、TiW層12上にレジスト(図示せず)を形成し、このレジストをマスクとして、TiW層12、Cu層11、Cu層10及びTiW層9をウエットエッティングすることにより、選択的に除去してパターニングする。Cu層10及び11のウエットエッティングは硫酸と過酸化水素との混合液である硫酸過水を使用すればよく、TiW層9及び12のウエットエッティングは過酸化水素水により行うことができる。

#### 【0058】

これにより、図9に示すように、絶縁層2の表面に垂直な方向から見て、正方形状となる積層膜14と、この積層膜14の形成領域から外れた領域に、八角形状となるパッド21とを形成する。積層膜14及びパッド21は、TiW層9、Cu層10、強磁性体層15、Cu層11及びTiW層12が積層されて構成されている。そして、絶縁層2上の全面に、積層膜14及びパッド21を埋め込むように、ポリイミドからなる絶縁層16(図10参照)を形成する。これにより、本実施例に係る半導体集積回路を製造することができる。本実施例における上記以外の構成及び製造方法は、前述の第1の実施例と同様である。

#### 【0059】

本実施例においては、配線3aを渦巻状に配置することにより、スパイラルインダクタであるインダクタ3を形成することができる。そして、このインダクタ3の内部領域13に設けられた強磁性体層15が、インダクタ3の磁芯として作用し、インダクタ3のインダクタンス及びQ値を向上させる。

#### 【0060】

また、積層膜14を、パッド21と同層且つ同材料により形成することにより、この積層膜14とパッド21とを同一工程にて形成することができる。このため、積層膜14を形成するための特別な工程が不要になる。これにより、半導体集積回路の製造が容易になり、製造コストを低減することができる。

#### 【0061】

次に、本発明の第7の実施例について説明する。図12は、本実施例に係る半導体集積回路を示す平面図であり、図13は図12に示すD-D線による断面図である。図12及び図13に示すように、本実施例に係る半導体集積回路は、前述の第6の実施例に係る半導体集積回路と比較して、積層膜14がインダクタ3の内部領域13の直上域のみならず、インダクタ3の直上域全体に形成されている点が異なっている。即ち、絶縁層2の表面に垂直な方向から見て、積層膜14はインダクタ3を覆うように形成されている。本実施例における上記以外の構成及び製造方法は、前述の第6の実施例と同様である。

#### 【0062】

本実施例においては、インダクタ3を小型化した場合においても、十分な大きさの強磁性体層15を設けることができる。また、積層膜14を設けないと、表皮効果によりインダクタ3の半導体基板側の表面、即ち、下面に電流が集中して流れてしまい、インダクタ3の抵抗値が大きくなる。これに対して、本実施例においては、インダクタ3の直上域全体に積層膜14が形成されているため、インダクタ3の上面にも電流が流れるようになり、インダクタ3の抵抗値が低下する。これにより、インダクタ3のQ値がより一層向上する。

10

20

30

40

50

## 【0063】

## 【発明の効果】

以上詳述したように、本発明によれば、強磁性体層の下面を配線の上面よりも低くし、強磁性体層の上面を配線の下面よりも高くすることにより、強磁性体層の少なくとも一部が配線と同層になり、スパイラルインダクタのインダクタンス及びQ値をより一層向上させることができる。また、積層膜の下面を配線の下面以下の位置とし、積層膜の上面を配線の上面以上の位置とすることにより、積層膜の上面及び下面と配線との間に寄生容量が発生せず、スパイラルインダクタのインダクタンス及びQ値をより一層向上させることができる。これにより、インダクタのインダクタンス及びQ値が高く、小型化が可能な半導体集積回路を得ることができる。

10

## 【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体集積回路を示す平面図である。

【図2】(a)は図1に示すA-A線による断面図であり、(b)は図1に示すB-B線による断面図である。

【図3】(a)乃至(e)は、本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図であり、図2(a)の一部に相当する部分を示す。

【図4】(a)及び(b)は本発明の第1の実施例の変形例に係る半導体集積回路を示す断面図であり、(a)は図1に示すA-A線による断面図に相当し、(b)は図1に示すB-B線による断面図に相当する。

【図5】本発明の第2の実施例に係る半導体集積回路を示す平面図である。

20

【図6】本発明の第3の実施例に係る半導体集積回路を示す平面図である。

【図7】本発明の第4の実施例に係る半導体集積回路を示す平面図である。

【図8】本発明の第5の実施例に係る半導体集積回路を示す平面図である。

【図9】本発明の第6の実施例に係る半導体集積回路を示す平面図である。

【図10】図9に示すC-C線による断面図である

【図11】(a)乃至(e)は本実施例に係る半導体集積回路の製造方法をその工程順に示す断面図である。

【図12】本発明の第7の実施例に係る半導体集積回路を示す平面図である。

【図13】図12に示すD-D線による断面図である

【図14】従来の半導体集積回路を示す平面図である。

30

【図15】図14に示すE-E線による断面図である。

## 【符号の説明】

1 ; 多層配線層

2、4 ; 絶縁層

2 a ; 開口部

3 ; インダクタ

3 a、5、8 ; 配線

6、7 ; ピア

9、12 ; TiW層

10、11 ; Cu層

40

13 ; 内部領域

14 ; 積層膜

14 a ; 部分

14 b ; 断絶部

14 c ; 矩形部分

15 ; 強磁性体層

16 ; 絶縁層

17 ; 配線本体層

18 ; レジスト

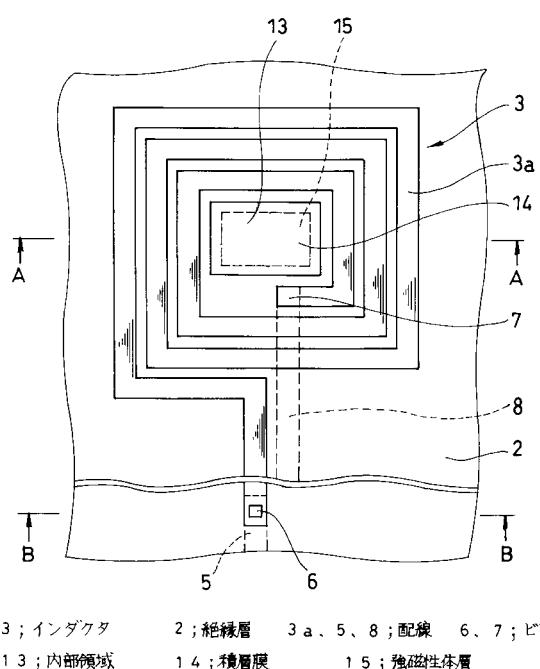
18 a ; 開口部

50

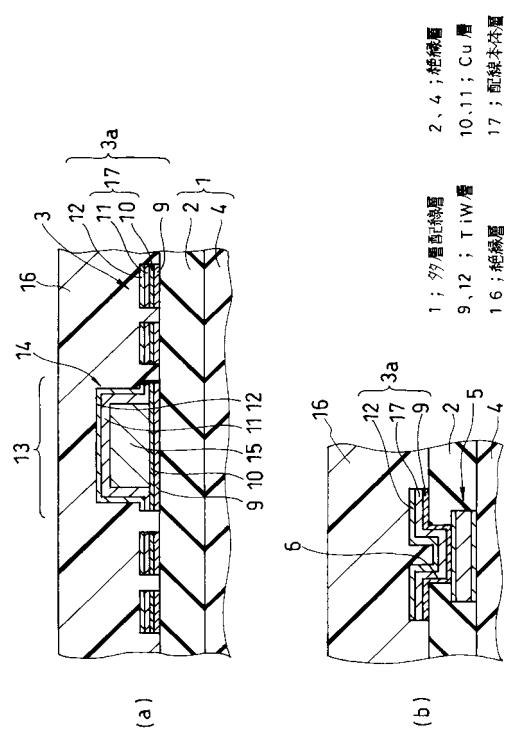
1 9 ; 金属層  
 2 1 ; パッド  
 2 2、2 4 ; TiW層  
 2 3 ; Cu層  
 2 5 ; レジスト  
 2 5 a、2 5 b ; 開口部  
 1 0 1 ; 多層配線層  
 1 0 2 ; 最上層  
 1 0 3 ; インダクタ  
 1 0 4、1 0 5、1 0 6 ; 絶縁層  
 1 0 7 ; 配線本体層  
 1 0 8 ; TiW層

10

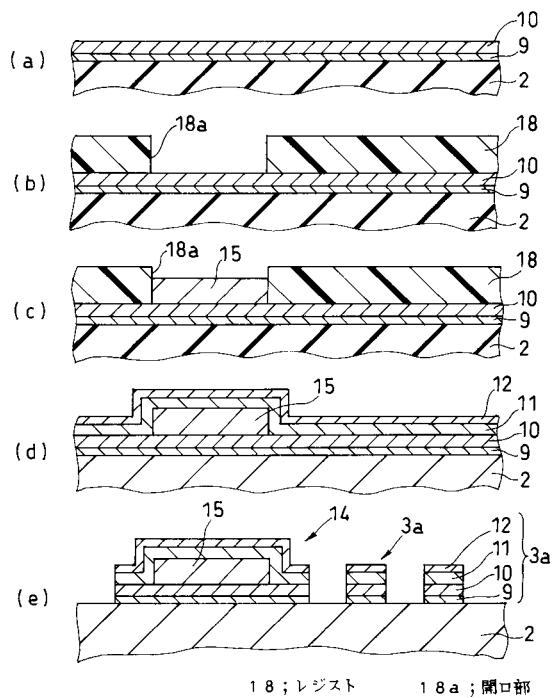
【図1】



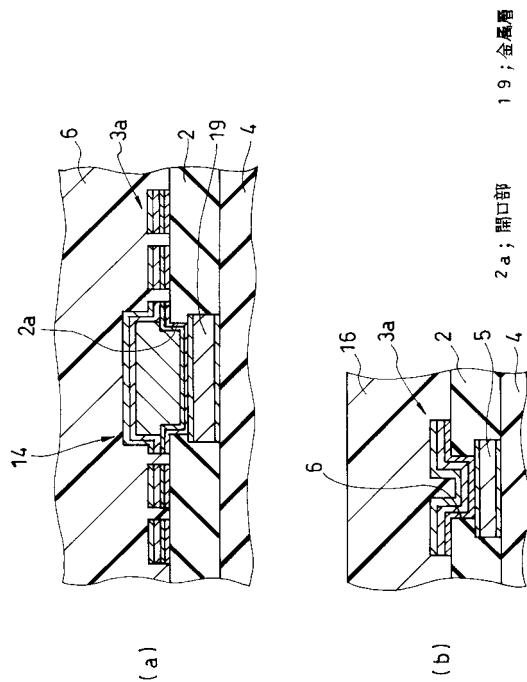
【図2】



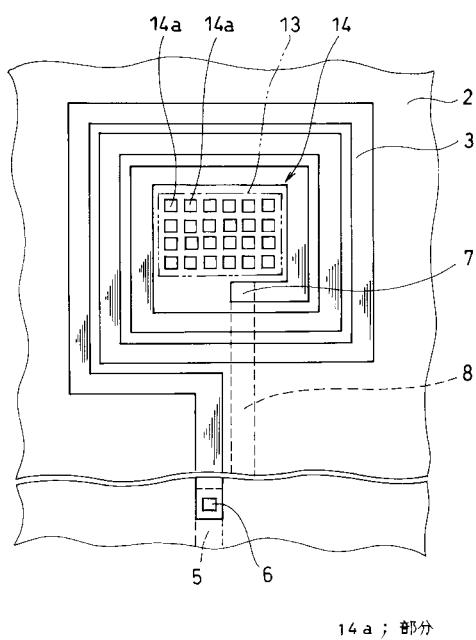
【図3】



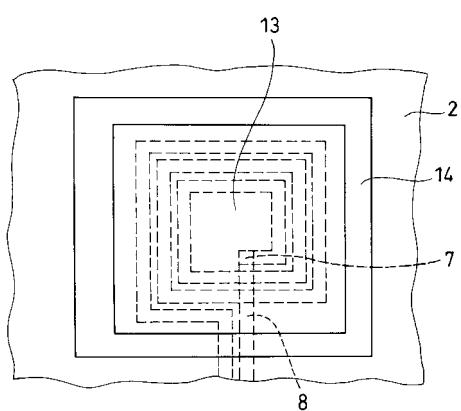
【図4】



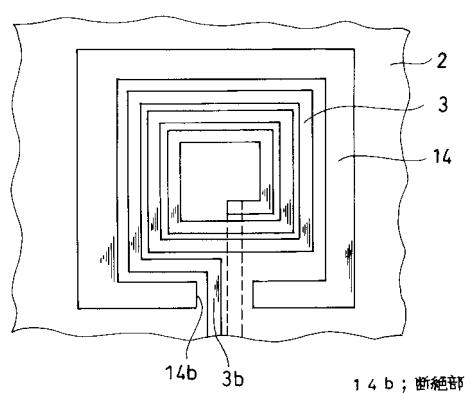
【図5】



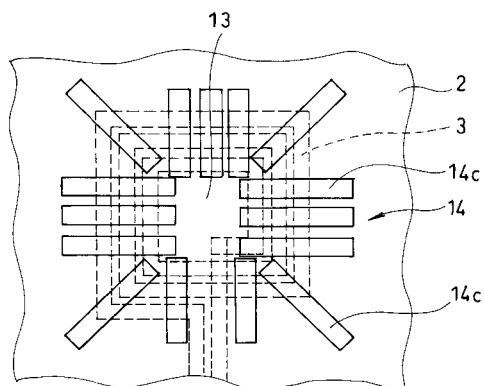
【図6】



【図7】

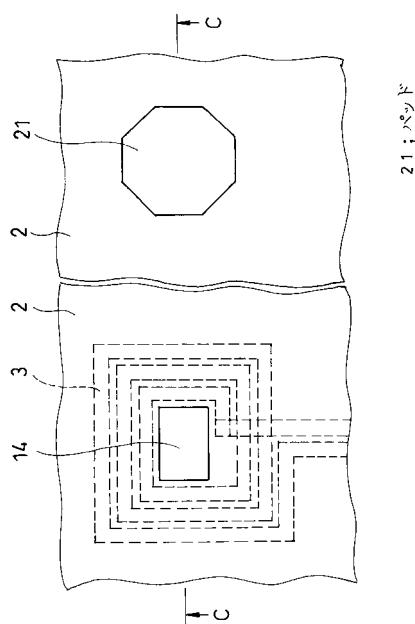


【図8】



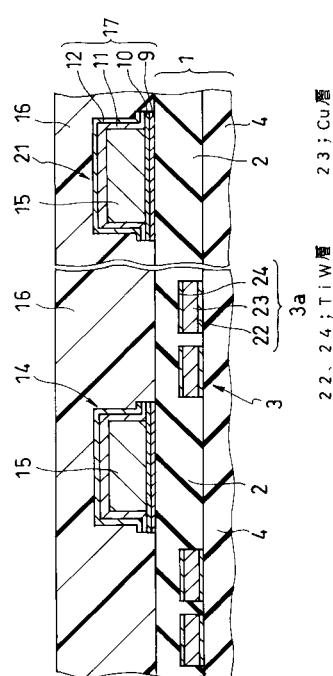
14c ; 矩形部分

【図9】

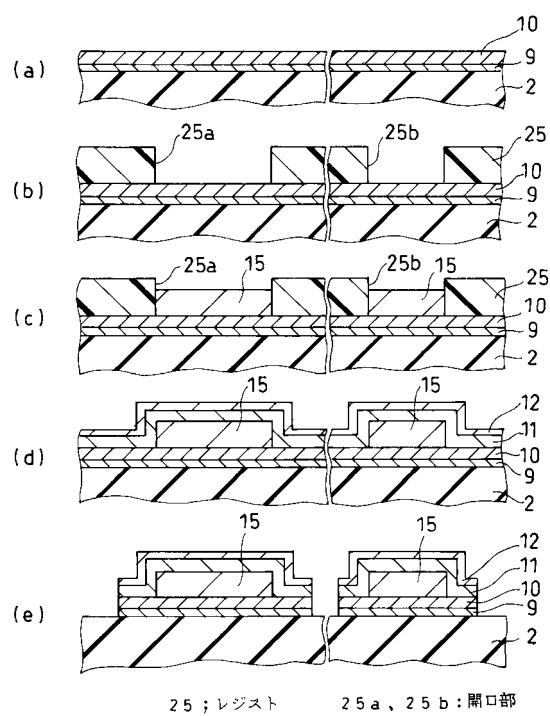


21; パッド

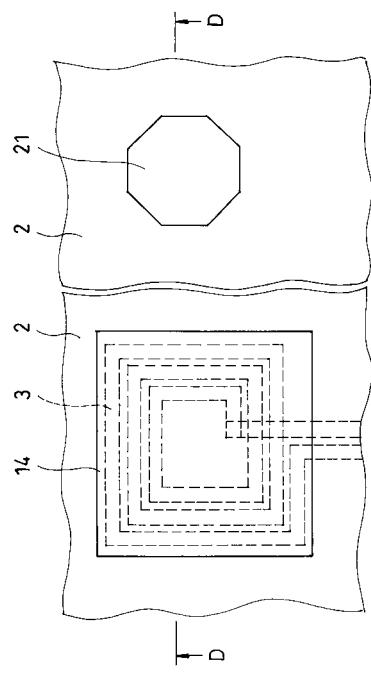
【図10】

22, 23, 24; TiW層  
23; Cu層

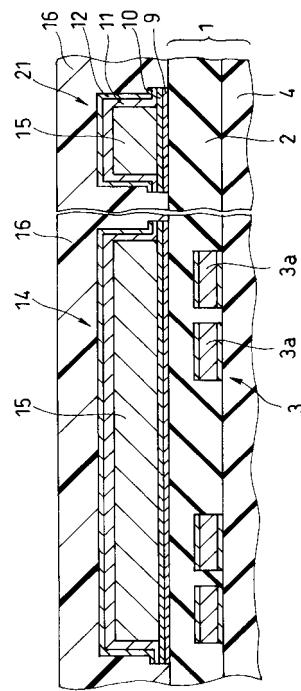
【図11】

25; レジスト  
25a, 25b: 開口部

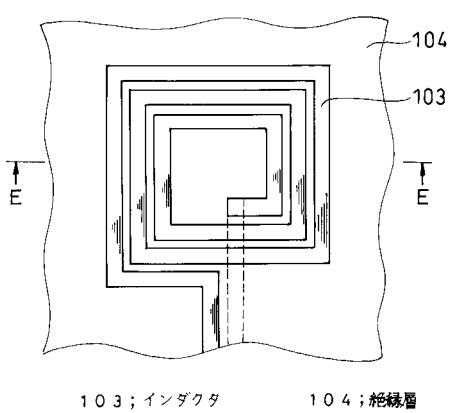
【図12】



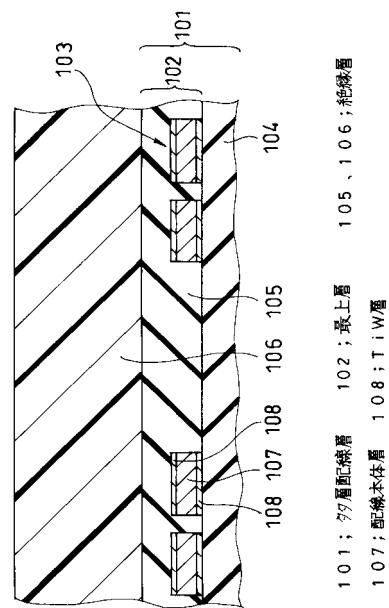
【図13】



【図14】



【図15】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 27/04

E

(56)参考文献 特開平11-176639(JP,A)

特開2001-284533(JP,A)

特開2002-123915(JP,A)

特開2002-025824(JP,A)

特開2002-043520(JP,A)

特開2001-284126(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01F 17/00

H01F 17/04

H01F 41/04

H01L 27/04