



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202238765 A

(43)公開日：中華民國 111 (2022) 年 10 月 01 日

(21)申請案號：111107795

(22)申請日：中華民國 111 (2022) 年 03 月 03 日

(51)Int. Cl. : *H01L21/60 (2006.01)**H01L23/488 (2006.01)*

(30)優先權：2021/03/03 美國

63/156,290

2022/03/02 美國

17/684,841

(71)申請人：美商英帆薩斯邦德科技有限公司 (美國) INVENSAS BONDING TECHNOLOGIES, INC. (US)

美國

(72)發明人：麥卡雷米 蘿拉 威爾 MIRKARIMI, LAURA WILLS (US)；烏佐 賽普里恩 艾米卡 UZOH, CYPRIAN EMEKA (US)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：80 項 圖式數：7 共 45 頁

(54)名稱

用於直接接合的接觸結構

(57)摘要

本發明揭示一種接合結構。該接合結構可包括第一元件，其包括第一導電特徵及第一非導電區域。該第一導電特徵可包括平均晶粒尺寸為 500 nm 或更低之細粒金屬。該接合結構可包括第二元件，其包括第二導電特徵及第二非導電區域。該第一導電特徵在無介入黏著劑之情況下直接接合至該第二導電特徵，且該第二非導電區域在無介入黏著劑之情況下直接接合至該第二非導電區域。

A bonded structure is disclosed. The bonded structure can include a first element that includes a first conductive feature and a first nonconductive region. The first conductive feature can include a fine grain metal that has an average grain size of 500 nm or less. The bonded structure can include a second element that includes a second conductive feature and a second nonconductive region. The first conductive feature is directly bonded to the second conductive feature without an intervening adhesive, and the second nonconductive region is directly bonded to the second nonconductive region without an intervening adhesive.

指定代表圖：

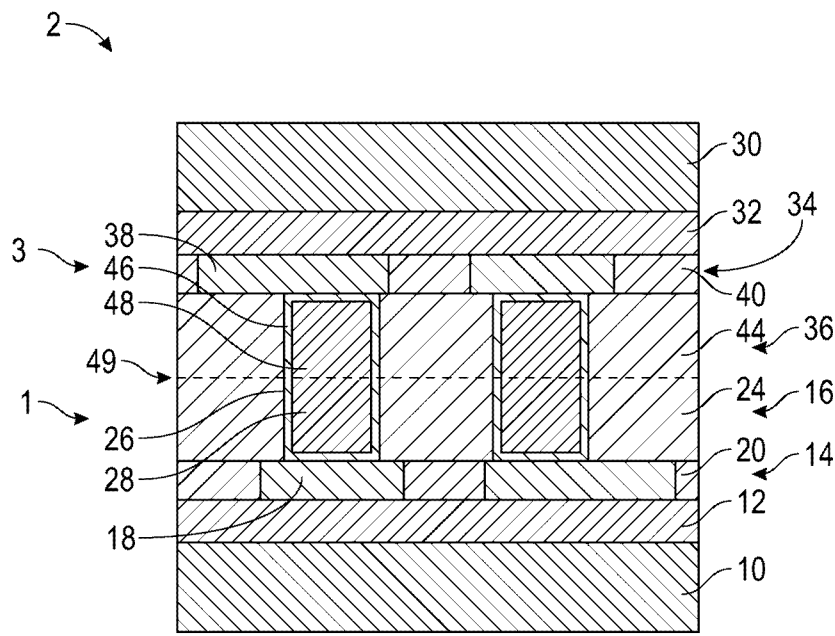


圖2

符號簡單說明：

- 1:第一元件/元件
- 2:接合結構
- 3:第二元件/元件
- 10:載體
- 12:隔離層
- 14:金屬化層
- 16:接合層
- 18:導電部分/金屬化層
- 20:非導電部分
- 24:非導電區
- 26:障壁層
- 28:導電特徵
- 30:載體
- 32:隔離層
- 34:金屬化層
- 36:接合層
- 38:導電部分
- 40:非導電部分
- 44:非導電區
- 46:障壁層
- 48:導電特徵
- 49:接合介面

【發明摘要】

【中文發明名稱】 用於直接接合的接觸結構

【英文發明名稱】 CONTACT STRUCTURES FOR DIRECT BONDING

【中文】

本發明揭示一種接合結構。該接合結構可包括第一元件，其包括第一導電特徵及第一非導電區域。該第一導電特徵可包括平均晶粒尺寸為500 nm或更低之細粒金屬。該接合結構可包括第二元件，其包括第二導電特徵及第二非導電區域。該第一導電特徵在無介入黏著劑之情況下直接接合至該第二導電特徵，且該第二非導電區域在無介入黏著劑之情況下直接接合至該第二非導電區域。

【英文】

A bonded structure is disclosed. The bonded structure can include a first element that includes a first conductive feature and a first nonconductive region. The first conductive feature can include a fine grain metal that has an average grain size of 500 nm or less. The bonded structure can include a second element that includes a second conductive feature and a second nonconductive region. The first conductive feature is directly bonded to the second conductive feature without an intervening adhesive, and the second nonconductive region is directly bonded to the second nonconductive region without an intervening adhesive.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

1:第一元件 / 元件

2:接合結構

3:第二元件 / 元件

10:載體

12:隔離層

14:金屬化層

16:接合層

18:導電部分 / 金屬化層

20:非導電部分

24:非導電區

26:障壁層

28:導電特徵

30:載體

32:隔離層

34:金屬化層

36:接合層

38:導電部分

40:非導電部分

44:非導電區

46:障壁層

48:導電特徵

49:接合介面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 用於直接接合的接觸結構

【英文發明名稱】 CONTACT STRUCTURES FOR DIRECT BONDING

【技術領域】

【0001】 該領域係關於用於直接接合的接觸結構。

相關申請案之交叉參考

【0002】 本申請案主張於2021年3月3日申請之標題為「用於直接接合的接觸結構」的美國臨時專利申請案第63/156,290號之優先權，其中之每一者的全部內容特此以引用之方式併入本文中。

【先前技術】

【0003】 諸如半導體晶圓之半導體元件可在無黏著劑之情況下堆疊且彼此直接接合。舉例而言，在一些混合直接接合結構中，元件之非導電場區可直接接合至彼此，且對應導電接觸結構可直接接合至彼此。在一些應用中，產生相對接觸襯墊之間的可靠電連接可能具有挑戰性。因此，存在對於用於直接接合之經改良接觸結構的持續需求。

【發明內容】

【0004】 在一個態樣中，揭示一種接合結構。該接合結構可包括第一元件，其包括第一導電特徵及第一非導電區域。第一導電特徵包括平均晶粒尺寸為500 nm或更低之細粒金屬。該接合結構可包括第二元件，其包括第二導電特徵及第二非導電區域。該第一導電特徵在無介入黏著劑之情況下直接接合至該第二導

電特徵，且該第二非導電區域在無介入黏著劑之情況下直接接合至該第二非導電區域。

【0005】 在一個具體實例中，第一導電特徵包括銅。

【0006】 在一個具體實例中，該第一導電特徵之該等晶粒具有低於500 nm之最大晶粒尺寸。該第一導電特徵之該等晶粒可具有低於350 nm之最大晶粒尺寸。該第一導電特徵之該等晶粒具有低於50 nm之最大晶粒尺寸。

【0007】 在一個具體實例中，第二導電特徵之晶粒的平均晶粒尺寸為500 nm或更低。

【0008】 在一個具體實例中，該第二導電特徵之晶粒的平均晶粒尺寸大於1微米。

【0009】 在一個具體實例中，第一導電特徵之細粒金屬的平均晶粒尺寸為350 nm或更低。該第一導電特徵之細粒金屬的平均晶粒尺寸可在10 nm至300 nm範圍內。

【0010】 在一個具體實例中，該第一導電特徵之該等晶粒中之大於95%具有低於10%之晶粒尺寸變化。

【0011】 在一個具體實例中，該第一元件進一步包含具有導電部分的金屬化層。金屬化層之導電部分可包括平均晶粒尺寸在1 μm 至2 μm 之範圍內的金屬。

【0012】 在一個具體實例中，該第一導電特徵之細粒金屬包括惰性材料之奈米粒子。奈米粒子的濃度可低於第一導電特徵之1%。奈米粒子之濃度可低於第一導電特徵之0.1%。該等奈米粒子可包括氧化矽、氧化鋁及三氧化鈦中之一或多者。

【0013】 在一個具體實例中，細粒金屬包括成分。

【0014】 在一個態樣中，接合結構。該接合結構可包括第一元件，其包括第一導電特徵及第一非導電區域。第一導電特徵包括具有成分之細粒金屬。該接

合結構可包括第二元件，其包括第二導電特徵及第二非導電區域。該第一導電特徵在無介入黏著劑之情況下直接接合至該第二導電特徵，且該第二非導電區域在無介入黏著劑之情況下直接接合至該第二非導電區域。

【0015】 在一個具體實例中，該等成分包括硼、銦、磷、鎵、鎳、鈷、錫、錳、鈦、釩及硒中之至少一者。該第一導電特徵可包括平均晶粒尺寸為500 nm或更低之細粒金屬。該第一導電特徵之細粒金屬的平均晶粒尺寸可在10 nm至300 nm範圍內。

【0016】 在一個態樣中，揭示一種互連結構。該互連結構可包括元件，該元件包括接合表面。該元件具有導電特徵及非導電區。該導電特徵至少部分地嵌入於該非導電區域中。該導電特徵包括底部部分及安置於該底部部分上方之頂部部分。該頂部部分經定位成相較於底部部分更接近於元件之接合表面。頂部部分具有小於底部部分之平均晶粒尺寸的平均晶粒尺寸。頂部部分之平均晶粒尺寸為500 nm或更低。

【0017】 在一個具體實例中，接合結構包括互連結構及第二元件。

【0018】 在一個態樣中，揭示一種形成基板之方法。該方法可包括在半導體元件之非導電層中提供空腔，在該空腔中提供導電接觸結構，且製備非導電層及導電接觸結構以供直接接合。導電接觸結構具有包括低於500 nm之平均晶粒尺寸的細粒結構。

【0019】 在一個具體實例中，導電接觸結構包括銅。

【0020】 在一個具體實例中，該平均晶粒尺寸低於350 nm。平均晶粒尺寸可在10 nm至300 nm之範圍內。

【0021】 在一個具體實例中，提供該導電接觸結構包含提供具有低於0.5%添加劑之銅電鍍浴，且將該導電接觸結構電鍍至該空腔中。該等添加劑包括硼、銦、磷、鎵、鎳、鈷、錫、錳、鈦、釩及硒中之一或多者。

【0022】 在一個具體實例中，提供該導電接觸結構包括提供其中具有電學上無活性奈米粒子的銅電鍍浴。該等電學上無活性奈米粒子包括氧化矽、氧化鋁及三氧化鈦中之一或多者。該等奈米粒子之濃度可低於1體積%。該等奈米粒子之濃度可低於0.1體積%。

【0023】 在一個具體實例中，該導電接觸結構之金屬晶粒回復在室溫下及在低於120°C之溫度下受到抑制。

【0024】 在一個具體實例中，提供該導電接觸結構包括在低於30°C之溫度下電鍍該空腔。該方法可進一步包括在5°C至15°C之範圍內之溫度下電鍍該空腔。該方法可進一步包括在5°C至15°C之範圍內之溫度下對該非導電層及該導電接觸結構進行化學機械拋光。

【0025】 在一個具體實例中，該方法進一步包括在無介入黏著劑之情況下將該半導體元件之該非導電層直接接合至第二半導體元件之第二非導電層。該方法可進一步包括使該半導體元件及該第二半導體元件退火，以使得該導電接觸結構接觸該第二半導體元件之第二導電接觸結構。該退火可在低於300°C之溫度下進行。該退火可在低於250°C之溫度下進行。

【0026】 在一個具體實例中，提供該導電接觸結構包括使用在0.1 mA/cm²至70 mA/cm²範圍內之電流密度電鍍該空腔。

【0027】 在一個具體實例中，提供該導電接觸結構包括提供具有0.1M至0.4M之銅離子及0.1M至1M之酸的電鍍浴。

【0028】 在一個具體實例中，提供非導電層包括在積體電路裝置上方之沈積。該方法可進一步包括在用具有細粒結構之導電接觸結構填充該空腔之前用障壁層襯裏該空腔之至少側壁。

【0029】 在一個態樣中，揭示一種形成基板之方法。該方法可包括在半導體元件之非導電層中提供空腔，在該空腔中提供導電接觸結構，且製備非導電層

及導電接觸結構以供直接接合。導電接觸結構具有細粒結構。

【0030】 在一個具體實例中，導電接觸結構包括銅。

【0031】 在一個具體實例中，導電接觸結構之大部分晶粒具有500 nm或更低之大小。大部分晶粒可具有350 nm或更低之大小。大部分晶粒尺寸可在10 nm至300 nm之範圍內。

【0032】 在一個具體實例中，導電接觸結構之晶粒的平均晶粒尺寸為500 nm或更低。該平均晶粒尺寸可為350 nm或更低。平均晶粒尺寸可在10 nm至300 nm之範圍內。

【0033】 在一個具體實例中，提供該導電接觸結構包括提供具有低於0.5%添加劑之銅電鍍浴，且將該導電接觸結構電鍍至該空腔中。該銅電鍍浴可具有低於0.1%之添加劑。該等添加劑可包括硼、銮、磷、鎳、鎳、鈷、錫、錳、鈦、釩及硒中之一或多者。

【0034】 在一個具體實例中，提供該導電接觸結構包括提供其中具有電學上無活性奈米粒子的銅電鍍浴。該等電學上無活性奈米粒子包括氧化矽、氧化鋁及三氧化鈦中之一或多者。該等奈米粒子之濃度可低於1體積%。該等奈米粒子之濃度可低於0.1體積%。

【0035】 在一個具體實例中，該導電接觸結構之金屬晶粒回復在室溫下及在低於120°C之溫度下受到抑制。

【0036】 在一個具體實例中，提供該導電接觸結構包括在低於30°C之溫度下電鍍該空腔。該方法可進一步包括在5°C至15°C之範圍內之溫度下電鍍該空腔。該方法可進一步包括在5°C至15°C之範圍內之溫度下對該非導電層及該導電接觸結構進行化學機械拋光。

【0037】 在一個具體實例中，該方法進一步包括在無介入黏著劑之情況下將該半導體元件之該非導電層直接接合至第二半導體元件之第二非導電層。該

方法可進一步包括使該半導體元件及該第二半導體元件退火，以使得該導電接觸結構接觸該第二半導體元件之第二導電接觸結構。該退火可在低於300°C之溫度下進行。該退火可在低於250°C之溫度下進行。

【0038】 在一個具體實例中，提供該導電接觸結構包括使用在0.1 mA/cm²至70 mA/cm²範圍內之電流密度電鍍該空腔。該電流密度可在40 mA/cm²至70 mA/cm²之範圍內。

【0039】 在一個具體實例中，提供該導電接觸結構包括提供具有0.1M至0.4M之銅離子及0.1M至1M之酸的電鍍浴。該電鍍浴可具有在30 ppm至70 ppm範圍內之鹵離子。

【0040】 在一個具體實例中，提供非導電層包含在積體電路裝置上方之沈積。該方法可進一步包括在用具有細粒結構之導電接觸結構填充該空腔之前用障壁層襯裏該空腔之至少側壁。提供該非導電層可包括沈積於該積體電路裝置上之再分佈層上。

【0041】 在一個態樣中，揭示一種接合結構。該接合結構可包括第一元件，其包括第一導電特徵及第一非導電區域。該接合結構可包括第二元件，其包括第二導電特徵及第二非導電區域。該第一導電特徵在無介入黏著劑之情況下直接接合至該第二導電特徵，從而形成接合介面。在接合介面處之晶粒數大於40個晶粒。該第二非導電區域在無介入黏著劑之情況下直接接合至該第二非導電區域。

【0042】 在一個具體實例中，第一導電特徵包含平均晶粒尺寸為500 nm或更低之細粒金屬。

【0043】 在一個具體實例中，第一導電特徵具有在約0.01 μm與25 μm之間的範圍內之最大側向尺寸。第一導電特徵可具有低於1 μm之最大側向尺寸。

【0044】 在一個具體實例中，該接合介面之整個面積小於約100 μm²。該接合介面之整個面積可小於2 μm²。

【圖式簡單說明】

【0045】 現將參考以下圖式描述特定實施，該等圖式係作為實例而非限制提供。

【0046】 [圖1A]為在形成第一元件時的中間階段中的結構的示意性橫截面側視圖。

【0047】 [圖1B]係第一元件在接合之前的示意性橫截面側視圖。

【0048】 [圖2]為包括第一元件及第二元件之接合結構的示意性橫截面側視圖。

【0049】 [圖3]為展示粗粒銅之晶粒的粗粒銅之示意性頂部平面圖。

【0050】 [圖4]為根據具體實例之展示細粒銅之晶粒的細粒銅之示意性頂部平面圖。

【0051】 [圖5]為展示細粒銅襯墊及習知銅襯墊之溫度與平均抗性之間的關係的圖式。

【0052】 [圖6A]為接合結構之示意性橫截面側視圖。

【0053】 [圖6B]為根據具體實例之接合結構的示意性橫截面側視圖。

【0054】 [圖6C]為根據另一具體實例之接合結構的示意性橫截面側視圖。

【0055】 [圖6D]為根據另一具體實例之接合結構的示意性橫截面側視圖。

【0056】 [圖7A]為習知或粗粒銅襯墊之自上而下電子反向散射繞射（EBSD）影像。

【0057】 [圖7B]為奈米雙銅襯墊之自上而下EBSD影像。

【0058】 [圖7C]為根據具體實例之細粒銅襯墊的自上而下EBSD影像。

【實施方式】

【0059】 本發明描述使用經工程化晶粒結構直接接合電子元件中之導電襯墊的方法。此類晶粒對直接金屬接合（諸如直接混合接合）可為有利的。舉例而言，兩種或更多種半導體元件（諸如，積體裝置晶粒、晶圓等等）可堆疊於彼此上或接合至彼此以形成接合結構。一個元件之導電接觸襯墊可電連接至另一元件之對應導電接觸襯墊。任何合適數目個元件可堆疊於接合結構中。本文所描述之方法及接合襯墊結構亦可適用於其他情形。

【0060】 在一些具體實例中，元件在無黏著劑之情況下彼此直接接合。在各種具體實例中，第一元件之非導電（例如，半導體或無機介電質）材料可在無黏著劑之情況下直接接合至第二元件之對應的非導電（例如，半導體或無機介電質）場區。在各種具體實例中，第一元件之導電區（例如，金屬墊或接觸結構）可在無黏著劑之情況下直接接合至第二元件之對應導電區（例如，金屬墊或接觸結構）。非導電材料可被稱作第一元件之非導電接合區域或接合層。在一些具體實例中，第一元件之非導電材料可使用接合技術在不使用至少在美國專利第9,564,414、9,391,143及10,434,749號中所揭示之直接接合技術的黏著劑之情況下（該等專利中之每一者的全部內容以全文引用之方式且出於所有目的併入本文中）直接接合至第二元件之對應的非導電材料。混合接合之額外實例可見於US 11,056,390中，其全部內容以全文引用之方式且出於所有目的併入本文中。在其他應用中，在接合結構中，第一元件之非導電材料可直接接合至第二元件之導電材料，使得第一元件之導電材料與第二元件之非導電材料緊密配合。用於直接接合之適合的介電質接合表面或材料包括（但不限於）無機介電質，諸如氧化矽、氮化矽或氮氧化矽，或可包括碳，諸如碳化矽、氧碳氮化矽、低K介電材料、SICOH、碳氮化矽或類金剛石碳或包含金剛石表面之材料。儘管包括碳，但此類含碳陶瓷材料可視為無機的。

【0061】 在各種具體實例中，直接接合可在無介入黏著劑之情況下形成。

舉例而言，半導體或介電質接合表面可經拋光至高度平滑度。該等接合表面可經清潔且暴露於電漿及/或蝕刻劑以啟動該等表面。在一些具體實例中，表面可在活化之後或在活化期間（例如，在電漿及/或蝕刻製程期間）用某種物質終止。在不受理論限制之情況下，在一些具體實例中，活化製程可被執行以破壞接合表面處的化學鍵，且終止製程可在接合表面處提供在直接接合期間改善接合能量的額外化學物質。在一些具體實例中，活化及終止提供於同一步驟中，例如，用以活化且終止表面之電漿或濕式蝕刻劑。在其他具體實例中，接合表面可在單獨處理中終止，以提供用於直接接合之額外物質。在各種具體實例中，終止物質可包含氮。此外，在一些具體實例中，接合表面可暴露於氟。舉例而言，在層及/或接合介面附近可能存在一或多個氟峰值，尤其介電質接合介面。因此，在直接接合之結構中，兩個非導電材料之間的接合介面可包含在接合介面處具有較高氮含量及/或氟峰值之極平滑介面。活化及/或終止處理之額外實例可見於美國專利第9,564,414、9,391,143及10,434,749號中，其中之每一者的全部內容以全文引用之方式且出於所有目的併入本文中。

【0062】 在各種具體實例中，第一元件之導電接觸襯墊亦可直接接合至第二元件之對應導電接觸襯墊。舉例而言，直接混合接合技術可用以沿著包括如上文所描述製備之共價直接接合介電質對介電質表面提供導體對導體直接接合。在各種具體實例中，可使用至少在美國專利第9,716,033及9,852,988號中所揭示之直接接合技術（該等專利中之每一者的全部內容以全文引用之方式且出於所有目的併入本文中）形成導體對導體（例如，接觸墊對接觸墊）直接鍵及介電質對介電質混合鍵。本文所描述之接合結構亦可在無非導電區域接合情況下適用於直接金屬接合，或適用於其他接合技術。

【0063】 在一些具體實例中，無機介電質接合表面可在無如上文所解釋之介入黏著劑之情況下製備且彼此直接接合。導電接觸墊（其可由非導電介電質場

區包圍)亦可在無介入黏著劑之情況下彼此直接接合。在一些具體實例中,各別接觸襯墊可凹入至介電場或非導電接合區域之外(例如,上)表面下方,例如凹入小於30 nm、小於20 nm、小於15 nm或小於10 nm,例如凹入在2 nm至20 nm之範圍內或在4 nm至10 nm之範圍內。介電材料之熱膨脹係數(CTE)可在例如0.1 ppm/°C與5 ppm/°C之間的範圍內,且導電材料之CTE可在6 ppm/°C與40 ppm/°C之範圍,或在8 ppm/°C與30 ppm/°C之間。介電材料之CTE與導電材料之CTE的差異限制導電材料在後續熱處理操作時橫向地擴展。在一些具體實例中,非導電接合區域可在室溫下在無黏著劑之情況下直接接合至彼此,且隨後,可使接合結構退火。在退火後,接觸襯墊可相對於非導電接合區域擴展且彼此接觸以形成金屬與金屬直接鍵。有利地,可購自San Jose, CA之Xperi的混合接合技術(諸如,Direct Bond Interconnect或DBI®)之使用可實現在直接接合介面之間連接之高密度襯墊(例如,規則陣列之小間距或精細間距)。在各種具體實例中,導電特徵(例如,接觸襯墊)可包含銅,但其他金屬可為合適的。因此,當在本發明中將銅用作導電特徵的材料時,銅為導電特徵之材料的實例,且可實施其他適合之金屬。

【0064】 因此,在直接接合製程中,第一元件可在無介入黏著劑之情況下直接接合至第二元件。在一些配置中,第一元件可包含單粒化元件,諸如單粒化積體裝置晶粒。在其他配置中,第一元件可包含載體或基板(例如,晶圓),該載體或基板包括在經單粒化時形成複數個積體裝置晶粒之複數個(例如,數十、數百或更多)裝置區。類似地,第二元件可包含單粒化元件,諸如單粒化積體裝置晶粒。在其他配置中,第二元件可包含載體或基板(例如,晶圓)。在一些具體實例中,單粒化元件可包含直接或間接帶隙半導體材料。在一些具體實例中,具有不同CTE之多個晶粒可接合於同一載體上。在一些具體實例中,經接合晶粒之基板的CTE類似於載體之基板的CTE。在其他具體實例中,經接合晶粒之基板的CTE不同於載體之基板的CTE。接合晶粒之間或接合晶粒與載體之間的CTE之

差值可在1 ppm/°C與70 ppm/°C之間的範圍內，且小於30 ppm/°C，例如，小於12 ppm/°C。

【0065】 如本文中所解釋，該第一元件及該第二元件可在無黏著劑之情況下彼此直接接合，其不同於沈積製程。該第一元件及該第二元件可因此包含非沈積元件。另外，不同於沈積層，直接接合結構可包括沿奈米孔存在於其中之接合介面的缺陷區域。奈米孔可歸因於接合表面之活化（例如，曝露於電漿）而形成。如上文所解釋，接合介面可包括來自活化及/或最後化學處理製程之材料的濃度。舉例而言，在利用氮電漿進行活化之具體實例中，氮峰值可形成於接合介面處。在利用氧電漿進行活化之具體實例中，氧峰值或富氧層可形成於接合介面處。在一些具體實例中，接合介面可包含氮封端之無機非導電材料，諸如氮封端之矽、氧化矽、氮化矽、氮氧化矽、碳化矽、碳氧化矽、碳氮氧化矽等。因此，接合層之表面可包含氮化矽、氮氧化矽、氧碳氮化矽或碳氮化矽，其中氮之位準存在於接合介面處，該位準指示在直接接合之前該等元件中之至少一者的氮封端。除含氮介電質以外，非導電材料之氮含量通常具有在表面上或附近達到峰值之梯度。在一些具體實例中，氮及氮相關部分可能不存在於接合介面處。如本文中所解釋，直接鍵可包含共價鍵，其強於凡得瓦鍵。接合層亦可包含經平坦化至高度平滑度之經拋光表面。

【0066】 導電特徵之晶粒尺寸可影響在相對較低溫度下接合之導電特徵的傾向及接合之導電特徵之間的接合強度。一般而言，靠近接合介面之晶粒尺寸可在導電特徵之表面上（在接合之前）或在導電特徵之橫截面圖中觀測到。作為一個目標為允許相對元件上的導電特徵之晶界彼此相交且促進行動性，且因此直接接合，可相對於待接合之導電特徵的側向大小量測晶粒尺寸。導電特徵可包含金屬構件，諸如銅接觸襯墊或線。具有相對較小晶粒之導電特徵可在能量上不穩定，且對於給定等溫退火條件或給定時間之低溫，較小晶粒相比於較大晶粒可

生長至具有低得多的熱預算之較大晶粒。因此，具有相對較小增益大小之導電特徵即使在最少熱施加之情況下仍可以相對較高接合強度彼此接合，且可達成較低退火溫度用於藉由相對較小晶粒大小之直接接合。對於給定退火溫度，具有相對小晶粒尺寸之此等導電特徵之間的接合強度大於單晶構件或大晶粒導電特徵之間的接合強度。晶粒內及/或晶界處之過量雜質可抑制或妨礙晶粒生長。

【0067】 導電特徵可包括細粒金屬電鍍膜，諸如細粒銅電鍍膜。細粒鍍銅膜為平均晶粒尺寸為50 nm至500 nm，例如平均晶粒尺寸在10 nm至500 nm範圍內、在10 nm至300 nm範圍內、在10 nm至150 nm範圍內、在10 nm至100 nm範圍內、在10 nm至75 nm範圍內或在10 nm至50 nm範圍內之膜。現今積體電路中之標準後段製程鍍銅膜具有範圍介於1 μm 至10 μm 之平均晶粒尺寸。導電特徵中之晶粒的數目可至少部分取決於該導電特徵之該構件大小。舉例而言，當標準銅導電特徵之構件大小為0.5 μm 時，標準銅導電特徵包括接合介面處之1至3個晶粒。當細粒金屬導電特徵之構件大小為0.5 μm 時，細粒金屬導電特徵可包括比0.5 μm 標準銅導電特徵多5至10倍之晶粒。

【0068】 導電特徵之原子的最快擴散率路徑可取決於溫度、自然微結構、微觀結構缺陷、硬度、晶粒尺寸、膜之雜質含量、膜應力、介面黏附性、原子之表面遷移率及更多。例如，銅之晶格擴散可具有約2eV之最高活化能。用於沿晶界及介面擴散之活化能顯著地低於（例如，作為一實例，Cu之約0.7eV）晶格擴散之活化能。因此，在一些具體實例中，晶格擴散可為用於原子質量輸送之最慢路徑，且晶粒-晶界擴散可為用於原子質量輸送之最快擴散率路徑。此外，用於銅潛移之活化能可類似於晶粒-晶界擴散之值。另外，蠕變速率可與晶粒尺寸之立方成反比地變化。

【0069】 由於較小晶粒之大小，較小晶粒相較於較大晶粒可具有大得多的晶界表面積。小晶粒導電特徵之晶界表面積可比大晶粒導電特徵之晶界表面積

大10倍、超過50倍、超過250倍或超過1000倍。具有相對小晶粒之導電特徵相較於具有相對大或粗粒之導電特徵可具有較高蠕變速率。相比於較低蠕變速率，較高蠕變速率可有助於較高接合傾向。相對較小晶粒可被稱作細粒。舉例而言，可將最大寬度小於10 nm、小於50 nm、小於100 nm、小於300 nm或小於500 nm之晶粒定義為細粒。粗粒之最大寬度可通常為1 μm 至2 μm 或更大。細粒之較高蠕變速率及細粒之可促成具有低活化能之相對較大擴散路徑的相對較大晶界表面區域可在相對較小導電特徵或結構（諸如具有小於5 μm （例如1 μm ）之最大尺寸的微觀結構）中尤其有益，此係因為相較於具有具較大晶粒之導電特徵的結構，此等結構可在較低溫度下接合。如本文所描述之具體實例之諸如接合襯墊、通孔（例如，TSV）、跡線或基板電極之導電特徵可具有在約0.01 μm 與25 μm 之間、在約0.1 μm 與10 μm 之間、在約0.5 μm 與8 μm 之間、在約2 μm 與5 μm 之間、在約1 μm 與3 μm 之間或在約0.01 μm 與1 μm 之間的範圍內的最大側向尺寸。相對小接合襯墊之實例例如可在接合介面處具有小於約100 μm^2 、小於50 μm^2 、小於20 μm^2 、小於10 μm^2 及小於2 μm^2 的導電特徵之全部暴露面積或接合之導電面積。

【0070】 在各種具體實例中，接觸襯墊之間的金屬與金屬鍵可經接合以使得導電材料晶粒（例如，銅晶粒）橫跨接合介面生長至彼此中。在一些具體實例中，銅可具有沿111晶面垂直定向之晶粒，以用於改善在接合介面上之銅擴散。然而，在一些具體實例中，其他銅晶面可相對於接觸襯墊表面垂直定向。該非導電接合介面可實質上完全延伸至該等接合接觸襯墊之至少一部分，使得在接合接觸襯墊處或附近之非導電接合區域之間實質上不存在間隙。在一些具體實例中，具有直接接合互連件之細粒，極小空隙可沿接合介面或接近接合介面成核。接合介面之橫截面處或接合元件之導電特徵之接合介面附近的孔隙寬度可例如低於橫截面之寬度的5%、低於1%或低於0.1%。在一些具體實例中，障壁層可設置於接觸襯墊（例如，其可包括銅）下方。然而，在其他具體實例中，在接觸襯

墊下可能不存在障壁層，例如，如US 11,195,748中所描述，其以全文引用之方式併入本文中且用於所有目的。

【0071】 用於形成金屬與金屬直接鍵或熱預算之退火溫度及退火持續時間在直接接合之組件的製造中具有極大重要性。理想地，較佳可為接合極類似CTE或CTE差異較小的元件，以在自接合溫度冷卻至室溫時將CTE失配相關應力降至最低。假定經接合元件之間的適當黏著，經接合元件中之CTE相關應力可與接合溫度成比例，且與經接合結構中之個別元件之CTE之間的差值成比例。較高接合溫度可引起較大CTE相關應力。類似地，元件之間的較大CTE差異可引起較大CTE相關應力。接合結構中之高應力可為不合需要的，因為其可誘發諸如接合元件或元件堆疊中之微裂縫、分層及/或高彎曲的缺陷。為了直接接合各自具有非導電接合表面及導電性接合區域之兩個元件，可（例如）在低於120°C之溫度下接合相對非導電接合表面。相對導電性接合區域可在250°C與450°C之間的範圍內之接合溫度下接合，且接合持續時間可在15分鐘與6小時之間的範圍內。在某些情況下，接合持續時間可超過6小時。當接合溫度較高時，接合持續時間在一些應用中可為較短的。一般而言，當使用較高接合溫度時，可能存在在接合結構中引起缺陷的較大機會。自前述內容，在相對較低溫度下直接形成導電與導電（例如，金屬與金屬）接合之方法可為合乎需要的。

【0072】 在一些具體實例中，在元件之間具有CTE差之兩個基板的直接接合中，可能需要降低退火溫度及/或退火持續時間，以最小化熱（能量）預算之消耗。本文所揭示之各種具體實例可產生具有例如平均晶粒尺寸為500 nm或更低、350 nm或更低、300 nm或更低抑或50 nm或更低，諸如在10 nm至500 nm範圍內、在10 nm至300 nm範圍內、在10 nm至150 nm範圍內、在10 nm至100 nm範圍內、在10 nm至75 nm範圍內或在10 nm至50 nm範圍內之精細銅粒的接觸結構（例如，銅接觸墊）。將細粒金屬（例如，細粒銅或奈米銅）用於導電結構可有

利地提供高電位能量及高蠕變速率（creep rate），使得較低熱預算可用於產生導電與導電（例如，銅與銅）直接鍵連接之退火方法。此外，增加之位能可改進銅與銅介面處之相互擴散及強冶金鍵。由於晶粒之尺寸比粗粒銅小，細粒銅亦可在晶圓上具有更均一的預接合凹槽。細粒銅可比粗粒銅更易於均勻地控制凹槽，因為在用粗粒銅形成襯墊時，襯墊可在襯墊內具有不同的行為，其可影響拋光速率。後續濕式及/或乾式蝕刻化學方法可實質上不破壞晶圓上之凹槽大小的均勻性，此可在接合之後改進電量。

【0073】 圖1A為在形成元件（第一元件1）時的中間階段中的結構的示意性橫截面側視圖。圖1B係元件1的示意性橫截面側視圖。圖2為包括第一元件1及第二元件3之接合結構2的示意性橫截面側視圖。在一些具體實例中，第一元件1及第二元件3可具有相同或一般類似結構。在一些具體實例中，第一元件1及第二元件3可包含半導體元件。

【0074】 第一元件1可包括載體10、載體10上方之隔離層12、隔離層12上方之金屬化層14及金屬化層14上方之接合層16。在一些具體實例中，載體10可包含包括裝置區域之基板（例如，晶圓）。在一些具體實例中，載體10可包含裝置層或結構。在一些具體實例中，隔離層12可包括沈積於載體10上之氧化物層。氧化物層可具有約0.3 μm 之厚度。舉例而言，氧化物層之厚度可在以下範圍內：0.1 μm 至20 μm ，或0.1 μm 至10 μm 。在一些具體實例中，隔離層12可包含含有嵌入式互連導電特徵（未示出）的多個介電層。隔離層12的嵌入型導電特徵可連接至金屬化層14的導電部分。在一些具體實例中，隔離層12包含金屬化層14及/或接合層16。在一些應用中，隔離層12之平坦頂表面可包含接合表面。

【0075】 金屬化層14可包含導電部分18及非導電部分20。在一些具體實例中，金屬化層14可包含後段製程（BEOL）金屬化層。在一些具體實例中，導電部分18可包含側向延伸之導電跡線及/或在金屬化層14內垂直延伸以充當再分佈

層 (RDL) 之導電通孔。導電部分18可包含任何適合之導電材料，諸如銅 (Cu)。銅可藉由習知鍍銅製程形成。在一些具體實例中，金屬化層14可限定形成於接合層16中之空腔22之底表面。

【0076】 在一些具體實例中，接合層16可包含可限定非導電區24、安置於空腔22中之障壁層26及障壁層26上方且安置於空腔22中之導電特徵28的非導電層。導電特徵28可包含經組態以接觸且電連接至另一元件上之相對接觸結構的接觸結構。導電特徵28之厚度可在 (例如) $0.3\ \mu$ 至 6μ 之範圍內變化，且通常在 $0.5\ \mu$ 至 4μ 之範圍內變化。類似地，導電特徵28之寬度可在例如 $0.3\ \mu$ 至 60μ 、 $0.5\ \mu$ 至 $40\ \mu$ 或 $0.5\ \mu$ 至 $20\ \mu$ 範圍內。如本文中所描述，導電特徵28可包含接觸墊、跡線、通孔或其任何適合之組合。在一些具體實例中，通孔可包含穿透基板電極。接合表面處之穿透基板導電特徵的寬度可在 $1\ \mu$ 至 $50\ \mu$ 、 $2\ \mu$ 至 $30\ \mu$ 或 $2.5\ \mu$ 至 $15\ \mu$ 之範圍內變化。導電特徵28及金屬化層14可彼此電連接。在一些具體實例中，障壁層26可安置於導電特徵28與金屬化層14之間。由此，在所示出的具體實例中，導電特徵28包含安置於金屬化層 (諸如BEOL層) 上方的接觸襯墊。在其他配置中，導電特徵28可包含延伸穿過 (或大部分穿過) 如在矽基板之情況下穿過基板電極或穿過元件電極或穿過矽通孔TSV的導電通孔。

【0077】 非導電區24可包含介電層。在一些具體實例中，非導電區24可包含多個不同介電材料層。舉例而言，非導電區24可包含氧化矽。如圖1A中所示，空腔22可形成於非導電區24中。空腔22可至少部分地延伸穿過非導電區24之厚度。舉例而言，空腔22可完全延伸穿過非導電區24之厚度。

【0078】 在一些具體實例中，障壁層26可包含防止或減少導電特徵28之材料擴散至非導電區24中的擴散障壁層。在一些具體實例中，障壁層26可包括鉭、鈦、鈷、鎳或鎢或任何適合之化合物或其組合。在一些具體實例中，障壁層26可包含多層結構。

【0079】 在一些具體實例中，導電特徵28可包含銅（Cu）。舉例而言，導電特徵28可包含細粒金屬（例如，細粒銅）。細粒金屬或接合墊可被定義為具有微結構之金屬構件，其平均晶粒寬度小於20 nm、小於50 nm、小於100 nm、小於300 nm或小於500 nm。舉例而言，細粒金屬之最大寬度可在微結構內之10 nm至500 nm範圍內、10 nm至300 nm範圍內、20 nm至500 nm、20 nm至300 nm、20 nm至100 nm、20 nm至50 nm、50 nm至500 nm、50 nm至300 nm或100 nm至300 nm範圍內。導電特徵28內的大小變化可在導電特徵28中之晶粒的95%或更多當中在約10%內。在一些具體實例中，導電特徵28中之晶粒的平均晶粒尺寸可小於100 nm、小於300 nm或小於500 nm。細粒金屬之晶粒可尤其小於包括粗粒之粗粒金屬，該等晶粒諸如在其最大寬度上為1 μm 至2 μm 或更大的晶粒。在一些具體實例中，歸因於如何沈積細粒金屬，細粒金屬可具有比粗粒金屬更高的應力。細粒金屬可具有比粗粒金屬更高的位能。

【0080】 在一些具體實例中，可藉助於電鍍將導電特徵28提供至空腔22中。導電特徵28可在各種高電鍍電流密度下沈積於適合之電鍍浴中。舉例而言，藉由直流電（DC）或脈衝電鍍或兩者之組合，電鍍電流密度可在1 mA/cm^2 至70 mA/cm^2 或40 mA/cm^2 至70 mA/cm^2 範圍內。舉例而言，可在1 mA/cm^2 至70 mA/cm^2 範圍內之電流密度下在較低電流密度下電鍍導電特徵28持續0.5秒至5秒範圍內之時間，且在較高電流密度下電鍍0.3秒至2秒。在一些具體實例中，導電特徵28可包含可藉由自酸銅浴或氟硼酸銅浴、銅磺酸浴或焦磷酸銅電鍍浴塗覆銅而形成的金屬塗層。在一些具體實例中，酸電鍍浴可包含0.1 M至0.4 M之銅離子、0.1 M至1 M之酸（例如，0.3 M至0.6 M之有機或無機酸）及30 ppm至70 ppm之鹵離子。在一些具體實例中，精煉劑可用於減小導電特徵28之晶粒尺寸的電鍍製程中。晶粒細化劑可包含硫脲、噻吡（含硫基團）、嘮吡或嘮吡染料。用於電鍍製程中之晶粒細化劑的濃度可在例如2 mg/L至70 mg/L、2 mg/L至50 mg/L、2 mg/L

至20 mg/L、10 mg/L至70 mg/L或20 mg/L至50 mg/L範圍內。導電特徵28之晶粒尺寸愈小，可以晶粒細化劑之更高濃度提供。

【0081】 細粒金屬可包含相對較高濃度之雜質（例如，填隙及非填隙雜質）。雜質可包括例如硫、碳、氮、磷或其類似物。典型地，雜質之濃度可大於30 ppm，或大於50 ppm且較佳低於5000 ppm。在一些具體實例中，可能需要相對較小的雜質濃度。

【0082】 在一些具體實例中，導電特徵28可包含成分。該等成分為可在電鍍製程或形成晶種層期間添加以便促進導電特徵28中之細粒的形成之添加劑。在一些具體實例中，導電特徵28中之細粒的平均晶粒尺寸可為100 nm或更低、300 nm或更低或500 nm或更低。該等成分可包含硼、銦、磷、鎵、鎳、鈷、錫、錳、鈦、鈇或硒。在一些具體實例中，導電特徵28中在晶界處之成分的量可低於導電特徵28的0.5%或低於0.1%。

【0083】 在一些具體實例中，導電特徵28可包括惰性材料（諸如氧化矽、氧化鋁或氧化鈦）的奈米粒子，該等奈米粒子可共鍍至導電特徵28的細粒金屬中。惰性材料為在400°C或更低之退火溫度下並不首先與導電特徵28之細粒金屬形成合金的材料。在一些具體實例中，多於90%、多於95%或多於99%之惰性材料之奈米粒子不與導電特徵28之細粒金屬形成合金。奈米粒子可存在於導電特徵28中之晶界及導電特徵28之經塗佈金屬之子晶界處。奈米粒子可抑制導電特徵28中之晶粒在低於約120°C之溫度下的晶粒生長。可控制導電特徵28中的奈米粒子之濃度，使得奈米粒子並不顯著地改變導電特徵28的導電性。舉例而言，奈米粒子的濃度可低於導電特徵28的1%或低於0.1%。

【0084】 在一些具體實例中，電鍍可在低溫下進行，諸如5°C至15°C，或低於20°C。在低溫下形成之所得導電特徵28可傾向於比在室溫下形成之導電特徵更快速地生長。在一些具體實例中，在包括低雜質（例如，低於30 ppm）之低

溫下形成之導電特徵28可儲存在較佳低於10°C之低溫下以抑制晶粒生長，且可在低溫下進一步處理（例如，化學機械拋光（CMP））。在低溫下形成的導電特徵28可例如在CMP製程之後8小時內或在4小時內清潔且接合。

【0085】 在一些具體實例中，在於本文所揭示之任何適合的方法中電鍍金屬之後，可使該金屬退火以至少部分地使金屬之微結構穩定，其可稱為晶粒回復製程。退火可在CMP製程之前進行。在一些具體實例中，金屬可在80°C至150°C範圍內之溫度下退火。舉例而言，可使該金屬退火60分鐘至120分鐘之持續時間。在執行晶粒回復製程之前及之後的金屬中晶粒之晶粒尺寸一般小於穩定金屬之微觀結構。通常，相較於習知BEOL或封裝銅，晶粒尺寸之預期變化小於10%，其中電鍍及退火晶粒尺寸中之差值通常大於50%且甚至大於100%。

【0086】 如圖2中所展示，第一元件1可接合至第二元件3。第二元件3可包含載體30、載體30上方之隔離層32、隔離層32上方之金屬化層34及金屬化層34上方之接合層36。金屬化層34可包含導電部分38及非導電部分40。接合層36可包含非導電區44、安置於空腔42中之障壁層46，及在障壁層46上方且安置於空腔42中之導電特徵48。

【0087】 在一些具體實例中，第一元件1及第二元件3可在無介入黏著劑之情況下沿著接合介面49彼此直接接合。舉例而言，第一元件1之導電特徵（例如，導電特徵28）可在無介入黏著劑之情況下直接接合至第二元件3之對應導電特徵（例如，導電特徵48），且第一元件1之非導電區24可在無介入黏著劑之情況下直接接合至第二元件3之非導電區44。舉例而言，根據具體實例之接合製程可包括在室溫下將第一元件1之非導電區24直接接合至第二元件3之非導電區44，及藉由藉助於在例如低於300°C、低於250°C、低於200°C或低於180°C之溫度下退火而將導電特徵28擴展至導電特徵48而將導電特徵28直接接合至導電特徵48。第一元件1及第二元件3可在室溫下直接地彼此接合，通常在18至40°C之間。舉例而

言，用於接合導電特徵28與導電特徵48的退火溫度可在120°C至250°C、120°C至200°C或120°C至180°C範圍內。在一些具體實例中，第一元件1之導電特徵28及/或第二元件3之導電特徵48可包含凹座，且在非導電區24及非導電區44接合時，導電特徵28與導電特徵48之間可存在間隙。當元件1、3在較高溫度下退火時，可橋接間隙或凹槽，其中冶金接合形成於兩個相對導電特徵28與48之間。

【0088】 圖3為展示粗粒銅之晶粒50之粗粒銅（例如，習知銅）的示意性頂部平面圖。圖4為根據具體實例之展示細粒銅之晶粒52的細粒銅之示意性頂部平面圖。圖3及圖4之粗粒銅及細粒銅兩者已在80°C與150°C之間的溫度下退火120分鐘。粗晶粒銅之平均晶粒尺寸可介於0.5 μm 與3 μm 之間的範圍內，且細粒銅之平均晶粒尺寸可介於10 nm與500 nm之間的範圍內。如圖3中所示，孪晶54可形成於銅之晶粒中。在一些具體實例中，細粒銅晶粒52可包含晶粒結構內（例如，晶粒52之一或多個晶粒內）之奈米孪晶（未圖示）。在一些具體實例中，圖1B的導電特徵28可包含多於一種類型的微結構。舉例而言，導電特徵28的部分可包含頂部部分及比頂部部分更接近金屬化層18定位的底部部分（參見圖6D）。在一些具體實例中，導電特徵28的頂部部分具有介於導電特徵28的厚度的5%至70%範圍內的厚度。在一些具體實例中，導電特徵28的頂部部分具有例如50 nm至500 nm範圍內的厚度。底部可包含具有高度定向微結構之導電特徵，例如奈米-雙銅微結構。頂部部分可包含導電特徵28之接合表面及接合表面與底部部分之間的導電區。頂部部分可包含細粒金屬，諸如細粒銅。在一些具體實例中，導電特徵28之底部部分可包含具有粗粒結構之材料，例如習知BEOL或藉由粗粒封裝銅。在一些具體實例中，底部部分可包含除純銅之外的其他材料，例如銅合金、鎳、鈷、鎢、鋁及其各種相應合金。在一些應用中，障壁層（未圖示）可安置於導電特徵28之頂部部分與底部部分之間。障壁層可防止或減輕頂部及底部部分之微結構的混合。

【0089】 用於沿晶界及介面擴散之活化能顯著低於晶格擴散。對於具有大規模晶界表面區域之細粒微觀結構，在金屬-金屬接合中，晶粒-晶界擴散路徑為主要的。此外，細粒微結構相比於奈米-雙銅及具有顯著較大晶粒尺寸之習知粗粒銅通常可呈現高蠕變速率。明顯較高濃度之極快速擴散路徑及較高細粒銅蠕變速率造成其較低溫度之接合傾向。精細金屬微觀結構之較低溫度接合傾向為何此微觀結構在直接接合之互連件之接合表面處合乎需要的原因。

【0090】 圖5為展示細粒銅襯墊（FG）及習知銅襯墊（STD）之溫度與平均抗性之間的關係的圖式。平均電阻可提供相對導電特徵之間的接觸程度之指示；相較於較高平均電阻，較低平均電阻可意謂較好連接。曲線圖指示在比習知銅襯墊低的溫度下，細粒襯墊達到電阻之所需值或預訂值。結果指示，相較於習知銅襯墊，可藉由較低退火（接合）溫度將細粒襯墊接合至另一襯墊。

【0091】 圖6A為包括導電特徵70、80（例如，習知銅襯墊）之接合結構4的示意性橫截面側視圖。該接合結構包括第一元件5及沿著接合介面86接合至該第一元件5之第二元件6。第一元件5包含導電特徵70、非導電區72及金屬化層74。第二元件6包含導電特徵80、非導電區82及金屬化層84。導電特徵70、80包含粗粒，例如，平均晶粒尺寸大於1微米之銅晶粒。導電特徵74、84包含習知的粗粒金屬（例如，粗粒銅）。

【0092】 接合結構4已在高於180°C之溫度下退火以供接合。接合介面86處之金屬-金屬（例如，銅）接合介面可隨退火時間或溫度增加而發展。在退火較長時間之後，在接合介面處發生更多金屬擴散（例如，銅擴散）。接合介面86可沿著x方向延伸，且大體上垂直於x方向之z方向可為膜生長方向。在接合元件4之一些具體實例中，在其最大寬度或直徑下，截獲接合介面86的導電特徵70、80之晶粒的數目可低於12個晶粒。取決於導電特徵70、80之直徑或寬度，接合介面處的截獲晶粒之數目可小於8個晶粒或甚至小於5個晶粒。

【0093】 圖6B為根據具體實例之接合結構7的示意性橫截面側視圖。除非另外指出，否則圖6B之組件可類似或相同於圖1A-2之相似組件。接合結構7可包含第一元件1'及第二元件3'，該第二元件沿著接合介面86'接合至第一元件1'。第一元件1'可包含導電特徵28'、非導電區24'、金屬化層14'及載體10'。第二元件3'可包含導電特徵48'、非導電區44'、金屬化層34'及載體30'。導電特徵28'、48'可包含細粒金屬（例如，細粒銅）。金屬化層24'、34'可包含習知的粗粒金屬（例如，粗粒銅）。在接合結構7之一些具體實例中，金屬化層14'或34'中之一者可包含具有細粒金屬之層，諸如細粒銅。

【0094】 接合結構7已在180°C之溫度下退火以供接合。在接合導電特徵28'、48'之退火製程前後的導電特徵28'、48'中之晶粒的晶粒大小可大體上類似的。舉例而言，退火製程之後的導電特徵28'、48'之平均晶粒尺寸可不超過未經退火之導電特徵28'、48'之平均晶粒尺寸的2倍。接合介面86'處之金屬-金屬（例如，銅-銅）接合介面可隨退火時間及/或溫度增加而發展。在退火足夠時間之後，可在金屬-金屬接合介面處發生更多金屬擴散（例如，銅擴散）。在一些具體實例中，接合介面86'可沿著x方向延伸，且大體上垂直於x方向之z方向可為膜生長方向。在一些具體實例中，由於接合結構7之細粒結構，在其最大寬度或直徑下，截獲介面86'的經接合導電特徵28'或48'之晶粒的數目可超過12個晶粒。在一些具體實例中，截獲介面86'的晶粒之數目可多於16個晶粒，或多於20個晶粒。

【0095】 圖6C為根據具體實例之接合結構7'的示意性橫截面側視圖。除非另有指出，否則圖6C之組件可與圖1A-2、圖6A及圖6B之類似組件相同或大體上類似。接合結構7'可包括第一元件1'，該第一元件包含沿著接合介面86"直接接合至包括粗粒導電金屬之習知導電特徵70（諸如習知銅襯墊）的導電特徵28'。第一元件1'可包含導電特徵28'、非導電區24'、金屬化層14'及載體10'。元件5可包含導電特徵70、非導電區72、金屬化層84及載體74。導電特徵70為導電特徵之實例，

且元件5可包括任何適合之導電特徵。導電特徵28'可包含細粒金屬（例如，細粒銅），且導電特徵70可包含粗粒金屬（例如，粗粒銅）。在一些具體實例中，可至少部分地基於導電特徵28'之材料選擇習知導電特徵70之材料。舉例而言，習知導電特徵70的材料可經選擇以具有與導電特徵28'的材料相同或類似類型的金屬。金屬化層14'、74可包含習知粗粒銅。其他類型之金屬及金屬微結構可用於金屬化層14'、74中。在接合結構7'的一些具體實例中，金屬化層14'、74中之一者可包含具有細粒導電材料之層，例如細粒銅。

【0096】 接合結構7'已（例如在180°C之溫度下）退火以供接合。在接合導電特徵70'、80之退火製程前後的導電特徵28'及導電襯墊70中之晶粒的晶粒尺寸係不同的。接合介面86"處之金屬-金屬（銅-銅）接合介面可隨退火時間及/或溫度增加而發展。在退火足夠時間之後，可在配合之導電特徵28'及導電特徵70之接合介面處發生更多金屬擴散（例如，銅擴散）。在一些具體實例中，接合介面86"可沿著x方向延伸，且大體上垂直於x方向之z方向可為膜生長方向。在一些具體實例中，在接合介面86"處的自第一元件1'之第一導電特徵28'的線性側向尺寸下量測的在接合介面86"之直徑處的截獲晶粒之數目可比在接合介面86"處自元件5之導電特徵70的截獲晶粒之數目高10%。舉例而言，接合結構7'可包含自導電特徵28'之截獲介面86"的超過20個晶粒及自導電特徵80之截獲介面86"的低於13個晶粒。在一些具體實例中，自第一元件1'之第一導電特徵28'截獲介面86"的晶粒之數目不同於元件5之導電特徵80截獲接合介面86"的晶粒之數目。

【0097】 圖6C為根據具體實例之接合結構7"的示意性橫截面側視圖。除非另有指出，否則圖6D之組件可與圖1A-2及6A-6C之類似組件相同或大體上類似。接合結構7"可大體上類似於圖6A之接合結構7，不同之處在於接合結構7"之元件3"包含導電特徵48"內之細粒部分88及粗粒部分89。儘管圖6C繪示一個細粒部分及一個粗粒部分，但在一些具體實例中，可能存在複數個細粒部分及/或複數個

粗粒部分。更接近於接合介面86''定位之細粒部分88可被稱作頂部部分，且更接近於金屬化層34'之粗粒部分89可被稱作底部部分。在一些具體實例中，導電特徵48''之細粒部分88具有在導電特徵28之5%至70%厚度 T_{cf} 範圍內之厚度 T_{fg} 。舉例而言，厚度 T_{fg} 可在導電特徵28之厚度 T_{cf} 的5%至50%、5%至20%、10%至50%或10%至20%之範圍內。在一些具體實例中，細粒部分88之厚度 T_{fg} 可在例如50 nm至500 nm範圍內。舉例而言，厚度 T_{fg} 可在50 nm至400 nm、50 nm至300 nm、100 nm至500 nm或100 nm至300 nm範圍內。

【0098】 圖7A-7C展示不同類型之銅構件的自上而下電子反向散射繞射（EBSD）影像。圖7A為習知或粗粒銅構件之自上而下EBSD影像。圖7B為奈米雙銅構件之自上而下EBSD影像。圖7C為根據具體實例之細粒銅構件的自上而下EBSD影像。圖7A-7C展示平行於z方向之晶粒定向（參見圖6A-6D），其與膜生長方向（例如，垂直於圖7A-7C之影像中之影像平面）在相同方向上。舉例而言，晶粒90具有晶體定向以使得z方向大體平行於晶粒之<111>定向，晶粒92具有晶體定向以使得z方向大體平行於晶粒之<001>定向，且晶粒94具有晶體定向以使得z方向大體平行於晶粒之<101>定向。圖7A展示包含具有不同晶粒定向（例如，<111>、<001>及<101>定向）之粗粒之粗粒銅構件的實例微觀結構。相比之下，圖7B展示具有高度定向晶粒之奈米雙銅構件的實例微結構，該高度定向晶粒主要或基本上包含單金屬晶粒定向（例如，<111>定向）。在其他具體實例中，高度定向晶粒可具有<111>定向、<100>定向、<110>定向或其組合，如在雙晶體微結構及/或高度定向非立方體結構，諸如四邊形或六邊形晶粒結構中。圖7C展示細粒銅構件之實例微觀結構。微觀結構包含典型地具有低於100 nm之晶粒尺寸的細粒，且細粒之各種晶粒可具有不同晶粒定向，諸如<111>、<110>、<100>定向。圖7C中之黑暗區域為具有未由電子回散射繞射偵測到之定向的晶粒96。

【0099】 除非上下文另外明確地要求，否則在整個說明書及申請專利範圍

中，詞語「包含（comprise/comprising）」、「包括（include/including）」及其類似者應被認作具包括性意義，而非排他性或窮盡性意義；換言之，具「包括（但不限於）」之意義。如本文一般所使用之詞「耦接」係指可直接連接或藉助於一或多個中間元件連接之兩個或兩個以上元件。同樣，如本文一般所使用之詞「連接」指代可直接連接抑或藉助於一或多個中間元件連接之兩個或多於兩個元件。另外，當用於本申請案中時，詞「本文中」、「上文」、「下文」及類似意義之詞應指本申請案整體而非本申請案之任何特定部分。此外，如本文中所使用，當第一元件描述為在第二元件「上」或「上方」時，第一元件可直接在第二元件上或上方，使得第一元件及第二元件直接接觸，或第一元件可間接在第二元件上或上方，使得一或多個元件在第一元件與第二元件之間介入。若上下文准許，使用單數或複數數目之上述實施方式之詞亦可分別包括複數或單數數目。涉及兩個或大於兩個項目清單之詞「或」，該詞涵蓋所有以下所述詞之解釋：清單中之項目中之任一者、清單中之所有項目及清單中之項目之任何組合。

【0100】 此外，除非另外具體地陳述，或使用時以其他方式在上下文內理解，否則本文中所使用之條件性語言（諸如，「會」、「將」、「可」、「可以」、「例如」、「舉例而言」、「諸如」等）大體意欲表達某些具體實例包括而其他具體實例不包括某些構件、元件及/或狀態。因此，此條件性語言大體上並不意欲暗示構件、元件及/或狀態無論如何為一或多個具體實例所需的。

【0101】 雖然已描述某些具體實例，但此等具體實例僅藉由實例提出，且並不意欲限制本發明之範疇。實際上，可以多種其他形式體現本文中所描述之新穎設備、方法及系統；此外，在不脫離本發明之精神的情況下，可對本文中所描述之方法及系統的形式進行各種省略、取代及改變。舉例而言，儘管按一給定配置呈現區塊，但替代具體實例可用不同組件及/或電路拓樸執行類似功能性，且一些區塊可被刪除、移動、添加、再分、組合及/或修改。此等區塊中之每一者

可以多種不同方式實施。上文所描述各種具體實例之元件及動作的任何合適之組合可經組合以提供其他具體實例。隨附申請專利範圍及其等效物意欲涵蓋此類處於本發明之範疇及精神內之形式或修改。

【符號說明】

【0102】

- 1:第一元件 / 元件
- 2:接合結構
- 3:第二元件 / 元件
- 4:接合結構
- 5:第一元件 / 元件
- 6:第二元件
- 7:接合結構
- 10:載體
- 12:隔離層
- 14:金屬化層
- 16:接合層
- 18:導電部分 / 金屬化層
- 20:非導電部分
- 22:空腔
- 24:非導電區
- 26:障壁層
- 28:導電特徵
- 30:載體

32:隔離層
34:金屬化層
36:接合層
38:導電部分
40:非導電部分
42:空腔
44:非導電區
46:障壁層
48:導電特徵
49:接合介面
50:晶粒
52:晶粒 / 細粒銅晶粒
54:孿晶
70:導電特徵 / 導電襯墊
72:非導電區
74:金屬化層 / 導電特徵 / 載體
80:導電特徵
82:非導電區
84:金屬化層 / 導電特徵
86:接合介面 / 介面
88:細粒部分
89:粗粒部分
90:晶粒
92:晶粒

94:晶粒

96:晶粒

101:定向

111:定向

1':第一元件

10':載體

14':金屬化層

24':非導電區 / 金屬化層

28':導電特徵 / 第一導電特徵

3':第二元件

3":元件

30':載體

34':金屬化層

44':非導電區

48':導電特徵

48":導電特徵

7':接合結構

7":接合結構

86':接合介面 / 介面

86":接合介面 / 介面

86":接合介面

T_{cf} :厚度

T_{fg} :厚度

【發明申請專利範圍】

【請求項1】一種接合結構，其包含：

第一元件，其具有第一導電特徵及第一非導電區域，所述第一導電特徵包含平均晶粒尺寸為500 nm或更低之細粒金屬；及

第二元件，其具有第二導電特徵及第二非導電區域，

其中所述第一導電特徵在無介入黏著劑之情況下直接接合至所述第二導電特徵，且所述第二非導電區域在無介入黏著劑之情況下直接接合至所述第二非導電區域。

【請求項2】如請求項1之接合結構，其中所述第一導電特徵包含銅。

【請求項3】如請求項1之接合結構，其中所述第一導電特徵之所述晶粒具有低於500 nm之最大晶粒尺寸。

【請求項4】如請求項3之接合結構，其中所述第一導電特徵之所述晶粒具有低於350 nm之最大晶粒尺寸。

【請求項5】如請求項4之接合結構，其中所述第一導電特徵之所述晶粒具有低於50 nm之最大晶粒尺寸。

【請求項6】如請求項1之接合結構，其中所述第二導電特徵之晶粒的平均晶粒尺寸為500 nm或更低。

【請求項7】如請求項1之接合結構，其中所述第二導電特徵包含粗粒金屬。

【請求項8】如請求項7之接合結構，其中所述第二導電特徵之晶粒的平均晶粒尺寸大於1微米。

【請求項9】如請求項1之接合結構，其中所述第一導電特徵之所述細粒金屬的平均晶粒尺寸為350 nm或更低。

【請求項10】如請求項9之接合結構，其中所述第一導電特徵之所述細粒金屬的平均晶粒尺寸在10 nm至300 nm範圍內。

【請求項11】如請求項1之接合結構，其中所述第一導電特徵之所述晶粒中之大於95%具有低於10%之晶粒尺寸變化。

【請求項12】如請求項1之接合結構，其中所述第一元件進一步包含具有導電部分的金屬化層。

【請求項13】如請求項12之接合結構，其中所述金屬化層之所述導電部分包括平均晶粒尺寸在1 μm 至2 μm 之範圍內的金屬。

【請求項14】如請求項1之接合結構，其中所述第一導電特徵之所述細粒金屬包含惰性材料之奈米粒子。

【請求項15】如請求項14之接合結構，其中所述奈米粒子之濃度低於所述第一導電特徵之1%。

【請求項16】如請求項15之接合結構，其中所述奈米粒子之濃度低於所述第一導電特徵之0.1%。

【請求項17】如請求項14之接合結構，其中所述奈米粒子包含氧化矽、氧化鋁及三氧化鈦中之一或多者。

【請求項18】如請求項1之接合結構，其中所述細粒金屬包含成分。

【請求項19】一種接合結構，其包含：

第一元件，其具有第一導電特徵及第一非導電區域，所述第一導電特徵包含具有成分之細粒金屬；及

第二元件，其具有第二導電特徵及第二非導電區域，

其中所述第一導電特徵在無介入黏著劑之情況下直接接合至所述第二導電特徵，且所述第二非導電區域在無介入黏著劑之情況下直接接合至所述第二非導電區域。

【請求項20】如請求項19之接合結構，其中所述成分包含硼、銦、磷、鎳、鎳、鈷、錫、錳、鈦、釩及硒中之至少一者。

【請求項21】如請求項19之接合結構，其中所述第一導電特徵包含平均晶粒尺寸為500 nm或更低之細粒金屬。

【請求項22】如請求項21之接合結構，其中所述第一導電特徵之所述細粒金屬的平均晶粒尺寸在10 nm至300 nm範圍內。

【請求項23】一種互連結構，其包含：

具有接合表面之元件，所述元件具有導電特徵及非導電區域，所述導電特徵至少部分地嵌入於所述非導電區域中，所述導電特徵包含底部部分及安置於所述底部部分上方之頂部部分，所述頂部部分的位置更接近於所述元件之所述接合表面，所述頂部部分之平均晶粒尺寸小於所述底部部分之平均晶粒尺寸，

其中所述頂部部分之平均晶粒尺寸為500 nm或更低。

【請求項24】一種接合結構，其包含如請求項23之互連結構及第二元件。

【請求項25】一種方法，其包含：

在半導體元件之非導電層中提供空腔；

在所述空腔中提供導電接觸結構，所述導電接觸結構具有平均晶粒尺寸低於500 nm之細粒結構；及

製備用於直接接合之所述非導電層及所述導電接觸結構。

【請求項26】如請求項25之方法，其中所述導電接觸結構包含銅。

【請求項27】如請求項25之方法，其中所述平均晶粒尺寸低於350 nm。

【請求項28】如請求項27之方法，其中所述平均晶粒尺寸在10 nm至300 nm之範圍內。

【請求項29】如請求項25之方法，其中提供所述導電接觸結構包含提供具有低於0.5%添加劑之銅電鍍浴，且將所述導電接觸結構電鍍至所述空腔中。

【請求項30】如請求項29之方法，其中所述添加劑包含硼、銮、磷、鎳、鎳、鈷、錫、錳、鈦、釩及硒中之一或多者。

【請求項31】如請求項25之方法，其中提供所述導電接觸結構包含提供其中具有電學上無活性奈米粒子的銅電鍍浴。

【請求項32】如請求項31之方法，其中所述電學上無活性奈米粒子包括氧化矽、氧化鋁及三氧化鈦中之一或多者。

【請求項33】如請求項32之方法，其中所述奈米粒子之濃度低於1體積%。

【請求項34】如請求項33之方法，其中所述奈米粒子之濃度低於0.1體積%。

【請求項35】如請求項25之方法，其中所述導電接觸結構之金屬晶粒回復在室溫下及在低於120°C之溫度下受到抑制。

【請求項36】如請求項25之方法，其中提供所述導電接觸結構包含在低於30°C之溫度下電鍍所述空腔。

【請求項37】如請求項36之方法，其進一步包含在5°C至15°C之範圍內之溫度下電鍍所述空腔。

【請求項38】如請求項37之方法，其進一步包含在5°C至15°C之範圍內之溫度下對所述非導電層及所述導電接觸結構進行化學機械拋光。

【請求項39】如請求項25之方法，其進一步包含在無介入黏著劑之情況下將所述半導體元件之所述非導電層直接接合至第二半導體元件之第二非導電層。

【請求項40】如請求項39之方法，其進一步包含使所述半導體元件及所述第二半導體元件退火，以使得所述導電接觸結構接觸所述第二半導體元件之第二導電接觸結構。

【請求項41】如請求項40之方法，其中所述退火係在低於300°C之溫度下進行。

【請求項42】如請求項41之方法，其中所述退火係在低於250°C之溫度下進行。

【請求項43】如請求項25之方法，其中提供所述導電接觸結構包含使用在

0.1 mA/cm²至70 mA/cm²範圍內之電流密度電鍍所述空腔。

【請求項44】如請求項25之方法，其中提供所述導電接觸結構包含提供具有0.1M至0.4M之銅離子及0.1M至1M之酸的電鍍浴。

【請求項45】如請求項24之方法，其中提供所述非導電層包含在積體電路裝置上方進行沈積，其進一步包含在用具有所述細粒結構之所述導電接觸結構填充所述空腔之前用障壁層襯裏所述空腔之至少側壁。

【請求項46】一種方法，其包含：

在半導體元件之非導電層中提供空腔；

在所述空腔中提供導電接觸結構，所述導電接觸結構具有細粒結構；及
製備用於直接接合之所述非導電層及所述導電接觸結構。

【請求項47】如請求項46之方法，其中所述導電接觸結構包含銅。

【請求項48】如請求項46之方法，其中所述導電接觸結構之所述晶粒中之大部分尺寸為500 nm或更低。

【請求項49】如請求項48之方法，其中所述晶粒中之大部分尺寸為350 nm或更低。

【請求項50】如請求項49之方法，其中所述晶粒中之大部分尺寸在10 nm至300 nm之範圍內。

【請求項51】如請求項46之方法，其中所述導電接觸結構之所述晶粒的平均晶粒尺寸為500 nm或更低。

【請求項52】如請求項51之方法，其中所述平均晶粒尺寸為350 nm或更低。

【請求項53】如請求項52之方法，其中所述平均晶粒尺寸在10 nm至300 nm之範圍內。

【請求項54】如請求項46之方法，其中提供所述導電接觸結構包含提供具有低於0.5%添加劑之銅電鍍浴，且將所述導電接觸結構電鍍至所述空腔中。

【請求項55】如請求項54之方法，其中所述銅電鍍浴具有低於0.1%之添加劑。

【請求項56】如請求項55之方法，其中所述添加劑包含硼、銮、磷、鎳、鎳、鈷、錫、錳、鈦、釩及硒中之一或多者。

【請求項57】如請求項46之方法，其中提供所述導電接觸結構包含提供其中具有電學上無活性奈米粒子的銅電鍍浴。

【請求項58】如請求項57之方法，其中所述電學上無活性奈米粒子包括氧化矽、氧化鋁及三氧化鈦中之一或多者。

【請求項59】如請求項58之方法，其中所述奈米粒子之濃度低於1體積%。

【請求項60】如請求項59之方法，其中所述奈米粒子之濃度低於0.1體積%。

【請求項61】如請求項46之方法，其中所述導電接觸結構之金屬晶粒回復在室溫下及在低於120°C之溫度下受到抑制。

【請求項62】如請求項46之方法，其中提供所述導電接觸結構包含在低於30°C之溫度下電鍍所述空腔。

【請求項63】如請求項62之方法，其進一步包含在5°C至15°C之範圍內之溫度下電鍍所述空腔。

【請求項64】如請求項63之方法，其進一步包含在5°C至15°C之範圍內之溫度下對所述非導電層及所述導電接觸結構進行化學機械拋光。

【請求項65】如請求項46之方法，其進一步包含在無介入黏著劑之情況下將所述半導體元件之所述非導電層直接接合至第二半導體元件之第二非導電層。

【請求項66】如請求項65之方法，其進一步包含使所述半導體元件及所述第二半導體元件退火，以使得所述導電接觸結構接觸所述第二半導體元件之第二導電接觸結構。

【請求項67】如請求項66之方法，其中所述退火係在低於300°C之溫度下進

行。

【請求項68】如請求項67之方法，其中所述退火係在低於250°C之溫度下進行。

【請求項69】如請求項46之方法，其中提供所述導電接觸結構包含使用在0.1 mA/cm²至70 mA/cm²範圍內之電流密度電鍍所述空腔。

【請求項70】如請求項69之方法，其中所述電流密度係在40 mA/cm²至70 mA/cm²之範圍內。

【請求項71】如請求項46之方法，其中提供所述導電接觸結構包含提供具有0.1M至0.4M之銅離子及0.1M至1M之酸的電鍍浴。

【請求項72】如請求項71之方法，其中所述電鍍浴具有在30 ppm至70 ppm範圍內之鹵離子。

【請求項73】如請求項46之方法，其中提供所述非導電層包含在積體電路裝置上方進行沈積，其進一步包含在用具有所述細粒結構之所述導電接觸結構填充所述空腔之前用障壁層襯裏所述空腔之至少側壁。

【請求項74】如請求項73之方法，其中提供所述非導電層包含沈積於所述積體電路裝置上之再分佈層上。

【請求項75】一種接合結構，其包含：

第一元件，其具有第一導電特徵及第一非導電區域；及

第二元件，其具有第二導電特徵及第二非導電區域，

其中所述第一導電特徵在無介入黏著劑之情況下直接接合至所述第二導電特徵，從而形成接合介面，所述接合介面處之晶粒數大於40個晶粒，且所述第二非導電區域在無介入黏著劑之情況下直接接合至所述第二非導電區域。

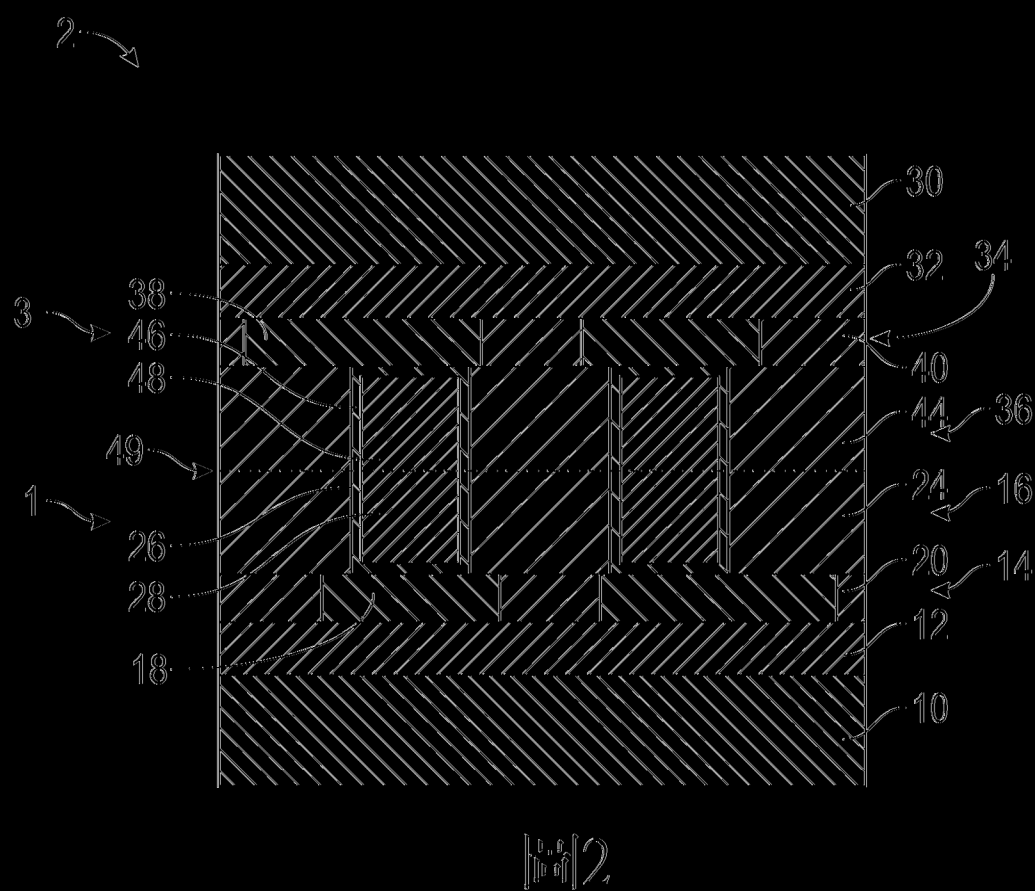
【請求項76】如請求項75之接合結構，其中所述第一導電特徵包含平均晶粒尺寸為500 nm或更低之細粒金屬。

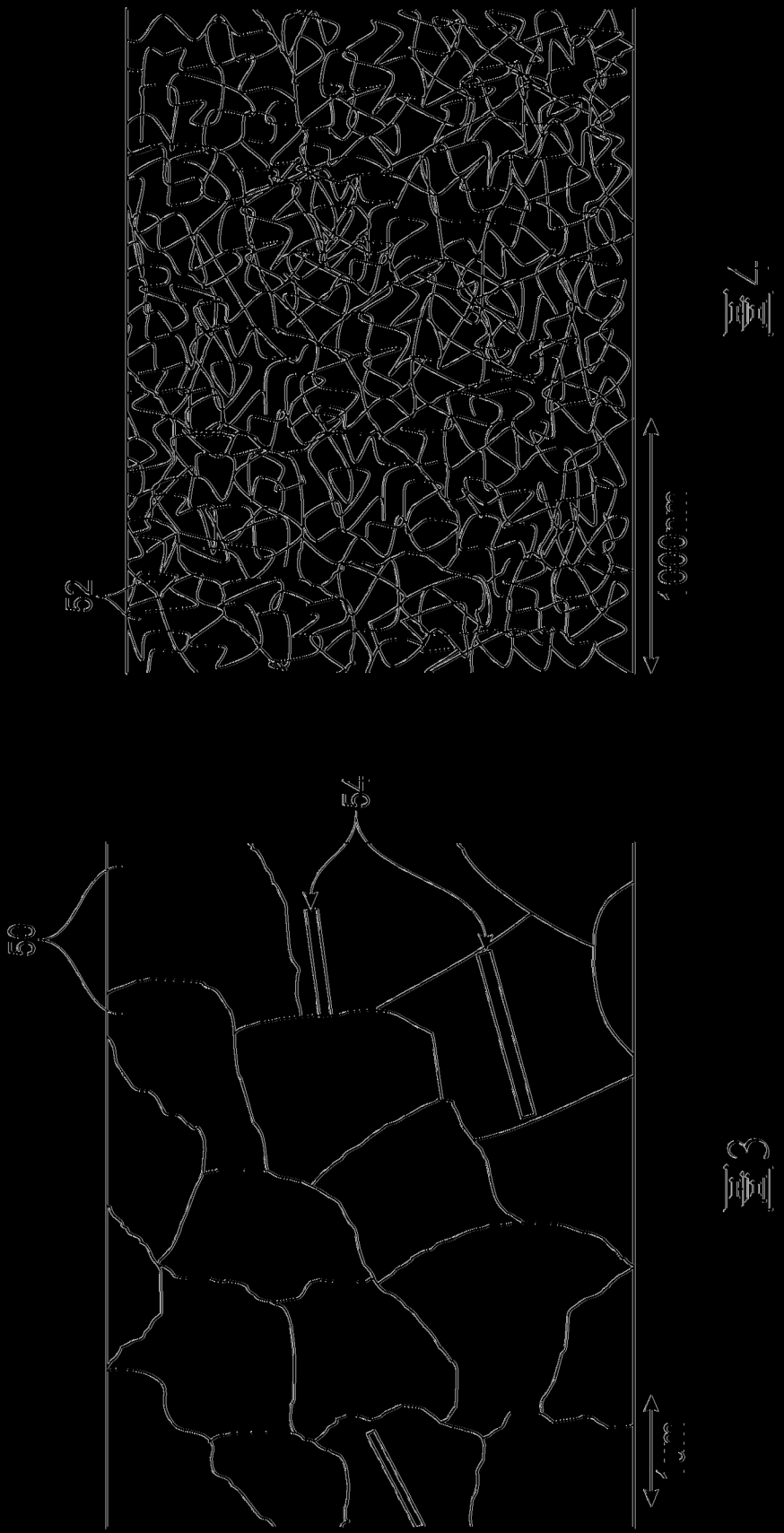
【請求項77】如請求項75之接合結構，其中第一導電特徵具有在約0.01 μm 及25 μm 之間的範圍內的最大側向尺寸。

【請求項78】如請求項77之接合結構，其中所述第一導電特徵具有低於1 μm 之最大側向尺寸。

【請求項79】如請求項75之接合結構，其中所述接合介面之整個面積小於約100 μm^2 。

【請求項80】如請求項79之接合結構，其中所述接合介面之整個面積小於2 μm^2 。





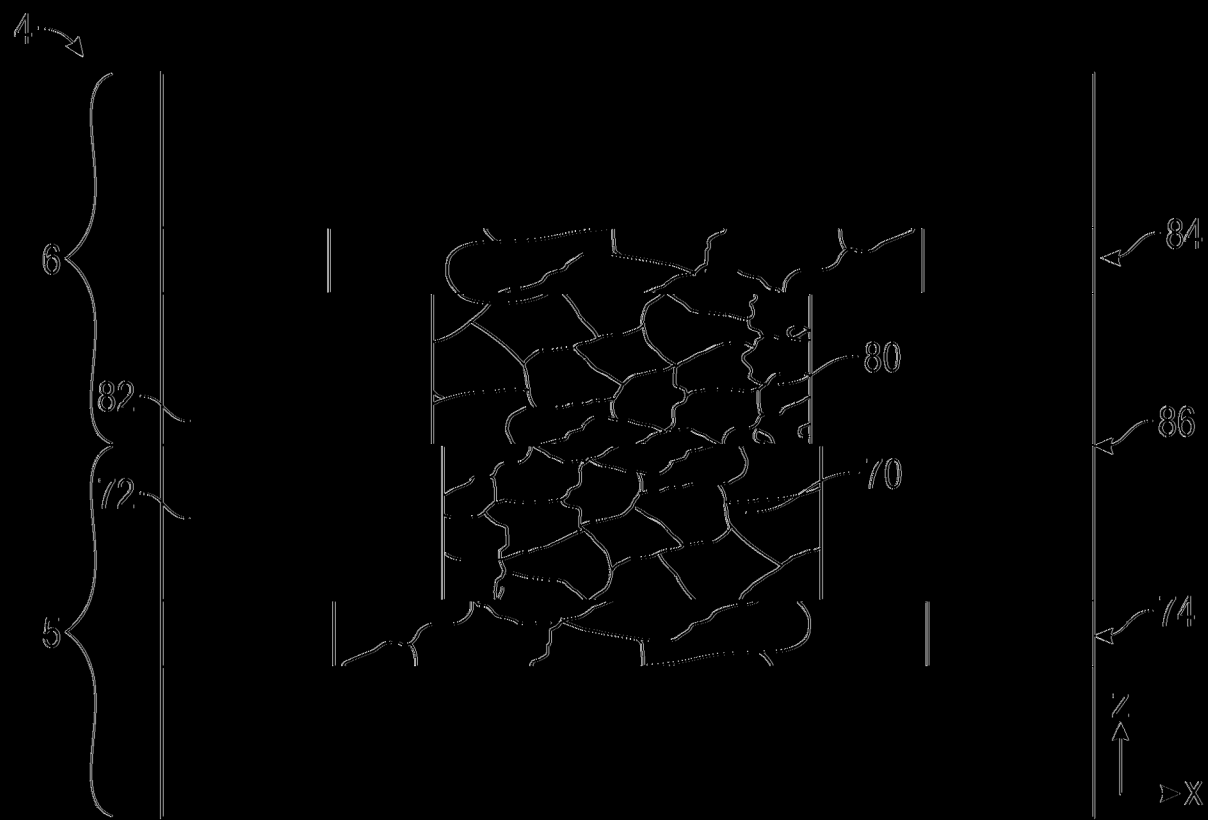


Fig. 6A

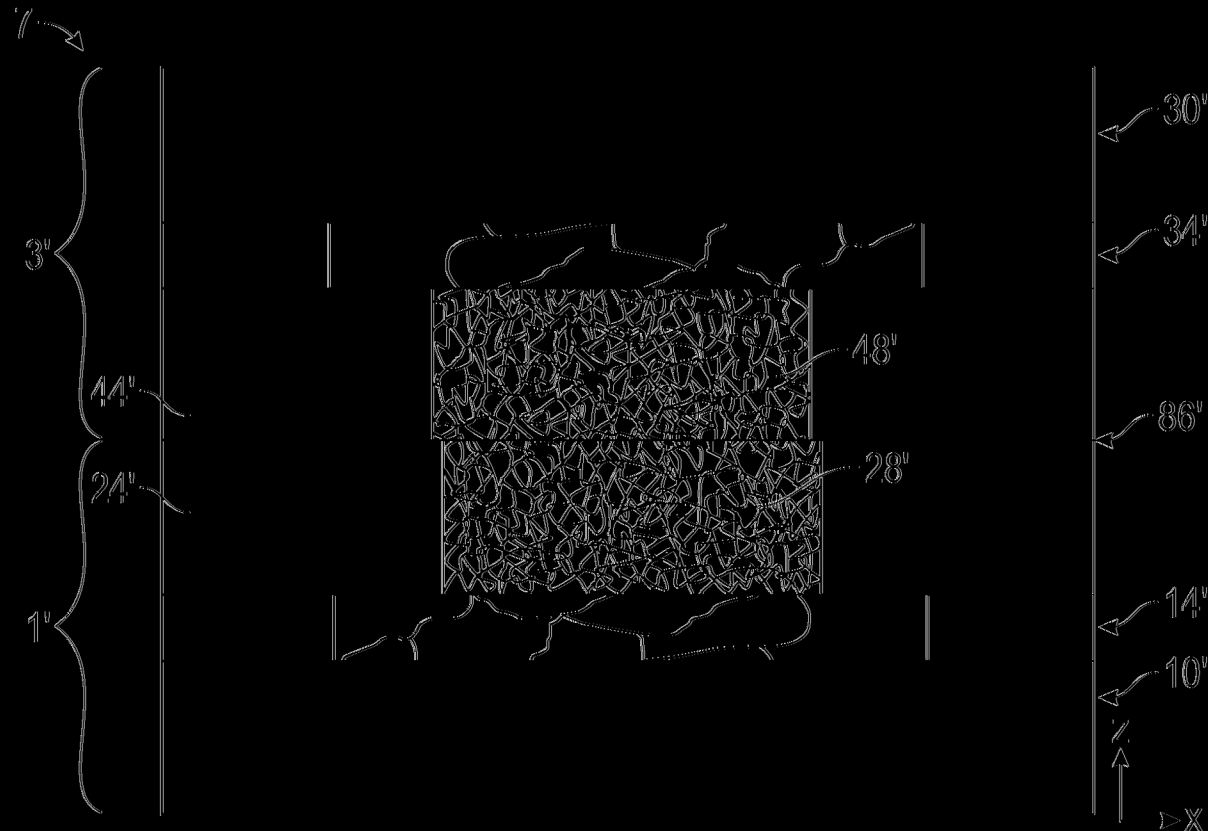
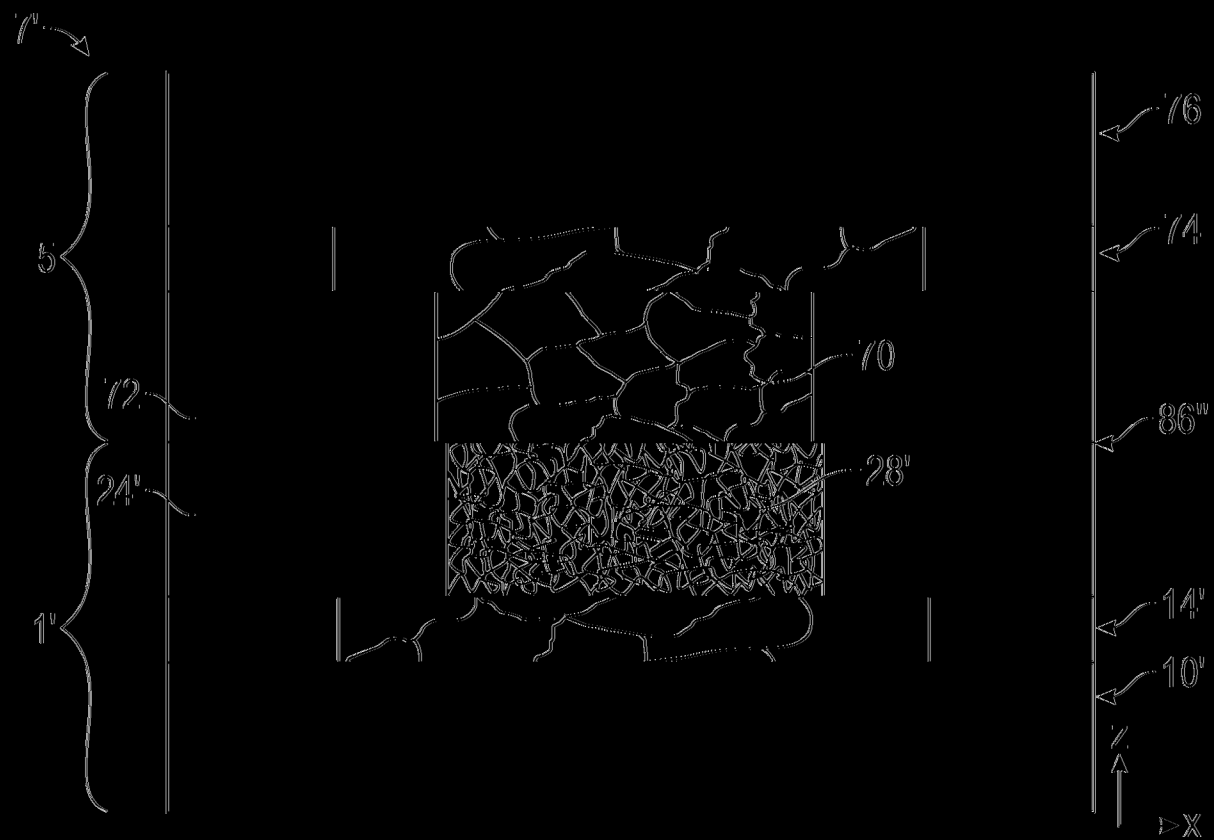
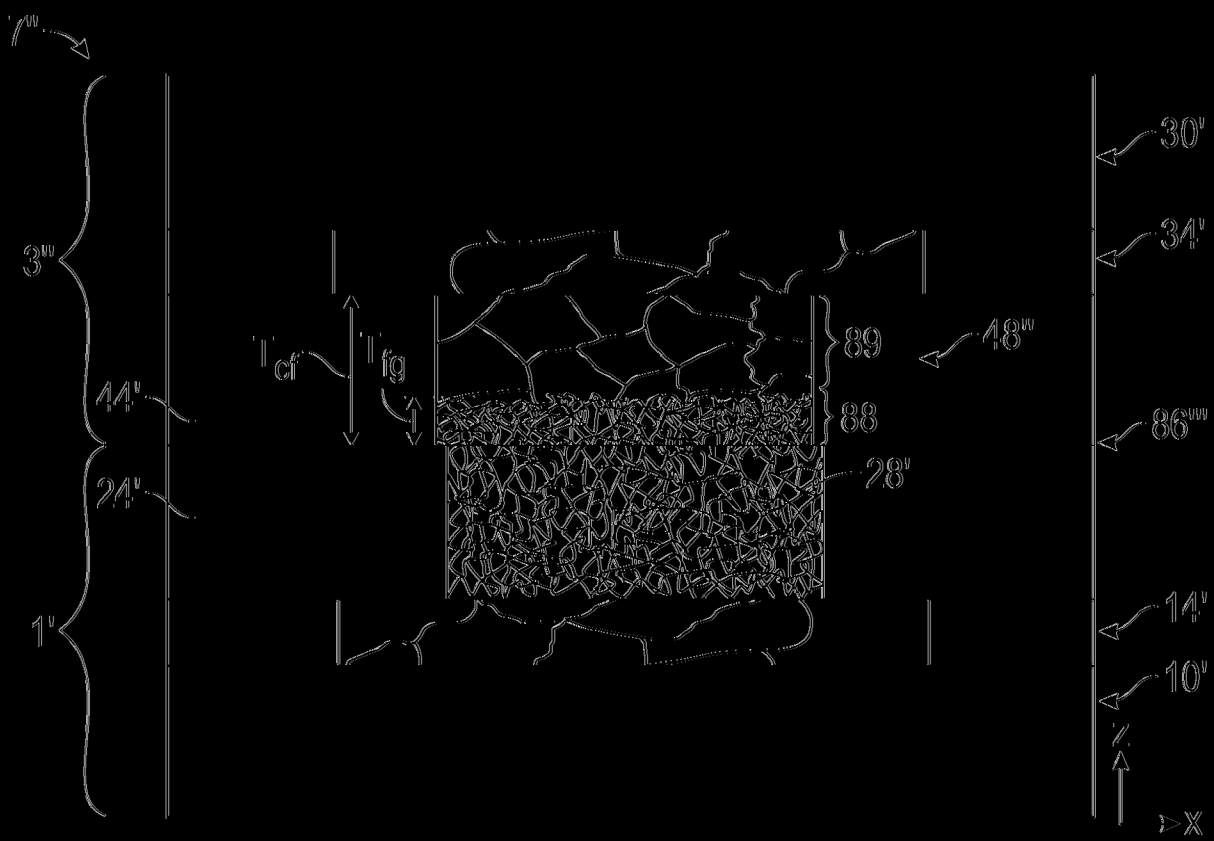


Fig. 6B



6C



6D

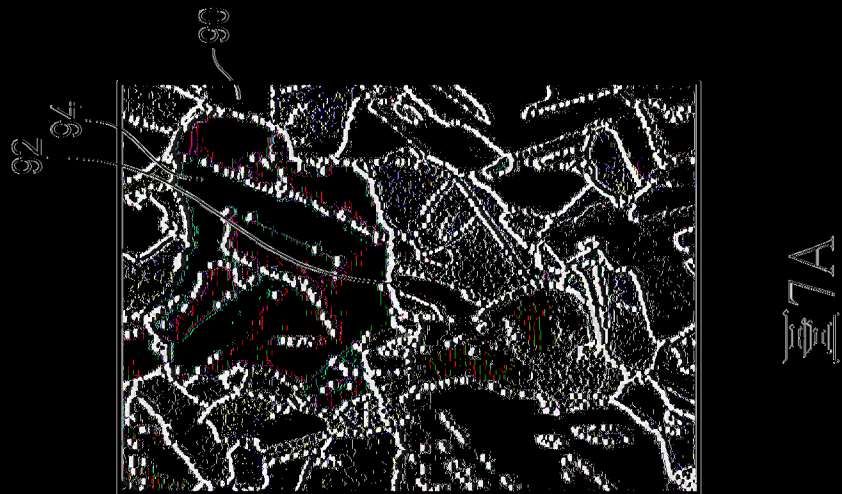


圖 7A

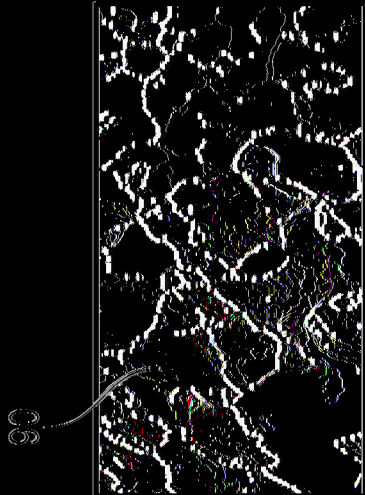


圖 7B

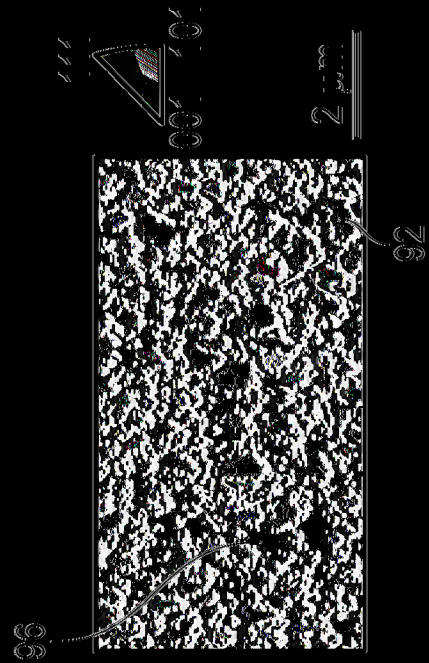


圖 7C

【發明申請專利範圍】

【請求項1】一種接合結構，其包含：

第一元件，其具有第一導電特徵及第一非導電區域，所述第一導電特徵包含平均晶粒尺寸為500 nm或更低之細粒金屬；及

第二元件，其具有第二導電特徵及第二非導電區域，

其中所述第一導電特徵在無介入黏著劑之情況下直接接合至所述第二導電特徵，且所述第二非導電區域在無介入黏著劑之情況下直接接合至所述第二非導電區域。

【請求項2】如請求項1之接合結構，其中所述第一導電特徵包含銅。

【請求項3】如請求項1之接合結構，其中所述第一導電特徵之所述晶粒具有低於500 nm之最大晶粒尺寸。

【請求項4】如請求項3之接合結構，其中所述第一導電特徵之所述晶粒具有低於350 nm之最大晶粒尺寸。

【請求項5】如請求項4之接合結構，其中所述第一導電特徵之所述晶粒具有低於50 nm之最大晶粒尺寸。

【請求項6】如請求項1之接合結構，其中所述第二導電特徵之晶粒的平均晶粒尺寸為500 nm或更低。

【請求項7】如請求項1之接合結構，其中所述第二導電特徵包含粗粒金屬。

【請求項8】如請求項7之接合結構，其中所述第二導電特徵之晶粒的平均晶粒尺寸大於1微米。

【請求項9】如請求項1之接合結構，其中所述第一導電特徵之所述細粒金屬的平均晶粒尺寸為350 nm或更低。

【請求項10】如請求項9之接合結構，其中所述第一導電特徵之所述細粒金屬的平均晶粒尺寸在10 nm至300 nm範圍內。

【請求項11】如請求項1之接合結構，其中所述第一導電特徵之所述晶粒中之大於95%具有低於10%之晶粒尺寸變化。

【請求項12】如請求項1之接合結構，其中所述第一元件進一步包含具有導電部分的金屬化層。

【請求項13】如請求項12之接合結構，其中所述金屬化層之所述導電部分包括平均晶粒尺寸在1 μm 至2 μm 之範圍內的金屬。

【請求項14】如請求項1之接合結構，其中所述第一導電特徵之所述細粒金屬包含惰性材料之奈米粒子。

【請求項15】如請求項14之接合結構，其中所述奈米粒子之濃度低於所述第一導電特徵之1%。

【請求項16】如請求項15之接合結構，其中所述奈米粒子之濃度低於所述第一導電特徵之0.1%。

【請求項17】如請求項14之接合結構，其中所述奈米粒子包含氧化矽、氧化鋁及三氧化鈦中之一或多者。

【請求項18】如請求項1之接合結構，其中所述細粒金屬包含成分。

【請求項19】一種接合結構，其包含：

第一元件，其具有第一導電特徵及第一非導電區域，所述第一導電特徵包含具有成分之細粒金屬；及

第二元件，其具有第二導電特徵及第二非導電區域，

其中所述第一導電特徵在無介入黏著劑之情況下直接接合至所述第二導電特徵，且所述第二非導電區域在無介入黏著劑之情況下直接接合至所述第二非導電區域。

【請求項20】如請求項19之接合結構，其中所述成分包含硼、銦、磷、鎵、鎳、鈷、錫、錳、鈦、釩及硒中之至少一者。

【請求項21】如請求項19之接合結構，其中所述第一導電特徵包含平均晶粒尺寸為500 nm或更低之細粒金屬。

【請求項22】如請求項21之接合結構，其中所述第一導電特徵之所述細粒金屬的平均晶粒尺寸在10 nm至300 nm範圍內。

【請求項23】一種互連結構，其包含：

具有接合表面之元件，所述元件具有導電特徵及非導電區域，所述導電特徵至少部分地嵌入於所述非導電區域中，所述導電特徵包含底部部分及安置於所述底部部分上方之頂部部分，所述頂部部分的位置更接近於所述元件之所述接合表面，所述頂部部分之平均晶粒尺寸小於所述底部部分之平均晶粒尺寸，

其中所述頂部部分之平均晶粒尺寸為500 nm或更低。

【請求項24】一種接合結構，其包含如請求項23之互連結構及第二元件。

【請求項25】一種方法，其包含：

在半導體元件之非導電層中提供空腔；

在所述空腔中提供導電接觸結構，所述導電接觸結構具有平均晶粒尺寸低於500 nm之細粒結構；及

製備用於直接接合之所述非導電層及所述導電接觸結構。

【請求項26】如請求項25之方法，其中所述導電接觸結構包含銅。

【請求項27】如請求項25之方法，其中所述平均晶粒尺寸低於350 nm。

【請求項28】如請求項27之方法，其中所述平均晶粒尺寸在10 nm至300 nm之範圍內。

【請求項29】如請求項25之方法，其中提供所述導電接觸結構包含提供具有低於0.5%添加劑之銅電鍍浴，且將所述導電接觸結構電鍍至所述空腔中。

【請求項30】如請求項29之方法，其中所述添加劑包含硼、銮、磷、鎳、鎢、鈷、錫、錳、鈦、釩及硒中之一或多者。

【請求項31】如請求項25之方法，其中提供所述導電接觸結構包含提供其中具有電學上無活性奈米粒子的銅電鍍浴。

【請求項32】如請求項31之方法，其中所述電學上無活性奈米粒子包括氧化矽、氧化鋁及三氧化鈦中之一或多者。

【請求項33】如請求項32之方法，其中所述奈米粒子之濃度低於1體積%。

【請求項34】如請求項33之方法，其中所述奈米粒子之濃度低於0.1體積%。

【請求項35】如請求項25之方法，其中所述導電接觸結構之金屬晶粒回復在室溫下及在低於120°C之溫度下受到抑制。

【請求項36】如請求項25之方法，其中提供所述導電接觸結構包含在低於30°C之溫度下電鍍所述空腔。

【請求項37】如請求項36之方法，其進一步包含在5°C至15°C之範圍內之溫度下電鍍所述空腔。

【請求項38】如請求項37之方法，其進一步包含在5°C至15°C之範圍內之溫度下對所述非導電層及所述導電接觸結構進行化學機械拋光。

【請求項39】如請求項25之方法，其進一步包含在無介入黏著劑之情況下將所述半導體元件之所述非導電層直接接合至第二半導體元件之第二非導電層。

【請求項40】如請求項39之方法，其進一步包含使所述半導體元件及所述第二半導體元件退火，以使得所述導電接觸結構接觸所述第二半導體元件之第二導電接觸結構。

【請求項41】如請求項40之方法，其中所述退火係在低於300°C之溫度下進行。

【請求項42】如請求項41之方法，其中所述退火係在低於250°C之溫度下進行。

【請求項43】如請求項25之方法，其中提供所述導電接觸結構包含使用在

0.1 mA/cm²至70 mA/cm²範圍內之電流密度電鍍所述空腔。

【請求項44】如請求項25之方法，其中提供所述導電接觸結構包含提供具有0.1M至0.4M之銅離子及0.1M至1M之酸的電鍍浴。

【請求項45】如請求項25之方法，其中提供所述非導電層包含在積體電路裝置上方進行沈積，其進一步包含在用具有所述細粒結構之所述導電接觸結構填充所述空腔之前用障壁層襯裏所述空腔之至少側壁。

【請求項46】一種方法，其包含：

在半導體元件之非導電層中提供空腔；

在所述空腔中提供導電接觸結構，所述導電接觸結構具有細粒結構；及
製備用於直接接合之所述非導電層及所述導電接觸結構。

【請求項47】如請求項46之方法，其中所述導電接觸結構包含銅。

【請求項48】如請求項46之方法，其中所述導電接觸結構之所述晶粒中之大部分尺寸為500 nm或更低。

【請求項49】如請求項48之方法，其中所述晶粒中之大部分尺寸為350 nm或更低。

【請求項50】如請求項49之方法，其中所述晶粒中之大部分尺寸在10 nm至300 nm之範圍內。

【請求項51】如請求項46之方法，其中所述導電接觸結構之所述晶粒的平均晶粒尺寸為500 nm或更低。

【請求項52】如請求項51之方法，其中所述平均晶粒尺寸為350 nm或更低。

【請求項53】如請求項52之方法，其中所述平均晶粒尺寸在10 nm至300 nm之範圍內。

【請求項54】如請求項46之方法，其中提供所述導電接觸結構包含提供具有低於0.5%添加劑之銅電鍍浴，且將所述導電接觸結構電鍍至所述空腔中。

【請求項55】如請求項54之方法，其中所述銅電鍍浴具有低於0.1%之添加劑。

【請求項56】如請求項55之方法，其中所述添加劑包含硼、銮、磷、鎳、鎳、鈷、錫、錳、鈦、釩及硒中之一或多者。

【請求項57】如請求項46之方法，其中提供所述導電接觸結構包含提供其中具有電學上無活性奈米粒子的銅電鍍浴。

【請求項58】如請求項57之方法，其中所述電學上無活性奈米粒子包括氧化矽、氧化鋁及三氧化鈦中之一或多者。

【請求項59】如請求項58之方法，其中所述奈米粒子之濃度低於1體積%。

【請求項60】如請求項59之方法，其中所述奈米粒子之濃度低於0.1體積%。

【請求項61】如請求項46之方法，其中所述導電接觸結構之金屬晶粒回復在室溫下及在低於120°C之溫度下受到抑制。

【請求項62】如請求項46之方法，其中提供所述導電接觸結構包含在低於30°C之溫度下電鍍所述空腔。

【請求項63】如請求項62之方法，其進一步包含在5°C至15°C之範圍內之溫度下電鍍所述空腔。

【請求項64】如請求項63之方法，其進一步包含在5°C至15°C之範圍內之溫度下對所述非導電層及所述導電接觸結構進行化學機械拋光。

【請求項65】如請求項46之方法，其進一步包含在無介入黏著劑之情況下將所述半導體元件之所述非導電層直接接合至第二半導體元件之第二非導電層。

【請求項66】如請求項65之方法，其進一步包含使所述半導體元件及所述第二半導體元件退火，以使得所述導電接觸結構接觸所述第二半導體元件之第二導電接觸結構。

【請求項67】如請求項66之方法，其中所述退火係在低於300°C之溫度下進

行。

【請求項68】如請求項67之方法，其中所述退火係在低於 250°C 之溫度下進行。

【請求項69】如請求項46之方法，其中提供所述導電接觸結構包含使用在 0.1 mA/cm^2 至 70 mA/cm^2 範圍內之電流密度電鍍所述空腔。

【請求項70】如請求項69之方法，其中所述電流密度係在 40 mA/cm^2 至 70 mA/cm^2 之範圍內。

【請求項71】如請求項46之方法，其中提供所述導電接觸結構包含提供具有 0.1M 至 0.4M 之銅離子及 0.1M 至 1M 之酸的電鍍浴。

【請求項72】如請求項71之方法，其中所述電鍍浴具有在 30 ppm 至 70 ppm 範圍內之鹵離子。

【請求項73】如請求項46之方法，其中提供所述非導電層包含在積體電路裝置上方進行沈積，其進一步包含在用具有所述細粒結構之所述導電接觸結構填充所述空腔之前用障壁層襯裏所述空腔之至少側壁。

【請求項74】如請求項73之方法，其中提供所述非導電層包含沈積於所述積體電路裝置上之再分佈層上。

【請求項75】一種接合結構，其包含：

第一元件，其具有第一導電特徵及第一非導電區域；及

第二元件，其具有第二導電特徵及第二非導電區域，

其中所述第一導電特徵在無介入黏著劑之情況下直接接合至所述第二導電特徵，從而形成接合介面，所述接合介面處之晶粒數大於40個晶粒，且所述第二非導電區域在無介入黏著劑之情況下直接接合至所述第二非導電區域。

【請求項76】如請求項75之接合結構，其中所述第一導電特徵包含平均晶粒尺寸為 500 nm 或更低之細粒金屬。

【請求項77】如請求項75之接合結構，其中第一導電特徵具有在約0.01 μm 及25 μm 之間的範圍內的最大側向尺寸。

【請求項78】如請求項77之接合結構，其中所述第一導電特徵具有低於1 μm 之最大側向尺寸。

【請求項79】如請求項75之接合結構，其中所述接合介面之整個面積小於約100 μm^2 。

【請求項80】如請求項79之接合結構，其中所述接合介面之整個面積小於2 μm^2 。