



申請日期	87-08-03
案號	87112741
類別	H01L 21/8238

A4
C4

423116

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有至少四個電晶體之電路配置及其製造方法
	英 文	Circuit-arrangement with at least four transistors and its production method
二、發明 創作人	姓 名	1. 湯馬斯舒爾茲 (Thomas Schulz) 2. 羅薩歷舒 (Lothar risch) 3. 渥夫根羅斯納 (Wolfgang Roesner) 4. 湯馬斯歐格 (Thomas Aeugle)
	國 籍	1. 德國 2.- 4. 皆屬德國
	住、居所	1. 德國 慕尼黑 D-81739 安內特哥布安格 13/V 號 2. 德國 紐比貝格 D-85579 堤贊街 27 號 3. 德國 慕尼黑 D-81739 赫英哲曼肯街 2 號 4. 德國 慕尼黑 D-81735 艾伯特士威札街 38 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國 慕尼黑 D-80333 威田巴黎廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

423116

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

德 國 (地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
1997年8月22日 19736672.4 (主張優先權)

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明係關於一種具有至少四個電晶體之電路配置。四個電晶體中之二個對其餘二個電晶體而言是互補的。此四個電晶體特別適合作為NAND-閘。

在發展新式積體電路配置時，須力求較高之封裝密度。其實現方式目前大部份是以平面式矽技術來達成。

NAND-閘通常是電路配置中所使用之邏輯元件。若NAND-閘之二個輸入電壓端之至少一個端點提供一種電壓形式之信號，則在NAND-閘之輸出電壓端同樣可得到一個信號。在K. Hoffmann, VLSI-Entwurf, Modelle und Schaltungen, Oldenburg 1990, 第365頁中顯示NAND-閘的典型佈局(layout)。

當光學照相石版術是由電子束石版術(Lithography)(其解析度已大大地改進)所取代時，則在平面技術中可達成較小之結構大小，請參閱T. Mizuno, R. Ohaba, JEDM Techn. Dig. 第109頁, 1996。但由於電子束石版術是緩慢的，因此由於經濟上之理由其並不適合用在半導體製造中。

為了使MOS電晶體之面積減小，須探討垂直式電晶體。由於通道長度是相對於基體之表面而垂直地延伸，則垂直式電晶體之面積可較傳統之平面式電晶體還小。其它使面積變小之方式可藉由使固定之電流強度所需之通道寬度變小而達成，此時通道長度會縮短。在L. Risch, W. H. Krautschneider, F. Hofmann, Vertical MOS-Transistor With 70nm Channel Length, ESSDERO 1995。

五、發明說明(>)

，第101至104頁中描述一些垂直式電晶體。其製造方式是：由不同之導電型交替地摻雜而成之各層以層序列之形式對應於源極，通道區和汲極而形成，閘極介電質和閘極電極以環形方式圍繞這些層。

在德國專利文件DE 4341667C1中描述一種NAND-閘，其中二個平行連接之垂直式MOS電晶體製作在一個共同之層序列中，且二個串聯之垂直式MOS電晶體之層序列上下互相配置著。

本發明之目的是提供一種具有至少四個電晶體之電路配置，其能以較佳之電路特性製成。此外，本發明亦涉及此種電路配置之製造方法。

上述目的是藉由申請專利範圍第1項之電路配置以及申請專利範圍第6項之製造方法而達成。本發明之構成方式則敘述在其餘各項申請專利範圍中。

在本發明之電路配置中，此四個電晶體是垂直式MOS電晶體。這些電晶體之第1個和第4個相對於第2個和第3個而言是互補的。第1和第4電晶體是串聯連接在第一電壓端和輸出電壓端之間。第2和第3電晶體是並聯且連接在輸出電壓端和第二電壓端之間。第3電晶體之閘極電極和第4電晶體之閘極電極是與第一輸入電壓端相連接。第1電晶體之閘極電極和第2電晶體之閘極電極是與第二輸入電壓端相連接。其設有層結構，層結構包括電晶體之通道層及每一電晶體之至少一個源極/汲極區。此種層結構具有邊緣，通道層是與此種邊緣相鄰接

五、發明說明（ 3 ）

且此種邊緣至少在通道層之區域中設有開極介電質，電晶體之開極電極是與開極介電質相鄰接。第1電晶體之通道層和第4電晶體之通道層位於同一高度中。第2電晶體之通道層和第3電晶體之通道層亦在同一高度中。第1電晶體之通道層和第2電晶體之通道層是在不同之高度中。

此種電路配置使其由只具有4個層之唯一的層序列所產生。在此種情況中，這些層中包括第1和第4電晶體之通道層的此一層以及包括第2和第3電晶體之通道層的此一層互相鄰接。層之數目較少所具有之優點是：各層之摻雜外型(profile)較不會融化。

當層結構在二側面(即，此種層結構之至少二個相對之邊緣)上設置開極介電質和開極電極時是有利的。和單側式配置方式不同的是，在此種雙側式配置中垂直式MOS電晶體之面積不會擴大，其通道寬度加倍(doubled)，因此電流增大且在通道層中二個邊緣之間的空間電荷區會增大。這樣是有利的，因為在空間電荷區中由於寄生性雙極性電晶體之存在而不會產生漏電流。由於此一原因，則當整個通道層內部形成一種空間電荷區時亦是有利的。

為了提高封裝密度，則對固定之電流強度而言使電晶體所需之通道寬度減小是有利的，此時電晶體之通道長度縮短。就垂直式MOS電晶體而言，可輕易地實現較短之通道長度，這是因為通道長度是由通道層之厚度所決定，因此不會受到當時技術中所能產生之最小結構大小所

五、發明說明(4)

限制。為了在較短之通道長度中防止由於擊穿(punch-through)所產生之漏電流，通道層應以高濃度來摻雜。

由於空間電荷區越小時，通道層之摻雜物質濃度越大，則在較短之通道長度中在整個通道層內部為了獲得空間電荷區，在層結構之二個相對之邊緣之間的尺寸必須特別小。此種層結構須藉助於一種作為遮罩用之間隔層來產生。層結構之二個相對之邊緣之間的尺寸須很小，使得在閘極電極之相對應的控制過程中，垂直式MOS電晶體可完全成為空乏(depletion)。在一般之0V-2V之電壓中，上述尺寸因此大約是30nm-90nm。

層序列可在基體之表面上藉由原處(in situ)摻雜之半導體材料的磊晶生長而在整面上產生。亦可在基體中產生凹口，其中層序列是藉由磊晶生長而產生。亦可在表面上沈積一種材料，凹口則產生於此種材料中，凹口可到達表面且層序列是藉由磊晶生長而產生在凹口中。在層序列磊晶生長於凹口中時，在凹口之邊緣上會形成多角形平面，這是因為在這些邊緣上在選擇性磊晶程序時生長速率是較慢的。這些層因此特別薄，這樣會造成一種特別小之通道長度。層序列之各層亦可藉由植入方式而以各種已充電之離子和不同之有效範圍來產生。就這些層而言，磊晶生長是不需要的，且就層結構而言基體須被結構化。層序列可含有矽層及/或 $\text{Si}_{(1-x)}\text{Ge}_x$ -層。

由於第1電晶體和第4電晶體並不互補，則第1電晶體和第4電晶體能以相同之步驟來製造，這表示程序可

五、發明說明(5)

簡化。同樣之情況亦適合於第2電晶體和第3電晶體。

為了產生層序列，須產生至少4個例如以不同導電型交替地摻雜之層。若此種層序列由多於4個層所構成，則相鄰各層之導電型不必互相不同。互補之電晶體相對於一垂直於基體表面而延伸之軸而言是形成在不同之高度中。這表示：通道層以及源極/汲極區都是由四層中至少二個層所產生。

其亦能以多於四個層之方式所構成。

若此種層結構藉助於作為遮罩之間隔層而產生，則須形成一個邊緣，沿著此邊緣藉由材料之沈積和回蝕刻而產生間隔層。此邊緣可藉由層序列上方之第一輔助層之沈積和結構化而產生。此種邊緣亦可藉由層序列之遮罩式蝕刻而產生。

須形成互補之垂直式MOS電晶體之層結構，其中第一遮罩塗佈在層序列上，然後蝕刻至少二個層厚度之深度。於是產生一種層結構以及一種暫時性的層結構。然後去除第一遮罩。此種層結構然後以第二遮罩覆蓋。然後蝕刻一個層厚度之深度，於是產生一種層結構，其所在之位置較已覆蓋之層結構還深一個層厚度。

另一方式是：應產生上述層結構中之一的此一區域可先以第二遮罩覆蓋且隨後對矽(Si)蝕刻一個層厚度之深度。去除第二遮罩。隨後塗佈第一遮罩以便產生層結構。然後利用第一遮罩來進行蝕刻至少二個層厚度之深度，這樣即可在先前已覆蓋之區域中產生一種層結構，其

五、發明說明 (b)

所在位置較在未覆蓋之區域中所產生之層結構者還高一個層厚度。

另一方式是：可產生第一個第一遮罩以便形成第一個層結構。第一個第一遮罩是由第二遮罩所覆蓋。然後蝕刻一個層厚度之深度。在一個不由第二遮罩所覆蓋之區域中然後形成第二個第一遮罩以用於第二個層結構中。第二遮罩是由和第一遮罩不同之材料所構成且在產生第二個第一遮罩之後須去除第二遮罩。然後蝕刻至少二個層厚度之深度，於是產生許多個層結構。

就本方法而言，基本上各層有相同之層厚度是適當的。

第一遮罩例如是由4個互相隔離之部份所構成。為了提高封裝密度以及簡化程序，可製造一些電性連接區，其中此4個層結構之一部份或全部是互相連接的。若這些層結構完全相連接，則第一遮罩小於四分之一。若此種層結構互相連接不是所期望的，則在小於四分之一大小的第一遮罩中，這些層結構在稍後某一時間點時可互相隔離。

當第二電晶體之第一源極 / 汲極區以及第三電晶體之第一源極 / 汲極區 (其與第二電壓端相連接) 配置在所屬之通道層上方時是有利的。產生第二電晶體之第二源極 / 汲極區以及第三電晶體之第二源極 / 汲極區時所需之此種層可作為這些源極 / 汲極區之間的電性連接區。為了連接第二電晶體和第三電晶體之第一源極 / 汲極區須產生一種導電性結構。若不產生此種導電性結構，則另

五、發明說明(7)

一方式是第二電晶體之第一源極 / 汲極區以及第三電晶體之第一源極 / 汲極區配置在所屬之通道層下方。

使第三電晶體之第二源極 / 汲極區以及第四電晶體之第二源極 / 汲極區(其是與輸出電壓端相連接)超越各電晶體而延伸且設置一種步級(step)是有利的。於是,產生第四電晶體之第二源極 / 汲極區時所用之此種層鄰接於產生第三電晶體之第二源極 / 汲極區時所用之此種層。輸出電壓端之接觸區配置於上述之步級上。這樣可減少此種製程所需之費用,因為連接第二電晶體,第三電晶體和第四電晶體之第二源極 / 汲極區時不需額外之導線。第四電晶體之第一源極 / 汲極區是與第一電晶體之第二源極 / 汲極區相連接。此種連接是經由一種具有接觸區之導電性結構而達成,這些接觸區分別與第四電晶體之第一源極 / 汲極區以及第一電晶體之第二源極 / 汲極區相接觸。這些接觸區可達到相同之深度。

若第二電晶體,第三電晶體和第四電晶體之第二源極 / 汲極區以其它方式連接(例如,經由導電性結構),則第四電晶體之第一源極 / 汲極區可配置在第四電晶體之通道層下方且第一電晶體之第二源極 / 汲極區可配置在第一電晶體之通道層下方。第四電晶體之第一源極 / 汲極區和第一電晶體之第二源極 / 汲極區之間的連接是經由產生上述各電晶體時所用之層而達成。

為了只在一平行於表面之平面中製成導電性結構,則

五、發明說明(8)

以下述方式配置此四個電晶體是有利的：連接線（其使第一電晶體和第二電晶體相連接，第二電晶體和第三電晶體相連接，第三電晶體和第四電晶體相連接，第四電晶體和第一電晶體相連接）基本上是四角形的。在此種情況中第一輸入電壓端之接觸區可配置在第三電晶體和第四電晶體之間且第二輸入電壓端之接觸區可配置在第一電晶體和第二電晶體之間。其它配置方式（例如，沿著一條線）同樣是可能的。

形成閘極電極以作為間隔層(spacer)，則這樣是有利的，這是因為這樣可使閘極電極變小且能以自動調整之方式產生。因此須沈積導電性材料且隨後進行蝕刻直至作為間隔層之閘極電極產生為止。為了產生第一輸入電壓端之接觸區用之接觸面以及第二輸入電壓端之接觸區用之接觸面，則產生第一電晶體之層結構以及第二電晶體之層結構或第三電晶體之層結構以及第四電晶體之層結構使它們之間間距很小是有利的。在蝕刻導電性材料時須使用一種遮罩，此種遮罩大約重疊於第一層結構以及第二層結構或第三層結構以及第四層結構。在此種遮罩下方之導電性材料形成上述之接觸面。此外，第三電晶體和第四電晶體之閘極電極互相連接或第一電晶體和第二電晶體之閘極電極互相連接。

此種電路配置之四個電晶體特別適合作為NAND-閘。由於在此電路配置之其它元件上之另外一些接點是可能存在的，則此四個電晶體是和NAND-閘有關的。

五、發明說明(9)

本發明之顯示在圖式中之實施例將詳述於下。圖式簡單說明如下：

第1圖以植入方式藉助於遮罩而產生第一摻雜層，以磊晶方式生長第二層，第三層以及第四層，塗佈第一輔助層且進行結構化，以及在輔助層之第一邊緣和第二邊緣上產生第一間隔層和第二間隔層等等過程之後的第一基體。

第2圖去除第一輔助層，產生第一層結構，第二層結構(在此圖中未顯示)，第三層結構(在此圖中未顯示)以及第四層結構等等過程之後基體之平行於第1圖之橫切面所顯示之橫切面。

第3圖在第2圖所示之各步驟之後第1圖之橫切面圖。

第4圖在第一隔離結構和第二隔離結構產生之後基體之平行於第2圖和第3圖之橫切面所顯示之橫切面。

第5圖在第4圖所示之各步驟之後第2圖之橫切面圖。

第6圖在去除第一隔離結構之一部份，產生閘極介電質，第一閘極電極，第二閘極電極(未示出)，第三閘極電極(未示出)，第四閘極電極，第三隔離結構，第四隔離結構，第一接觸區，第二接觸區，第三接觸區，第四接觸區，第五接觸區，第六接觸區，第七接觸區，第八接觸區，第一導電性結構以及第二導電性結構(未示出)等等過程之後第5圖之橫切面。這些接觸區在此圖中並未全部顯示出。

第7圖在第6圖所示各步驟之後第4圖之橫切面圖。

五、發明說明(一〇)

第8圖基體之俯視圖之一部份，其中顯示第一層結構，第二層結構，第三層結構，第四層結構，第一區，第二區，第三區，第四區，第一層，第一接觸區，第二接觸區，第三接觸區，第四接觸區，第五接觸區，第六接觸區，第七接觸區，第八接觸區，x-軸和y-軸。

第9圖基體之俯視圖，其中顯示層結構，接觸區以及第二遮罩。

第10圖基體之俯視圖之一部份，其中顯示層結構，接觸區，第五區以及第四光阻遮罩。

第11圖基體之俯視圖之一部份，其中顯示層結構，接觸區，第一導電性結構以及第二導電性結構。

第12圖 NAND-閘之電路圖。

這些圖未依比例繪出。

在第一實施例中藉助於第一光阻遮罩(未示出，其未覆蓋一個具有額外之尾部(teil)的l形區域)，在由矽所構成之基體1中藉由植入法而產生一種厚度大約是300nm (10^{-9} m)之p-摻雜的第一層S1。第一層之摻雜物質濃度大約是 10^{21} cm^{-3} 。然後在基體1之表面0上藉由晶生長而產生n-摻雜之第二層S2，p-摻雜之第三層S3以及n-摻雜之第四層S4。第二層S2，第三層S3和第四層S4之摻雜物質濃度分別大約是 10^{19} cm^{-3} 。第二層S2，第三層S3和第四層S4分別大約是200nm厚。然後第四層S4之摻雜物質濃度藉由植入作用而提高至 10^{21} cm^{-3} 。藉由沈積一層厚度大約是200nm之SiO₂而產生第一輔助層H1。藉助於第

五、發明說明(11)

二光阻遮罩(未示出,其未覆蓋稍長之第一矩形區B1及與其平行延伸之稍長的第二矩形區B2)而對 SiO_2 進行蝕刻直至第四層S4之一部份裸露為止。於是在第一區B1之邊緣上產生第一邊緣Kn1以及在第二區B2之邊緣上產生第二邊緣Kn2。第一區B1和第二區B2相對於一平行於表面0而延伸之x-軸x而言大約是 400nm 寬以及相對於一平行於表面0而延伸且垂直於x-軸x之y-軸y而言是 2400nm 長。第一區B1之中央點和第二區B2之中央點之間的連接線是平行於x-軸而延伸(第8圖)。藉由氮化矽之沈積及進行回蝕刻而在第一邊緣Kn1上產生第一間隔層Sp1且在第二邊緣Kn2上產生第二間隔層Sp2(請參閱第1圖)。

然後藉由蝕刻例如以 $\text{NH}_4\text{F}/\text{HF}$ 而將已結構化之第一輔助層H1去除。為了獲得四個互相隔離之層結構,則第一間隔層Sp1和第二間隔層Sp2藉助於第三光阻遮罩(未示出,其未覆蓋一橫向重疊於第一區B1上之矩形的第三區B3且亦未覆蓋一橫向重疊於第二區B2上之矩形的第四區B4)而被去除一部份。已結構化之第一間隔層Sp1和已結構化之第二間隔層Sp2共同形成第一遮罩。然後例如以 $\text{HBr}/\text{NF}_3/\text{He}/\text{O}_2$ 選擇性地對氮化矽而對矽進行蝕刻以便去除第四層S4和第三層S3之一部份。這樣可產生第一層結構St1,暫時性之第二層結構,暫時性之第三層結構及第四層結構。然後產生第二遮罩M2,其重疊於第一區B1之一半以及第二區B2之一半,其中須沈積 SiO_2 且藉由微影術來進行結構化。例如以 Cl_2/CHF_3 作為蝕刻劑選擇性地對 SiO_2

五、發明說明(一)

來對矽進行蝕刻直至在未受保護之位置上的第二層 S2 去除為止。這樣即可由暫時性之第二層結構及暫時性之第三層結構產生第二層結構 st2 及第三層結構 St3 (第 2, 第 3 及第 9 圖)。第二遮罩 M2 超越第一區 B1 而在橫向上一部份鄰接於第一層 S1 而往外延伸, 這就是為什麼由第一層 S1 和由第二層 S2 可形成一個步驟 Stu 之原因 (第 9 圖)。第二遮罩 M2 超越第二區 B2 而往外延伸。在第一區 B1 和第二區 B2 外部由第二遮罩 M2 所保護之第二層 S2 之一部份是作為電性連接區。

在第二層結構 St2 和第三層結構 St3 中之第三層 S3 之摻雜物質濃度藉由植入作用而提高至大約 10^{21} cm^{-3} 。第二遮罩 M2 此時仍保存著。然後例如以 HF 藉由蝕刻方式使第二遮罩 M2 去除。

然後沈積一層厚度大約是 80nm 之氮化矽 (第 4 圖)。藉由 SiO_2 之沈積以及結構化而產生第三遮罩 (未顯示), 第五區 B5 (第一電晶體, 第二電晶體, 第三電晶體以及第四電晶體都產生於第五區 B5 中) 未被覆蓋 (第 10 圖)。然後例如以 $\text{CF}_4 / \text{CHF}_3 / \text{He}$ 選擇性地對 SiO_2 和矽而對氮化矽進行蝕刻, 這樣可形成第一隔離結構 I1 其在第五區 B5 中是間隔層形式且在第五區 B5 外部是保形的 (conformal) (第 4 圖和第 5 圖)。然後藉由熱氧化作用在大約 600°C 之較低溫度以及大約 10^6 巴 (Pa) 之壓力時形成第二隔離結構 I2 (第 5 圖)。然後例如以 H_3PO_4 對氮化矽進行濕式蝕刻, 且以 HF 藉由濕式蝕刻方式去除第三遮罩。藉由熱氧化

五、發明說明(13)

作用而生長開極介電質 Gd。開極介電質 Gd 產生於第五區 B5 內部中第一隔離結構 I1 所存在之這些位置上。

然後沈積一種原處 (in Situ) 摻雜之多晶矽。藉助於第四光阻遮罩 MF4 (其基本上覆蓋第三區 B3 和第四區 B4, 請參閱第 10 圖) 例如以 Cl_2 / CHF_3 對多晶矽進行蝕刻, 這樣就可在第一層結構 St1 之相對的邊緣上產生間隔層形式之第一開極電極 Ga1。在第二層結構 St2 之相對的邊緣上產生間隔層形式之第二開極電極 Ga2, 在第二層結構 St3 之相對的邊緣上產生間隔層形式之第三開極電極 Ga3, 在第四層結構 St4 之相對的邊緣上產生間隔層形式之第四開極電極 Ga4, 在第四光阻遮罩 MF4 下方之多晶矽是作為第一接觸面 (其將第三開極電極 Ga3 與第四開極電極 Ga4 相連接) 以及第二接觸面 (其將第一開極電極 Ga1 與第二開極電極 Ga2 相連接)。在第一接觸區面上稍後產生第一接觸區 K1 且在第二接觸面上產生第二接觸區 K2。

第二隔離結構 I2 可防止電容以下述方式形成: 藉由第一開極電極 Ga1 和第二層 S2, 藉由第二開極電極 Ga2 和第一層 S1, 藉由第三開極電極 Ga3 和第一層 S1, 以及藉由第四開極電極 Ga4 和第二層 S2。

須選取第一區 B1 和第二區 B2 之大小, 使多晶矽在蝕刻之後基本上可覆蓋這些區域 (請參閱第 6 圖)。

然後沈積一層厚度大約是 300nm 之 SiO_2 且例如以 Cl_2 / CHF_3 進行回蝕刻, 這樣即可產生第三隔離結構 I3, 其覆蓋第一開極電極 Ga1, 第二開極電極 Ga2, 第三開極電極

五、發明說明 (14)

Ga3以及第四閘極電極 Ga4。然後沈積一層厚度大約是 200 nm 之氮化矽。藉助於第五光阻遮罩 (未示出) 而產生接觸區用之凹口。於是例如以 $CF_4 / CHF_3 / H_2$ 選擇性地對 SiO_2 而對氮化矽進行蝕刻。由 SiO_2 構成之第三隔離結構 I3 作為蝕刻停止物。就第一接觸區 K1 而言須產生一個凹口直到第一接觸面為止。就第二接觸區 K2 而言須產生一個凹口直至第二接觸面為止。就第三接觸區 K3 之一而言須產生一個重疊於上述步級 (step) St_u 之凹口，就第四接觸區 K4 之一而言須在一最初由第二遮罩 M2 所覆蓋之位置中產生一個凹口直至第二層 S2 之一部份 (此一部份是作為至第一電晶體之第一源極 / 汲極區之電性連接用) 為止。就第五接觸區 K5 之一而言須產生一個凹口直至第三電晶體之第一源極 / 汲極區為止。就第六接觸區 K6 之一而言須產生一個凹口直至第二電晶體之第一源極 / 汲極區為止。就第七接觸區 K7 之一而言須產生一個凹口直至第四電晶體之第一源極 / 汲極區為止。就第八接觸區 K8 之一而言須產生一個凹口直至第一電晶體之第二源極 / 汲極區為止。

沈積一層厚度大約是 100 nm 之鈦且選擇性地進行矽化，這樣可產生接觸結構 KS。剩餘之鈦例如以 $CCl_2 F_2 / NF_3$ 去除。

沈積一層厚度大約是 400 nm 之鋁，於是可產生接觸區 K1, K2, K3, K4, K5, K6, K7, K8。然後對鋁進行結構化，使產生第一導電性結構 L1 (其將第七接觸區 K7 和第八接觸區 K8 互

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

相連接)以及產生第二導電性結構 L2(其將第五接觸區 K5和第六接觸區 K6互相連接)(請參閱第 6 圖)。接觸結構 Ks可使接觸區 K1, K2, K3, K4, K5, K6, K7, K8之電阻減小。

上述四個電晶體形成一個 NAND-閘(第 12 圖)。第一接觸區 K1是與第一輸入電壓端 U_{IN1} 相連接。第二接觸區 K2是與第二輸入電壓端 U_{IN2} 相連接。第三接觸區 K3是與輸出電壓端 U_{OUT} 相連接。第四接觸區 K4是與第一電壓端 U_{SS} 相連接。第二導電性結構 L2是與第二電壓端 U_{DD} 相連接。

上述實施例之許多變型是可能的,這些變型亦在本發明之範圍內。特別是上述各層,區域以及結構之大小可依各別需要而調整。同樣情況亦適用於上述之各摻雜物質濃度。第二隔離結構亦可藉由沈積過程而產生。隔離結構亦可由其它絕緣材料所產生。若不用摻雜之多晶矽,則例如亦可使用金屬矽化物及/或金屬。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

參考符號說明

1.....基體

1S/D1, 1S/D2, 2S/D1, 2S/D2,

3S/D1, 3S/D2, 4S/D1, 4S/D2.....源極 / 汲極區

B1, B2, B3, B4, B5.....區

Ga1, Ga4.....閘極電極

Gd.....閘極介電質

H1.....輔助層

I1, I2, I3, I4.....隔離結構

K1, K2, K3, K4, K5, K6, K7, K8.....接觸區

Ka1, Ka2, Ka3, Ka4.....通道層

Kn1, Kn2.....邊緣

Ks.....接觸區結構

L1, L2.....導電性結構

M2.....遮罩

MF4.....光阻遮罩

O.....表面

S1, S2, S3, S4.....層

Sp1, Sp2.....間隔層

St1, St2, St3, St4.....層結構

Stu.....步級

A, X, Y.....軸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

四、中文發明摘要(發明之名稱:)

具有至少四個電晶體之電路配置及其製造方法

四個垂直式電晶體中之二個和其餘二個電晶體互補。這些電晶體之每二個是配置在同一高度中。須形成層結構(St1, St2, St3, St4), 其至少包含這些電晶體之一之通道層和源極/汲極區。所有層結構(St1, St2, St3, St4)可由只具有四個層之層序列所產生。為了防止由於寄生性雙極性電晶體所造成之漏電流, 這些層結構(St1, St2, St3, St4)可藉助於間隔層形式之遮罩而以非常薄之方式製成。此四個電晶體之各部份之間的電性連接可藉由層序列之各層來達成。至輸出電壓端之接觸區可藉由一個步級(step)(其是由層序列之二個層所構成)來達成。

英文發明摘要(發明之名稱: Circuit-arrangement with at least four transistors and its production method)

Two of four vertical transistors are complementary to other two transistors. Each two of the transistors are arranged in the same height. Some layer-structures (St1, St2, St3, St4) are constructed, said layer-structures include respectively at least a channel-layer and a source/drain-area of one of said transistors. All layer-structures (St1, St2, St3, St4) can be generated from a layer-sequence with only four layers. In order to prevent the leak current due to parasitic bipolar transistor, said layer-structure (St1, St2, St3, St4) can be very thinly realized by means of some spacer-formed masks. Electrical connection between portions of said four transistors can be carried out through the layers of said layer-sequence. The contact to output-voltage terminal can be carried out through a step, which is constructed from two layers of said layer-sequence.

- 2 -

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 87112741 號「具有至少四個電晶體之電路配置及其製造方法」專利案 (89 年 11 月修正)

六申請專利範圍：

1. 一種具有至少四個電晶體之電路配置，其特徵為：
 - 這些電晶體是垂直式 MOS 電晶體，
 - 這些電晶體之第一個和第四個是和第二個及第三個互補，
 - 第一電晶體及第四電晶體是串聯且連接在第一電壓端 (U_{SS}) 和輸出電壓端 (U_{OUT}) 之間，
 - 第二電晶體及第三電晶體是並聯且連接在輸出電壓端 (U_{OUT}) 和第二電壓端 (U_{DD}) 之間，
 - 第三電晶體之閘極電極 (G_{a3}) 和第四電晶體之閘極電極 (G_{a4}) 是與第一輸入電壓端 (U_{IN1}) 相連接，
 - 第一電晶體之閘極電極 (G_{a1}) 和第二電晶體之閘極電極 (G_{a2}) 是與第二輸入電壓端 (U_{IN2}) 相連接，
 - 須設置層結構 ($st1, st2, st3, st4$)，其包括各電晶體之通道層 ($ka1, ka2, ka3, ka4$) 以及至少每一電晶體之源極 / 汲極區 ($3S/D1, 2S/D1, 4S/D1, 1S/D2$)，
 - 層結構 ($st1, st2, st3, st4$)，具有邊緣，通道層 ($ka1, ka2, ka3, ka4$) 鄰接於這些邊緣且這些邊緣至少在通道層 ($ka1, ka2, ka3, ka4$) 之區域中設有閘極介電質 (G_d)，各電晶體之閘極電極 ($G_{a1}, G_{a2}, G_{a3}, G_{a4}$) 鄰接於閘極介電質 (G_d)，
 - 第一電晶體之通道層 ($Ka1$) 以及第四電晶體之通道層 ($Ka4$) 是在同一高度中，
 - 第二電晶體之通道層 ($Ka2$) 和第三電晶體之通道層 ($Ka3$) 是在同一高度中，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

- 第一電晶體之通道層 (Ka1) 和第二電晶體之通道層 (Ka2) 是在不同之高度中。
2. 如申請專利範圍第 1 項之電路配置，其中
- 第二電晶體之第一源極 / 汲極區 (2S/D1) 是配置在第二電晶體之通道層 (Ka2) 上方，
 - 第三電晶體之第一源極 / 汲極區 (3S/D1) 是配置在第三電晶體之通道層 (Ka3) 上方，
 - 第四電晶體之第一源極 / 汲極區 (4S/D1) 是配置在第四電晶體之通道層 (Ka4) 上方，
 - 第一電晶體之第二源極 / 汲極區 (1S/D2) 是配置在第一電晶體之通道層 (Ka1) 上方，
 - 第一電晶體之第二源極 / 汲極區 (1S/D2) 是經由第一導電性結構 (L1) 而與第四電晶體之第一源極 / 汲極區 (4S/D1) 相連接，
 - 第二電晶體之第一源極 / 汲極區 (2S/D1) 是經由第二導電性結構 (L2) 而與第三電晶體之第一源極 / 汲極區 (3S/D1) 相連接且與第二電壓端相連接，
 - 第二電晶體之第二源極 / 汲極區 (2S/D2) 以及第三電晶體之第二源極 / 汲極區 (3S/D2) 互相合併 (merge)。
3. 如申請專利範圍第 1 或第 2 項之電路配置，其中
- 連接線 (其將第一電晶體與第二電晶體相連接，第二電晶體與第三電晶體相連接，第三電晶體與第四電晶體相連接以及第四電晶體與第一電晶體相連接) 基本上是四角形的或是一條直線。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

4. 如申請專利範圍第3項之電路配置，其中

- 第三電晶體之第二源極 / 汲極區 (3S/D2) 以及第四電晶體之第二源極 / 汲極區 (4S/D2) 超越第三電晶體和第四電晶體而延伸且形成一個步級 (step) Stu ,
- 輸出電壓端 (U_{OUT}) 之接觸區 (K3) 配置在該步級 (Stu) 上。

5. 如申請專利範圍第3項之電路配置，其中

- 第一輸入電壓端 (U_{IN1}) 之接觸區 (K1) 配置在第三和第四電晶體之間，
- 第二輸入電壓端 (U_{IN2}) 之接觸區 (K2) 配置在第一和第二電晶體之間。

6. 如申請專利範圍第4項之電路配置，其中

- 第一輸入電壓端 (U_{IN1}) 之接觸區 (K1) 配置在第三和第四電晶體之間，
- 第二輸入電壓端 (U_{IN2}) 之接觸區 (K2) 配置在第一和第二電晶體之間。

7. 一種具有至少四個電晶體之電路配置之製造方法，其特徵為：

- 須產生一種層序列，其至少包含一個由第一導電型所摻雜之第一層 (S1)，一配置於第一層 (S1) 上方之由與第一導電型相反之第二導電型所摻雜之第二層 (S2)，一配置於第二層 (S2) 上方之由第一導電型所摻雜之第三層 (S3) 以及一配置於第三層 (S3) 上方之由第二導電型所摻雜之第四層 (S4)，

六、申請專利範圍

- 為了產生二個層結構 (st1, st4)，須對上述之層序列進行結構化，其中至少須蝕刻至第三層 (S3) 中，
- 為了產生第二個層結構 (st2, st3)，須對上述之層序列進行結構化，其中至少須蝕刻至第二層 (S2) 中，
- 上述二個層結構 (st1, st4) 之邊緣至少在第三層 (S3) 之區域中設有閘極介電質 (Gd) 且須產生與閘極介電質 (Gd) 相鄰接之閘極電極 (Ga1, Ga4)，
- 其它二個層結構 (st2, st3) 之邊緣至少在第二層 (S2) 之區域中設有閘極介電質 (Gd) 且須產生與閘極介電質 (Gd) 相鄰接之閘極電極 (Ga2, Ga3)，
- 層 (S1, S2, S3, S4) 之一部份和閘極電極 (Ga1, Ga2, Ga3, Ga4) 須相連接，以便產生一種電路配置，在此種電路配置中層結構 (st1, st2, st3, st4) 是垂直式電晶體之一部分，第一電晶體和第四電晶體串聯且連接在第一電壓端 (U_{SS}) 和輸出電壓端 (U_{OUT}) 之間，第二電晶體和第三電晶體並聯且連接在輸出電壓端 (U_{OUT}) 和第二電壓端 (U_{DD}) 之間，二個閘極電極 (Ga3, Ga4) (其中一個配屬於第三電晶體且另一個配屬於第四電晶體) 是與第一輸入電壓端 (U_{IN1}) 相連接，其它二個閘極電極 (Ga1, Ga2) (其中一個配屬於第一電晶體且另一個配屬於第二電晶體) 是與第二輸入電壓端 (U_{IN2}) 相連接。

8. 如申請專利範圍第 7 項之方法，其中

- 層結構 (st1, st2, st3, st4) 是藉由蝕刻程序而形成，

六、申請專利範圍

其中間隔層 (Sp1, Sp2) 作為第一遮罩。

9. 如申請專利範圍第 8 項之方法，其中

- 為了產生間隔層 (Sp1, Sp2)，須產生第一輔助層 (H1)，第一輔助層 (H1) 須被結構化以形成邊緣 (Kn1, Kn2)，
- 在產生已結構化之第一輔助層 (H1) 之後須產生第二輔助層且進行回蝕刻，使能由第二輔助層而產生與第一輔助層 (H1) 之邊緣 (Kn1, Kn2) 相鄰接之間隔層 (Sp1, Sp2)。

10. 如申請專利範圍第 8 或 9 項之方法，其中

- 間隔層 (Sp1, Sp2) 之第一間隔層 (Sp1) 沿著矩形之第一區 (B1) 之邊緣而產生，
- 間隔層 (Sp1, Sp2) 之第二間隔層 (Sp2) 沿著矩形之第二區 (B2) 之邊緣而產生，
- 然後在第三區 (B3) (其橫向重疊於第一區 (B1) 上方) 中去除第一間隔層 (Sp1) 之一部份，
- 在第四區 (B4) (其橫向重疊於第二區 (B2) 上方) 中去除第二間隔層 (Sp2) 之一部份，
- 然後去除已結構化之輔助層 (H1)，
- 然後藉由蝕刻而去除上述之層序列中至少二層 (S3, S4) 之一部份，其中第一間隔層 (Sp1) 和第二間隔層 (Sp2) 是作為第一遮罩，
- 然後去除第一間隔層 (Sp1) 和第二間隔層 (Sp2)，
- 然後藉助於第二遮罩 (M2) (其重疊於第一區 (B1) 之第一半部且覆蓋第二區 (B2) 之第一半部) 去除該層序列

(請先閱讀背面之注意事項再填寫本頁)

訂

線

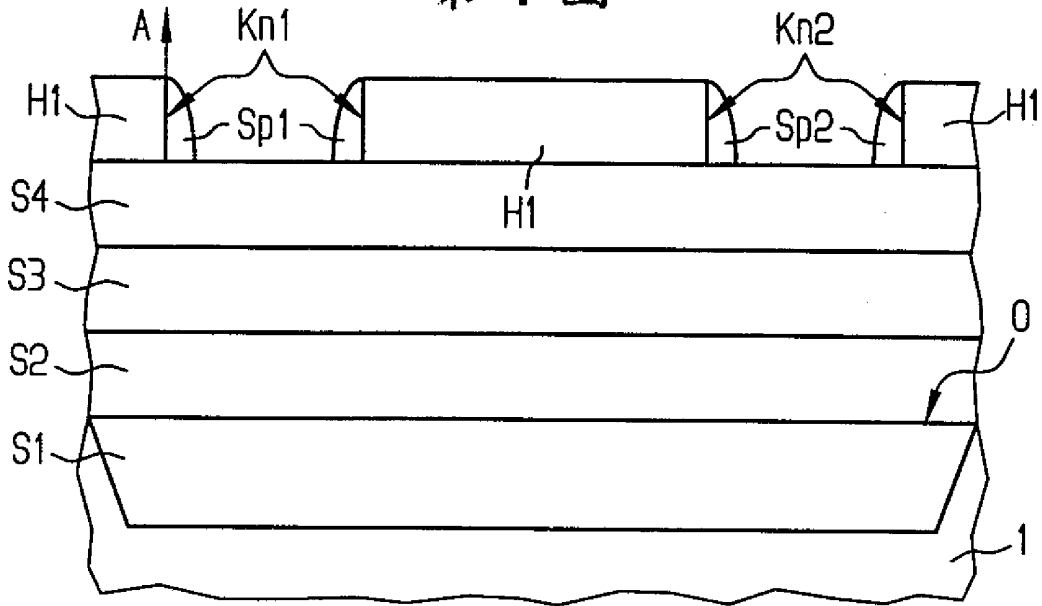
六、申請專利範圍

- 中之層 (S2) 之一部份，這樣第一層和第二層可在第一區和第二區之外部形成一個步級 (Stu)，
- 須產生第一隔離層 (I1)，其至少覆蓋第一區 (B1) 和第三區 (B3) 相交之區域且亦覆蓋第二區 (B2) 和第四區 (B4) 相交之區域，
 - 須沈積一種材料且藉助於第四遮罩 (MF4) (其至少覆蓋第一區 (B1) 和第三區 (B3) 相交之區域且亦覆蓋第二區 (B2) 和第四區 (B4) 相交之區域) 來進行蝕刻，這樣即可產生閘極電極 (Ga1, Ga2, Ga3, Ga4) 以及二個接觸面，
 - 須形成輸出電壓端 (Uout) 之接觸區 (K3)，使其重疊於步級 (Stu) 上方。

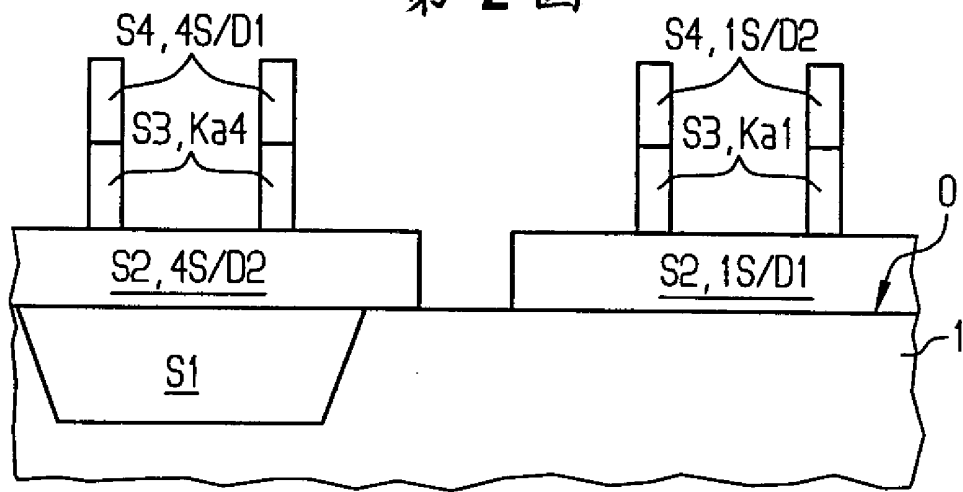
(請先閱讀背面之注意事項再填寫本頁)

訂

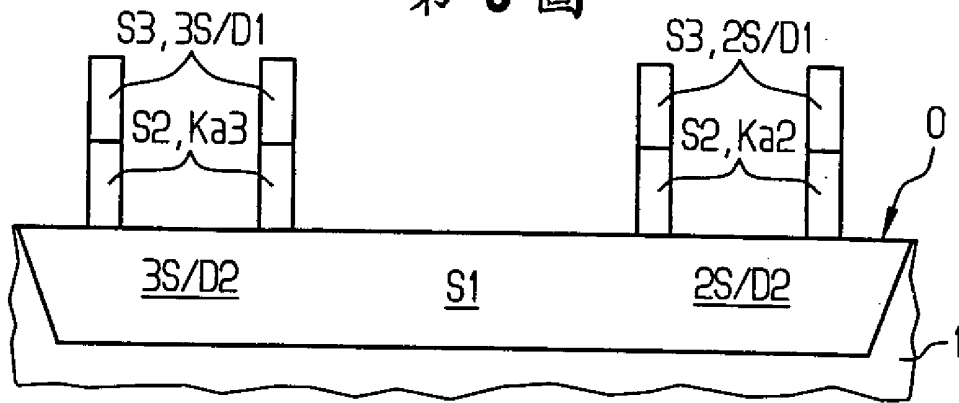
第 1 圖



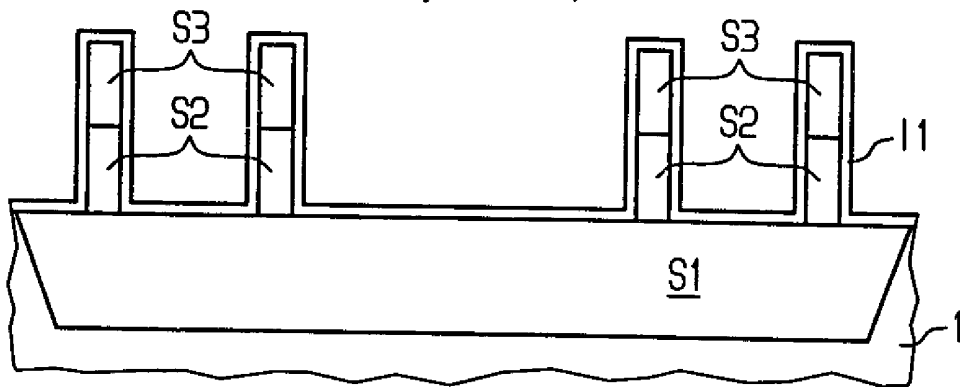
第 2 圖



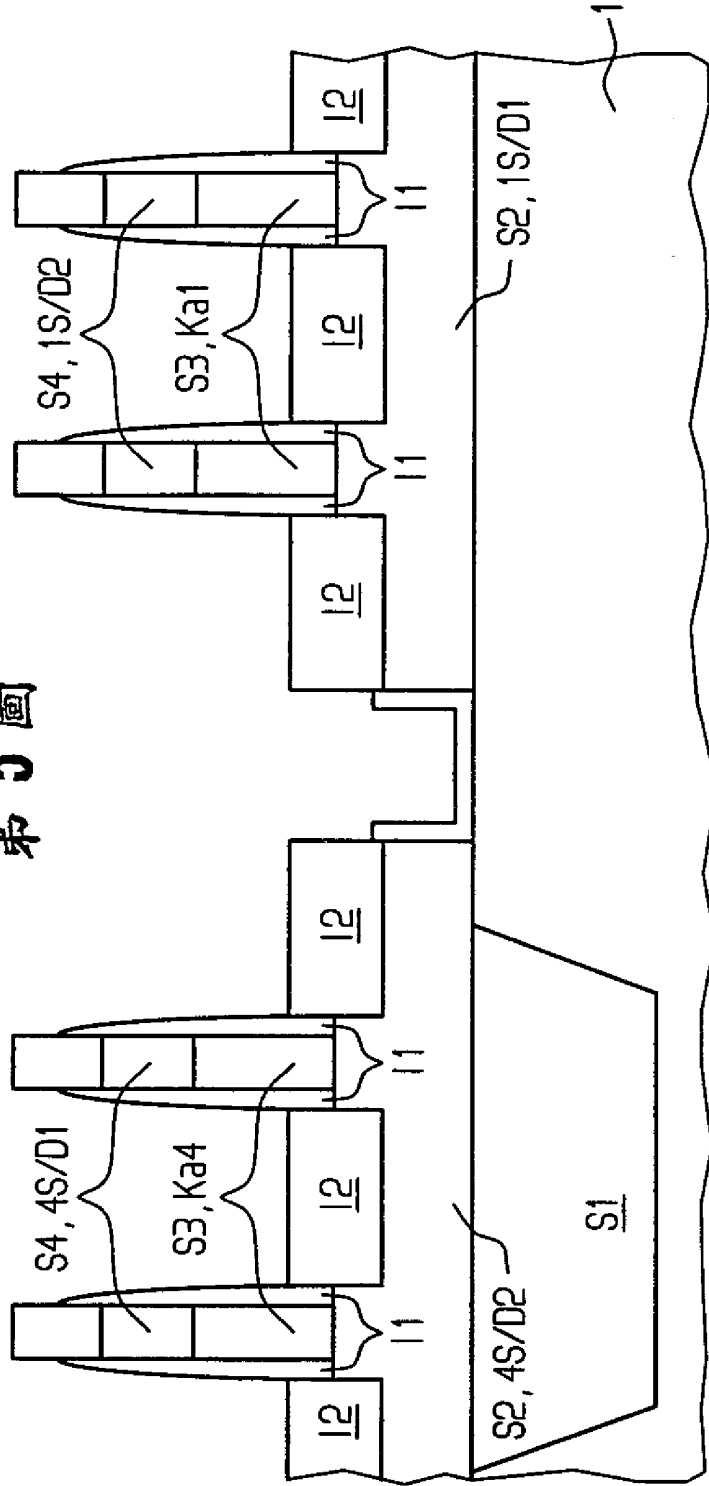
第 3 圖



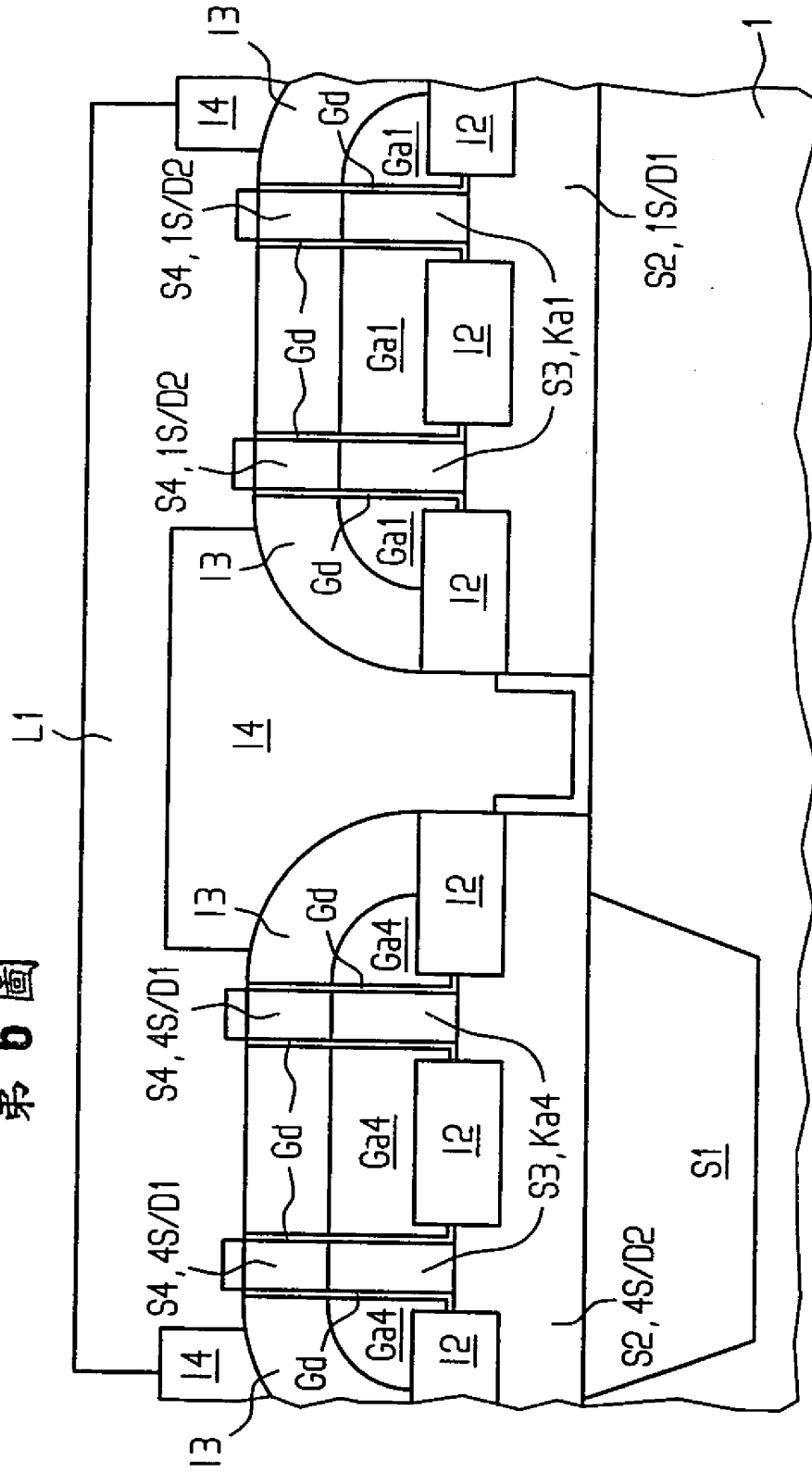
第 4 圖



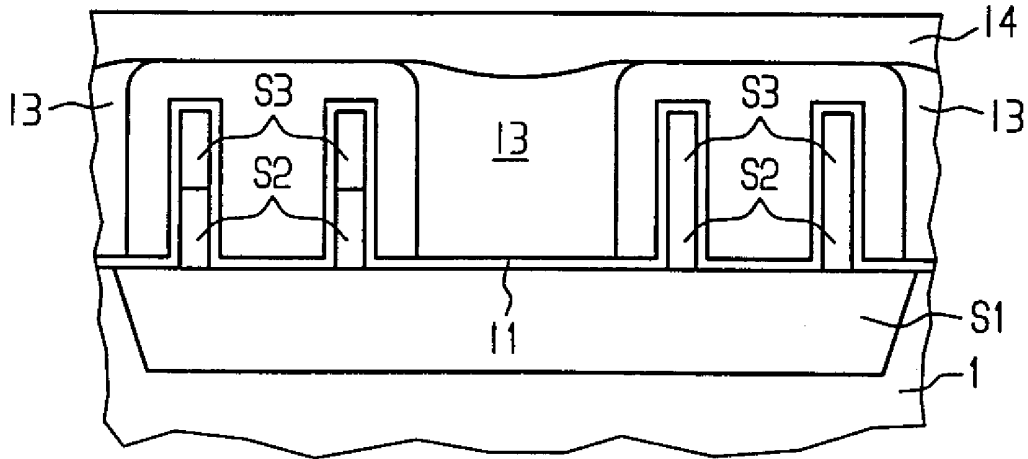
第 5 圖



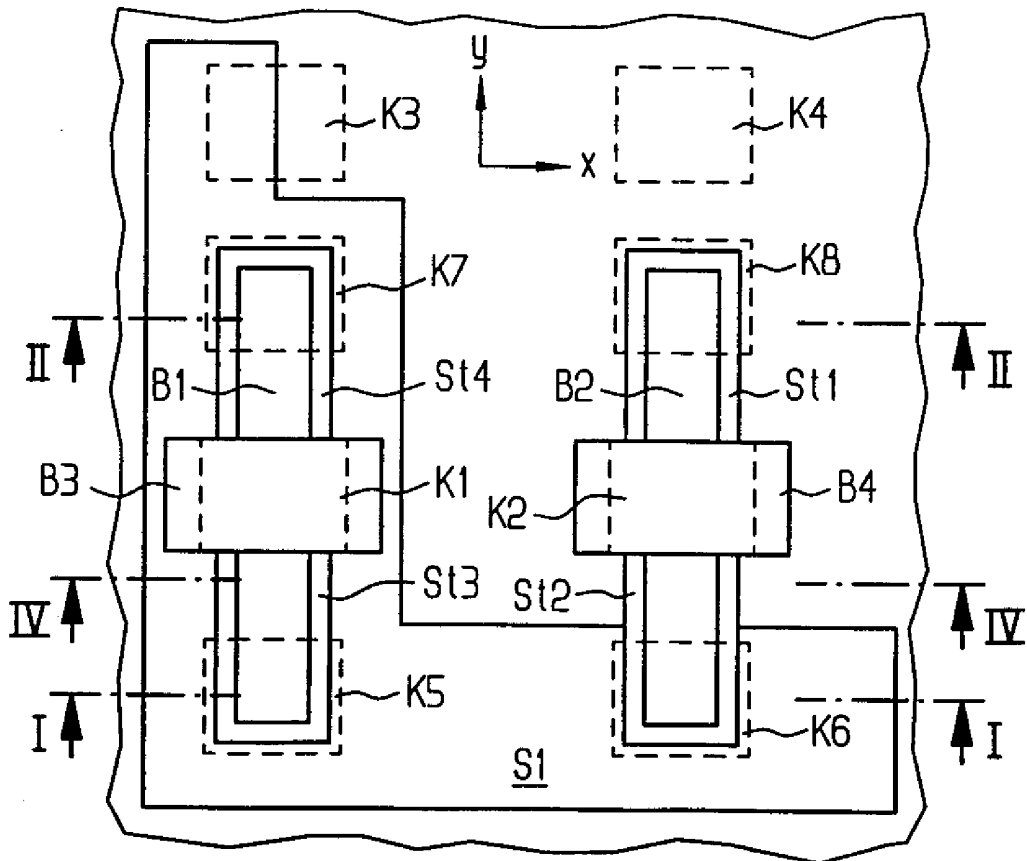
第 6 圖



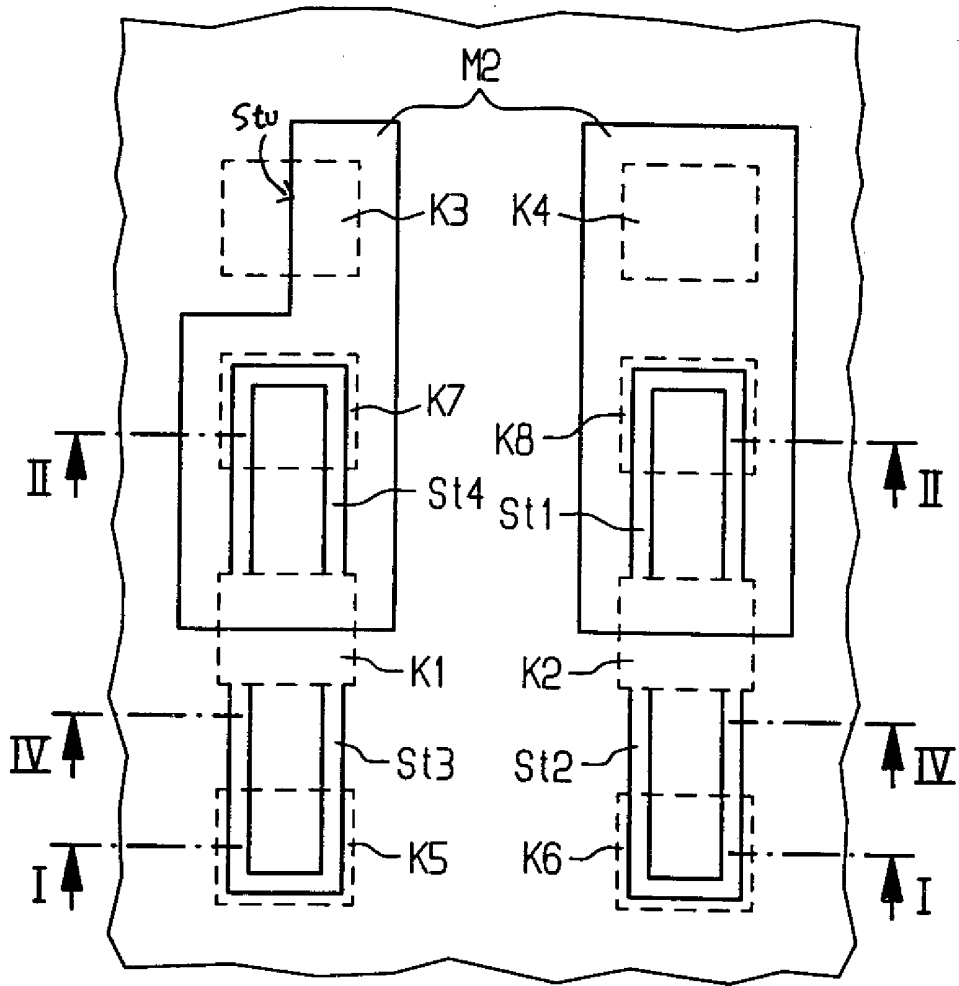
第 7 圖



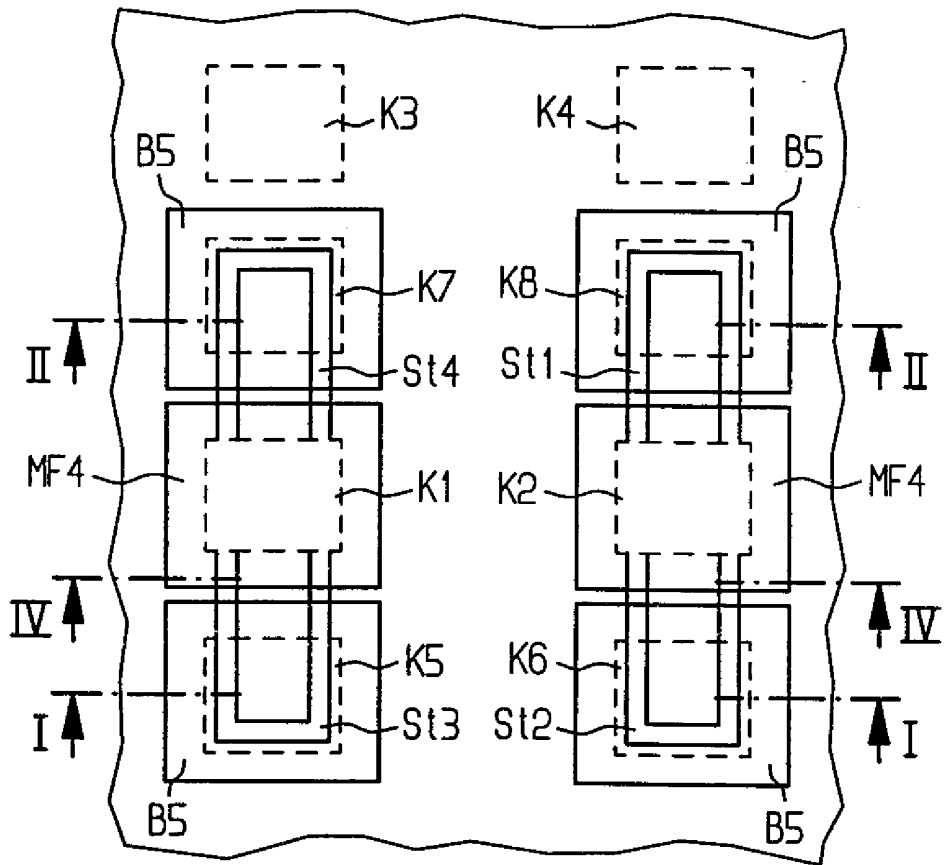
第 8 圖



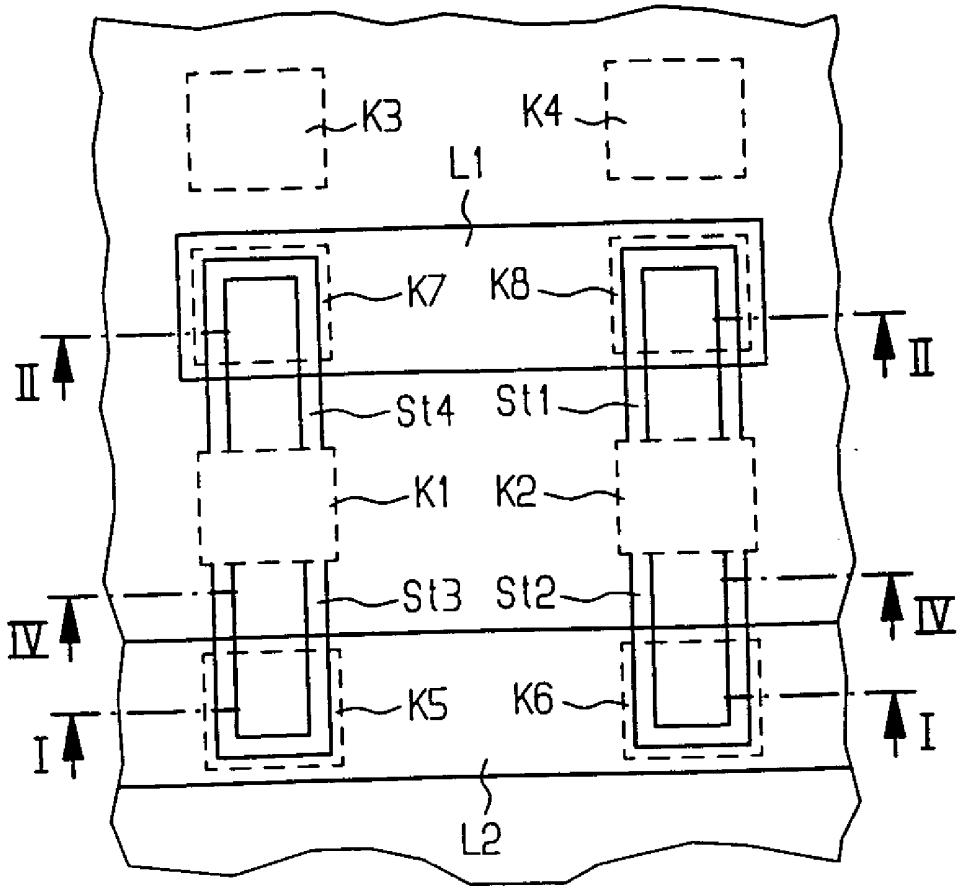
第 9 圖



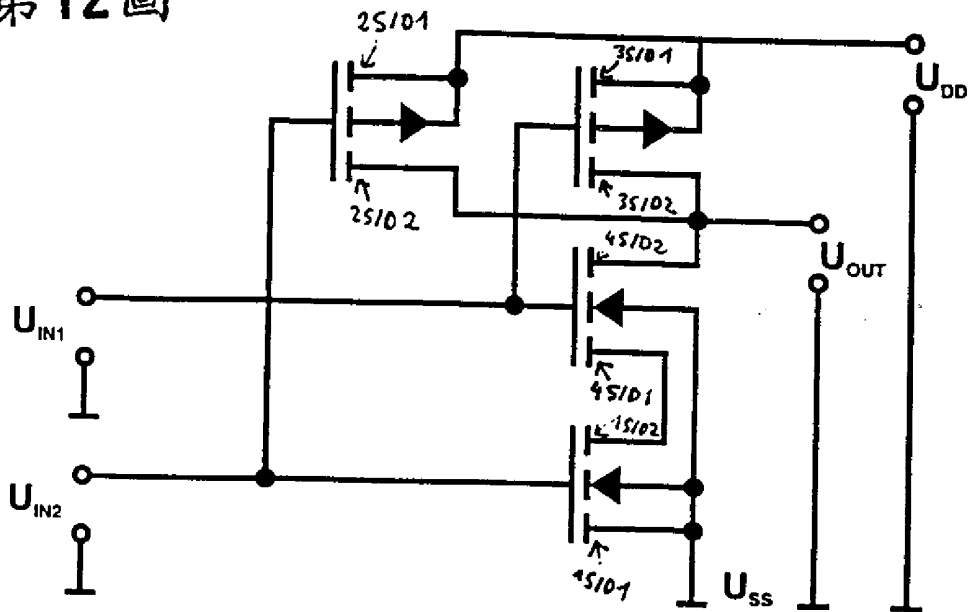
第10圖



第11圖



第12圖



五、發明說明(7)

一方式是第二電晶體之第一源極 / 汲極區以及第三電晶體之第一源極 / 汲極區配置在所屬之通道層下方。

使第三電晶體之第二源極 / 汲極區以及第四電晶體之第二源極 / 汲極區(其是與輸出電壓端相連接)超越各電晶體而延伸且設置一種步級(step)是有利的。於是,產生第四電晶體之第二源極 / 汲極區時所用之此種層鄰接於產生第三電晶體之第二源極 / 汲極區時所用之此種層。輸出電壓端之接觸區配置於上述之步級上。這樣可減少此種製程所需之費用,因為連接第二電晶體,第三電晶體和第四電晶體之第二源極 / 汲極區時不需額外之導線。第四電晶體之第一源極 / 汲極區是與第一電晶體之第二源極 / 汲極區相連接。此種連接是經由一種具有接觸區之導電性結構而達成,這些接觸區分別與第四電晶體之第一源極 / 汲極區以及第一電晶體之第二源極 / 汲極區相接觸。這些接觸區可達到相同之深度。

若第二電晶體,第三電晶體和第四電晶體之第二源極 / 汲極區以其它方式連接(例如,經由導電性結構),則第四電晶體之第一源極 / 汲極區可配置在第四電晶體之通道層下方且第一電晶體之第二源極 / 汲極區可配置在第一電晶體之通道層下方。第四電晶體之第一源極 / 汲極區和第一電晶體之第二源極 / 汲極區之間的連接是經由產生上述各電晶體時所用之層而達成。

為了只在一平行於表面之平面中製成導電性結構,則

六、申請專利範圍

第 87112741 號「具有至少四個電晶體之電路配置及其製造方法」專利案 (89 年 11 月修正)

六申請專利範圍：

1. 一種具有至少四個電晶體之電路配置，其特徵為：
 - 這些電晶體是垂直式 MOS 電晶體，
 - 這些電晶體之第一個和第四個是和第二個及第三個互補，
 - 第一電晶體及第四電晶體是串聯且連接在第一電壓端 (U_{SS}) 和輸出電壓端 (U_{OUT}) 之間，
 - 第二電晶體及第三電晶體是並聯且連接在輸出電壓端 (U_{OUT}) 和第二電壓端 (U_{DD}) 之間，
 - 第三電晶體之閘極電極 ($Ga3$) 和第四電晶體之閘極電極 ($Ga4$) 是與第一輸入電壓端 (U_{IN1}) 相連接，
 - 第一電晶體之閘極電極 ($Ga1$) 和第二電晶體之閘極電極 ($Ga2$) 是與第二輸入電壓端 (U_{IN2}) 相連接，
 - 須設置層結構 ($st1, st2, st3, st4$)，其包括各電晶體之通道層 ($ka1, ka2, ka3, ka4$) 以及至少每一電晶體之源極 / 汲極區 ($3S/D1, 2S/D1, 4S/D1, 1S/D2$)，
 - 層結構 ($st1, st2, st3, st4$)，具有邊緣，通道層 ($ka1, ka2, ka3, ka4$) 鄰接於這些邊緣且這些邊緣至少在通道層 ($ka1, ka2, ka3, ka4$) 之區域中設有閘極介電質 (Gd)，各電晶體之閘極電極 ($Ga1, Ga2, Ga3, Ga4$) 鄰接於閘極介電質 (Gd)，
 - 第一電晶體之通道層 ($Ka1$) 以及第四電晶體之通道層 ($Ka4$) 是在同一高度中，
 - 第二電晶體之通道層 ($Ka2$) 和第三電晶體之通道層 ($Ka3$) 是在同一高度中，

(請先閱讀背面之注意事項再填寫本頁)

表

訂