

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4302357号
(P4302357)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int.Cl.

F 1

H01L 21/20 (2006.01)

H01L 21/20

G02F 1/1368 (2006.01)

G02F 1/1368

H01L 21/336 (2006.01)

H01L 29/78 627G

H01L 29/786 (2006.01)

H01L 29/78 626C

H01L 29/78 618Z

請求項の数 6 (全 28 頁)

(21) 出願番号

特願2002-104391 (P2002-104391)

(22) 出願日

平成14年4月5日(2002.4.5)

(65) 公開番号

特開2002-373858 (P2002-373858A)

(43) 公開日

平成14年12月26日(2002.12.26)

審査請求日 平成17年4月5日(2005.4.5)

(31) 優先権主張番号 特願2001-109295 (P2001-109295)

(32) 優先日 平成13年4月6日(2001.4.6)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(74) 代理人 100103159

弁理士 加茂 裕邦

(72) 発明者 荒井 康行

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 前川 慎志

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 萩原 周治

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

ガラス基板上に第1の温度で第1の絶縁膜を形成し、
前記第1の絶縁膜上に第2の温度で第2の絶縁膜を形成し、
前記第2の絶縁膜に接して第3の温度で半導体膜を形成し、
前記半導体膜に金属元素を添加し、
前記金属元素が添加された前記半導体膜に第4の温度で熱処理を行って結晶質半導体膜を形成する半導体装置の作製方法であって、
前記第1の温度は、前記第4の温度より高く、
前記第4の温度を、前記第2の温度および前記第3の温度より高くすることにより、前記半導体膜に対する前記第2の絶縁膜の応力を増大させることを特徴とする半導体装置の作製方法。

【請求項2】

ガラス基板上に第1の温度で第1の絶縁膜を形成し、
前記第1の絶縁膜上に第2の温度で第2の絶縁膜を形成し、
前記第2の絶縁膜に接して第3の温度で半導体膜を形成し、
前記半導体膜に金属元素を添加し、
前記金属元素が添加された前記半導体膜に第4の温度で熱処理を行うことにより前記半導体膜に対する前記第2の絶縁膜の応力を増大させて、結晶核の生成密度が増加された結晶質半導体膜を形成する半導体装置の作製方法であって、

前記第1の温度は、前記第4の温度より高く、
前記第4の温度は、前記第2の温度および前記第3の温度より高いことを特徴とする半導体装置の作製方法。

【請求項3】

ガラス基板上に第1の温度で第1の絶縁膜を形成し、
前記第1の絶縁膜上に第2の温度で第2の絶縁膜を形成し、
前記第2の絶縁膜に接して第3の温度で半導体膜を形成し、
前記半導体膜に金属元素を添加し、
前記金属元素が添加された前記半導体膜に第4の温度で熱処理を行うことにより、前記半導体膜に対する前記第2の絶縁膜の応力を増大させて結晶核の生成密度を増加させ、粒径が20～60μmのグレインを有する結晶質半導体膜を形成する半導体装置の作製方法であって、

前記第1の温度は、前記第4の温度より高く、
前記第4の温度は、前記第2の温度および前記第3の温度より高いことを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一項において、前記第2の絶縁膜は、窒素を含む膜とすることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至3のいずれか一項において、前記第2の絶縁膜は、 SiN_x 、又は SiN_{xOy} であることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至5のいずれか一項において、前記半導体膜はスパッタ法、LPCVD法、又はプラズマCVD法により形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】

本発明は薄膜トランジスタ（以下、TFTと言ふ）で構成された回路を有する半導体装置の作製方法に関する。例えば、液晶表示装置に代表される電気光学装置、及び電気光学装置を部品として搭載した電気機器の構成に関する。また、前記装置の作製方法に関する。なお、本明細書中において半導体装置とは、半導体特性を利用して機能し得る装置全般を指し、上記電気光学装置及び電気機器もその範疇にあるとする。

【0002】

【従来の技術】

ガラス等の絶縁基板上に形成された非晶質半導体膜に対し、熱アニール法、またはレーザアニール法、または熱アニール法とレーザアニール法の両方を行い、結晶化させて結晶質半導体膜を形成したり、結晶性を向上させる技術が広く研究されている。上記半導体膜には珪素膜がよく用いられる。なお、本明細書中において、結晶質半導体膜とは、結晶構造を有する半導体膜のことを指す。

【0003】

結晶質半導体膜は、非晶質半導体膜と比較し、非常に高い移動度を有する。このため、結晶質半導体膜を利用すると、例えば、従来の非晶質半導体膜を使って作製した半導体装置では実現できなかったアクティブマトリクス型の液晶表示装置（一枚の基板上に、画素部用と駆動回路用の薄膜トランジスタ（TFT）を作製した半導体装置）が作製できる。

【0004】

しかしながら、プラズマCVD法やスパッタ法で形成した非晶質半導体膜に熱アニール法やレーザアニール法を行って結晶質半導体膜を形成すると、その結晶方位は任意な方向に配向して制御不能である場合が多い。そのため、前記結晶質半導体膜を用いてTFTを作製すると、その電気的特性を制限する要因となっている。

【0005】

10

20

30

40

50

結晶質半導体膜の表面の結晶方位を分析する手法として、E B S P (Electron BackScatter diffraction Pattern: 反射電子線回折パターン) 法がある。E B S P 法は、結晶質半導体膜の表面の結晶方位を解析する手法であり、各測定ポイントの結晶粒が表面に向いている結晶方位を色別に表したり、ある測定ポイントに着目し、隣接するポイントにおいて、測定者の設定した結晶方位のずれ角(許容ずれ角)の範囲内である領域を区別して表すこともできる。前記許容ずれ角は測定者が自由に設定することが可能であるが、本明細書中では、前記許容ずれ角を 15°と設定し、あるポイントに着目したときに隣接するポイントの結晶方位のずれ角が 15°以下の範囲内である領域をグレインと呼ぶ。許容ずれ角を 15°としたのは、一般的な設定値が 15°であるためである。グレインは複数の結晶粒から形成されているが、グレイン内における結晶方位の許容ずれ角が小さいため、巨視的には 1 つの結晶粒と見なすことができる。

【0006】

また、非晶質半導体膜の結晶化法の 1 つとして特開平 7 - 183540 号公報に記載されている方法が挙げられる。ここで、前記方法を簡単に説明する。まず、非晶質半導体膜にニッケルまたは、パラジウム、または鉛等の金属元素を微量に添加する。添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。前記添加の後、例えば 550 の窒素雰囲気に 4 時間、非晶質半導体膜を曝して結晶質半導体膜を形成するものである。このような結晶質半導体膜で TFT を形成すると、電界効果移動度の向上のみでなく、サブスレッシュルド係数 (S 値) が小さくなり、飛躍的に電気的特性を向上させることができることが可能となっている。結晶化に最適な加熱温度や加熱時間等は、前記金属元素の添加量や非晶質半導体膜の状態による。また、この結晶化法を用いれば、結晶方位の配向性を单一方向に高めることができることが確認されている。

【0007】

上記結晶化法を用いて形成したのが図 16 (A) である。具体的には、合成石英ガラス基板上に、L P C V D (Low Pressure CVD) 装置により膜厚 65 nm の非晶質珪素膜を形成した。その後、酢酸ニッケル水溶液 (重量換算濃度 5 ppm、体積 10 ml) を非晶質珪素膜表面にスピンドルにて塗布して金属含有層を形成し、熱処理 (600、12 時間) を行って、半導体膜の結晶化を行った。そして、光学顕微鏡にてグレインの結晶方位や境界を観察するために、前記半導体膜を 0.5% フッ酸に 30 秒間浸して酸化膜除去し、さらに KOH / IPA 液に 30 秒間浸した。このような異方性エッチングを行った後に、光学顕微鏡 (明視野反射モード、200 倍) にてグレインを観察したのが図 16 (A) である。また、図 16 (B) は図 16 (A) の模式図である。

【0008】

ところで、CVD 法 (化学的気相成長法) やスパッタ法などの公知の成膜技術で作製される薄膜は、内部応力があることが知られている。内部応力には真性応力と、薄膜と基板との熱膨張係数の差に起因する熱応力とが含まれている。

【0009】

熱応力は、基板の材質やプロセス温度を考慮することにより、その影響を無視することができるが、真性応力の発生メカニズムは必ずしも明確にはされておらず、むしろ膜の成長過程やその後の熱処理などによる相変化や組成変化が複雑に絡みあって発生しているものと考えられていた。

【0010】

一般的に内部応力は、引張応力と圧縮応力とがある。図 17 (A) に示すように、基板 402 に対して薄膜 401 が収縮しようとするときには、基板 402 はそれを妨げる方向に引っ張るため薄膜を内側にして変形し、これを引張応力と呼んでいる。一方、図 17 (B) に示すように、薄膜 401 が伸張しようとするときには、基板 402 は押し縮められ薄膜 401 を外側にして形成するので、これを圧縮応力と呼んでいる。一般に、引っ張り応力を + で示し、圧縮応力を - で示すことが多い。

【0011】

【発明が解決しようとする課題】

10

20

30

40

50

結晶質半導体膜を用いて TFT を作製する場合、素子分離のために前記結晶質半導体膜をパターニングにより分離すると、個々の TFT の活性領域、特にチャネル形成領域において、グレインの粒界が多く存在するものと、ほとんど単一のグレインのみで形成されるものなどのばらつきが生じた。また、結晶化を助長する金属元素を用いて半導体膜の結晶化を行うと、金属元素を核として形成された結晶粒と、自然核（本明細書中では、形成された結晶粒の核が金属元素以外である場合を自然核と定義する。）が発生して形成された結晶粒とが混在し、半導体膜の物性にばらつきを生じていた。なお、自然核は 600 以上の高温や、結晶化に要する時間が長時間になると発生しやすくなることが知られている。このようなばらつきは、電気的特性のばらつきの原因や、各種半導体装置の表示部として用いたときの表示むらの原因となっていた。

10

【0012】

そこで、グレインの粒径を小さくすることで、個々の TFT の活性領域、特にチャネル形成領域におけるグレインの数のばらつきを抑える方法が考えられる。グレインの粒径を小さくするためには、結晶核の生成密度を増加させればよい。つまり、半導体膜の表面エネルギーを低下させたり、半導体膜の化学ポテンシャルを増加させることで臨界核半径を減少させ、結晶核の生成密度を増加させればよい。その方法の 1 つとして、半導体膜に結晶化を助長する金属元素を多量に添加して、前記半導体膜の表面エネルギーおよび化学ポテンシャルを変化させる方法が挙げられる。この方法を用いれば、前記金属元素による多数の結晶核が生成してグレインの粒径を小さくする事ができる。しかしながら、前記方法では前記金属元素が高抵抗領域（チャネル形成領域やオフセット領域）中に金属化合物として過剰に残留すると言う問題がある。前記金属化合物は電流が流れやすいため、高抵抗領域であるべき領域の抵抗を下げる事になり、TFT の電気的特性の安定性および信頼性を損なう原因となる。

20

【0013】

本発明はこのような問題を解決するための技術であり、前記金属元素の使用量を増加することなく、該金属元素を用いて得られる結晶質半導体膜のグレインの粒径を小さくすることで、個々の TFT の活性領域、特にチャネル形成領域におけるグレインの数を平均化するための技術であり、TFT を用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、半導体装置の動作特性および信頼性の向上を実現することを目的としている。

30

【0014】

【課題を解決するための手段】

本発明は、半導体膜を成膜する際の温度および前記半導体膜の結晶化工程の温度よりも低温で作製された絶縁膜上に半導体膜を形成して、金属元素を利用した熱結晶化法を行うことを特徴とする。

【0015】

既に述べたように、何らかの方法により半導体膜の表面エネルギーや化学ポテンシャルを変化させて臨界核半径を小さくすれば、結晶核の生成密度を増加することができる。また、薄膜を一度ある温度に曝すと、その温度より低い温度に曝しても応力は変化しないが、高い温度に曝すと応力が増大する。そこで、本発明は、半導体膜の結晶化工程における熱処理によって、半導体膜に対して前記絶縁膜に応力を増大させ、前記半導体膜に歪みを生じさせる。

40

【0016】

本発明の作製工程は、第 1 の温度で絶縁膜を形成し、前記絶縁膜上に第 2 の温度で半導体膜を形成し、前記半導体膜に金属元素を添加し、前記金属元素が添加された前記半導体膜に第 3 の温度で熱処理を行って結晶質半導体膜を形成する半導体装置の作製方法であって、前記第 3 の温度は前記第 1 の温度および前記第 2 の温度より高いことを特徴とすることを特徴としている。

【0017】

本発明の他の作製工程は、第 1 の温度で絶縁膜を形成し、前記絶縁膜上に第 2 の温度で半

50

導体膜を形成し、前記半導体膜に金属元素を添加し、前記金属元素が添加された前記半導体膜に第3の温度で熱処理を行って結晶質半導体膜を形成する半導体装置の作製方法であつて、前記第3の温度を、前記第1の温度および前記第2の温度より高くすることにより、前記絶縁膜の応力を増大させることを特徴としている。

【0018】

本発明の他の作製工程は、第1の温度で絶縁膜を形成し、前記絶縁膜上に第2の温度で半導体膜を形成し、前記半導体膜に金属元素を添加し、前記金属元素が添加された前記半導体膜に第3の温度で熱処理を行うことにより、前記絶縁膜の応力を増大させて結晶核の生成密度が増加された結晶質半導体膜を形成する半導体装置の作製方法であつて、前記第3の温度は、前記第1の温度および前記第2の温度より高いことを特徴としている。 10

【0019】

上記各作製工程において、前記第3の温度は、前記第1の温度よりも高いことを特徴としている。前記第1の温度で形成された前記絶縁膜は、該第1の温度より高温である前記第3の温度に曝されると応力が増大する。それに伴い、前記絶縁膜上に形成されている半導体膜に歪みが生じる。前記歪みを生じさせることで、前記半導体膜の表面エネルギーや化学ポテンシャルが変化し、結晶核の生成を促進する。そのため、結晶核の生成密度が増加し、グレインの粒径を小さくする事が可能となる。本発明を実施すると、例えばグレインのサイズが100～150μm程度であるものを60μm程度以下（代表的には20～60μm）にすることができる。そのため、チャネル形成領域に含まれ得るグレインの数が平均化されるので、TFTを作製したときの電気的特性のばらつきを低減したり、表示部として用いたときに表示むらを低減するなどの効果を奏する。 20

【0020】

また、前記第3の温度は、前記第2の温度よりも高いことを特徴としている。また、前記第2の温度は、前記第1の温度より高くてよい。薄膜はある温度に一度曝されると、その温度より低い温度に曝されても応力が変化しないが、高い温度に曝されると応力が増大する。そのため、第2の温度が第3の温度よりも低ければ、前記絶縁膜が第3の温度に曝されたときに応力が増大し、それに伴って前記半導体膜に歪みを生じさせることができるからである。

【0021】

また、上記各作製工程において、前記絶縁膜は積層構造としてもよい。また、前記絶縁膜は、窒素を含む膜とするのが望ましい。そして、前記絶縁膜を形成するための基板として、ガラス基板、石英基板やシリコン基板、プラスチック基板、金属基板、ステンレス基板、可撓性基板などを用いることができる。前記ガラス基板として、バリウムホウケイ酸ガラス、またはアルミニウムホウケイ酸ガラスなどのガラスからなる基板が挙げられる。また、可撓性基板とは、PET、PES、PEN、アクリルなどからなるフィルム状の基板のことであり、可撓性基板を用いて半導体装置を作製すれば、軽量化が見込まれる。可撓性基板の表面、または表面および裏面にアルミ膜（AlON、AlN、AlOなど）、炭素膜（ DLC（ダイヤモンドライクカーボン）など）、SiNなどのバリア層を単層または多層にして形成すれば、耐久性などが向上するので望ましい。 30

【0022】

また、上記各作製工程において、前記半導体膜としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質珪素膜や、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0023】

また、上記各作製工程において、前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Sn、Sbから選ばれた一種または複数種の元素であるとする。

【0024】

また、本発明の他の作製工程は、第1の温度で第1の絶縁膜を形成し、前記第1の絶縁膜上に第2の温度で第2の絶縁膜を形成し、前記第2の絶縁膜上に第3の温度で半導体膜を 50

形成し、前記半導体膜に金属元素を添加し、前記金属元素が添加された前記半導体膜に第4の温度で熱処理を行って結晶質半導体膜を形成する半導体装置の作製方法であって、前記第1の温度は、前記第4の温度より高く、前記第4の温度を、前記第2の温度および前記第3の温度より高いことを特徴としている。

【0025】

また、本発明の他の作製工程は、第1の温度で第1の絶縁膜を形成し、前記第1の絶縁膜上に第2の温度で第2の絶縁膜を形成し、前記第2の絶縁膜上に第3の温度で半導体膜を形成し、前記半導体膜に金属元素を添加し、前記金属元素が添加された前記半導体膜に第4の温度で熱処理を行って結晶質半導体膜を形成する半導体装置の作製方法であって、前記第1の温度は、前記第4の温度より高く、前記第4の温度を、前記第2の温度および前記第3の温度より高くすることにより、前記第2の絶縁膜の応力を増大させることを特徴としている。10

【0026】

また、本発明の他の作製工程は、第1の温度で第1の絶縁膜を形成し、前記第1の絶縁膜上に第2の温度で第2の絶縁膜を形成し、前記第2の絶縁膜上に第3の温度で半導体膜を形成し、前記半導体膜に金属元素を添加し、前記金属元素が添加された前記半導体膜に第4の温度で熱処理を行うことにより、前記第2の絶縁膜の応力を増大させて結晶核の生成密度が増加された結晶質半導体膜を形成する半導体装置の作製方法であって、前記第1の温度は、前記第4の温度より高く、前記第4の温度は、前記第2の温度および前記第3の温度より高いことを特徴としている。20

【0027】

上記各作製工程において、前記第1の温度は、前記第4の温度より高いことを特徴としている。薄膜はある温度に一度曝されると、その温度より低い温度に曝されても応力が変化しないが、高い温度に曝されると応力が増大する。前記第4の温度に前記第1の絶縁膜と前記第2の絶縁膜が曝されたときに、前記第1の絶縁膜と前記第2の絶縁膜の両方に応力が増大すると、互いに打ち消し合って前記半導体膜に歪みが生じない可能性がある。そのため、前記第1の絶縁膜を予め前記第4の温度より高い前記第1の温度で形成しておくと、前記第4の温度に曝されたときに前記第2の絶縁膜に応力が増大するため、前記半導体膜に歪みを生じさせるには特に有効である。

【0028】

また、上記各作製工程において、前記第4の温度は、前記第2の温度よりも高いことを特徴としている。前記第2の温度で形成された前記第2の絶縁膜は、前記第2の温度より高温である前記第4の温度に曝されると応力が増大する。それに伴い、前記第2の絶縁膜上に形成されている前記半導体膜に歪みが生じる。前記歪みを生じさせることで、前記半導体膜の表面エネルギーや化学ポテンシャルが変化し、結晶核の生成を促進する。そのため、結晶核の生成密度が増加し、グレインの粒径を小さくする事が可能となる。本発明を実施すると、例えばグレインのサイズが $100 \sim 150 \mu\text{m}$ 程度であるものを $60 \mu\text{m}$ 程度以下（代表的には $20 \sim 60 \mu\text{m}$ ）にすることができる。30

【0029】

また、前記第4の温度は、前記第3の温度よりも高いことを特徴としている。また、前記第3の温度は、前記第1の温度および前記第2の温度より高くてよい。薄膜はある温度に一度曝されると、その温度より低い温度に曝されても応力が変化しないが、高い温度に曝されると応力が増大する。そのため、前記第3の温度が前記第4の温度よりも低ければ、前記第2の絶縁膜が第4の温度に曝されたときに応力が増大し、それに伴って前記半導体膜に歪みを生じさせることができるからである。40

【0030】

また、上記各作製工程において、前記第2の絶縁膜は、窒素を含む膜とするのが望ましい。そして、前記第1の絶縁膜を形成するための基板として、ガラス基板、石英基板やシリコン基板、プラスチック基板、金属基板、ステンレス基板、可撓性基板などを用いることができる。50

【0031】

また、上記各作製工程において、前記半導体膜としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質珪素膜や、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0032】

また、上記各作製工程において、前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Au、Sn、Sbから選ばれた一種または複数種の元素であるとする。

【0033】

以上のような本発明を適用することにより、半導体装置の性能を大幅に向上させうる。例 10 えば、TFTを例に挙げると、チャネル形成領域に含まれうるグレインの数を平均化することができる。そのため、オン電流値(TFTがオン状態にある時に流れるドレイン電流値)、オフ電流値(TFTがオフ状態にある時に流れるドレイン電流値)、しきい値電圧、S値及び電界効果移動度のばらつきを低減することも可能となる。

【0034】

【発明の実施の形態】

本発明の実施形態について図1の断面図を用いて説明する。

【0035】

図1(A)において基板10には、合成石英ガラス基板、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどの無アルカリガラスと言ったガラス基板を用いても良い。例 20 えば、コーニング社製の7059ガラスや1737ガラスなどを好適に用いることが出来る。また、本実施形態の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0036】

前記基板10の上に下地絶縁膜11を公知の手段(LPCVD法、プラズマCVD法等)により窒化珪素膜、酸化窒化珪素膜または酸化珪素膜などで後工程で行う結晶化工程より低温で形成する。もちろん、下地絶縁膜は単層ではなく、2層以上の積層構造としても良いが、少なくとも半導体膜に接する下地絶縁膜を形成するときの温度は、半導体膜の結晶化工程での温度より低温であるとする。このようにすることで、下地絶縁膜のうちの最上層(半導体膜に接する下地絶縁膜)において増大する応力に伴い、半導体膜に歪みを形成することが可能となり、結晶核の生成密度を向上することが可能となる。 30

【0037】

次に、半導体膜12をプラズマCVD法やスパッタ法などの公知の手段で10~200nm(好ましくは30~100nm)の厚さに形成する。前記半導体膜12としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0038】

その後、ニッケル等の金属元素を用いた熱結晶化法により半導体膜を結晶化する。まず、結晶化を助長するための金属元素を含む層(金属含有層13)を形成する。前記金属元素としては、ニッケル、またはパラジウム、または鉛等の金属元素があり、添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。 40

【0039】

そして、熱処理を行って、半導体膜の結晶化を行う。この熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~550℃で、4~12時間程度行えばよい。また、熱アニール法の他の熱処理としてラピッドサーマルアニール法(RTA法)等を用いてもよい。

【0040】

また、半導体膜の結晶化には、金属元素を用いた熱結晶化法以外の公知の結晶化法(レーザ結晶化法等)と組み合わせて半導体膜の結晶化を行うこともできる。 50

【0041】

熱処理は下地絶縁膜11が形成されるときの温度より高温で処理されるため、該下地絶縁膜11における引っ張り応力が増加する。それに伴い、前記下地絶縁膜11上に形成されている前記半導体膜12に歪みが生じる。前記歪みが生じることで、半導体膜の表面エネルギーや化学ポテンシャルが変化して結晶核の生成密度が向上する。そのため、形成されるグレインの粒径は小さくなる。

【0042】

このようにして形成された結晶質半導体膜14を用いてTFTを作製すると、活性領域、特にチャネル形成領域に含まれうるグレインの数を平均化することができる。また、電気的特性のばらつきを低減し、各種半導体装置の表示部として用いたときに、表示むらを抑えることを可能とする。10

【0043】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0044】**【実施例】****[実施例1]**

本実施例では、本発明の有効性を確認するため、さまざまな下地絶縁膜を用いて熱処理を行い、熱処理前後の応力の変化を調べた。

【0045】

図1(A)において基板10として、合成石英ガラス基板を適用し、前記基板10上に下地絶縁膜11を形成する。下地絶縁膜として、プラズマCVD法により400で膜厚50nmの窒化酸化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%)上に膜厚100nmの窒化酸化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)を積層したものの(試料1)、LPCVD法により400で膜厚200nm酸化珪素膜を形成したものの(試料2)、LPCVD法により775で膜厚200nm窒化珪素膜を形成したものの(試料3)、LPCVD法により800で膜厚200nm酸化珪素膜を形成したものの(試料4)の4種類を用意した。ここで、熱処理を行う前の試料1～試料4のそれぞれの下地絶縁膜11の応力を測定した。20

【0046】

続いて、ファーネスアーナー炉を用い、窒素雰囲気中にて600で8時間の熱処理を行った。そして、熱処理後の下地絶縁膜11の応力を測定した。前記熱処理の前後での応力の変化について、図15に示す。ここで、-は半導体膜に対する下地絶縁膜の圧縮応力を示し、+は引っ張り応力を示す。30

【0047】

図15において、試料1の応力は 1.0×10^9 dynes/cm²から 4.0×10^9 dynes/cm²に変化しており、試料2は 4.5×10^8 dynes/cm²から 8.5×10^8 dynes/cm²に変化しており、試料3は 1.0×10^{10} dynes/cm²のままで変化せず、試料4は -1.5×10^9 dynes/cm²のままで変化していない。このように図15から熱処理の温度が下地絶縁膜を形成するときの温度より低い場合は応力は変化しない。しかしながら、熱処理の温度が下地絶縁膜を形成するときの温度より高い場合は、応力が増加することが分かる。このような場合において、下地絶縁膜上に半導体膜が形成されれば、該下地絶縁膜における応力の増加に伴って、前記半導体膜に歪みが生じることは容易に推測できる。前記歪みが生じることで、半導体膜の表面エネルギーや化学ポテンシャルが変化して結晶核の生成密度が向上する。そのため、形成されるグレインの粒径は小さくなる。40

【0048】

また、熱処理の温度が下地絶縁膜を形成するときの温度より低い場合は、前記下地絶縁膜の応力は変化しないことから、このような下地絶縁膜を下層とし、前記熱処理の温度が下地絶縁膜を形成するときの温度より高い下地絶縁膜を上層とする積層構造の下地絶縁膜を50

形成してもよい。

【0049】

上記の試料においては、プラズマCVD法により400 nmで膜厚50 nmの窒化酸化珪素膜上に膜厚100 nmの窒化酸化珪素膜を積層したものの（試料1）、LPCVD法により400 nmで膜厚200 nm酸化珪素膜を形成したものの（試料2）が熱処理後に応力が著しく変化している。このため、これらの試料を下地絶縁膜として用いれば、該下地絶縁膜上に形成される半導体膜における結晶核の生成密度を増加させ、グレインの大きさを揃えるのに非常に有効である。

【0050】

特に窒素を含む膜（SiNxやSiN_xOy）は応力が引っ張り応力側に大きい傾向があり、熱処理による応力の変化が大きくなる場合が多い。そのため、これらの膜の上に半導体膜を形成して熱処理を行うと、結晶核の生成密度を十分に向上させることができる。10

【0051】

このようにして得られる結晶質半導体膜を用いてTFTを作製すると、活性領域、特にチャネル形成領域に含まれるグレインの数を平均化することができる。また、電気的特性のばらつきを低減し、各種半導体装置の表示部として用いたときに、表示むらを抑えることを可能とする。

【0052】

[実施例2]

本発明の他の構成の実施例について図2の断面図を用いて説明する。20

【0053】

図2(A)において基板10には、合成石英ガラス基板、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどの無アルカリガラスと言ったガラス基板を用いても良い。例えば、コーニング社製の7059ガラスや1737ガラスなどを好適に用いることが出来る。また、本実施形態の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。本実施例では、合成石英ガラス基板を適用する。

【0054】

基板10上に導電膜を形成し、エッチングを行って所望の形状の導電層31を形成する。導電層の材料に特に限定はないが、耐熱性を有するものを用い、Ta、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。もちろん、導電層は単層ではなく、積層としてもよい。本実施例では、スパッタ法により膜厚400 nmのW膜を形成した後、エッチングを行って導電層31を形成する。30

【0055】

続いて、前記基板10および前記導電層31に接して、絶縁膜32を公知の手段（LPCVD法、プラズマCVD法等）により窒化珪素膜、酸化窒化珪素膜または酸化珪素膜などで形成する。本実施例において、絶縁膜32として、350 nmにて、膜厚150 nmの酸化窒化珪素膜を形成する。

【0056】

次に、前記絶縁膜32上に半導体膜33をプラズマCVD法やスパッタ法などの公知の手段で10~200 nm（好ましくは30~100 nm）の厚さに形成する。前記半導体膜33としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。本実施例では、スパッタ法を用い、150 nmにて、膜厚55 nmの非晶質珪素膜を成膜する。40

【0057】

その後、ニッケル等の金属元素を用いた熱結晶化法により半導体膜を結晶化する。まず、結晶化を助長するための金属元素を含む層（金属含有層34）を形成する。前記金属元素としては、ニッケル、またはパラジウム、または鉛等の金属元素があり、添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。50

本実施例では、酢酸ニッケル水溶液（重量換算濃度 5 p p m、体積 1 0 m l）を非晶質珪素膜表面にスピンコートにて塗布し、金属含有層 3 4 を形成する。

【 0 0 5 8 】

そして、熱処理を行って、半導体膜の結晶化を行う。この熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 、代表的には 5 0 0 ~ 5 5 0 で、4 ~ 1 2 時間程度行えればよい。また、熱アニール法の他の熱処理としてラピッドサーマルアニール法（R T A 法）等を用いてもよい。本実施例では、熱処理（5 8 0 、8 時間）を行い、結晶質珪素膜を形成する。

【 0 0 5 9 】

もちろん、半導体膜の結晶化には、金属元素を用いた熱結晶化法以外の公知の結晶化法（レーザ結晶化法等）と組み合わせて半導体膜の結晶化や、結晶性の向上を行うこともできる。

【 0 0 6 0 】

熱処理は絶縁膜が形成されるときの温度より高温で処理されるため、前記絶縁膜における応力が増加する。それに伴い、前記絶縁膜上に形成されている前記半導体膜に歪みが生じる。前記歪みが生じることで、前記半導体膜の表面エネルギーや化学ポテンシャルが変化して結晶核の生成密度が向上する。そのため、形成されるグレインの粒径は小さくなる。

【 0 0 6 1 】

このようにして形成された結晶質半導体膜を用いて TFT を作製すると、活性領域、特にチャネル形成領域に含まれうるグレインの数を平均化することができる。また、電気的特性のばらつきを低減し、各種半導体装置の表示部として用いたときに、表示むらを抑えることを可能とする。

【 0 0 6 2 】

[実施例 3]

本実施例ではアクティブマトリクス基板の作製方法について図 3 ~ 図 8 を用いて説明する。本明細書では C M O S 回路、及び駆動回路と、画素 TFT 、保持容量とを有する画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【 0 0 6 3 】

まず、本実施例ではコーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニオホウケイ酸ガラスなどのガラスからなる基板 5 0 1 を用いる。なお、基板 5 0 1 としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。本実施例では合成石英ガラス基板を用いる。

【 0 0 6 4 】

次いで、石英基板 5 0 1 上に下地膜 5 0 2 を形成し、該下地膜 5 0 2 上に下部遮光膜 5 0 3 を形成する。まず、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る膜厚 1 0 ~ 1 5 0 n m（好ましくは 5 0 ~ 1 0 0 n m）の下地膜 5 0 2 を形成する。そして、本実施例の処理温度に耐え得る T a 、 W 、 C r 、 M o 等の導電性材料およびその積層構造により 3 0 0 n m 程度の膜厚で下部遮光膜 5 0 3 を形成する。前記下部遮光膜はゲート配線としての機能も有する。本実施例では膜厚 7 5 n m の結晶質珪素膜を形成し、続いて膜厚 1 5 0 n m の W S i x (x = 2 . 0 ~ 2 . 8) を成膜した後、不要な部分をエッチングして下部遮光膜 5 0 3 を形成する。なお、本実施例では、下部遮光膜 5 0 3 として単層構造を用いるが積層でも良いし、前記下地膜においても絶縁膜を 2 層以上積層させた構造を用いても良い。

【 0 0 6 5 】

そして基板 5 0 1 および下部遮光膜 5 0 3 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る膜厚 1 0 ~ 6 5 0 n m（好ましくは 5 0 ~ 6 0 0 n m）の下地膜 5 0 4 を形成する。本実施例では下地膜 5 0 4 として単層構造を用いるが、前記絶縁膜

10

20

30

40

50

を2層以上積層させた構造を用いても良い。本実施例では、下地膜504としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される膜厚580nmの酸化窒化珪素膜504（組成比Si=32%、O=27%、N=24%、H=17%）を350にて形成する。

【0066】

次いで、下地膜504上に半導体膜505を形成する。半導体膜505は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により、10～300nm、好ましくは25～80nm（代表的には30～60nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、LPCVD法により、465にて膜厚55nmの非晶質珪素膜を形成する。（図3（A））

10

【0067】

そして、ニッケルなどの触媒を用いた熱結晶化法を行って、半導体膜を結晶化する。また、ニッケルなどの触媒を用いた熱結晶化法の他に、公知の結晶化処理（レーザ結晶化法、熱結晶化法等）を組み合わせて行ってもよい。本実施例では、酢酸ニッケル溶液（重量換算濃度10ppm、体積5ml）をスピンドルコートにより膜上全面に塗布して金属含有層405を形成し、温度600度の窒素雰囲気中に12時間曝す。（図3（B））

【0068】

また、レーザ結晶化法も適用する場合には、パルス発振型または連続発光型のYAGレーザ、YVO₄レーザエキシマレーザを用い、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～1500mJ/cm²、好ましくは100～800mJ/cm²（代表的には200～700mJ/cm²）とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～300Hzとし、レーザーエネルギー密度を100～1500mJ/cm²、好ましくは300～1000mJ/cm²（代表的には350～800mJ/cm²）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザビームを基板全面に渡って照射し、この時の線状レーザビームの重ね合わせ率（オーバーラップ率）を50～98%として行ってもよい。

20

【0069】

このように、下地絶縁膜および半導体膜が形成されるときの温度より高温で処理されることにより、前記下地絶縁膜に応力が増大し、それに伴い前記半導体膜に歪みが生じる。そのため、結晶核の生成密度が増加し、粒径の小さいグレインを有する結晶質半導体膜を形成することができる。

【0070】

続いて、活性領域となる半導体層から、結晶化を助長するために用いた金属元素を除去または低減するために、ゲッタリングを行う。（図3（C））ゲッタリングについては特開平10-270363号公報に開示している方法を適用すればよい。本実施例では、マスクとして、膜厚50nmの酸化珪素膜を形成し、パターニングを行って、所望の形状の酸化珪素膜506a～506dを得る。そして、半導体膜に選択的にP（リン）を注入し、熱処理を行うことで、半導体層から金属元素を除去または半導体特性に影響しない程度にまで低減することができる。このようにして作製した活性領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

30

【0071】

そして、結晶質半導体膜にエッチングを行って、半導体層507a～510aを形成する。

【0072】

次に、マスク506a～506dを除去し、新たに絶縁膜511aを形成して半導体膜の

40

50

結晶性を向上させるために熱処理を行って、半導体層の上部を熱酸化させるのが望ましい。本実施例では、減圧CVD装置で20nmの酸化珪素膜を成膜した後、ファーネスアニール炉で熱処理を行う。(図4(A))この処理により、半導体層507a～510aの上部は酸化される。そして、酸化珪素膜および半導体層の酸化した部分をエッチングすると、結晶性の向上した半導体層507b～510bが得られる。

【0073】

半導体層507b～510bを形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0074】

次いで、半導体層507b～510bを覆う第1のゲート絶縁膜511bを形成する。第1のゲート絶縁膜511bはプラズマCVD法またはスパッタ法を用い、厚さを20～150nmとして珪素を含む絶縁膜で形成する。(図4(B))本実施例では、プラズマCVD法により35nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を用いても良い。

10

【0075】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

20

【0076】

そして、前記ゲート絶縁膜を部分的にエッチングして、保持容量の電極の一方となる半導体層510bを露出させ、該半導体層510bに不純物元素を導入する。(図4(C))このとき、他の領域にはレジスト513(513a、513b)が形成されており、不純物元素は導入されない。本実施例では、不純物元素としてP(リン)を用い、加速電圧10keV、ドーズ量5×10¹⁴/cm²としてドーピング処理を行う。このようにして、不純物領域514が形成される。

【0077】

続いて、レジスト513(513a、513b)を除去し、第2のゲート絶縁膜512を形成する。第2のゲート絶縁膜512はプラズマCVD法またはスパッタ法を用い、厚さを20～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により50nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を用いても良い。

30

【0078】

そして、下部遮光膜と接続するコンタクトを形成した後、膜厚20～100nmの第1の導電膜515と、膜厚100～400nmの第2の導電膜516とを積層形成する。(図4(D))本実施例では、膜厚30nmのTaN膜からなる第1の導電膜515と、膜厚370nmのW膜からなる第2の導電膜516を積層形成した。TaN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタする。また、W膜は、Wのターゲットを用いたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μcmを実現することができる。

40

【0079】

50

なお、本実施例では、第1の導電膜515をTaN、第2の導電膜516をWとしているが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0080】

10

次に、フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成し、電極及び配線を形成するためのエッチング処理を行う。本実施例ではエッチング条件として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。ここでは、松下電器産業(株)製のICPを用いたドライエッティング装置(Model E645-ICP)を用いる。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0081】

20

そして、第3のドーピング処理を行い、半導体層にn型を付与する不純物元素を導入する。(図5(A))ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件は $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を30~80keVとして行う。本実施例ではドーザ量を $1.5 \times 10^{13} / \text{cm}^2$ とし、加速電圧を60keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層517~521(517a~521a、517b~521b)がn型を付与する不純物元素に対するマスクとなり、自己整合的に低濃度不純物領域523~524が形成される。低濃度不純物領域523~524には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。ここで、pチャネル型TFTを形成する半導体層にはレジストによるマスク522が形成されており、n型を付与する不純物元素は導入されない。

【0082】

次いで、レジストからなるマスクを除去し、新たにマスクを形成して、図5(B)に示すように、第4のドーピング処理を行って、半導体層にn型を付与する不純物元素を導入する。イオンドープ法の条件はドーザ量を $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ とし、加速電圧を30~120keVとして行う。このとき、pチャネル型TFTを形成する半導体層にn型を付与する不純物元素を導入しないためにマスク525bを形成し、また、nチャネル型TFTを形成するための半導体層に選択的に高濃度不純物領域を形成するためにマスク525a、525cを形成する。本実施例ではドーザ量を $2 \times 10^{15} / \text{cm}^2$ とし、加速電圧を50keVとして行う。こうして、高濃度不純物領域526、529が形成される。また、527、530は低濃度不純物領域であり、528、531は不純物元素が導入されない領域である。

30

【0083】

40

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク532aおよび532bを形成して、図5(C)に示すように、第5のドーピング処理を行う。この第5のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域533を形成する。導電層518を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域533はジボラン(B

50

H_2) を用いたイオンドープ法で形成する。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{14}/\text{cm}^2$ とし、加速電圧を $30 \sim 120 \text{ keV}$ として行う。この第 5 のドーピング処理の際には、n チャネル型 TFT を形成する半導体層はレジストからなるマスク 532a および 532b で覆われている。

【0084】

次いで、レジストからなるマスクを除去し、新たにマスクを形成して、図 6 (A) に示すように、第 6 のドーピング処理を行って、半導体層に p 型を付与する不純物元素を導入する。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15}/\text{cm}^2$ とし、加速電圧を $20 \sim 120 \text{ keV}$ として行う。このとき、n チャネル型 TFT を形成する半導体層に p 型を付与する不純物元素を導入しないためにマスク 534a、534c を形成し、また、p チャネル型 TFT を形成するための半導体層に選択的に高濃度不純物領域を形成するためにマスク 534b を形成する。本実施例ではドーズ量を $1 \times 10^{15}/\text{cm}^2$ とし、加速電圧を 40 keV として行う。こうして、高濃度不純物領域 535 が形成される。また、536 は低濃度不純物領域であり、537 は不純物元素が導入されない領域である。

【0085】

以上までの工程で、それぞれの半導体層に高濃度不純物領域および低濃度不純物領域が形成される。

【0086】

次いで、レジストからなるマスク 534 を除去して第 1 の層間絶縁膜 538 を形成する。この第 1 の層間絶縁膜 538 としては、プラズマ CVD 法またはスパッタ法を用い、厚さを $100 \sim 200 \text{ nm}$ として珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により膜厚 150 nm の酸化窒化珪素膜を形成する。もちろん、第 1 の層間絶縁膜 538 は酸化窒化珪素膜に限定されるものではなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0087】

次いで、図 6 (B) に示すように、熱処理を行って、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行う。この熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で $400 \sim 700$ ℃、代表的には $500 \sim 550$ ℃で行えればよく、本実施例では 550 ℃、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。

【0088】

また、第 1 の層間絶縁膜を形成する前に熱処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で熱処理を行うことが好ましい。

【0089】

そして、熱処理 ($300 \sim 550$ ℃で $1 \sim 12$ 時間の熱処理) を行うと水素化を行うことができる。この工程は第 1 の層間絶縁膜 538 に含まれる水素により半導体層のダングリングボンドを終端する工程である。もちろん、第 1 の層間絶縁膜の存在に関係なく半導体層を水素化することもできる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）や、 $3 \sim 100\%$ の水素を含む雰囲気中で $300 \sim 450$ ℃で $1 \sim 12$ 時間の熱処理を行っても良い。

【0090】

次いで、第 1 の層間絶縁膜 538 上に無機絶縁膜材料または有機絶縁物材料から成る第 2 の層間絶縁膜 539 を形成する。本実施例では、膜厚 $1 \mu\text{m}$ の窒化酸化珪素膜を形成する。

【0091】

そして、駆動回路 555 において、各不純物領域とそれぞれ電気的に接続する配線 540 ~ 542 を形成する。また、画素部 556 においては、ソース配線 543、545、ドレ

10

20

30

40

50

イン電極 544 を形成する。（図 6（C））なお、これらの配線は、膜厚 50 nm の Ti 膜と、膜厚 500 nm の合金膜（Al と Ti の合金膜）との積層膜をパターニングして形成する。

【0092】

図 7 にここまで作製された状態の上面図を示す。なお、図 3～図 6 に対応する部分には同じ符号を用いている。図 6（C）中の鎖線 A-A' は図 7 中の鎖線 A-A' で切断した断面図に対応している。また、図 6（C）中の鎖線 B-B' は図 7 中の鎖線 B-B' で切断した断面図に対応している。

【0093】

次いで、第 2 の層間絶縁膜 539 上に無機絶縁膜材料または有機絶縁物材料から成る第 3 の層間絶縁膜 560 を形成する。本実施例では、膜厚 1.8 μm の窒化酸化珪素膜を形成する。

10

【0094】

第 3 の層間絶縁膜 539 上に Al、Ti、W、Cr、または黒色樹脂等の高い遮光性を持つ膜を所望の形状にパターニングして遮光膜 561、562 を形成する。この遮光膜 561、562 は画素の開口部以外を遮光するように網目状に配置する。（図 8（A））

【0095】

さらに、この遮光膜 561、562 を覆うように第 4 の層間絶縁膜 563 を無機絶縁材料により形成する。そして、接続配線 544 に通じるコンタクトホールを形成し、ITO 等の透明導電膜を 100 nm 厚形成し、所望の形状にパターニングすることで画素電極 564、565 を形成する。（図 8（B））

20

【0096】

以上の様にして、n チャネル型 TFT 551 と p チャネル型 TFT 552 を有する駆動回路 555 と、画素 TFT 553、保持容量 554 とを有する画素部 556 を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0097】

このようにして作製されるアクティブマトリクス基板における TFT は、活性領域、特にチャネル形成領域に含まれうるグレインの数が平均化されている。そのため、電気的特性のばらつきを低減し、各種半導体装置の表示部として用いたときに、表示むらを抑えることを可能とする。

30

【0098】

なお、本実施例は実施例 1 または 2 と自由に組み合わせることが可能である。

【0099】

[実施例 4]

本実施例では、半導体膜の形成方法を変えてグレインの大きさを振って TFT を作製し、グレインの大きさと、TFT の電気的特性との関係について調べた。

【0100】

実施例 3 にしたがって、下地絶縁膜を形成した。続いて、LPCVD 法により膜厚 53 nm の非晶質珪素膜を形成したもの（試料 A）、LPCVD 法により膜厚 53 nm の非晶質珪素膜を形成し、Ar によるプラズマ処理を 5 分間行なったもの（試料 B）、プラズマ CVD 法により、膜厚 55 nm の非晶質珪素膜を形成したもの（試料 C）の 3 種を用意し、それぞれ金属元素を用いた結晶化を行なって結晶質珪素膜を得た。これらの珪素膜の膜厚は異なっているが、結晶化を行なうとどの試料においても 50 nm となる。そして、それぞれの結晶質珪素膜におけるグレインの EBS で測定した時の大きさは、試料 A は 100 μm、試料 B は 5 μm、試料 C は 2 μm であった。続いて行なわれる結晶化工程以降は実施例 3 に従い、TFT を作製した。

40

【0101】

図 18（A）にグレインの大きさと S 値との関係を、図 18（B）にグレインの大きさと電界効果移動度との関係を示す。このとき TFT のチャネル形成領域の長さ / チャネル形成領域の幅 = 50 / 50 (μm) の n チャネル型 TFT について測定した。図 18 より、

50

粒径が小さくなるにしたがって、それぞれの特性のばらつきが低減されていることがわかる。

【0102】

画素部においては、特にオフ電流値（TFTがオフ状態にある時に流れるドレイン電流値）が低く、電気的特性のばらつきが少ないTFTが要求される。また、電気的特性のばらつきが少ないTFTは、半導体装置を作製したときの表示むらが低減されるため望ましい。もちろん、駆動回路部においても、動作する上で電気的特性のばらつきの少ないTFTが望まれているため、本発明を適用することは極めて有効であることがわかる。

【0103】

なお、本実施例においては、本発明とは異なる方法で結晶核の生成密度を増加させてグレインの大きさを小さくしている。しかしながら、本発明においても結晶核の生成密度を増加させてグレインの大きさを小さくする点では同様であり、本発明を適用してグレインの大きさを小さくしても同様のデータは得られるので、本発明の有効性は明らかである。

10

【0104】

[実施例5]

本実施例では、実施例3で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図9を用いる。なお、本実施例では本発明の記載がないが、実施例3で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。

【0105】

20

まず、実施例3に従い、図8(B)の状態のアクティブマトリクス基板を得た後、図9のアクティブマトリクス基板上、少なくとも画素電極564、565上に配向膜567を形成しラビング処理を行う。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成する。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0106】

次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、平坦化膜573を形成する。

【0107】

30

次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理を施す。

【0108】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材568で貼り合わせる。シール材568にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料575を注入し、封止剤(図示せず)によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図9に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板(図示しない)を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。

40

【0109】

以上のようにして作製される液晶表示パネルは、活性領域、特にチャネル形成領域に含まれるグレインの数が平均化されているTFTを用いて作製されている。そのため、電気的特性のばらつきを低減し、各種半導体装置の表示部として用いたときに、表示むらを抑えることを可能とする。

【0110】

本実施例では、反射型液晶表示装置の作製方法について説明したが、電極等の構成を変えれば、透過型液晶表示装置を作製することも可能である。

【0111】

50

なお、本実施例は実施例 1 乃至 3 のいずれか一と自由に組み合わせることが可能である。

【 0 1 1 2 】

[実施例 6]

本実施例では、本発明を用いて発光装置を作製した例について説明する。なお、本実施例では本発明の記載がないが、実施例 3 で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルに I C (Integrated Circuit) を実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence(EL)) が得られる有機化合物を含む層 (発光層) と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) があり、これらのうちどちらか、あるいは両方の発光を含む。

【 0 1 1 3 】

なお、本明細書中では、発光素子において陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極層、発光層、陰極層が順に積層された構造を有しており、この構造に加えて、陽極層、正孔注入層、発光層、陰極層や、陽極層、正孔注入層、発光層、電子輸送層、陰極層等の順に積層した構造を有していることもある。

【 0 1 1 4 】

図 10 は本実施例の発光装置の断面図である。図 10 において、基板上に設けられたスイッチング T F T 6 0 3 は図 6 (C) の n チャネル型 T F T 5 5 3 を用いて形成される。したがって、構造の説明は n チャネル型 T F T 5 5 3 の説明を参照すれば良い。

【 0 1 1 5 】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【 0 1 1 6 】

基板 7 0 0 上に設けられた駆動回路 8 0 7 は図 6 (C) の C M O S 回路を用いて形成される。従って、構造の説明は n チャネル型 T F T 5 5 1 と p チャネル型 T F T 5 5 2 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【 0 1 1 7 】

また、配線 7 0 1 、 7 0 3 は C M O S 回路のソース配線、 7 0 2 はドレイン配線として機能する。また、配線 7 0 4 はスイッチング T F T のソース領域とを電気的に接続する配線として機能し、配線 7 0 5 はスイッチング T F T のドレイン領域とを電気的に接続する配線として機能する。

【 0 1 1 8 】

なお、電流制御 T F T 6 0 4 は図 6 (C) の p チャネル型 T F T 5 5 2 を用いて形成される。従って、構造の説明は p チャネル型 T F T 5 5 2 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【 0 1 1 9 】

また、配線 7 0 6 は電流制御 T F T のソース配線 (電流供給線に相当する) であり、 7 0 7 は電流制御 T F T の画素電極 7 1 1 上に重ねることで画素電極 7 1 1 と電気的に接続する電極である。

【 0 1 2 0 】

なお、 7 1 1 は、透明導電膜からなる画素電極 (発光素子の陽極) である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、

酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極711は、上記配線を形成する前に平坦な層間絶縁膜710上に形成する。本実施例においては、樹脂からなる平坦化膜710を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0121】

画素電極711を形成後、図10に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。10

【0122】

なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12}$ m(好ましくは $1 \times 10^8 \sim 1 \times 10^{10}$ m)となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0123】

画素電極711の上には発光層713が形成される。なお、図10では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(A1q₃)膜を設けた積層構造としている。A1q₃にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。20

【0124】

但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施形態では低分子系有機発光材料を発光層として用いる例を示したが、中分子系有機発光材料や高分子系有機発光材料を用いても良い。なお、本明細書中において、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10μm以下の有機発光材料を中分子系有機発光材料とする。また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピニ塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造としても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。30

【0125】

次に、発光層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。40

【0126】

この陰極714まで形成された時点で発光素子715が完成する。なお、ここでいう発光素子715は、画素電極(陽極)711、発光層713及び陰極714で形成されたダイオードを指す。

【0127】

10

20

30

40

50

発光素子 715 を完全に覆うようにしてパッシベーション膜 716 を設けることは有効である。パッシベーション膜 716 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0128】

この際、カバーレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に DLC (ダイヤモンドライクカーボン) 膜を用いることは有効である。DLC 膜は室温から 100 以下の温度範囲で成膜可能であるため、耐熱性の低い発光層 713 の上方にも容易に成膜することができる。また、DLC 膜は酸素に対するブロッキング効果が高く、発光層 713 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に発光層 713 が酸化するといった問題を防止できる。

10

【0129】

さらに、パッシベーション膜 716 上に封止材 907 を設け、カバー材 901 を貼り合わせる。封止材 907 としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材 901 はガラス基板や石英基板やプラスチック基板 (プラスチックフィルムも含む) の両面に炭素膜 (好ましくはダイヤモンドライクカーボン膜) を形成したものを用いる。

【0130】

こうして図 10 に示すような構造の発光装置が完成する。なお、バンク 712 を形成した後、パッシベーション膜 716 を形成するまでの工程をマルチチャンバー方式 (またはインライン方式) の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 901 を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

20

【0131】

こうして、基板に n チャネル型 TFT 601、p チャネル型 TFT 602、スイッチング TFT (n チャネル型 TFT) 603 および電流制御 TFT (p チャネル型 TFT) 604 が形成される。ここまで製造工程で必要としたマスク数は、一般的なアクティブマトリクス型発光装置よりも少ない。

【0132】

即ち、TFT の製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

30

【0133】

さらに、図 10 において、ゲート電極に絶縁膜を介して重なる不純物領域を設ける場合には、ホットキャリア効果に起因する劣化に強い n チャネル型 TFT を形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0134】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/A コンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

40

【0135】

さらに、発光素子を保護するための封止 (または封入) 工程まで行った後の本実施例の発光装置について図 11 を用いて説明する。なお、必要に応じて図 10 で用いた符号を引用する。

【0136】

図 11 (A) は、発光素子の封止までを行った状態を示す上面図、図 11 (B) は図 11 (A) を C-C' で切断した断面図である。点線で示された 801 はソース側駆動回路、806 は画素部、807 はゲート側駆動回路である。また、901 はカバー材、902 は第 1 シール材、903 は第 2 シール材であり、第 1 シール材 902 で囲まれた内側には封止材 907 が設けられる。

50

【0137】

なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0138】

次に、断面構造について図11（B）を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極711を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路（図10参照）を用いて形成される。

10

【0139】

画素電極711は発光素子の陽極として機能する。また、画素電極711の両端にはバンク712が形成され、画素電極711上には発光層713および発光素子の陰極714が形成される。

【0140】

陰極714は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜716で覆われている。

20

【0141】

また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0142】

発光素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901の材料としてFRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリルを用いることができる。

30

【0143】

また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露呈面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0144】

以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

40

【0145】

また、このようにして作製される発光装置は、活性領域、特にチャネル形成領域に含まれるグレインの数が平均化されているTFTを用いて作製されている。そのため、電気的特性のばらつきを低減し、各種半導体装置の表示部として用いたときに、表示むらを抑えることを可能とする。

【0146】

[実施例7]

本発明を適用して、様々な電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型発光装置、アクティブマトリクス型EC表示装置）を作製することができます。

50

きる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0147】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン用コンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図12、図13及び図14に示す。

【0148】

図12(A)はパソコン用コンピュータであり、本体3001、画像入力部3002、表示部3003、キーボード3004等を含む。本発明を表示部3003に適用することができる。
10

【0149】

図12(B)はビデオカメラであり、本体3101、表示部3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106等を含む。本発明を表示部3102に適用することができる。

【0150】

図12(C)はモバイルコンピュータ（モービルコンピュータ）であり、本体3201、カメラ部3202、受像部2203、操作スイッチ3204、表示部3205等を含む。本発明は表示部3205に適用できる。

【0151】

図12(D)はゴーグル型ディスプレイであり、本体3301、表示部3302、アーム部3303等を含む。本発明は表示部3302に適用することができる。
20

【0152】

図12(E)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレイヤーであり、本体3401、表示部3402、スピーカ部3403、記録媒体3404、操作スイッチ3405等を含む。なお、このプレイヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部3402に適用することができる。

【0153】

図12(F)はデジタルカメラであり、本体3501、表示部3502、接眼部3503、操作スイッチ3504、受像部（図示しない）等を含む。本発明を表示部3502に適用することができる。
30

【0154】

図13(A)はフロント型プロジェクターであり、投射装置3601、スクリーン3602等を含む。本発明は投射装置3601の一部を構成する液晶表示装置3808やその他の駆動回路に適用することができる。

【0155】

図13(B)はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704等を含む。本発明は投射装置3702の一部を構成する液晶表示装置3808やその他の駆動回路に適用することができる。
40

【0156】

なお、図13(C)は、図13(A)及び図13(B)中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図13(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。
50

【0157】

また、図13(D)は、図13(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図13(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0158】

ただし、図13に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び発光装置での適用例は図示していない。

10

【0159】

図14(A)は携帯電話であり、本体3901、音声出力部3902、音声入力部3903、表示部3904、操作スイッチ3905、アンテナ3906等を含む。本発明を表示部3904に適用することができる。

【0160】

図14(B)は携帯書籍(電子書籍)であり、本体4001、表示部4002、4003、記憶媒体4004、操作スイッチ4005、アンテナ4006等を含む。本発明は表示部4002、4003に適用することができる。

20

【0161】

図14(C)はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0162】

以上の様に、本発明の適用範囲は極めて広く、さまざまな分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~4または5のどのような組み合わせからなる構成を用いても実現することができる。

【0163】**【発明の効果】**

本発明の構成を採用することにより、以下に示すような基本的有意性を得ることが出来る。

30

(a) 従来のTFTの作製プロセスに適合した、簡単な方法である。

(b) 結晶核の生成密度を制御することができる。

(c) 以上の利点を満たした上で、良好な結晶性を有する結晶質半導体膜を形成することができ、その結晶質半導体膜を用いれば、電気的特性の優れたTFTを作製できる。また、各種半導体装置の表示部として用いれば、表示むらを抑えることも可能とする。

【図面の簡単な説明】

【図1】 本発明が開示する構成の一例を示す図。

【図2】 本発明が開示する構成の一例を示す図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

40

【図4】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図7】 画素TFTの構成を示す上面図。

【図8】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図9】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図10】 発光装置の駆動回路及び画素部の断面構造図。

【図11】 (A) 発光装置の上面図。

(B) 発光装置の駆動回路及び画素部の断面構造図。

【図12】 半導体装置の例を示す図。

50

【図13】 半導体装置の例を示す図。

【図14】 半導体装置の例を示す図。

【図15】 热処理前後での応力の変化の例を示す図。

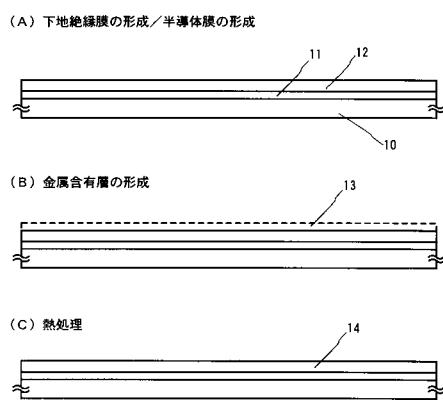
【図16】 金属元素を用いた結晶化法により形成されるグレインの例を示す図。

【図17】 圧縮応力および引っ張り応力を説明する図。

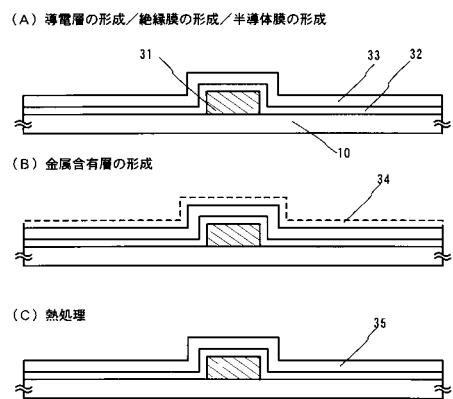
【図18】 (A) グレインの大きさとS値との関係の例を示す図。

(B) グレインの大きさと移動度との関係の例を示す図。

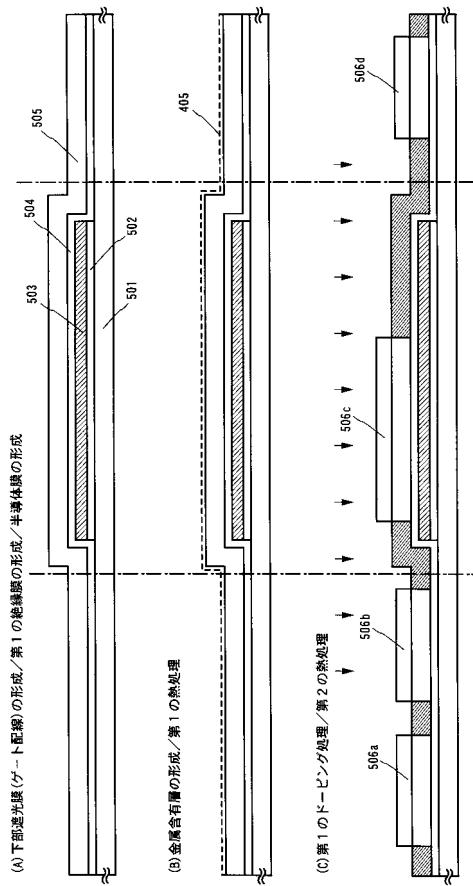
【図1】



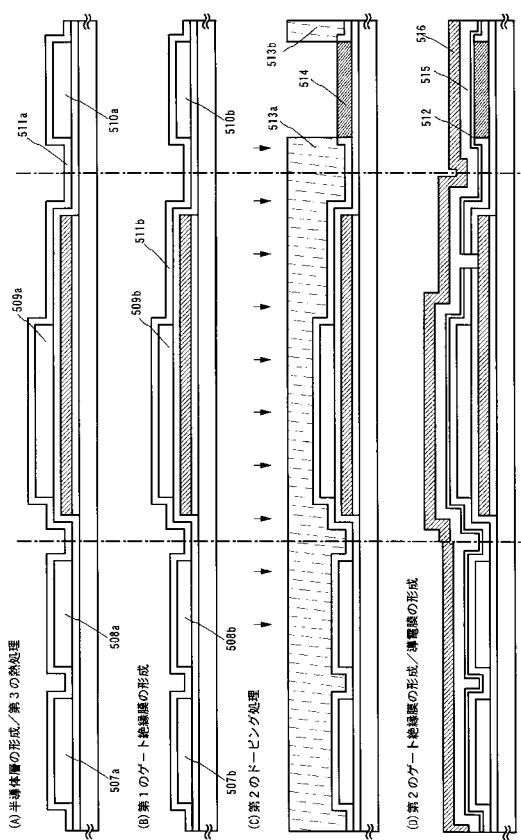
【図2】



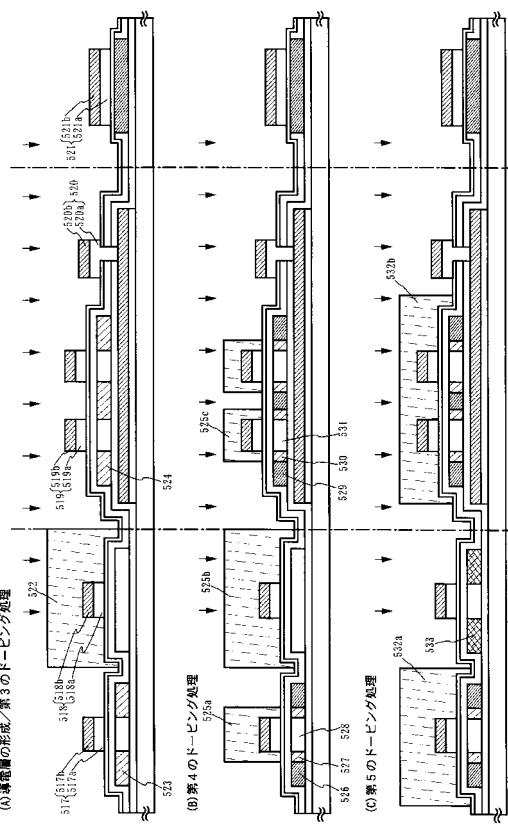
【図3】



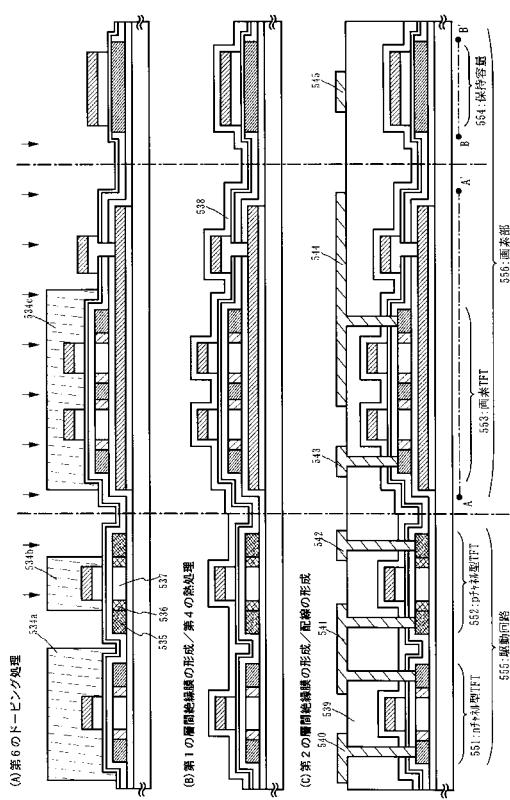
【図4】



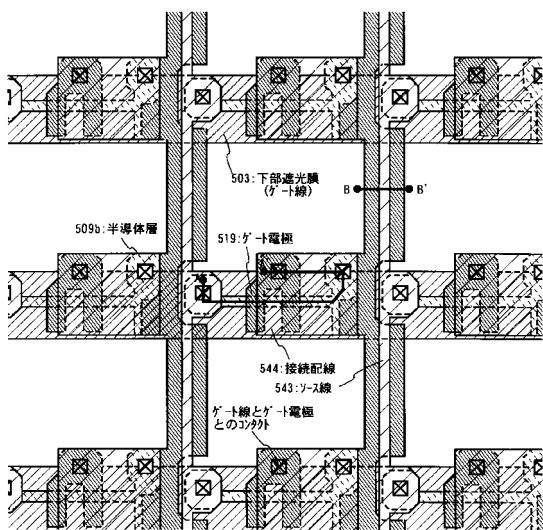
【図5】



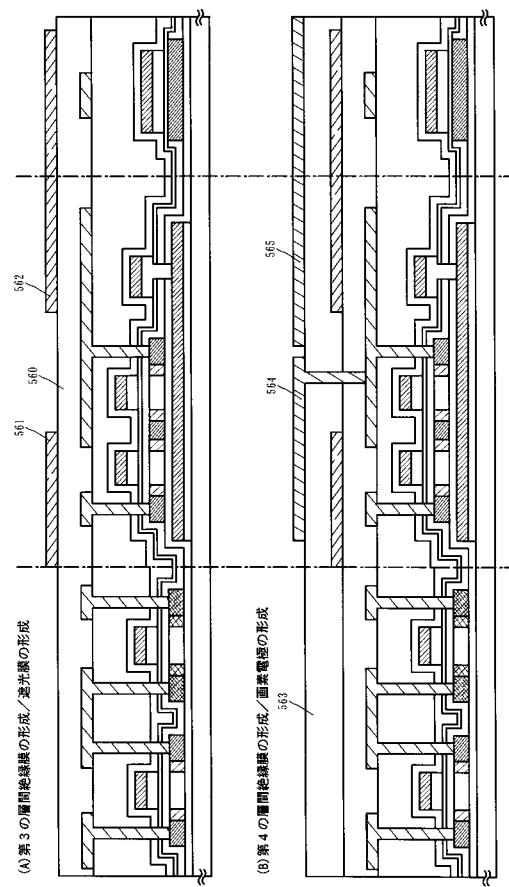
【 四 6 】



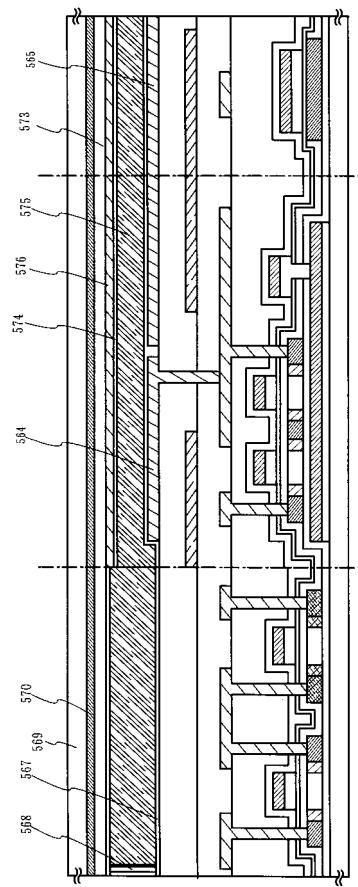
【 図 7 】



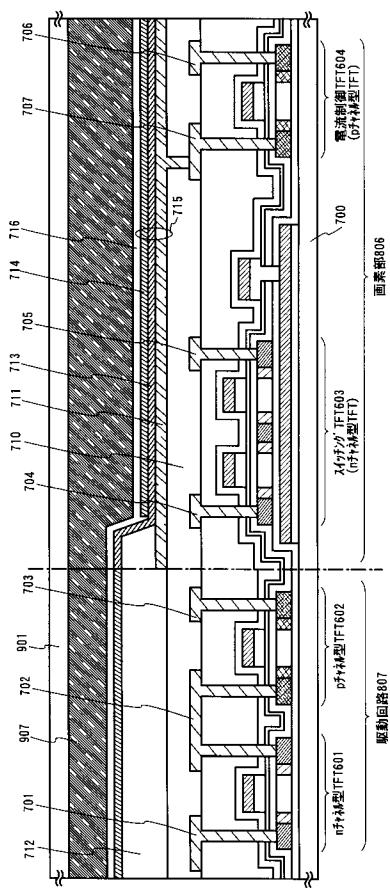
【 四 8 】



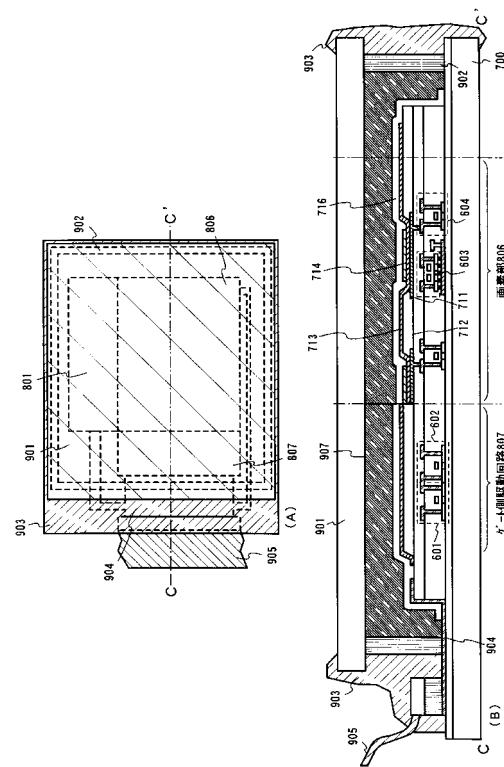
【 図 9 】



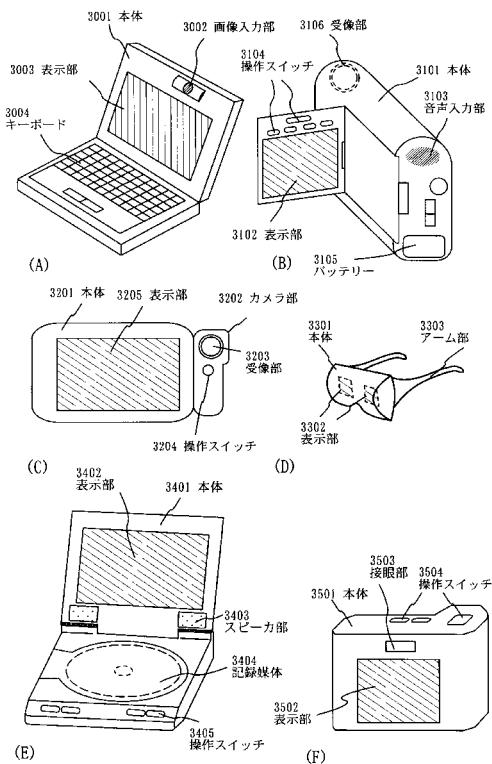
【図10】



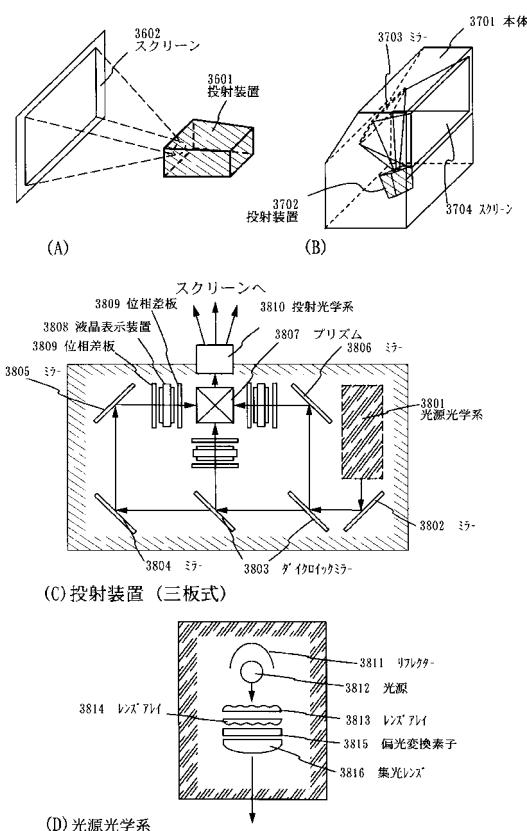
【 図 1 1 】



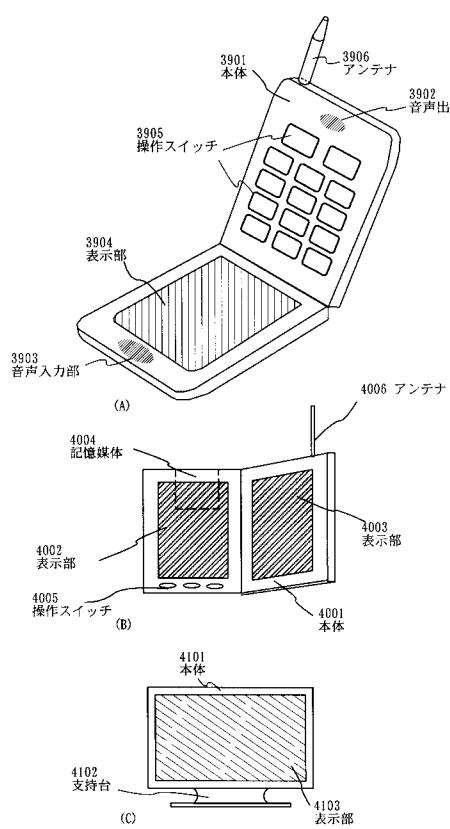
【図12】



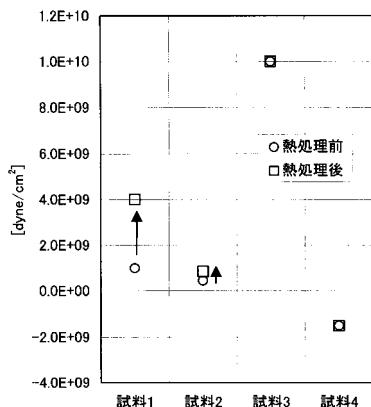
【図13】



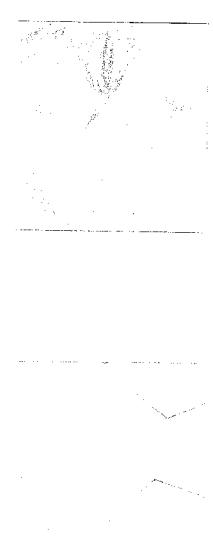
【図14】



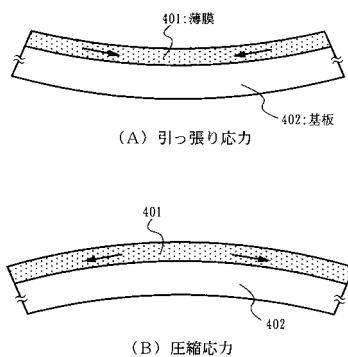
【図15】



【図16】

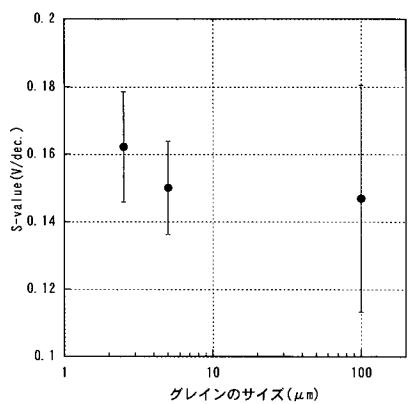


【図17】

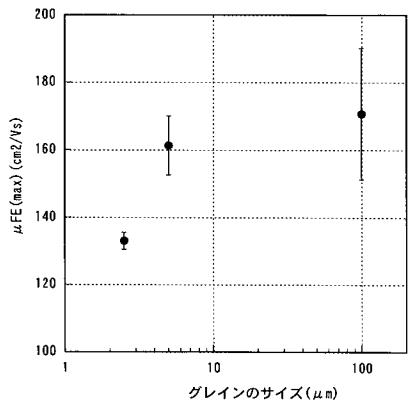


【図18】

(A)



(B)



フロントページの続き

(56)参考文献 特開平08-064826(JP,A)
特開2000-133590(JP,A)
特開平07-183540(JP,A)
特開平08-264441(JP,A)
特開2001-007335(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20
G02F 1/1343-1/1345
G02F 1/135-1/1368
H01L 21/336
H01L 29/786