

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5919121号
(P5919121)

(45) 発行日 平成28年5月18日 (2016. 5. 18)

(24) 登録日 平成28年4月15日 (2016. 4. 15)

(51) Int. Cl.	F I
HO 1 L 29/861 (2006. 01)	HO 1 L 29/91 D
HO 1 L 29/868 (2006. 01)	HO 1 L 29/86 3 O 1 F
HO 1 L 29/872 (2006. 01)	HO 1 L 29/48 F
HO 1 L 29/47 (2006. 01)	HO 1 L 29/78 6 5 2 B
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 5 D
請求項の数 6 (全 38 頁) 最終頁に続く	

(21) 出願番号	特願2012-166576 (P2012-166576)	(73) 特許権者	000003609
(22) 出願日	平成24年7月27日 (2012. 7. 27)		株式会社豊田中央研究所
(65) 公開番号	特開2013-48230 (P2013-48230A)		愛知県長久手市横道41番地の1
(43) 公開日	平成25年3月7日 (2013. 3. 7)	(73) 特許権者	000003207
審査請求日	平成25年9月17日 (2013. 9. 17)		トヨタ自動車株式会社
(31) 優先権主張番号	特願2011-164746 (P2011-164746)		愛知県豊田市トヨタ町1番地
(32) 優先日	平成23年7月27日 (2011. 7. 27)	(74) 代理人	110000110
(33) 優先権主張国	日本国 (JP)		特許業務法人快友国際特許事務所
		(72) 発明者	山下 侑佑
			愛知県長久手市横道41番地の1 株式会
			社豊田中央研究所内
		(72) 発明者	町田 悟
			愛知県長久手市横道41番地の1 株式会
			社豊田中央研究所内
		最終頁に続く	

(54) 【発明の名称】 ダイオードおよび半導体装置

(57) 【特許請求の範囲】

【請求項1】

カソード電極と、第1導電型の半導体からなるカソード領域と、前記カソード領域よりも濃度が低い第1導電型の半導体からなるドリフト領域と、第2導電型の半導体からなるアノード領域と、金属からなるアノード電極を備えるダイオードであって、

前記ドリフト領域と前記アノード領域の間に形成された、前記ドリフト領域よりも濃度が高い第1導電型の半導体からなるバリア領域と、

前記バリア領域と前記アノード電極を接続するように形成された、前記バリア領域よりも濃度が高い第1導電型の半導体からなるピラー領域を備えており、

前記ピラー領域が、前記アノード電極側から前記アノード領域を貫通して前記バリア領域まで達するように形成されており、

前記ピラー領域と前記アノード電極がショットキー接合していることを特徴とするダイオード。

【請求項2】

前記バリア領域と前記ドリフト領域の間に形成された、第2導電型の半導体からなる電界進展防止領域をさらに備えていることを特徴とする請求項1のダイオード。

【請求項3】

前記アノード領域から前記ドリフト領域まで達するトレンチが形成されており、

前記トレンチの内部に絶縁膜で被覆されたトレンチ電極が形成されていることを特徴とする請求項1または2のダイオード。

10

20

【請求項 4】

前記カソード領域に部分的に形成された、第 2 導電型の半導体からなるカソードショート領域をさらに備えていることを特徴とする請求項 1 から 3 の何れか一項のダイオード。

【請求項 5】

請求項 1 から 4 の何れか一項のダイオードと I G B T が一体化された半導体装置であって、

前記 I G B T が、コレクタ電極と、第 2 導電型の半導体からなるコレクタ領域と、前記ドリフト領域から連続しており、第 1 導電型の半導体からなる第 2 ドリフト領域と、第 2 導電型の半導体からなるボディ領域と、第 1 導電型の半導体からなるエミッタ領域と、金属からなるエミッタ電極と、前記エミッタ領域と前記第 2 ドリフト領域の間の前記ボディ領域に対して絶縁膜を挟んで対向するゲート電極を備えており、

10

前記 I G B T が、前記第 2 ドリフト領域と前記ボディ領域の間に形成された、前記第 2 ドリフト領域よりも濃度が高い第 1 導電型の半導体からなる第 2 バリア領域と、前記第 2 バリア領域と前記エミッタ電極を接続するように形成された、前記第 2 バリア領域よりも濃度が高い第 1 導電型の半導体からなる第 2 ピラー領域を備えており、

前記第 2 ピラー領域が、前記エミッタ電極側から前記ボディ領域を貫通して前記第 2 バリア領域まで達するように形成されており、

前記第 2 ピラー領域と前記エミッタ電極がショットキー接合していることを特徴とする半導体装置。

【請求項 6】

20

前記第 2 バリア領域と前記第 2 ドリフト領域の間に形成された、第 2 導電型の半導体からなる第 2 電界進展防止領域をさらに備えることを特徴とする請求項 5 の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイオード、半導体装置および M O S F E T に関する。

【背景技術】

【0002】

P N ダイオードの逆回復特性を向上し、スイッチング損失を低減する技術が従来から開発されている。特許文献 1 には、P I N ダイオードとショットキーダイオードを組み合わせた M P S ダイオードが開示されている。特許文献 1 の技術では、p アノード領域のサイズをリーチスルー限界まで小さくすることで、p アノード領域から n⁻ドリフト領域への正孔注入を抑制し、スイッチング損失の低減を図っている。特許文献 2 には、p アノード領域と n⁻ドリフト領域の間に n⁻ドリフト領域よりも高濃度の n 型不純物を有する n バリア領域を設けた P I N ダイオードが開示されている。特許文献 2 の技術では、n バリア領域によって p アノード領域から n⁻ドリフト領域への正孔注入を抑制し、スイッチング損失の低減を図っている。

30

【先行技術文献】

【特許文献】

【0003】

40

【特許文献 1】特開 2 0 0 3 - 1 6 3 3 5 7 号公報

【特許文献 2】特開 2 0 0 0 - 3 2 3 4 8 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 や特許文献 2 の技術でも、わずかではあるが、p アノード領域から n⁻ドリフト領域への正孔注入が存在し、それによるスイッチング損失が存在する。n⁻ドリフト領域への正孔注入をさらに抑制することが出来れば、ダイオードのスイッチング損失をさらに低減することが可能となる。

【0005】

50

本明細書では上記の課題を解決する技術を提供する。本明細書では、ダイオードにおけるスイッチング時の損失を低減することが可能な技術を開示する。

【課題を解決するための手段】

【0006】

本明細書で開示するダイオードは、カソード電極と、第1導電型の半導体からなるカソード領域と、低濃度の第1導電型の半導体からなるドリフト領域と、第2導電型の半導体からなるアノード領域と、金属からなるアノード電極を備えている。そのダイオードは、前記ドリフト領域と前記アノード領域の間に形成された、前記ドリフト領域よりも濃度が高い第1導電型の半導体からなるバリア領域と、前記バリア領域と前記アノード電極を接続するように形成された、前記バリア領域よりも濃度が高い第1導電型の半導体からなるピラー領域を備えている。そのダイオードでは、前記ピラー領域と前記アノード電極がショットキー接合している。

10

【0007】

上記のダイオードでは、アノード電極とカソード電極の間に順バイアスが印加されると、アノード電極とピラー領域はショットキー界面を介して短絡する。ピラー領域とバリア領域はほぼ同電位であるため、バリア領域とアノード電極の電位差はショットキー界面での電圧降下とほぼ等しくなる。ショットキー界面での電圧降下は、アノード領域とバリア領域の間のpn接合のビルトイン電圧よりも十分に小さいので、アノード領域からドリフト領域への正孔の注入が抑制される。

20

【0008】

次いで、アノード電極とカソード電極の間の電圧が順バイアスから逆バイアスに切り替わると、アノード電極とピラー領域の間のショットキー界面によって逆電流が制限される。上記のダイオードでは、順バイアスの印加時においてアノード領域からドリフト領域への正孔の注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。上記のダイオードによれば、ドリフト領域のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

【0009】

また、上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加されると、ピラー領域とアノード電極の間のショットキー界面から伸びる空乏層だけでなく、アノード領域とバリア領域の間のpn接合の界面から伸びる空乏層によっても電界が分担される。これにより、ピラー領域とアノード電極の間のショットキー界面にかかる電界が軽減される。上記のダイオードによれば、逆バイアスに対する耐圧を向上することが出来る。

30

【0010】

さらに、上記のダイオードでは、ピラー領域における不純物濃度が、バリア領域における不純物濃度よりも高い。このような構成とすることによって、アノード領域の厚みを小さくすることなく、順バイアスの印加時におけるバリア領域とアノード電極の間の電位差を小さくすることが出来る。上記のダイオードによれば、逆バイアスに対するリーチスルーの発生を抑え、耐圧を低下させることなく、スイッチング損失を低減することが出来る。

40

【0011】

上記のダイオードは、前記バリア領域と前記ドリフト領域の間に形成された、第2導電型の半導体からなる電界進展防止領域をさらに備えていることが好ましい。

【0012】

上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加されると、ピラー領域とアノード電極の間のショットキー界面で逆電流が制限されるだけでなく、ドリフト領域と電界進展防止領域の間のpn接合によっても逆電流が制限される。上記のダイオードによれば、逆バイアスの印加時のリーク電流を低減することができる。

【0013】

また、上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加さ

50

れると、ピラー領域とアノード電極の間のショットキー界面から伸びる空乏層と、アノード領域とバリア領域の間のpn接合の界面から伸びる空乏層だけでなく、ドリフト領域と電界進展防止領域の間のpn接合の界面でも電界が分担される。これにより、ピラー領域とアノード電極の間のショットキー界面にかかる電界と、アノード領域とバリア領域の間のpn接合にかかる電界が軽減される。上記のダイオードによれば、逆バイアスに対する耐圧をさらに向上することが出来る。

【0014】

上記のダイオードは、前記アノード領域から前記ドリフト領域まで達するトレンチが形成されており、前記トレンチの内部に絶縁膜で被覆されたトレンチ電極が形成されていることが好ましい。

10

【0015】

上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加される際に、ドリフト領域の内部におけるトレンチ電極の先端近傍の箇所に電界集中が生じ、これによってピラー領域とアノード電極の間のショットキー界面や、アノード領域とバリア領域の間のpn接合の界面にかかる電界が軽減される。上記のダイオードによれば、逆バイアスに対する耐圧をさらに向上することが出来る。

【0016】

上記のダイオードは、前記カソード領域に部分的に形成された、第2導電型の半導体からなるカソードショート領域をさらに備えていることが好ましい。

【0017】

20

上記のダイオードでは、アノード電極とカソード電極の間に順バイアスが印加される際に、カソードショート領域が存在することにより、カソード領域からドリフト領域への電子の注入が抑制される。これにより、順バイアスから逆バイアスへ切り替わる際の逆回復電流をさらに小さくし、逆回復時間をさらに短くすることができる。上記のダイオードによれば、スイッチング損失をさらに低減することが出来る。

【0018】

本明細書はさらに、上記のダイオードとIGBTが一体化された半導体装置を開示する。その半導体装置では、前記IGBTが、コレクタ電極と、第2導電型の半導体からなるコレクタ領域と、前記ドリフト領域から連続しており、低濃度の第1導電型の半導体からなる第2ドリフト領域と、第2導電型の半導体からなるボディ領域と、第1導電型の半導体からなるエミッタ領域と、金属からなるエミッタ電極と、前記エミッタ領域と前記第2ドリフト領域の間の前記ボディ領域に対して絶縁膜を挟んで対向するゲート電極を備えている。その半導体装置では、前記IGBTが、前記第2ドリフト領域と前記ボディ領域の間に形成された、前記第2ドリフト領域よりも濃度が高い第1導電型の半導体からなる第2バリア領域と、前記第2バリア領域と前記エミッタ電極を接続するように形成された、前記第2バリア領域よりも濃度が高い第1導電型の半導体からなる第2ピラー領域を備えている。その半導体装置では、前記第2ピラー領域と前記エミッタ電極がショットキー接合している。

30

【0019】

上記の半導体装置では、ダイオードとIGBTの寄生ダイオードの双方について、スイッチング損失を低減し、かつ逆バイアスに対する耐圧を向上することができる。

40

【0020】

上記の半導体装置は、前記第2バリア領域と前記第2ドリフト領域の間に形成された、第2導電型の半導体からなる第2電界進展防止領域をさらに備えることが好ましい。

【0021】

上記の半導体装置では、IGBTの寄生ダイオードについて、逆バイアスに対する耐圧をさらに向上し、かつ逆バイアス時のリーク電流を低減することができる。また、IGBTの駆動時に、コレクタ電極からエミッタ電極へ流れる電流が電界進展防止領域とドリフト領域の間のpn接合によって抑制されるため、IGBTの飽和電流を低減することができる。

50

【0022】

本明細書はさらに、MOSFETを開示する。そのMOSFETは、ドレイン電極と、第1導電型の半導体からなるドレイン領域と、低濃度の第1導電型の半導体からなるドリフト領域と、第2導電型の半導体からなるボディ領域と、第1導電型の半導体からなるソース領域と、金属からなるソース電極と、前記ソース領域と前記ドリフト領域の間の前記ボディ領域に対して絶縁膜を挟んで対向するゲート電極を備えている。そのMOSFETは、前記ドリフト領域と前記ボディ領域の間に形成された、前記ドリフト領域よりも濃度が高い第1導電型の半導体からなるバリア領域と、前記バリア領域と前記ソース電極を接続するように形成された、前記バリア領域よりも濃度が高い第1導電型の半導体からなるピラー領域を備えている。そのMOSFETでは、前記ピラー領域と前記ソース電極がショットキー接合している。

10

【0023】

上記のMOSFETによれば、寄生ダイオードのスイッチング損失を低減し、かつ逆バイアスに対する耐圧を向上することができる。

【0024】

上記のMOSFETは、前記バリア領域と前記ドリフト領域の間に形成された、第2導電型の半導体からなる電界進展防止領域をさらに備えていることが好ましい。

【0025】

上記のMOSFETでは、逆バイアスに対する耐圧をさらに向上し、かつ逆バイアス時のリーク電流を低減することができる。

20

【0026】

本明細書が開示する別のダイオードは、カソード電極と、第1導電型の半導体からなるカソード領域と、低濃度の第1導電型の半導体からなるドリフト領域と、第2導電型の半導体からなるアノード領域と、金属からなるアノード電極を備えている。そのダイオードは、前記ドリフト領域と前記アノード領域の間に形成された、前記ドリフト領域よりも濃度が高い第1導電型の半導体からなるバリア領域と、前記バリア領域と前記アノード電極を接続するように形成された、金属からなるピラー電極を備えている。そのダイオードでは、前記バリア領域と前記ピラー電極がショットキー接合している。

【0027】

上記のダイオードでは、アノード電極とカソード電極の間に順バイアスが印加されると、ピラー電極とバリア領域はショットキー界面を介して短絡する。このとき、バリア領域とアノード電極の電位差はショットキー界面での電圧降下とほぼ等しくなる。ショットキー界面での電圧降下は、アノード領域とバリア領域の間のpn接合のビルトイン電圧よりも十分に小さいので、アノード領域からドリフト領域への正孔の注入が抑制される。

30

【0028】

次いで、アノード電極とカソード電極の間の電圧が順バイアスから逆バイアスに切り替わると、ピラー電極とバリア領域の間のショットキー界面によって逆電流が制限される。上記のダイオードでは、順バイアスの印加時においてアノード領域からドリフト領域への正孔の注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。上記のダイオードによれば、ドリフト領域のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

40

【0029】

また、上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加されると、バリア領域とピラー電極の間のショットキー界面から伸びる空乏層だけでなく、アノード領域とバリア領域の間のpn接合の界面から伸びる空乏層によっても電界が分担される。これにより、バリア領域とピラー電極の間のショットキー界面にかかる電界が軽減される。上記のダイオードによれば、逆バイアスに対する耐圧を向上することが出来る。

【0030】

さらに、上記のダイオードでは、ピラー電極が金属製である。このような構成とするこ

50

とによって、アノード領域の厚みを小さくすることなく、順バイアスの印加時におけるバリア領域とアノード電極の間の電位差を小さくすることが出来る。上記のダイオードによれば、逆バイアスに対するリーチスルーの発生を抑え、耐圧を低下させることなく、スイッチング損失を低減することが出来る。

【0031】

上記のダイオードは、前記バリア領域と前記ドリフト領域の間に形成された、第2導電型の半導体からなる電界進展防止領域をさらに備えていることが好ましい。

【0032】

上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加されると、バリア領域とピラー電極の間のショットキー界面で逆電流が制限されるだけでなく、ドリフト領域と電界進展防止領域の間のpn接合によっても逆電流が制限される。上記のダイオードによれば、逆バイアスの印加時のリーク電流を低減することができる。

10

【0033】

また、上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加されると、バリア領域とピラー電極の間のショットキー界面から伸びる空乏層と、アノード領域とバリア領域の間のpn接合の界面から伸びる空乏層だけでなく、ドリフト領域と電界進展防止領域の間のpn接合の界面でも電界が分担される。これにより、バリア領域とピラー電極の間のショットキー界面にかかる電界と、アノード領域とバリア領域の間のpn接合にかかる電界が軽減される。上記のダイオードによれば、逆バイアスに対する耐圧をさらに向上することが出来る。

20

【0034】

上記のダイオードは、前記アノード領域から前記ドリフト領域まで達するトレンチが形成されており、前記トレンチの内部に絶縁膜で被覆されたトレンチ電極が形成されていることが好ましい。

【0035】

上記のダイオードでは、アノード電極とカソード電極の間に逆バイアスが印加される際に、ドリフト領域の内部におけるトレンチ電極の先端近傍の箇所に電界集中が生じ、これによってバリア領域とピラー電極の間のショットキー界面や、アノード領域とバリア領域の間のpn接合の界面にかかる電界が軽減される。上記のダイオードによれば、逆バイアスに対する耐圧をさらに向上することが出来る。

30

【0036】

上記のダイオードは、前記カソード領域に部分的に形成された、第2導電型の半導体からなるカソードショート領域をさらに備えていることが好ましい。

【0037】

上記のダイオードでは、アノード電極とカソード電極の間に順バイアスが印加される際に、カソードショート領域が存在することにより、カソード領域からドリフト領域への電子の注入が抑制される。これにより、順バイアスから逆バイアスへ切り替わる際の逆回復電流をさらに小さくし、逆回復時間をさらに短くすることができる。上記のダイオードによれば、スイッチング損失をさらに低減することが出来る。

【0038】

40

本明細書はさらに、上記のダイオードとIGBTが一体化された別の半導体装置を開示する。その半導体装置では、前記IGBTが、コレクタ電極と、第2導電型の半導体からなるコレクタ領域と、前記ドリフト領域から連続しており、低濃度の第1導電型の半導体からなる第2ドリフト領域と、第2導電型の半導体からなるボディ領域と、第1導電型の半導体からなるエミッタ領域と、金属からなるエミッタ電極と、前記エミッタ領域と前記第2ドリフト領域の間の前記ボディ領域に対して絶縁膜を挟んで対向するゲート電極を備えている。その半導体装置では、前記IGBTが、前記第2ドリフト領域と前記ボディ領域の間に形成された、前記第2ドリフト領域よりも濃度が高い第1導電型の半導体からなる第2バリア領域と、前記第2バリア領域と前記エミッタ電極を接続するように形成された、金属からなる第2ピラー電極を備えている。その半導体装置では、前記第2バリア領

50

域と前記第2ピラー電極がショットキー接合している。

【0039】

上記の半導体装置では、ダイオードとIGBTの寄生ダイオードの双方について、スイッチング損失を低減し、かつ逆バイアスに対する耐圧を向上することができる。

【0040】

上記の半導体装置は、前記第2バリア領域と前記第2ドリフト領域の間に形成された、第2導電型の半導体からなる第2電界進展防止領域をさらに備えることが好ましい。

【0041】

上記の半導体装置では、IGBTの寄生ダイオードについて、逆バイアスに対する耐圧をさらに向上し、かつ逆バイアス時のリーク電流を低減することができる。また、IGBTの駆動時に、コレクタ電極からエミッタ電極へ流れる電流が電界進展防止領域とドリフト領域の間のpn接合によって抑制されるため、IGBTの飽和電流を低減することができる。

10

【0042】

本明細書はさらに、MOSFETを開示する。そのMOSFETは、ドレイン電極と、第1導電型の半導体からなるドレイン領域と、低濃度の第1導電型の半導体からなるドリフト領域と、第2導電型の半導体からなるボディ領域と、第1導電型の半導体からなるソース領域と、ソース電極と、前記ソース領域と前記ドリフト領域の間の前記ボディ領域に対して絶縁膜を挟んで対向するゲート電極を備えている。そのMOSFETは、前記ドリフト領域と前記ボディ領域の間に形成された、前記ドリフト領域よりも濃度が高い第1導電型の半導体からなるバリア領域と、前記バリア領域と前記ソース電極を接続するように形成された、金属からなるピラー電極を備えている。そのMOSFETでは、前記バリア領域と前記ピラー電極がショットキー接合している。

20

【0043】

上記のMOSFETによれば、寄生ダイオードのスイッチング損失を低減し、かつ逆バイアスに対する耐圧を向上することができる。

【0044】

上記のMOSFETは、前記バリア領域と前記ドリフト領域の間に形成された、第2導電型の半導体からなる電界進展防止領域をさらに備えていることが好ましい。

【0045】

上記のMOSFETでは、逆バイアスに対する耐圧をさらに向上し、かつ逆バイアス時のリーク電流を低減することができる。

30

【発明の効果】

【0046】

本明細書が開示する技術によれば、ダイオードにおけるスイッチング時の損失を低減することができる。

【図面の簡単な説明】

【0047】

【図1】実施例1のダイオード2の構成を模式的に示す図である。

【図2】実施例1のダイオード2と比較例1のダイオード26の逆回復特性を比較するグラフである。

40

【図3】比較例1のダイオード26の構成を模式的に示す図である。

【図4】実施例2のダイオード32の構成を模式的に示す図である。

【図5】実施例1のダイオード2と実施例2のダイオード32の逆バイアス印加時のリーク電流を比較するグラフである。

【図6】実施例1のダイオード2と実施例2のダイオード32の逆バイアス印加時の耐圧を比較するグラフである。

【図7】実施例3のダイオード42の構成を模式的に示す図である。

【図8】実施例4のダイオード52の構成を模式的に示す図である。

【図9】実施例4のダイオード52の他の構成を模式的に示す図である。

50

- 【図 1 0】実施例 5 のダイオード 6 2 の構成を模式的に示す図である。
- 【図 1 1】実施例 1 のダイオード 2 の変形例の構成を模式的に示す図である。
- 【図 1 2】実施例 2 のダイオード 3 2 の変形例の構成を模式的に示す図である。
- 【図 1 3】実施例 3 のダイオード 4 2 の変形例の構成を模式的に示す図である。
- 【図 1 4】実施例 6 の半導体装置 7 2 の構成を模式的に示す図である。
- 【図 1 5】実施例 7 の半導体装置 8 2 の構成を模式的に示す図である。
- 【図 1 6】実施例 8 の半導体装置 1 0 2 の構成を模式的に示す図である。
- 【図 1 7】実施例 9 の半導体装置 1 6 2 の構成を模式的に示す図である。
- 【図 1 8】実施例 9 の半導体装置 1 6 2 の他の構成を模式的に示す図である。
- 【図 1 9】実施例 1 0 の半導体装置 1 7 2 の構成を模式的に示す図である。 10
- 【図 2 0】実施例 1 1 の半導体装置 1 8 2 の構成を模式的に示す図である。
- 【図 2 1】実施例 1 2 の半導体装置 2 0 2 の構成を模式的に示す図である。
- 【図 2 2】実施例 1 3 の半導体装置 2 3 2 の構成を模式的に示す図である。
- 【図 2 3】実施例 1 4 の半導体装置 2 4 2 の構成を模式的に示す図である。
- 【図 2 4】実施例 1 5 の半導体装置 2 5 2 の構成を模式的に示す図である。
- 【図 2 5】実施例 1 6 のダイオード 3 0 2 の構成を模式的に示す図である。
- 【図 2 6】実施例 1 7 のダイオード 3 0 4 の構成を模式的に示す図である。
- 【図 2 7】その他の実施例のダイオード 3 0 6 の構成を模式的に示す図である。
- 【図 2 8】その他の実施例のダイオード 3 0 8 の構成を模式的に示す図である。
- 【図 2 9】その他の実施例のダイオード 3 1 0 の構成を模式的に示す図である。 20
- 【図 3 0】その他の実施例のダイオード 3 1 2 の構成を模式的に示す図である。
- 【図 3 1】その他の実施例のダイオード 3 1 4 の構成を模式的に示す図である。
- 【図 3 2】その他の実施例のダイオード 3 1 6 の構成を模式的に示す図である。
- 【図 3 3】その他の実施例の半導体装置 3 1 8 の構成を模式的に示す図である。
- 【図 3 4】その他の実施例の半導体装置 3 2 0 の構成を模式的に示す図である。
- 【図 3 5】その他の実施例の半導体装置 3 2 2 の構成を模式的に示す図である。
- 【図 3 6】その他の実施例の半導体装置 3 2 4 の構成を模式的に示す図である。
- 【図 3 7】その他の実施例の半導体装置 3 2 6 の構成を模式的に示す図である。
- 【図 3 8】その他の実施例の半導体装置 3 2 8 の構成を模式的に示す図である。
- 【図 3 9】その他の実施例の半導体装置 3 3 0 の構成を模式的に示す図である。 30
- 【図 4 0】その他の実施例の半導体装置 3 3 2 の構成を模式的に示す図である。
- 【図 4 1】その他の実施例の半導体装置 3 3 4 の構成を模式的に示す図である。
- 【図 4 2】その他の実施例の半導体装置 3 3 6 の構成を模式的に示す図である。
- 【図 4 3】実施例 8 の半導体装置 1 0 2 の他の構成を模式的に示す図である。
- 【図 4 4】実施例 9 の半導体装置 1 6 2 の他の構成を模式的に示す図である。
- 【図 4 5】その他の実施例の半導体装置 3 2 2 の他の構成を模式的に示す図である。
- 【図 4 6】その他の実施例の半導体装置 3 2 4 の他の構成を模式的に示す図である。
- 【図 4 7】実施例 9 の半導体装置 1 6 2 の他の構成を模式的に示す図である。
- 【図 4 8】実施例 9 の半導体装置 1 6 2 の他の構成を模式的に示す図である。
- 【図 4 9】実施例 9 の半導体装置 1 6 2 の他の構成を模式的に示す図である。 40
- 【図 5 0】実施例 9 の半導体装置 1 6 2 の他の構成を模式的に示す図である。
- 【発明を実施するための形態】
- 【0 0 4 8】

(実施例 1)

図 1 に示すように、本実施例のダイオード 2 は、シリコンの半導体基板 4 を用いて形成されている。半導体基板 4 には、高濃度 n 型半導体領域である n^+ カソード領域 6 と、n 型半導体領域である n バッファ領域 8 と、低濃度 n 型半導体領域である n^- ドリフト領域 1 0 と、n 型半導体領域である n バリア領域 1 2 と、p 型半導体領域である p アノード領域 1 4 が順に積層されている。本実施例では、n 型半導体領域には不純物として例えばリンが添加されており、p 型半導体領域には不純物として例えばボロンが添加されている。 50

本実施例では、 n^+ カソード領域6の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度であり、 n バッファ領域8の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度であり、 n^- ドリフト領域10の不純物濃度は $1 \times 10^{12} \sim 1 \times 10^{15} [\text{cm}^{-3}]$ 程度であり、 n バリア領域12の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{18} [\text{cm}^{-3}]$ 程度であり、 p アノード領域14の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。また、 n バリア領域12の厚みは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。

【0049】

半導体基板4の上側表面には、 n 型半導体領域である n ピラー領域16が、所定の間隔を隔てて複数形成されている。 n ピラー領域16の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。 n ピラー領域16は、 p アノード領域14を貫通して、 n バリア領域12の上側表面まで達するように形成されている。また、 p アノード領域14の上側表面には、高濃度 p 型半導体領域である p^+ コンタクト領域18が所定の間隔を隔てて複数形成されている。 p^+ コンタクト領域18の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{20} [\text{cm}^{-3}]$ 程度である。半導体基板4の上側表面には、 p アノード領域14と、 n ピラー領域と16、 p^+ コンタクト領域18が露出している。

【0050】

半導体基板4の下側表面には、金属製のカソード電極20が形成されている。カソード電極20は、 n^+ カソード領域6とオーミック接合によって接合している。半導体基板4の上側表面には、金属製のアノード電極22が形成されている。アノード電極22は、ショットキー界面24を介して、 n ピラー領域16とショットキー接合している。本実施例では、ショットキー接合のバリア高さは $0.2 \sim 1.0 [\text{eV}]$ 程度である。アノード電極22は、 p アノード領域14および p^+ コンタクト領域18とオーミック接合によって接合している。

【0051】

ダイオード2の動作について説明する。アノード電極22とカソード電極20の間に順バイアスが印加されると、アノード電極22と n ピラー領域16はショットキー界面24を介して短絡する。 n ピラー領域16と n バリア領域12はほぼ同電位であるため、 n バリア領域12とアノード電極22の電位差はショットキー界面24での電圧降下とほぼ等しくなる。ショットキー界面24での電圧降下は、 p アノード領域14と n バリア領域12の間の $p-n$ 接合のビルトイン電圧よりも十分に小さいので、 p^+ コンタクト領域18や p アノード領域14から n^- ドリフト領域10への正孔の注入が抑制される。アノード電極22とカソード電極20の間には、主にアノード電極22と n ピラー領域16の間のショットキー界面24、 n ピラー領域16、 n バリア領域12、 n^- ドリフト領域10、 n バッファ領域8、 n^+ カソード領域6を経由する順電流が流れる。

【0052】

次いで、アノード電極22とカソード電極20の間の電圧が順バイアスから逆バイアスに切り替わると、アノード電極22と n ピラー領域16の間のショットキー界面24によって逆電流が制限される。上述したように、本実施例のダイオード2では、順バイアスの印加時において p^+ コンタクト領域18および p アノード領域14から n^- ドリフト領域10への正孔の注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。本実施例のダイオード2によれば、 n^- ドリフト領域10のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

【0053】

また、本実施例のダイオード2では、アノード電極22とカソード電極20の間に逆バイアスが印加されると、 n ピラー領域16とアノード電極22の間のショットキー界面24から伸びる空乏層だけでなく、 p アノード領域14と n バリア領域12の間の $p-n$ 接合の界面から伸びる空乏層によっても電界が分担される。これにより、 n ピラー領域16とアノード電極22の間のショットキー界面24にかかる電界が軽減される。本実施例のダイオード2によれば、逆バイアスに対する耐圧を向上することが出来る。

【0054】

図2は実施例1のダイオード2と、従来技術である比較例1のダイオード26について、逆回復特性を比較したものである。

【0055】

図3は比較例1のダイオード26の構造を示している。ダイオード26は、高濃度n型半導体領域である n^+ カソード領域6と、n型半導体領域であるnバッファ領域8と、低濃度n型半導体領域である n^- ドリフト領域10が順に積層された、シリコンの半導体基板28に形成されている。 n^- ドリフト領域10の表面には、p型半導体領域であるpアノード領域14が所定の間隔を隔てて複数形成されている。また、pアノード領域14の上側表面には、高濃度p型半導体領域である p^+ コンタクト領域18が所定の間隔を隔てて複数形成されている。半導体基板28の下側表面には、金属製のカソード電極20が形成されている。カソード電極20は、 n^+ カソード領域6とオーミック接合によって接合している。半導体基板28の上側表面には、金属製のアノード電極22が形成されている。アノード電極22は、ショットキー界面30を介して、 n^- ドリフト領域10とショットキー接合によって接合している。アノード電極22は、pアノード領域14および p^+ コンタクト領域18とオーミック接合によって接合している。すなわち、比較例1のダイオード26は、nバリア領域12とnピラー領域16を備えていない点で、実施例1のダイオード2と相違する。

10

【0056】

図2から明らかなように、実施例1のダイオード2は、比較例1のダイオード26に比べて、逆回復電流が小さく、逆回復時間が短い。本実施例のダイオード2によれば、スイッチング損失を低減することが出来る。

20

【0057】

本実施例のダイオード2では、nピラー領域16における不純物濃度が、nバリア領域12における不純物濃度よりも高い。このような構成とすることによって、pアノード領域14の厚みを小さくすることなく、順バイアスの印加時におけるnバリア領域12とアノード電極22の間の電位差を小さくすることが出来る。本実施例のダイオード2によれば、逆バイアスに対するリーチスルーの発生を抑え、耐圧を低下させることなく、スイッチング損失を低減することが出来る。

【0058】

(実施例2)

30

図4に示すように、本実施例のダイオード32は、シリコンの半導体基板34を用いて形成されている。半導体基板34には、高濃度n型半導体領域である n^+ カソード領域6と、n型半導体領域であるnバッファ領域8と、低濃度n型半導体領域である n^- ドリフト領域10と、p型半導体領域であるp電界進展防止領域36と、n型半導体領域であるnバリア領域12と、p型半導体領域であるpアノード領域14が順に積層されている。本実施例では、p電界進展防止領域36の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。また、p電界進展防止領域36の厚みは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。

【0059】

半導体基板34の上側表面には、n型半導体領域であるnピラー領域16が、所定の間隔を隔てて複数形成されている。nピラー領域16は、pアノード領域14を貫通して、nバリア領域12の上側表面まで達するように形成されている。また、pアノード領域14の上側表面には、高濃度p型半導体領域である p^+ コンタクト領域18が所定の間隔を隔てて複数形成されている。半導体基板34の上側表面には、pアノード領域14と、nピラー領域と16、 p^+ コンタクト領域18が露出している。

40

【0060】

半導体基板34の下側表面には、金属製のカソード電極20が形成されている。カソード電極20は、 n^+ カソード領域6とオーミック接合によって接合している。半導体基板34の上側表面には、金属製のアノード電極22が形成されている。アノード電極22は、ショットキー界面24を介して、nピラー領域16とショットキー接合によって接合し

50

ている。アノード電極 22 は、p アノード領域 14 および p⁺ コンタクト領域 18 とオーミック接合によって接合している。

【0061】

ダイオード 32 の動作について説明する。アノード電極 22 とカソード電極 20 の間に順バイアスが印加されると、アノード電極 22 と n ピラー領域 16 はショットキー界面 24 を介して短絡する。n ピラー領域 16 と n バリア領域 12 はほぼ同電位であるため、n バリア領域 12 とアノード電極 22 の電位差はショットキー界面 24 での電圧降下とほぼ等しくなる。ショットキー界面 24 での電圧降下は、p アノード領域 14 と n バリア領域 12 の間の p n 接合のビルトイン電圧よりも十分に小さいので、p⁺ コンタクト領域 18 や p アノード領域 14 から n⁻ ドリフト領域 10 への正孔の注入が抑制される。アノード電極 22 とカソード電極 20 の間には、主にアノード電極 22 と n ピラー領域 16 の間のショットキー界面 24、n ピラー領域 16、n バリア領域 12、p 電界進展防止領域 36、n⁻ ドリフト領域 10、n バッファ領域 8、n⁺ カソード領域 6 を経由する順電流が流れる。なお、n バリア領域 12 と p 電界進展防止領域 36 の間には p n 接合が存在するが、p 電界進展防止領域 36 の p 型不純物濃度は低く、p 電界進展防止領域 36 の厚みは薄いため、アノード電極 22 とカソード電極 20 の間の順電流に及ぼす影響は少ない。

【0062】

次いで、アノード電極 22 とカソード電極 20 の間の電圧が順バイアスから逆バイアスに切り替わると、アノード電極 22 と n ピラー領域 16 の間のショットキー界面 24 によって逆電流が制限される。また、n⁻ ドリフト領域 10 と p 電界進展防止領域 36 の間の p n 接合によっても逆電流が制限される。上述したように、本実施例のダイオード 32 では、順バイアスの印加時において p⁺ コンタクト領域 18 および p アノード領域 14 から n⁻ ドリフト領域 10 への正孔の注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。本実施例のダイオード 32 によれば、n⁻ ドリフト領域 10 のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

【0063】

また、本実施例のダイオード 32 では、アノード電極 22 とカソード電極 20 の間に逆バイアスが印加されると、n ピラー領域 16 とアノード電極 22 の間のショットキー界面 24 から伸びる空乏層だけでなく、p アノード領域 14 と n バリア領域 12 の間の p n 接合の界面から伸びる空乏層と、n⁻ ドリフト領域 10 と p 電界進展防止領域 36 の間の p n 接合の界面でも電界が分担される。これにより、n ピラー領域 16 とアノード電極 22 の間のショットキー界面 24 にかかる電界と、p アノード領域 14 と n バリア領域 12 の間の p n 接合にかかる電界が軽減される。本実施例のダイオード 32 によれば、逆バイアスに対する耐圧を向上することが出来る。

【0064】

図 5 は実施例 1 のダイオード 2 と実施例 2 のダイオード 32 について、逆バイアス印加時のリーク電流を比較したものである。図 5 から明らかなように、実施例 2 のダイオード 32 は、実施例 1 のダイオード 2 に比べて、逆バイアス印加時のリーク電流が低減されている。

【0065】

図 6 は実施例 1 のダイオード 2 と実施例 2 のダイオード 32 について、逆バイアス印加時の耐圧を比較したものである。図 6 から明らかなように、実施例 2 のダイオード 32 は、実施例 1 のダイオード 2 に比べて、逆バイアス印加時の耐圧が向上している。

【0066】

(実施例 3)

図 7 に示すように、本実施例のダイオード 42 は、実施例 1 のダイオード 2 と同様に、シリコンの半導体基板 4 を用いて形成されている。半導体基板 4 には、高濃度 n 型半導体領域である n⁺ カソード領域 6 と、n 型半導体領域である n バッファ領域 8 と、低濃度 n 型半導体領域である n⁻ ドリフト領域 10 と、n 型半導体領域である n バリア領域 12 と、p 型半導体領域である p アノード領域 14 が順に積層されている。半導体基板 4 の上側

表面には、 n 型半導体領域である n ピラー領域16が、所定の間隔を隔てて複数形成されている。 n ピラー領域16は、 p アノード領域14を貫通して、 n バリア領域12の上側表面まで達するように形成されている。また、半導体基板4の上側には、複数のトレンチ44が所定の間隔で形成されている。それぞれのトレンチ44は、 p アノード領域14の上側表面から n バリア領域12を貫通して n -ドリフト領域10の内部まで達している。トレンチ44の内部には、絶縁膜46によって被覆されたトレンチ電極48が充填されている。また、 p アノード領域14の上側表面には、高濃度 p 型半導体領域である p^+ コンタクト領域18が所定の間隔を隔てて複数形成されている。

【0067】

半導体基板4の下側表面には、金属製のカソード電極20が形成されている。カソード電極20は、 n^+ カソード領域6とオーミック接合によって接合している。半導体基板4の上側表面には、金属製のアノード電極22が形成されている。アノード電極22は、ショットキー界面24を介して、 n ピラー領域16とショットキー接合によって接合している。アノード電極22は、 p アノード領域14および p^+ コンタクト領域18とオーミック接合によって接合している。

【0068】

本実施例のダイオード42の動作は、実施例1のダイオード2の動作とほぼ同じである。本実施例のダイオード42では、アノード電極22とカソード電極20の間に逆バイアスが印加される際に、トレンチ電極48に印加される電圧を調整することで、耐圧を向上することができる。例えば、逆バイアスの印加時にトレンチ電極48とアノード電極22がほぼ同電位となるようにトレンチ電極48に印加される電圧を調整すると、 n -ドリフト領域10の内部におけるトレンチ電極48の先端近傍の箇所に電界集中が生じ、これによって、 n ピラー領域16とアノード電極22の間のショットキー界面24や、 p アノード領域14と n バリア領域12の間の pn 接合の界面にかかる電界が軽減される。なお、トレンチ電極48の電位は必ずしもアノード電極22と同電位にする必要はない。逆バイアスの印加時に、トレンチ電極48の電位を、カソード電極20の電位より低くなるようにすることで、トレンチ電極48の先端近傍の箇所に電界集中が生じ、 n ピラー領域16とアノード電極22の間のショットキー界面24や、 p アノード領域14と n バリア領域12の間の pn 接合の界面にかかる電界を軽減することができる。本実施例のダイオード42によれば、逆バイアスに対する耐圧を向上することができる。

【0069】

(実施例4)

図8に示すように、本実施例のダイオード52は、実施例2のダイオード32と同様に、シリコンの半導体基板34を用いて形成されている。半導体基板34には、高濃度 n 型半導体領域である n^+ カソード領域6と、 n 型半導体領域である n バッファ領域8と、低濃度 n 型半導体領域である n -ドリフト領域10と、 p 型半導体領域である p 電界進展防止領域36と、 n 型半導体領域である n バリア領域12と、 p 型半導体領域である p アノード領域14が順に積層されている。半導体基板34の上側表面には、 n 型半導体領域である n ピラー領域16が、所定の間隔を隔てて複数形成されている。 n ピラー領域16は、 p アノード領域14を貫通して、 n バリア領域12の上側表面まで達するように形成されている。また、半導体基板34の上側には、複数のトレンチ44が所定の間隔で形成されている。それぞれのトレンチ44は、 p アノード領域14の上側表面から n バリア領域12と p 電界進展防止領域36を貫通して n -ドリフト領域10の内部まで達している。トレンチ44の内部には、絶縁膜46によって被覆されたトレンチ電極48が充填されている。また、 p アノード領域14の上側表面には、高濃度 p 型半導体領域である p^+ コンタクト領域18が所定の間隔を隔てて複数形成されている。

【0070】

半導体基板34の下側表面には、金属製のカソード電極20が形成されている。カソード電極20は、 n^+ カソード領域6とオーミック接合によって接合している。半導体基板34の上側表面には、金属製のアノード電極22が形成されている。アノード電極22は

、ショットキー界面24を介して、nピラー領域16とショットキー接合によって接合している。アノード電極22は、pアノード領域14およびp⁺コンタクト領域18とオーミック接合によって接合している。

【0071】

本実施例のダイオード52の動作は、実施例2のダイオード32の動作とほぼ同じである。本実施例のダイオード52では、実施例3のダイオード42と同様に、アノード電極22とカソード電極20の間に逆バイアスが印加される際に、トレンチ電極48に印加される電圧を調整することで、耐圧を向上することができる。例えば、逆バイアスの印加時にトレンチ電極48とアノード電極22がほぼ同電位となるようにトレンチ電極48に印加される電圧を調整すると、n⁻ドリフト領域10の内部におけるトレンチ電極48の先端近傍の箇所に電界集中が生じ、これによって、nピラー領域16とアノード電極22の間のショットキー界面24や、pアノード領域14とnバリア領域12の間のpn接合の界面や、n⁻ドリフト領域10とp電界進展防止領域36の間のpn接合の界面にかかる電界が軽減される。本実施例のダイオード52によれば、逆バイアスに対する耐圧を向上することができる。

10

【0072】

なお、本実施例のダイオード52の各構成要素は、図9に示すように、3次元的に配置することもできる。図9では、各構成要素の配置を明瞭にするために、カソード電極20およびアノード電極22を図示していない。

【0073】

(実施例5)

図10に示すように、本実施例のダイオード62は、実施例4のダイオード52とほぼ同様の構成を備えている。本実施例のダイオード62では、n⁺カソード領域6に、高濃度p型半導体領域であるp⁺カソードショート領域64が、所定の間隔を隔てて複数形成されている点で、実施例4のダイオード52と異なる。本実施例では、p⁺カソードショート領域64の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度である。

20

【0074】

本実施例のダイオード62の動作は、実施例4のダイオード52とほぼ同じである。本実施例のダイオード62では、アノード電極22とカソード電極20の間に順バイアスが印加される際に、p⁺カソードショート領域64が形成されていることで、n⁺カソード領域6からn⁻ドリフト領域10への電子の注入が抑制される。本実施例のダイオード62によれば、順バイアスの印加時において、p⁺コンタクト領域18およびpアノード領域14からn⁻ドリフト領域10への正孔の注入が抑制されているだけでなく、n⁺カソード領域6からn⁻ドリフト領域10への電子の注入も抑制されているので、逆回復電流をさらに小さくし、逆回復時間をさらに短くすることができる。本実施例のダイオード62によれば、さらにスイッチング損失を小さくすることが出来る。

30

【0075】

なお、上記のようにp⁺カソードショート領域64を設けることによる逆回復特性の改善は、他の形態のダイオードにおいても効果的である。すなわち、図11に示すダイオード66のように、実施例1のダイオード2において、n⁺カソード領域6にp⁺カソードショート領域64を設けた構成とすることもできるし、図12に示すダイオード68のように、実施例2のダイオード32において、n⁺カソード領域6にp⁺カソードショート領域64を設けた構成とすることもできるし、図13に示すダイオード70のように、実施例3のダイオード42において、n⁺カソード領域6にp⁺カソードショート領域64を設けた構成とすることもできる。

40

【0076】

(実施例6)

図14に示すように、本実施例の半導体装置72は、実施例3のダイオード42とほぼ同様の構成を備えている。半導体装置72では、pアノード領域14の上側表面において、トレンチ44に隣接する箇所に、高濃度n型半導体領域であるn⁺エミッタ領域74が

50

形成されている。本実施例では、 n^+ エミッタ領域74の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度である。 n^+ エミッタ領域74は、アノード電極22とオーミック接合によって接合している。

【0077】

本実施例の半導体装置72は、ドレイン電極に相当するカソード電極20と、ドレイン領域に相当する n^+ カソード領域6と、 n バッファ領域8と、 n^- ドリフト領域10と、ボディ領域に相当する p アノード領域14と、ソース領域に相当する n^+ エミッタ領域74と、ソース電極に相当するアノード電極22と、 n^+ エミッタ領域74と n^- ドリフト領域10の間の p アノード領域14に対して絶縁膜46を挟んで対向する、ゲート電極に相当するトレンチ電極48を備える縦型のMOSFETの構造を有している。

10

【0078】

実施例3のダイオード42と同様に、本実施例の半導体装置72によれば、MOSFETの寄生ダイオードの逆回復特性を改善して、スイッチング損失を低減することができる。また、実施例3のダイオード42と同様に、本実施例の半導体装置72によれば、逆バイアスに対する耐圧を向上することができる。

【0079】

(実施例7)

図15に示すように、本実施例の半導体装置82は、実施例4のダイオード52とほぼ同様の構成を備えている。半導体装置82では、 p アノード領域14の上側表面において、トレンチ44に隣接する箇所に、 n^+ エミッタ領域74が形成されている。 n^+ エミッタ領域74は、アノード電極22とオーミック接合によって接合している。

20

【0080】

本実施例の半導体装置82は、ドレイン電極に相当するカソード電極20と、ドレイン領域に相当する n^+ カソード領域6と、 n バッファ領域8と、 n^- ドリフト領域10と、ボディ領域に相当する p アノード領域14と、ソース領域に相当する n^+ エミッタ領域74と、ソース電極に相当するアノード電極22と、 n^+ エミッタ領域74と n^- ドリフト領域10の間の p アノード領域14に対して絶縁膜46を挟んで対向する、ゲート電極に相当するトレンチ電極48を備える縦型のMOSFETの構造を有している。

【0081】

実施例4のダイオード52と同様に、本実施例の半導体装置82によれば、MOSFETの寄生ダイオードの逆回復特性を改善して、スイッチング損失を低減することができる。また、実施例4のダイオード52と同様に、本実施例の半導体装置82によれば、逆バイアスに対する耐圧を向上し、逆バイアス時のリーク電流を抑制することができる。

30

【0082】

(実施例8)

図16に示すように、本実施例の半導体装置102は、シリコンの半導体基板104を用いて形成されている。半導体装置102は、IGBT領域106と、ダイオード領域108を備えている。IGBT領域106において、半導体基板104は、高濃度 p 型半導体領域である p^+ コレクタ領域110と、 n 型半導体領域である n バッファ領域112と、低濃度 n 型半導体領域である n^- ドリフト領域114と、 n 型半導体領域である n バリア領域116と、 p 型半導体領域である p ボディ領域118が順に積層されている。本実施例では、 p^+ コレクタ領域110の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度であり、 n バッファ領域112の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度であり、 n^- ドリフト領域114の不純物濃度は $1 \times 10^{12} \sim 1 \times 10^{15} [\text{cm}^{-3}]$ 程度であり、 n バリア領域116の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{18} [\text{cm}^{-3}]$ 程度であり、 p ボディ領域118の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。また、 n バリア領域116の厚みは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。ダイオード領域108において、半導体基板104は、高濃度 n 型半導体領域である n^+ カソード領域120と、 n バッファ領域112と、 n^- ドリフト領域114と、 n バリア領域122と、 p 型半導体領域である p アノード領域124が順に積層されている。本実施例では、 n^+

40

50

カソード領域120の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度であり、nバリア領域122の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{18} [\text{cm}^{-3}]$ 程度であり、pアノード領域124の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。また、nバリア領域122の厚みは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。半導体基板4の上側には、複数のトレンチ126が所定の間隔で形成されている。

【0083】

IGBT領域106において、トレンチ126は、pボディ領域118の上側表面からnバリア領域116を貫通して、n⁻ドリフト領域114の内部まで達している。トレンチ126の内部には、絶縁膜128で被覆されたゲート電極130が充填されている。pボディ領域118の上側表面において、トレンチ126に隣接する箇所には、高濃度n型半導体領域であるn⁺エミッタ領域132が形成されている。n⁺エミッタ領域132の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度である。また、pボディ領域118の上側表面には、n型半導体領域であるnピラー領域134が形成されている。nピラー領域134の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。nピラー領域134は、pボディ領域118を貫通して、nバリア領域116の上側表面まで達するように形成されている。さらに、pボディ領域118の上側表面には、高濃度p型半導体領域であるp⁺コンタクト領域136が形成されている。p⁺コンタクト領域136の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{20} [\text{cm}^{-3}]$ 程度である。

【0084】

ダイオード領域108において、トレンチ126は、pアノード領域124の上側表面からnバリア領域122を貫通して、n⁻ドリフト領域114の内部まで達している。トレンチ126の内部には、絶縁膜138で被覆されたゲート電極140が充填されている。pアノード領域124の上側表面には、n型半導体領域であるnピラー領域142が形成されている。nピラー領域142の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。nピラー領域142は、pアノード領域124を貫通して、nバリア領域122の上側表面まで達するように形成されている。また、pアノード領域124の上側表面には、高濃度p型半導体領域であるp⁺コンタクト領域144が形成されている。p⁺コンタクト領域144の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{20} [\text{cm}^{-3}]$ 程度である。

【0085】

半導体基板104の下側表面には、金属製のコレクタ／カソード電極146が形成されている。コレクタ／カソード電極146は、p⁺コレクタ領域110およびn⁺カソード領域120とオーミック接合によって接合している。コレクタ／カソード電極146は、IGBT領域106においてはコレクタ電極として機能し、ダイオード領域108においてはカソード電極として機能する。

【0086】

半導体基板104の上側表面には、金属製のエミッタ／アノード電極148が形成されている。エミッタ／アノード電極148は、ショットキー界面150を介してnピラー領域134とショットキー接合しており、ショットキー界面152を介してnピラー領域142とショットキー接合している。本実施例では、ショットキー界面150およびショットキー界面152のバリア高さは、何れも $0.2 \sim 1.0 [\text{eV}]$ 程度である。また、エミッタ／アノード電極148は、IGBT領域106のn⁺エミッタ領域132およびp⁺コンタクト領域136、およびダイオード領域108のp⁺コンタクト領域144とオーミック接合によって接合している。エミッタ／アノード電極148は、IGBT領域106においてはエミッタ電極として機能し、ダイオード領域108においてはアノード電極として機能する。

【0087】

IGBT領域106のゲート電極130は図示しない第1ゲート電極端子に導通している。ダイオード領域108のゲート電極140は、図示しない第2ゲート電極端子に導通している。

【0088】

10

20

30

40

50

以上のように、半導体装置102は、トレンチ型のIGBTとして機能するIGBT領域106とフリーホイーリングダイオードとして機能するダイオード領域108が逆並列に接続された構造を有している。

【0089】

半導体装置102の動作について説明する。ゲート電極130に電圧が印加されておらず、従ってIGBT領域106が駆動していない場合には、IGBT領域106は寄生ダイオードとして機能する。この状態で、エミッタ／アノード電極148とコレクタ／カソード電極146の間に順バイアスが印加されると、ダイオード領域108では、エミッタ／アノード電極148とnピラー領域142がショットキー界面152を介して短絡する。nピラー領域142とnバリア領域122はほぼ同電位であるため、nバリア領域122とエミッタ／アノード電極148の電位差はショットキー界面152での電圧降下とほぼ等しくなる。ショットキー界面152での電圧降下は、pアノード領域124とnバリア領域122の間のpn接合のビルトイン電圧よりも十分に小さいので、p⁺コンタクト領域144やpアノード領域124からn⁻ドリフト領域114への正孔の注入が抑制される。IGBT領域106では、エミッタ／アノード電極148とnピラー領域134がショットキー界面150を介して短絡する。nピラー領域134とnバリア領域116はほぼ同電位であるため、nバリア領域116とエミッタ／アノード電極148の電位差はショットキー界面150での電圧降下とほぼ等しくなる。ショットキー界面150での電圧降下は、pボディ領域118とnバリア領域116の間のpn接合のビルトイン電圧よりも十分に小さいので、p⁺コンタクト領域136やpボディ領域118からn⁻ドリフト領域114への正孔の注入が抑制される。エミッタ／アノード電極148とコレクタ／カソード電極146の間には、主にダイオード領域108のショットキー界面152、nピラー領域142、nバリア領域122、n⁻ドリフト領域114、nバッファ領域112、n⁺カソード領域120を経由する順電流と、IGBT領域106のショットキー界面150、nピラー領域134、nバリア領域116、n⁻ドリフト領域114、nバッファ領域112、n⁺カソード領域120を経由する順電流が流れる。

【0090】

次いで、エミッタ／アノード電極148とコレクタ／カソード電極146の間の電圧が順バイアスから逆バイアスに切り替わると、ダイオード領域108ではショットキー界面152によって、IGBT領域106ではショットキー界面150によって、逆電流が制限される。上述したように、ダイオード領域108では、順バイアスの印加時においてp⁺コンタクト領域144およびpアノード領域124からn⁻ドリフト領域114への正孔の注入が抑制されており、IGBT領域106では、順バイアスの印加時においてp⁺コンタクト領域136およびpボディ領域118からn⁻ドリフト領域114への正孔の注入が抑制されている。従って、半導体装置102は、逆回復電流が小さく、逆回復時間が短い。本実施例の半導体装置102によれば、n⁻ドリフト領域114のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

【0091】

また、本実施例の半導体装置102では、エミッタ／アノード電極148とコレクタ／カソード電極146の間に逆バイアスが印加されると、IGBT領域106では、ショットキー界面150から伸びる空乏層だけでなく、pボディ領域118とnバリア領域116の間のpn接合の界面から伸びる空乏層によっても電界が分担される。さらに、n⁻ドリフト領域114のトレンチ126の先端部近傍に電界が集中することで、ショットキー界面150にかかる電界と、pボディ領域118とnバリア領域116の間のpn接合にかかる電界が軽減される。同様に、ダイオード領域108では、ショットキー界面152から伸びる空乏層だけでなく、pアノード領域124とnバリア領域122の間のpn接合の界面から伸びる空乏層によっても電界が分担される。さらに、n⁻ドリフト領域114のトレンチ126の先端部近傍に電界が集中することで、ショットキー界面152にかかる電界と、pアノード領域124とnバリア領域122の間のpn接合にかかる電界が軽減される。本実施例の半導体装置102によれば、逆バイアスに対する耐圧を向上する

ことができる。

【0092】

なお、図43に示すように、本実施例の半導体装置102において、IGBT領域106にはnバリア領域116、nピラー領域134を形成するものの、ダイオード領域108にはnバリア領域122、nピラー領域142を形成しない構成とすることもできる。このような構成とした場合でも、IGBT領域106におけるスイッチング損失を低減し、逆バイアスに対する耐圧を向上することができる。

【0093】

(実施例9)

図17に示すように、本実施例の半導体装置162は、実施例8の半導体装置102とほぼ同様の構成を備えている。半導体装置162は、シリコンの半導体基板164を用いて形成されている。半導体基板164は、実施例8の半導体基板104とほぼ同様の構成を備えている。半導体基板164では、IGBT領域106において、n⁻ドリフト領域114とnバリア領域116の間に、p型半導体領域であるp電界進展防止領域166が形成されており、ダイオード領域108において、n⁻ドリフト領域114とnバリア領域122の間に、p型半導体領域であるp電界進展防止領域168が形成されている。p電界進展防止領域166およびp電界進展防止領域168の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。また、p電界進展防止領域166およびp電界進展防止領域168の厚みは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。IGBT領域106において、トレンチ126は、pボディ領域118の上側表面からnバリア領域116およびp電界進展防止領域166を貫通して、n⁻ドリフト領域114の内部まで達している。ダイオード領域108において、トレンチ126は、pアノード領域124の上側表面からnバリア領域122およびp電界進展防止領域168を貫通して、n⁻ドリフト領域114の内部まで達している。

【0094】

本実施例の半導体装置162によれば、実施例8の半導体装置102と同様に、エミッタ／アノード電極148とコレクタ／カソード電極146の間に順バイアスが印加される際に、ダイオード領域108では、p⁺コンタクト領域144およびpアノード領域124からn⁻ドリフト領域114への正孔の注入が抑制されており、IGBT領域106では、p⁺コンタクト領域136およびpボディ領域118からn⁻ドリフト領域114への正孔の注入が抑制されている。従って、順バイアスから逆バイアスへ切り換わる際の、逆回復電流を小さくし、逆回復時間を短くすることができる。従って、スイッチング損失を小さくすることが出来る。

【0095】

また、本実施例の半導体装置162によれば、エミッタ／アノード電極148とコレクタ／カソード電極146の間に逆バイアスが印加されると、IGBT領域106では、ショットキー界面150から伸びる空乏層と、pボディ領域118とnバリア領域116の間のpn接合の界面から伸びる空乏層だけでなく、n⁻ドリフト領域114とp電界進展防止領域166の間のpn接合の界面から伸びる空乏層によっても電界が分担される。さらに、n⁻ドリフト領域114のトレンチ126の先端部近傍に電界が集中することで、ショットキー界面150にかかる電界と、pボディ領域118とnバリア領域116の間のpn接合にかかる電界と、n⁻ドリフト領域114とp電界進展防止領域166の間のpn接合にかかる電界が軽減される。同様に、ダイオード領域108では、ショットキー界面152から伸びる空乏層と、pアノード領域124とnバリア領域122の間のpn接合の界面から伸びる空乏層だけでなく、n⁻ドリフト領域114とp電界進展防止領域168の間のpn接合の界面から伸びる空乏層によっても電界が分担される。さらに、n⁻ドリフト領域114のトレンチ126の先端部近傍に電界が集中することで、ショットキー界面152にかかる電界と、pアノード領域124とnバリア領域122の間のpn接合にかかる電界と、n⁻ドリフト領域114とp電界進展防止領域168の間のpn接合にかかる電界が軽減される。本実施例の半導体装置162によれば、逆バイアスに対す

る耐圧を向上することができる。

【0096】

また、本実施例の半導体装置162によれば、エミッタ／アノード電極148とコレクタ／カソード電極146の間に逆バイアスが印加される際に、ダイオード領域108ではp電界進展防止領域168とnドリフト領域114の間のpn接合によって逆電流が制限されるので、ショットキー界面152を通過するリーク電流が低減し、IGBT領域106では、p電界進展防止領域166とnドリフト領域114の間のpn接合によって逆電流が制限されるので、ショットキー界面150を通過するリーク電流が低減する。本実施例の半導体装置162によれば、逆バイアス印加時のリーク電流を低減することができる。

10

【0097】

さらに、本実施例の半導体装置162では、IGBT領域106のゲート電極130に電圧を印加してIGBT領域106を駆動する場合に、IGBT領域106においてコレクタ／カソード電極146からエミッタ／アノード電極148へ流れる電流がp電界進展防止領域166によって抑制されるため、IGBT領域106の飽和電流を低減することが出来る。

【0098】

なお、本実施例の半導体装置162の各構成要素は、図18や図47に示すように、3次元的に配置することもできる。図18および図47では、各構成要素の配置を明瞭にするために、コレクタ／カソード電極146およびエミッタ／アノード電極148を図示していない。

20

【0099】

また、本実施例の半導体装置162の各構成要素は、図48、図49あるいは図50に示すように、3次元的に配置することもできる。図48、図49および図50では、各構成要素の配置を明瞭にするために、コレクタ／カソード電極146およびエミッタ／アノード電極148を図示していない。図48、図49および図50に示す配置では、半導体装置162を上面から平面視したときに、ゲート電極130やゲート電極140が縦横に交差しており、ゲート電極130、140の内側コーナー部に対して、pボディ領域118やpアノード領域124が絶縁膜128、138を挟んで対向するように配置されている。このような構成とすると、IGBT領域106やダイオード領域108にオン電流が流れる際に、ゲート電極130、140の内側コーナー部近傍のnドリフト領域114の正孔濃度が増加するため、伝導度変調効果を増大させることができる。IGBT領域106やダイオード領域108のオン抵抗を低減することができる。

30

【0100】

なお、図44に示すように、本実施例の半導体装置162において、IGBT領域106にはp電界進展防止領域166、nバリア領域116、nピラー領域134を形成するものの、ダイオード領域108にはp電界進展防止領域168、nバリア領域122、nピラー領域142を形成しない構成とすることもできる。このような構成とした場合でも、IGBT領域106におけるスイッチング損失を低減し、逆バイアスに対する耐圧を向上することができる。また、IGBT領域106における逆バイアス印加時のリーク電流を低減し、飽和電流を低減することが出来る。

40

【0101】

(実施例10)

図19に示すように、本実施例の半導体装置172は、実施例8の半導体装置102とほぼ同様の構成を備えている。本実施例の半導体装置172では、ダイオード領域108のn⁺カソード領域120に、高濃度p型半導体領域であるp⁺カソードショート領域174が、所定の間隔を隔てて複数形成されている点で、実施例8の半導体装置102と異なる。本実施例では、p⁺カソードショート領域174の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度である。本実施例の半導体装置172によれば、順バイアスの印加時において、n⁺カソード領域120からnドリフト領域114への電子の注入が抑制

50

されているので、実施例 8 の半導体装置 102 に比べて、逆回復電流をさらに小さくし、逆回復時間をさらに短くすることができる。本実施例の半導体装置 172 によれば、さらにスイッチング損失を小さくすることが出来る。

【0102】

(実施例 11)

図 20 に示すように、本実施例の半導体装置 182 は、実施例 9 の半導体装置 162 とほぼ同様の構成を備えている。本実施例の半導体装置 182 では、ダイオード領域 108 の n^+ カソード領域 120 に、 p^+ カソードショート領域 174 が、所定の間隔を隔てて複数形成されている点で、実施例 9 の半導体装置 162 と異なる。本実施例の半導体装置 182 によれば、順バイアスの印加時において、 n^+ カソード領域 120 から n^- ドリフト領域 114 への電子の注入が抑制されているので、実施例 9 の半導体装置 162 に比べて、逆回復電流をさらに小さくし、逆回復時間をさらに短くすることができる。本実施例の半導体装置 182 によれば、さらにスイッチング損失を小さくすることが出来る。

【0103】

(実施例 12)

図 21 に示すように、本実施例の半導体装置 202 は、シリコンの半導体基板 204 を用いて形成されている。半導体基板 204 は、高濃度 n 型半導体領域である n^+ カソード領域 206 と、 n 型半導体領域である n バッファ領域 208 と、低濃度 n 型半導体領域である n^- ドリフト領域 210 が順に積層されている。本実施例では、 n^+ カソード領域 206 の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度であり、 n バッファ領域 208 の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度であり、 n^- ドリフト領域 210 の不純物濃度は $1 \times 10^{12} \sim 1 \times 10^{15} [\text{cm}^{-3}]$ 程度である。

【0104】

n^- ドリフト領域 210 の上側表面には、 n 型半導体領域である n バリア領域 212 が、所定の間隔を隔てて複数形成されている。 n バリア領域 212 の上型表面には、 p 型半導体領域である p アノード領域 214 が部分的に形成されている。 p アノード領域 214 の上側表面には、 n 型半導体領域である n ピラー領域 216 が形成されている。 n ピラー領域 216 は、 p アノード領域 214 を貫通して、 n バリア領域 212 の上側表面まで達するように形成されている。また、 p アノード領域 214 の上側表面には、高濃度 p 型半導体領域である p^+ コンタクト領域 218 と、高濃度 n 型半導体領域である n^+ エミッタ領域 220 がそれぞれ形成されている。本実施例では、 n バリア領域 212 の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{18} [\text{cm}^{-3}]$ 程度であり、 p アノード領域 214 の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度であり、 n ピラー領域 216 の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度であり、 p^+ コンタクト領域 218 の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{20} [\text{cm}^{-3}]$ 程度であり、 n^+ エミッタ領域 220 の不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{20} [\text{cm}^{-3}]$ 程度である。また、 n バリア領域 212 の厚さは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。

【0105】

半導体基板 204 の下側表面には、金属製のカソード電極 222 が形成されている。カソード電極 222 は、 n^+ カソード領域 206 とオーミック接合によって接合している。半導体基板 204 の上側表面には、金属製のアノード電極 224 と、金属製のゲート電極 226 が形成されている。アノード電極 224 は、ショットキー界面 228 を介して、 n ピラー領域 216 とショットキー接合している。本実施例では、ショットキー接合のバリア高さは $0.2 \sim 1.0 [\text{eV}]$ 程度である。また、アノード電極 224 は、 p アノード領域 214、 p^+ コンタクト領域 218 および n^+ エミッタ領域 220 の一部とオーミック接合によって接合している。ゲート電極 226 は、絶縁膜 230 を介して n^- ドリフト領域 210、 n バリア領域 212、 p アノード領域 214 および n^+ エミッタ領域 220 の一部と対向するように配置されている。ゲート電極 226 は、図示しないゲート電極端子に導通している。

【0106】

本実施例の半導体装置 202 は、ドレイン電極に相当するカソード電極 222 と、ドレイン領域に相当する n^+ カソード領域 206 と、 n バッファ領域 208 と、 n ドリフト領域 210 と、ボディ領域に相当する p アノード領域 214 と、ソース領域に相当する n^+ エミッタ領域 220 と、ソース電極に相当するアノード電極 224 と、 n^+ エミッタ領域 220 と n ドリフト領域 210 の間の p アノード領域 214 に対して絶縁膜 230 を挟んで対向するゲート電極 226 を備える縦型の MOSFET の構造を有している。

【0107】

本実施例の半導体装置 202 では、 n ドリフト領域 210 と p アノード領域 214 の間に n バリア領域 212 が形成されており、アノード電極 224 とショットキー界面 228 を介してショットキー接合する n ピラー領域 216 を介して n バリア領域 212 がアノード電極 224 と導通している。このような構成とすることによって、アノード電極 224 とカソード電極 222 の間の寄生ダイオードについて、逆回復特性を改善して、スイッチング損失を低減することができる。また、アノード電極 224 とカソード電極 222 の間の逆バイアスに対する耐圧を向上することができる。

【0108】

(実施例 13)

図 22 に示すように、本実施例の半導体装置 232 は、実施例 12 の半導体装置 202 とほぼ同様の構成を備えている。本実施例の半導体装置 232 も、実施例 12 の半導体装置 202 と同様に、縦型の MOSFET の構造を有している。本実施例の半導体装置 232 では、 n ドリフト領域 210 と n バリア領域 212 の間に、 p 型半導体領域である p 電界進展防止領域 234 が形成されている。 p 電界進展防止領域 234 の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ 程度である。また、 p 電界進展防止領域 234 厚さは $0.5 \sim 3.0 [\mu\text{m}]$ 程度である。

【0109】

本実施例の半導体装置 232 によれば、実施例 12 の半導体装置 202 と同様に、アノード電極 224 とカソード電極 222 の間の寄生ダイオードについて、逆回復特性を改善して、スイッチング損失を低減することができる。

【0110】

また、本実施例の半導体装置 232 では、 n ドリフト領域 210 と n バリア領域 212 の間に p 電界進展防止領域 234 が形成されているので、実施例 12 の半導体装置 202 に比べて、アノード電極 224 とカソード電極 222 の間の逆バイアスに対する耐圧を向上し、逆バイアス時のリーク電流を低減することができる。

【0111】

(実施例 14)

図 23 に示すように、本実施例の半導体装置 242 は、実施例 12 の半導体装置 202 とほぼ同様の構成を備えている。本実施例の半導体装置 242 では、 n^+ カソード領域 206 において、高濃度 p 型半導体領域である p^+ コレクタ領域 244 が部分的に形成されている。本実施例では、 p^+ コレクタ領域 244 の不純物濃度は $1 \times 10^{17} \sim 5 \times 10^{20} [\text{cm}^{-3}]$ 程度である。

【0112】

半導体装置 242 は、プレーナ型の IGBT とフリーホイーリングダイオードが逆並列に接続された構造を有している。すなわち、コレクタ電極に相当するカソード電極 222 と、 p^+ コレクタ領域 244 と、 n バッファ領域 208 と、 n ドリフト領域 210 と、 p アノード領域 214 と、 n^+ エミッタ領域 220 と、エミッタ電極に相当するアノード電極 224 と、絶縁膜 230 と、ゲート電極 226 によって、プレーナ型の IGBT を構成しており、カソード電極 222 と、 n^+ カソード領域 206 と、 n バッファ領域 208 と、 n ドリフト領域 210 と、 p アノード領域 214 と、 p^+ コンタクト領域 218 と、アノード電極 224 によって、フリーホイーリングダイオードを構成している。本実施例の半導体装置 242 は、上記のような IGBT とダイオードのそれぞれについて、 n ドリフト領域 210 と p アノード領域 214 の間に形成された n バリア領域 212 と、 n

バリア領域 212 とアノード電極 224 を接続するように形成されており、アノード電極 224 とショットキー接合する n ピラー領域 216 が付加された構成を有している。

【0113】

本実施例の半導体装置 242 では、アノード電極 224 とカソード電極 222 の間に順バイアスが印加される際に、p アノード領域 214 および p^+ コンタクト領域 218 から n^- ドリフト領域 210 への正孔の注入が抑制される。従って、逆回復特性を向上し、スイッチング損失を低減することができる。

【0114】

また、本実施例の半導体装置 242 では、アノード電極 224 とカソード電極 222 の間に逆バイアスが印加されると、ショットキー界面 228 から伸びる空乏層だけでなく、p アノード領域 214 と n バリア領域 212 の間の pn 接合の界面から伸びる空乏層によっても電界が分担される。従って、逆バイアスに対する耐圧を向上することができる。

【0115】

(実施例 15)

図 24 に示すように、本実施例の半導体装置 252 は、実施例 14 の半導体装置 242 とほぼ同様の構成を備えている。本実施例の半導体装置 252 では、 n^- ドリフト領域 210 と n バリア領域 212 の間に、p 型半導体領域である p 電界進展防止領域 234 が形成されている。p 電界進展防止領域 234 の不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{19} [cm^{-3}]$ 程度である。また、p 電界進展防止領域 234 厚さは $0.5 \sim 3.0 [\mu m]$ 程度である。半導体装置 252 は、プレーナ型の IGBT とフリーホイーリングダイオードが逆並列に接続された構造を有している。

【0116】

本実施例の半導体装置 252 によれば、アノード電極 224 とカソード電極 222 の間に順バイアスが印加される際に、p アノード領域 214 および p^+ コンタクト領域 218 から n^- ドリフト領域 210 への正孔の注入が抑制される。従って、逆回復特性を向上し、スイッチング損失を低減することができる。

【0117】

また、本実施例の半導体装置 252 では、アノード電極 224 とカソード電極 222 の間に逆バイアスが印加されると、ショットキー界面 228 から伸びる空乏層と、p アノード領域 214 と n バリア領域 212 の間の pn 接合の界面から伸びる空乏層だけでなく、p 電界進展防止領域 234 と n^- ドリフト領域 210 の間の pn 接合から伸びる空乏層によっても電界が分担される。従って、逆バイアスに対する耐圧を向上することができる。

【0118】

また、本実施例の半導体装置 252 では、p 電界進展防止領域 234 と n^- ドリフト領域 210 の間の pn 接合によって、逆電流が制限される。従って、ショットキー界面 228 を通過するリーク電流が低減される。

【0119】

さらに、本実施例の半導体装置 252 では、ゲート電極 226 に電圧を印加して IGBT を駆動する場合に、コレクタ電極に相当するカソード電極 222 からエミッタ電極に相当するアノード電極 224 へ流れる電流が p 電界進展防止領域 234 によって抑制されるため、IGBT の飽和電流を低減することができる。

【0120】

(実施例 16)

図 25 に示すように、本実施例のダイオード 302 は、実施例 1 のダイオード 2 とほぼ同様の構成を備えている。本実施例のダイオード 302 は、n ピラー領域 16 の代わりに、金属製のピラー電極 16a を備えている。ピラー電極 16a は、半導体基板 4 の上側表面に p アノード領域 14 を貫通して n バリア領域 12 まで達するトレンチを形成し、そのトレンチに金属を充填することで形成される。ピラー電極 16a はアノード電極 22 と導通しており、n バリア領域 12 とショットキー界面 24a を介してショットキー接合している。

【0121】

本実施例のダイオード302では、アノード電極22とカソード電極20の間に順バイアスが印加されると、ピラー電極16aとnバリア領域12がショットキー界面24aを介して短絡する。このとき、nバリア領域12とアノード電極22の電位差はショットキー界面24aでの電圧降下とほぼ等しくなる。ショットキー界面24aでの電圧降下は、pアノード領域14とnバリア領域12の間のpn接合のビルトイン電圧よりも十分に小さいので、 p^+ コンタクト領域18やpアノード領域14からn⁻ドリフト領域10への正孔の注入が抑制される。

【0122】

次いで、アノード電極22とカソード電極20の間の電圧が順バイアスから逆バイアスに切り替わると、ピラー電極16aとnバリア領域12の間のショットキー界面24aによって逆電流が制限される。本実施例のダイオード302では、順バイアスの印加時において p^+ コンタクト領域18およびpアノード領域14からn⁻ドリフト領域10への正孔の注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。本実施例のダイオード302によれば、n⁻ドリフト領域10のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

【0123】

また、本実施例のダイオード302では、アノード電極22とカソード電極20の間に逆バイアスが印加されると、nバリア領域12とピラー電極16aの間のショットキー界面24aから伸びる空乏層だけでなく、pアノード領域14とnバリア領域12の間のpn接合の界面から伸びる空乏層によっても電界が分担される。これにより、nバリア領域12とピラー電極16aの間のショットキー界面24aにかかる電界が軽減される。本実施例のダイオード302によれば、逆バイアスに対する耐圧を向上することが出来る。

【0124】

また、本実施例のダイオード302では、順バイアスの印加時におけるnバリア領域12とアノード電極22の間の電位差を、実施例1のダイオード2に比べて、より小さくすることができる。 p^+ コンタクト領域18やpアノード領域14からn⁻ドリフト領域10への正孔の注入をさらに抑制し、スイッチング損失をさらに低減することができる。

【0125】

(実施例17)

図26に示すように、本実施例のダイオード304は、実施例2のダイオード32とほぼ同様の構成を備えている。本実施例のダイオード304は、nピラー領域16の代わりに、金属製のピラー電極16aを備えている。ピラー電極16aは、半導体基板34の上側表面にpアノード領域14を貫通してnバリア領域12まで達するトレンチを形成し、そのトレンチに金属を充填することで形成される。ピラー電極16aはアノード電極22と導通しており、nバリア領域12とショットキー界面24aを介してショットキー接合している。

【0126】

ダイオード304の動作について説明する。アノード電極22とカソード電極20の間に順バイアスが印加されると、ピラー電極16aとnバリア領域12がショットキー界面24aを介して短絡する。このとき、nバリア領域12とアノード電極22の電位差はショットキー界面24aでの電圧降下とほぼ等しくなる。ショットキー界面24aでの電圧降下は、pアノード領域14とnバリア領域12の間のpn接合のビルトイン電圧よりも十分に小さいので、 p^+ コンタクト領域18やpアノード領域14からn⁻ドリフト領域10への正孔の注入が抑制される。なお、nバリア領域12とp電界進展防止領域36の間にはpn接合が存在するが、p電界進展防止領域36のp型不純物濃度は低く、p電界進展防止領域36の厚みは薄いため、アノード電極22とカソード電極20の間の順電流に及ぼす影響は少ない。

【0127】

次いで、アノード電極22とカソード電極20の間の電圧が順バイアスから逆バイアス

10

20

30

40

50

に切り替わると、ピラー電極 16a と n バリア領域 12 の間のショットキー界面 24a によって逆電流が制限される。また、n ドリフト領域 10 と p 電界進展防止領域 36 の間の pn 接合によっても逆電流が制限される。上述したように、本実施例のダイオード 304 では、順バイアスの印加時において p⁺ コンタクト領域 18 および p アノード領域 14 から n ドリフト領域 10 への正孔の注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。本実施例のダイオード 304 によれば、n ドリフト領域 10 のライフタイム制御を行うことなく、スイッチング損失を小さくすることが出来る。

【0128】

また、本実施例のダイオード 304 では、アノード電極 22 とカソード電極 20 の間に逆バイアスが印加されると、n バリア領域 12 とピラー電極 16a の間のショットキー界面 24a から伸びる空乏層と、p アノード領域 14 と n バリア領域 12 の間の pn 接合の界面から伸びる空乏層だけでなく、n ドリフト領域 10 と p 電界進展防止領域 36 の間の pn 接合の界面でも電界が分担される。これにより、n バリア領域 12 とピラー電極 16a の間のショットキー界面 24a にかかる電界と、p アノード領域 14 と n バリア領域 12 の間の pn 接合にかかる電界が軽減される。本実施例のダイオード 304 によれば、逆バイアスに対する耐圧を向上することが出来る。

【0129】

また、本実施例のダイオード 304 では、順バイアスの印加時における n バリア領域 12 とアノード電極 22 の間の電位差を、実施例 2 のダイオード 32 に比べて、より小さくすることができる。p⁺ コンタクト領域 18 や p アノード領域 14 から n ドリフト領域 10 への正孔の注入をさらに抑制し、スイッチング損失をさらに低減することができる。

【0130】

(その他の実施例)

図 7 に示すダイオード 42、図 8 に示すダイオード 52、図 10 に示すダイオード 62、図 11 に示すダイオード 66、図 12 に示すダイオード 68、図 13 に示すダイオード 70 のそれぞれにおいて、n ピラー領域 16 を上述のピラー電極 16a で置き換えることによって、図 27 に示すダイオード 306、図 28 に示すダイオード 308、図 29 に示すダイオード 310、図 30 に示すダイオード 312、図 31 に示すダイオード 314、図 32 に示すダイオード 316 のように構成することもできる。

【0131】

また、図 14 に示す半導体装置 72、図 15 に示す半導体装置 82 のそれぞれにおいて、n ピラー領域 16 を上述のピラー電極 16a で置き換えることによって、図 33 に示す半導体装置 318、図 34 に示す半導体装置 320 のように構成することもできる。

【0132】

また、図 16 および図 43 に示す半導体装置 102、図 17 および図 44 に示す半導体装置 162、図 19 に示す半導体装置 172、図 20 に示す半導体装置 182 のそれぞれにおいて、n ピラー領域 134、142 を金属製のピラー電極 134a、142a で置き換えることによって、図 35 および図 45 に示す半導体装置 322、図 36 および図 46 に示す半導体装置 324、図 37 に示す半導体装置 326、図 38 に示す半導体装置 328 のように構成することもできる。ここで、ピラー電極 134a は、エミッタ／アノード電極 148 と導通しており、p ボディ領域 118 を貫通しており、n バリア領域 116 とショットキー界面 150a を介してショットキー接合している。ピラー電極 142a は、エミッタ／アノード電極 148 と導通しており、p アノード領域 124 を貫通しており、n バリア領域 122 とショットキー界面 152a を介してショットキー接合している。

【0133】

また、図 21 に示す半導体装置 202、図 22 に示す半導体装置 232、図 23 に示す半導体装置 242、図 24 に示す半導体装置 252 のそれぞれにおいて、n ピラー領域 216 を金属製のピラー電極 216a で置き換えることによって、図 39 に示す半導体装置 330、図 40 に示す半導体装置 332、図 41 に示す半導体装置 334、図 42 に示す半導体装置 336 のように構成することもできる。ここで、ピラー電極 216a は、アノ

10

20

30

40

50

ード電極 2 2 4 と導通しており、p アノード領域 2 1 4 を貫通しており、n バリア領域 2 1 2 とショットキー界面 2 2 8 a を介してショットキー接合している。

【0 1 3 4】

以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

【0 1 3 5】

例えば、上記の実施例では、半導体材料としてシリコンを用いる場合について説明したが、本発明は、炭化シリコン、窒化ガリウム、ヒ化ガリウムなどの半導体材料を用いる場合についても、同様に適用することができる。

【0 1 3 6】

本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時の請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【符号の説明】

【0 1 3 7】

2 ダイオード；4 半導体基板；6 n^+ カソード領域；8 n バッファ領域；1 0 n^- ドリフト領域；1 2 n バリア領域；1 4 p アノード領域；1 6 n ピラー領域；1 6 a ピラー電極；1 8 p^+ コンタクト領域；2 0 カソード電極；2 2 アノード電極；2 4 ショットキー界面；2 4 a ショットキー界面；2 6 ダイオード；2 8 半導体基板；3 0 ショットキー界面；3 2 ダイオード；3 4 半導体基板；3 6 p 電界進展防止領域；4 2 ダイオード；4 4 トレンチ；4 6 絶縁膜；4 8 トレンチ電極；5 2 ダイオード；6 2 ダイオード；6 4 p^+ カソードショート領域；6 6 ダイオード；6 8 ダイオード；7 0 ダイオード；7 2 半導体装置；7 4 n^+ エミッタ領域；8 2 半導体装置；1 0 2 半導体装置；1 0 4 半導体基板；1 0 6 I G B T 領域；1 0 8 ダイオード領域；1 1 0 p^+ コレクタ領域；1 1 2 n バッファ領域；1 1 4 n^- ドリフト領域；1 1 6 n バリア領域；1 1 8 p ボディ領域；1 2 0 n^+ カソード領域；1 2 2 n バリア領域；1 2 4 p アノード領域；1 2 6 トレンチ；1 2 8 絶縁膜；1 3 0 ゲート電極；1 3 2 n^+ エミッタ領域；1 3 4 n ピラー領域；1 3 4 a ピラー電極；1 3 6 p^+ コンタクト領域；1 3 8 絶縁膜；1 4 0 ゲート電極；1 4 2 n ピラー領域；1 4 2 a ピラー電極；1 4 4 p^+ コンタクト領域；1 4 6 コレクタ／カソード電極；1 4 8 エミッタ／アノード電極；1 5 0 ショットキー界面；1 5 0 a ショットキー界面；1 5 2 ショットキー界面；1 5 2 a ショットキー界面；1 6 2 半導体装置；1 6 4 半導体基板；1 6 6 p 電界進展防止領域；1 6 8 電界進展防止領域；1 7 2 半導体装置；1 7 4 p^+ カソードショート領域；1 8 2 半導体装置；2 0 2 半導体装置；2 0 4 半導体基板；2 0 6 n^+ カソード領域；2 0 8 n バッファ領域；2 1 0 n^- ドリフト領域；2 1 2 n バリア領域；2 1 4 p アノード領域；2 1 6 n ピラー領域；2 1 6 a ピラー電極；2 1 8 p^+ コンタクト領域；2 2 0 n^+ エミッタ領域；2 2 2 カソード電極；2 2 4 アノード電極；2 2 6 ゲート電極；2 2 8 ショットキー界面；2 2 8 a ショットキー界面；2 3 0 絶縁膜；2 3 2 半導体装置；2 3 4 p 電界進展防止領域；2 4 2 半導体装置；2 4 4 p^+ コレクタ領域；2 5 2 半導体装置；3 0 2 ダイオード；3 0 4 ダイオード；3 0 6 ダイオード；3 0 8 ダイオード；3 1 0 ダイオード；3 1 2 ダイオード；3 1 4 ダイオード；3 1 6 ダイオード；3 1 8 半導体装置；3 2 0 半導体装置；3 2 2 半導体装置；3 2 4 半導体装置；3 2 6 半導体装置；3 2 8 半導体装置；3 3 0 半導体装置；3 3 2 半導体装置；3 3 4 半導体装置；3 3 6 半導体装置

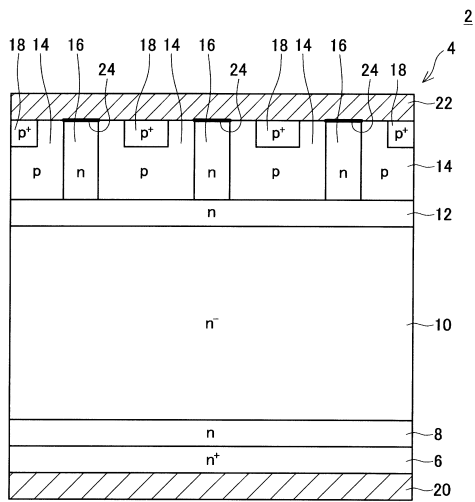
10

20

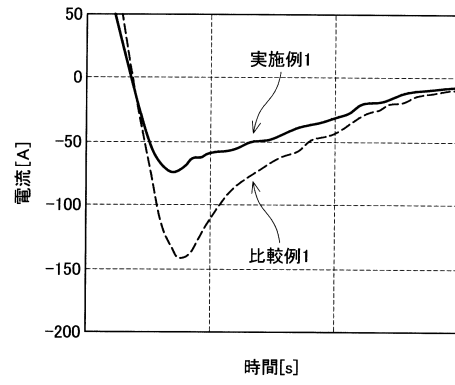
30

40

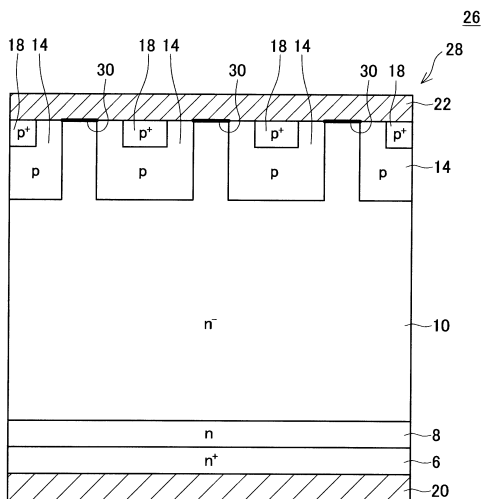
【図 1】



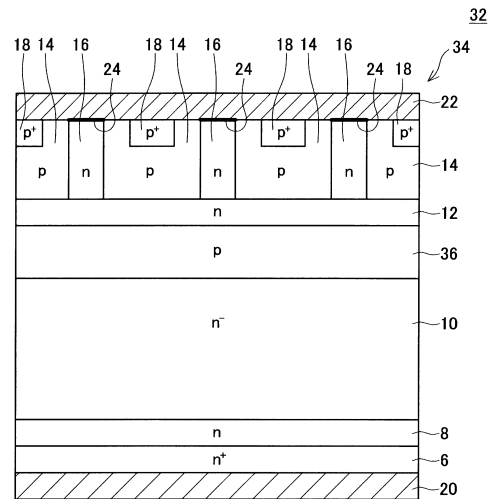
【図 2】



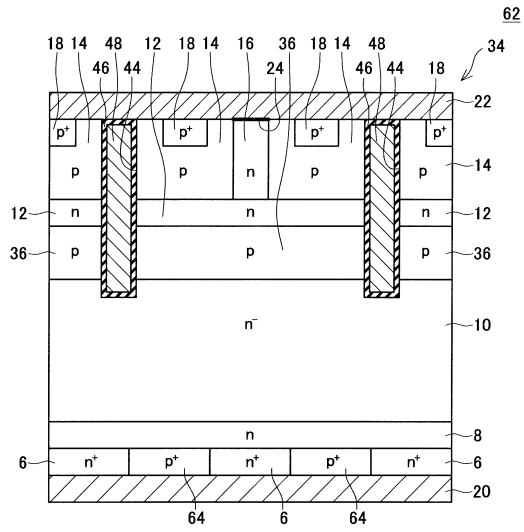
【図 3】



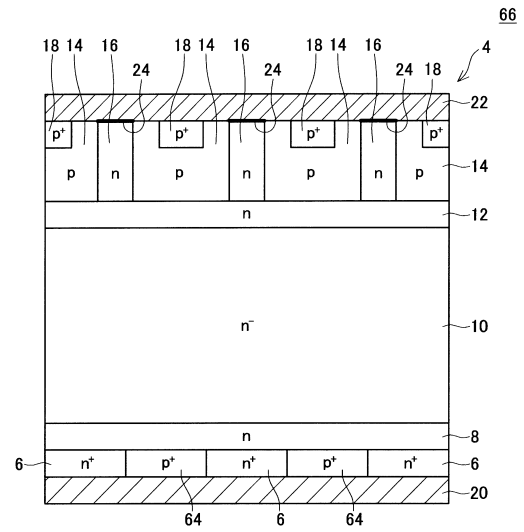
【図 4】



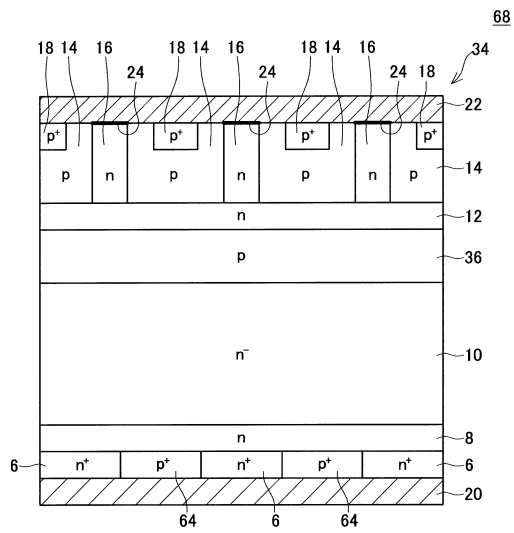
【図 10】



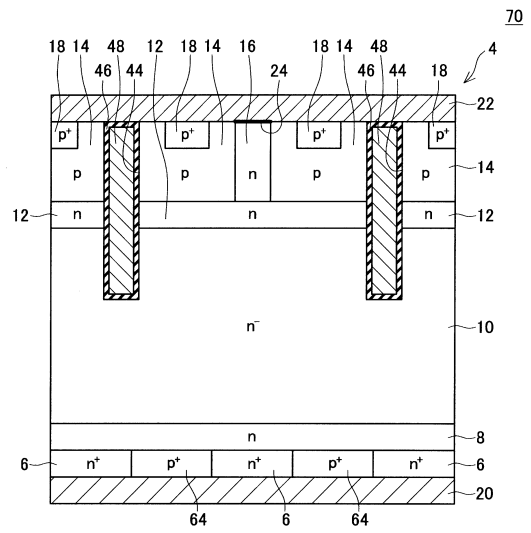
【図 11】



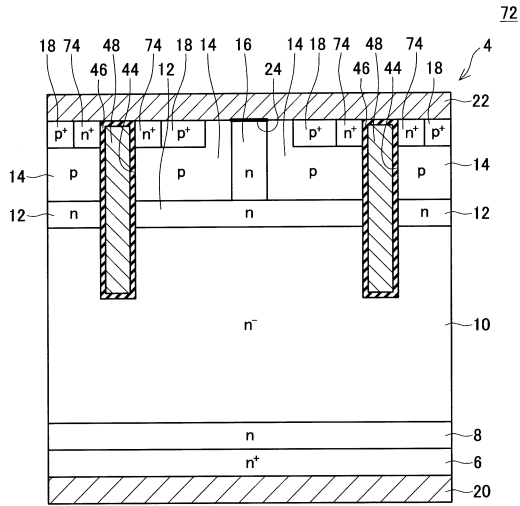
【図 12】



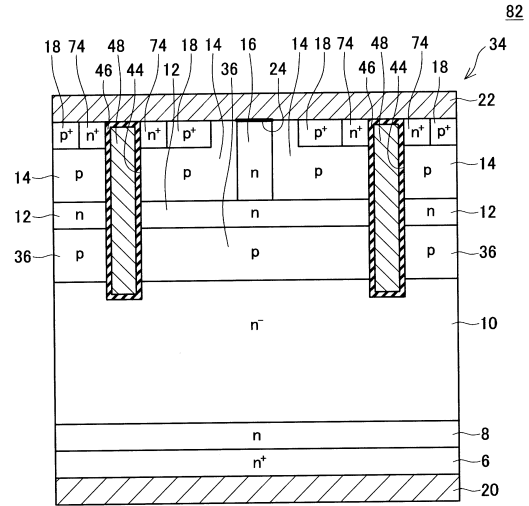
【図 13】



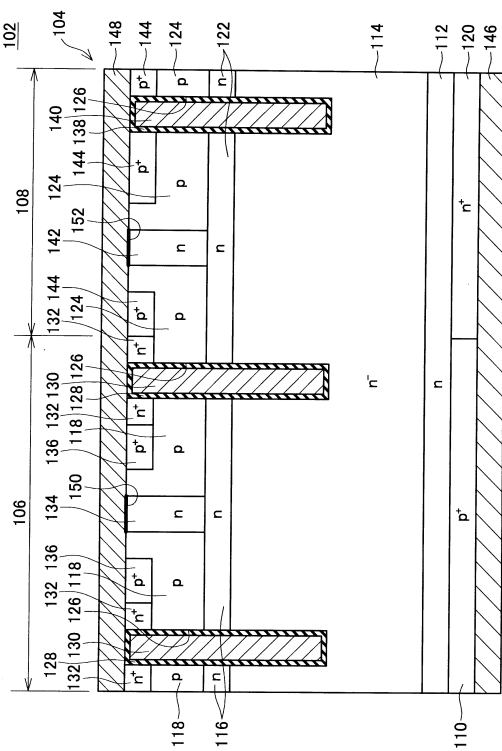
【図 14】



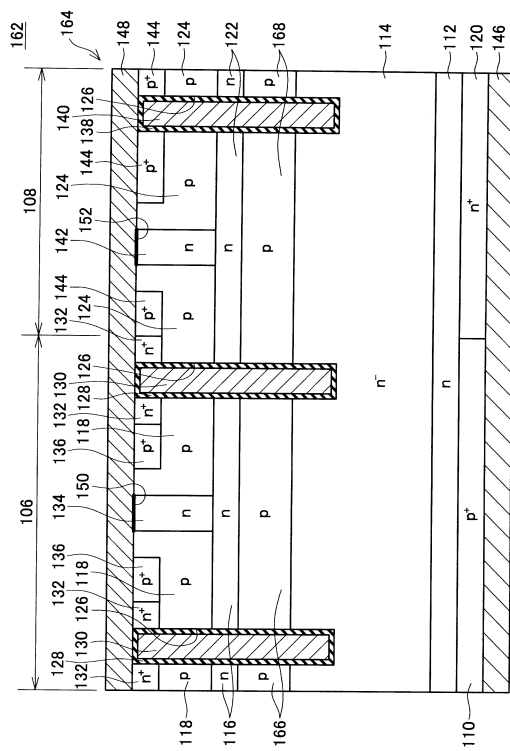
【図 15】



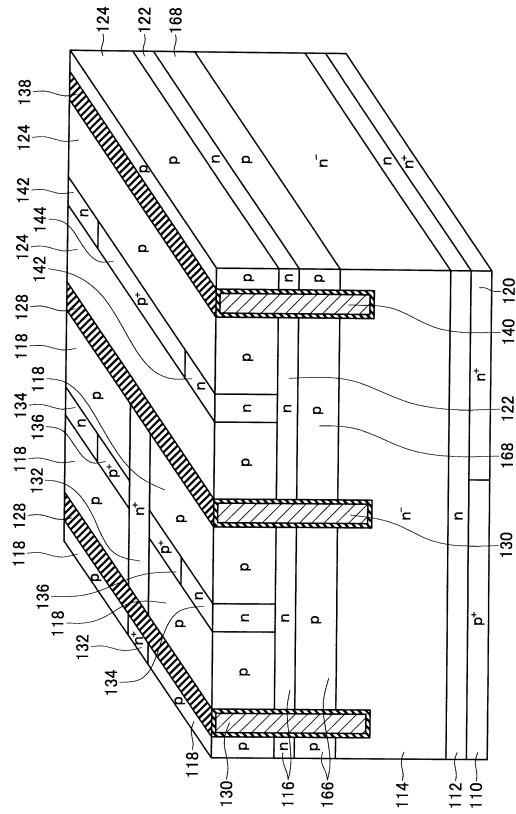
【図 16】



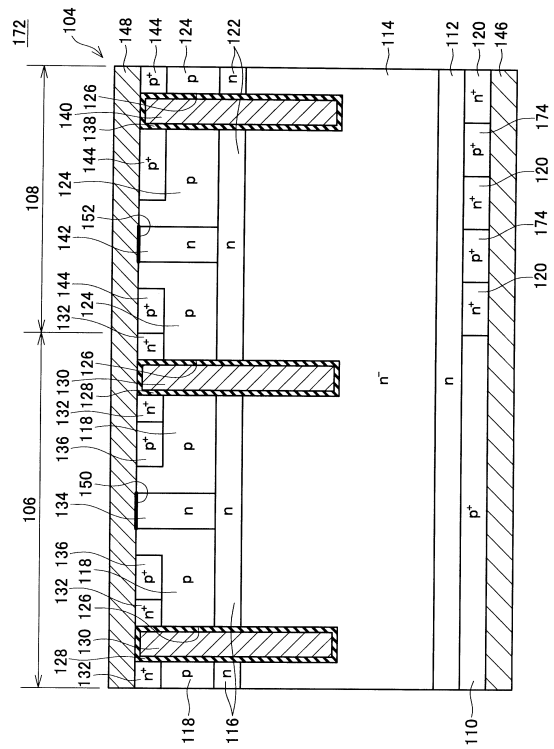
【図 17】



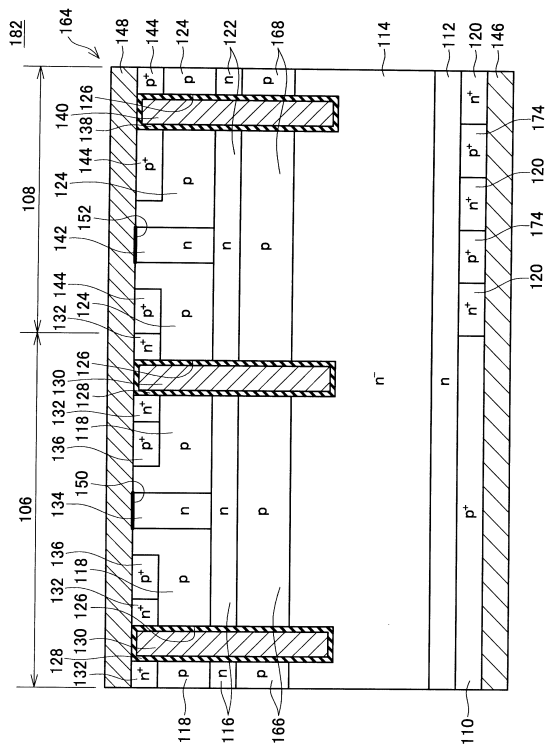
【図 18】



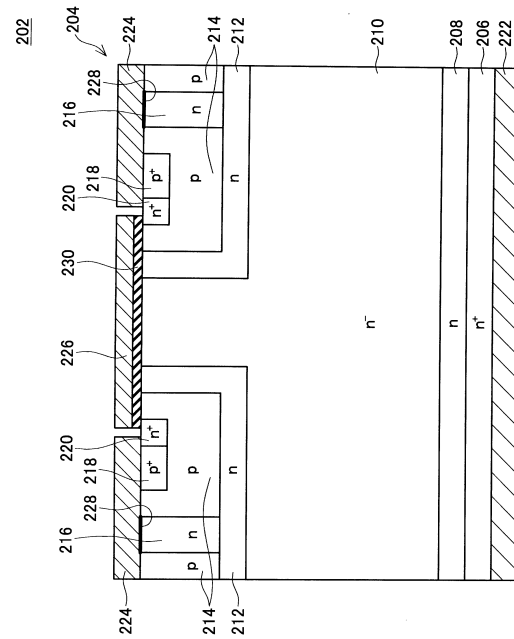
【図 19】



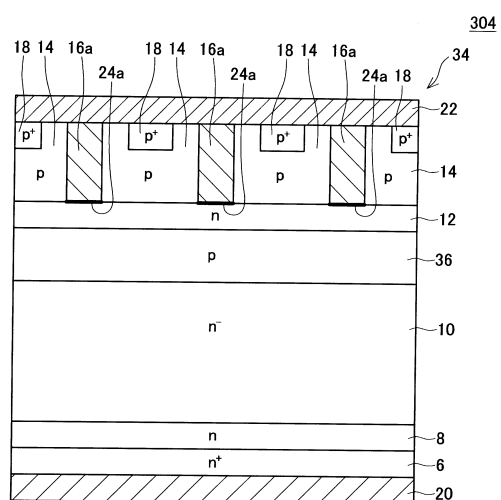
【図 20】



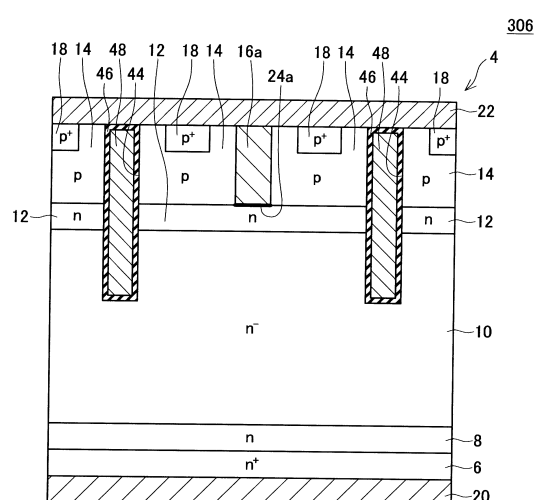
【図 21】



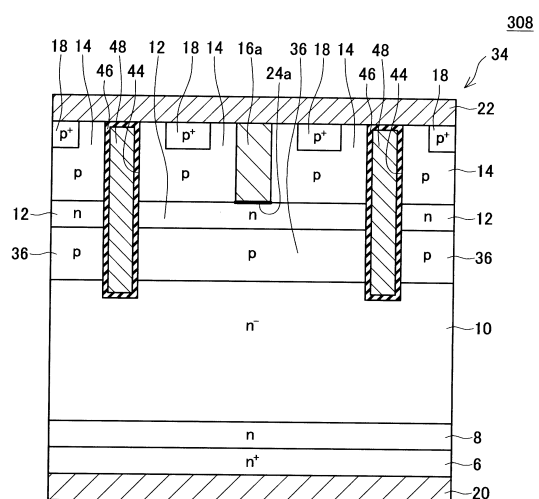
【図 2 6】



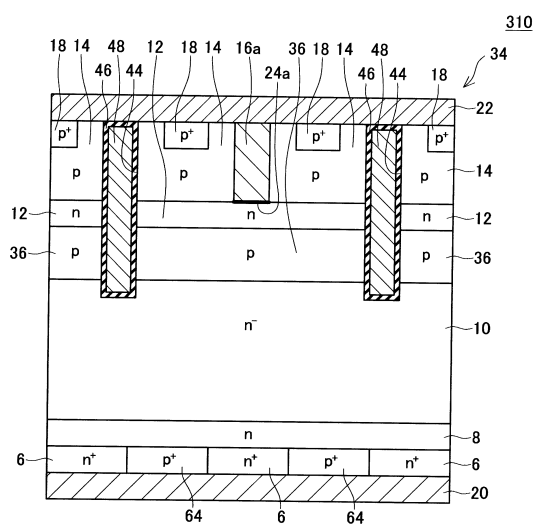
【図 27】



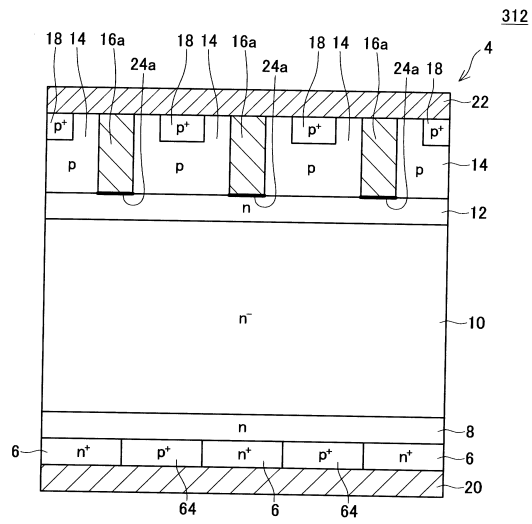
【図 28】



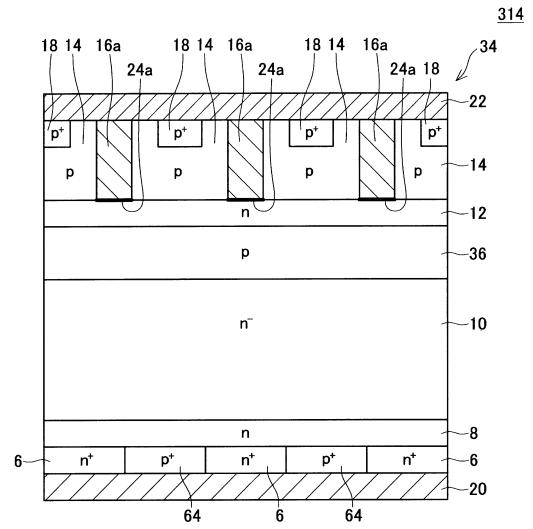
【図 29】



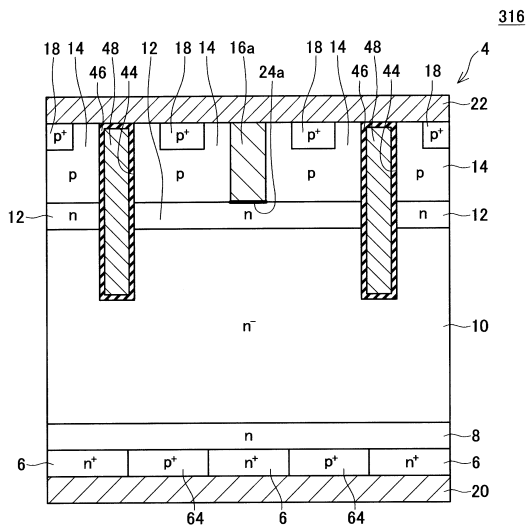
【図 3 0】



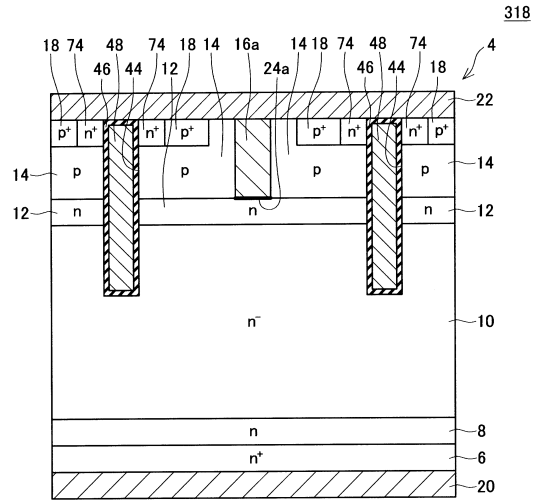
【図 3 1】



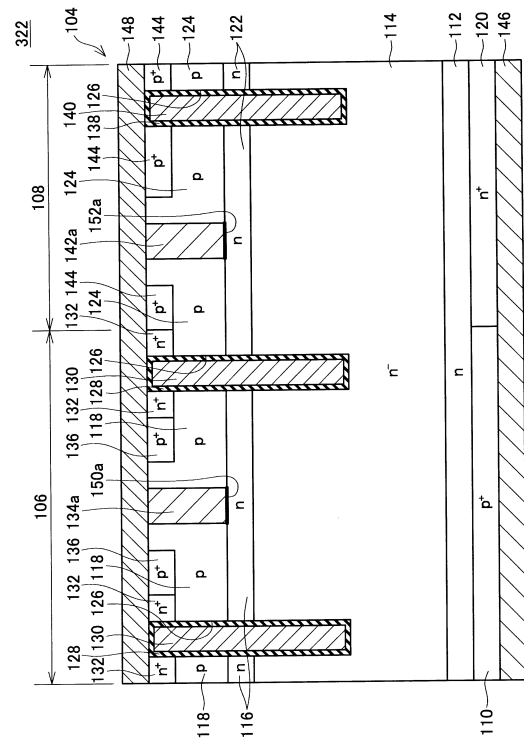
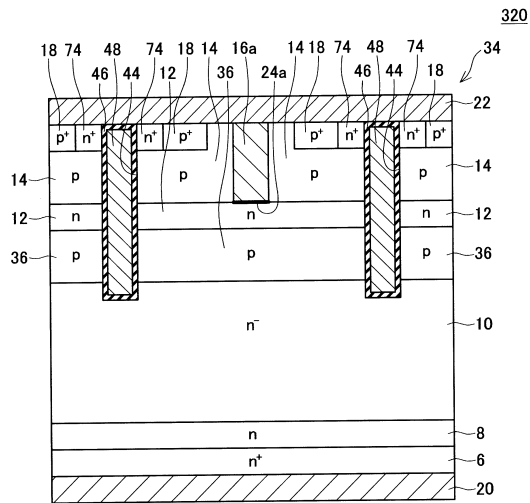
【図 3 2】



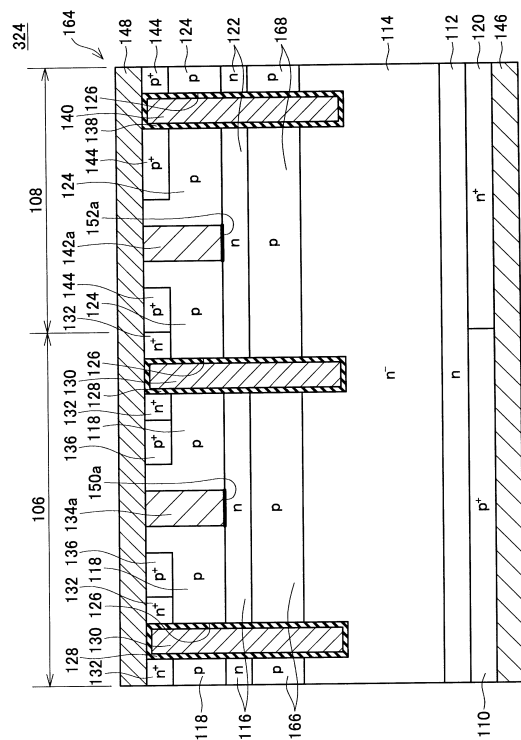
【図 3 3】



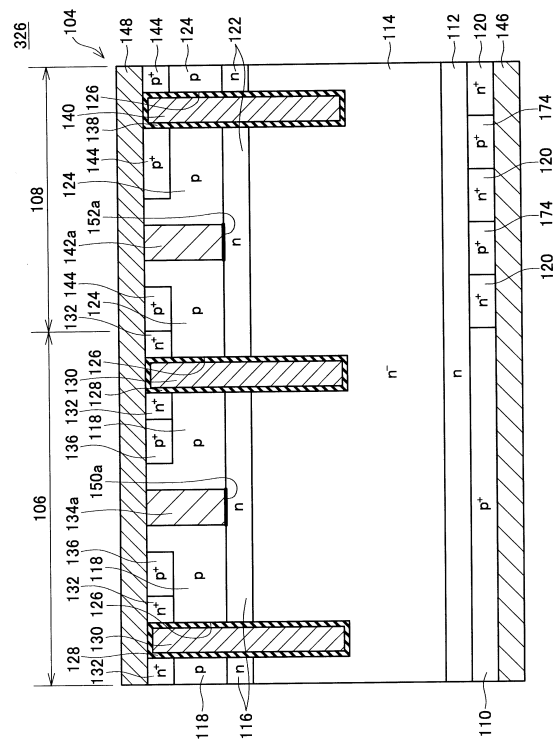
【図 3 5】



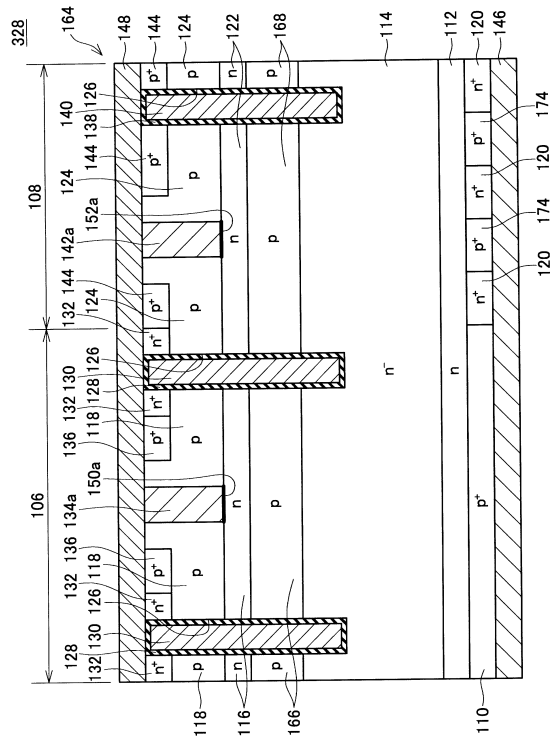
【図 3 6】



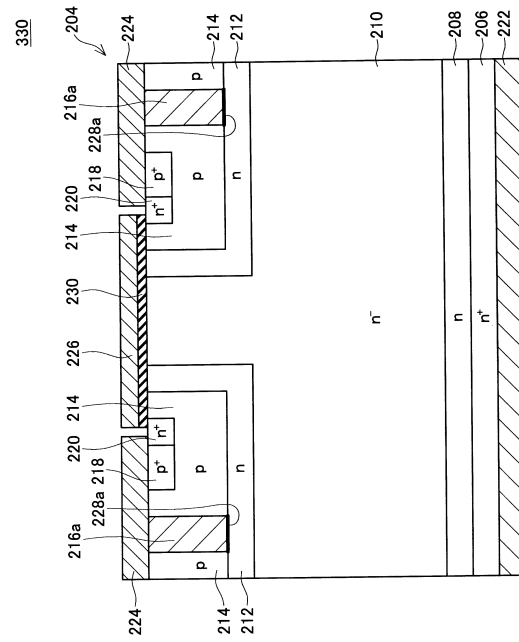
【図 3 7】



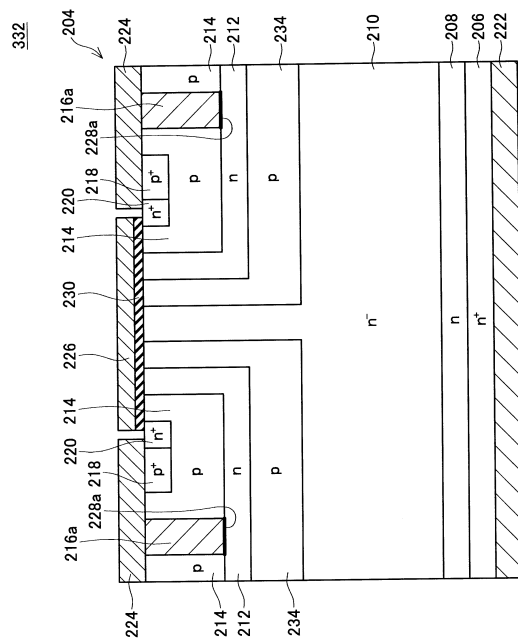
【図 3 8】



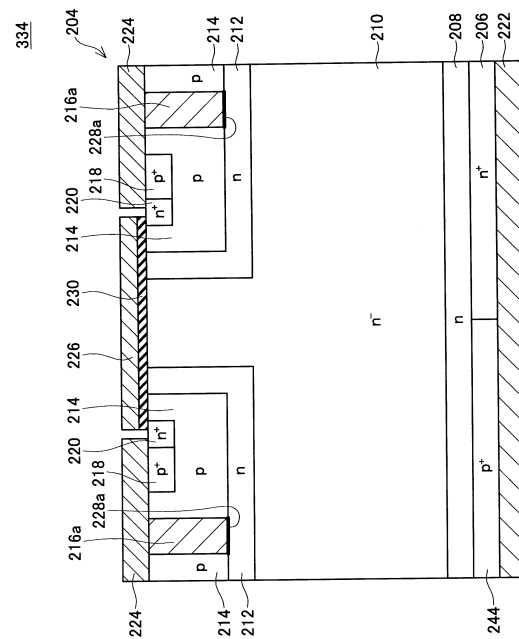
【図 3 9】



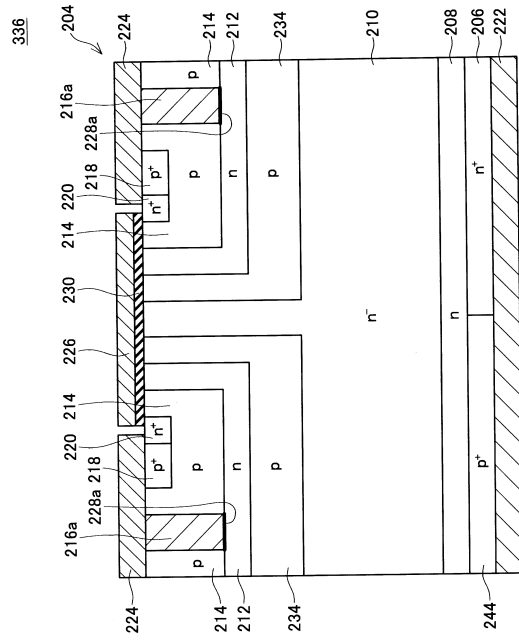
【図 40】



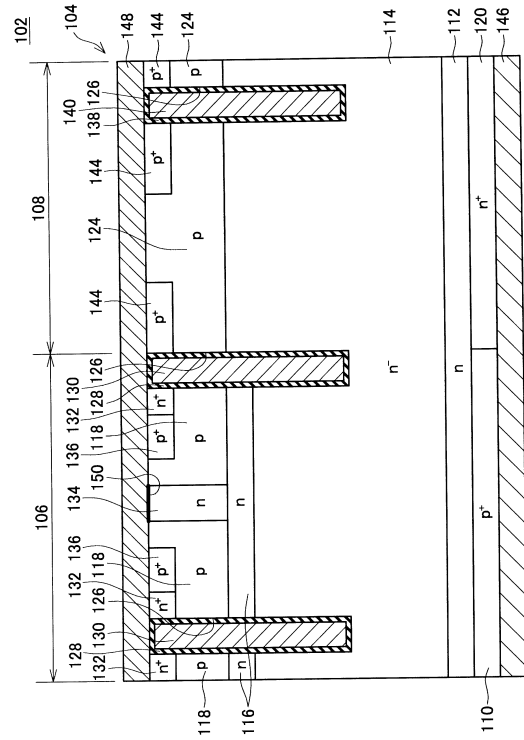
【图 4 1】



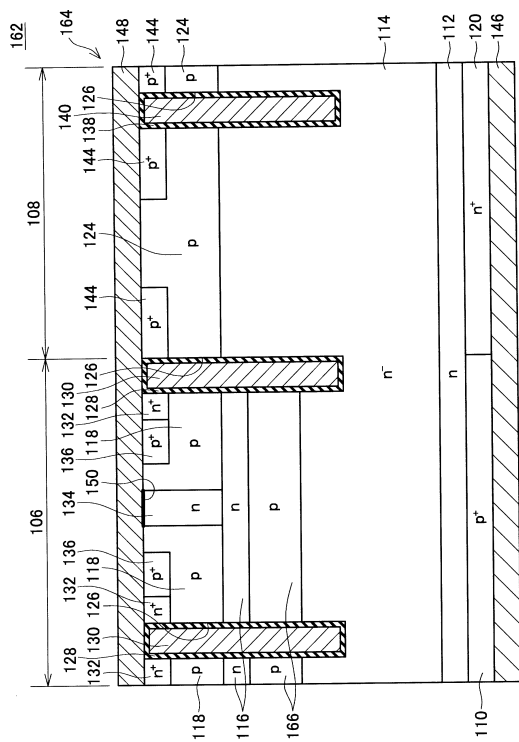
【図 4 2】



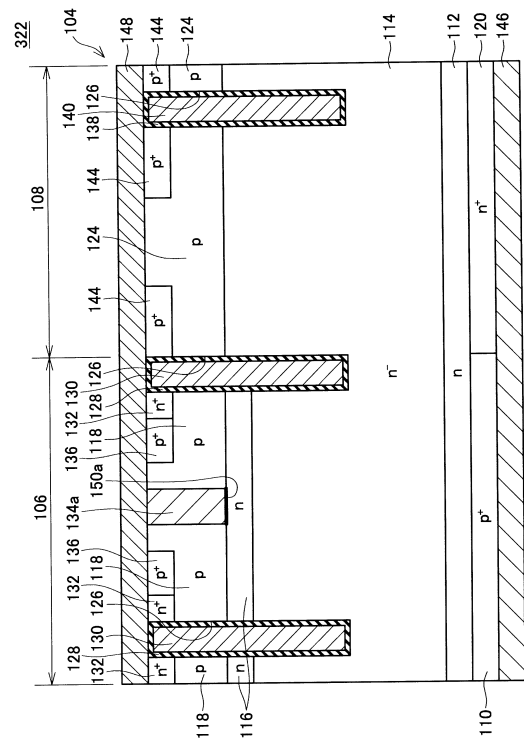
【図 4 3】



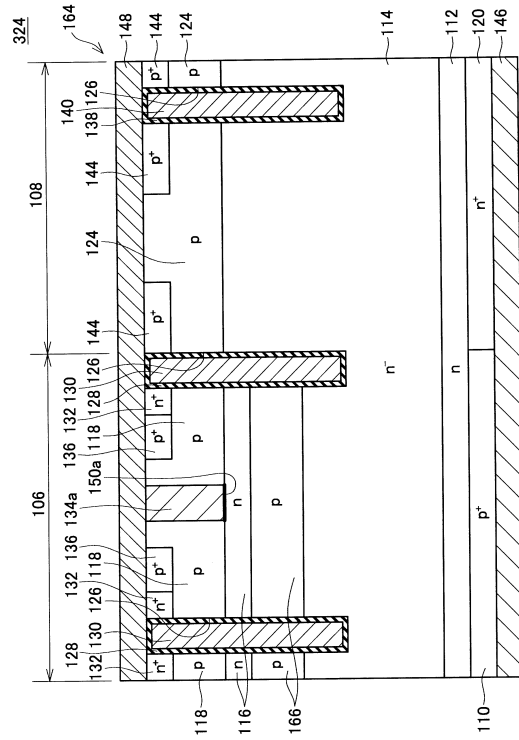
【図 4 4】



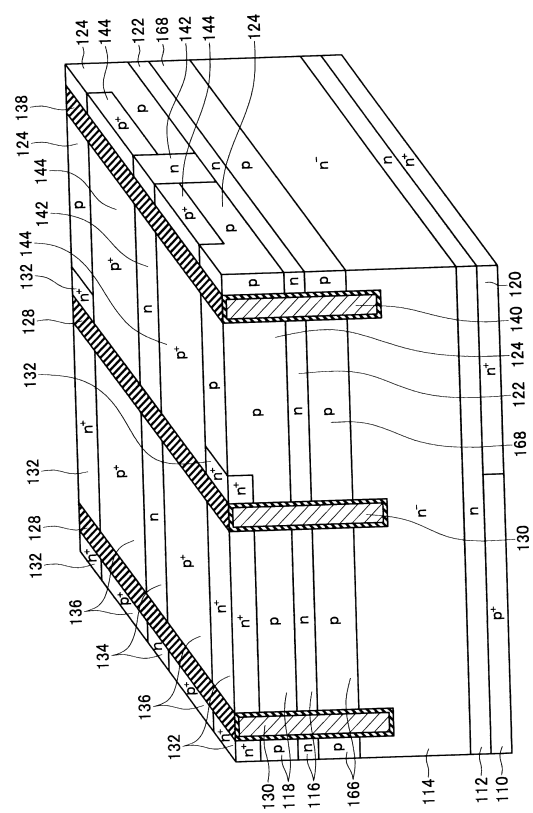
【図 4 5】



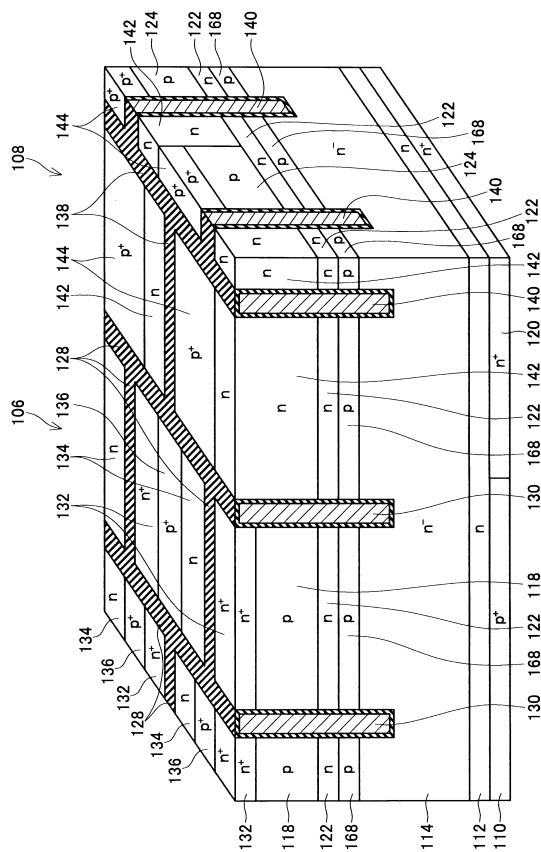
【图 4 6】



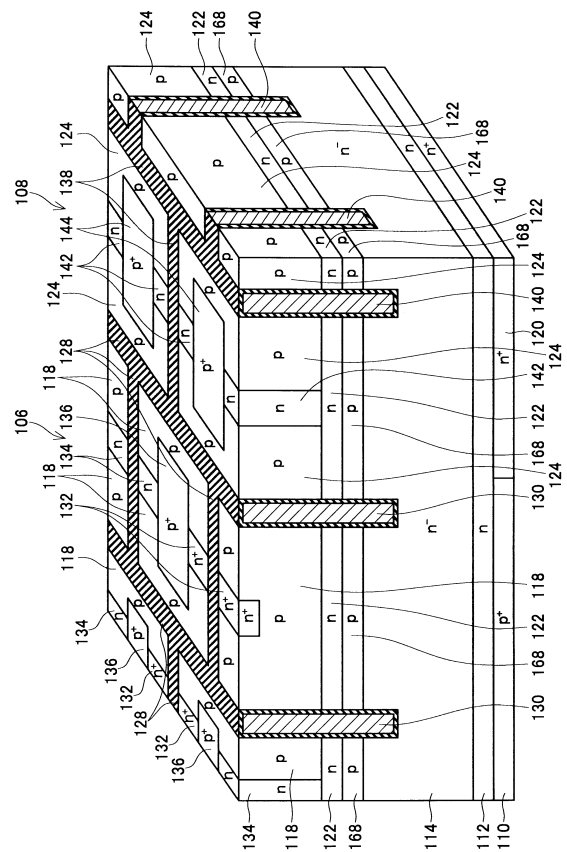
【図 47】



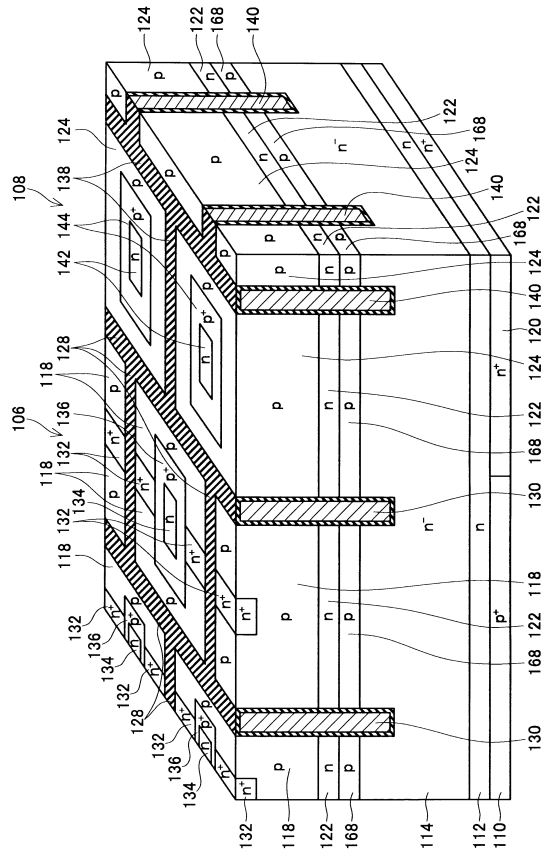
【図 48】



【图 4 9】



【図 50】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/739</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 F</i>
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 H</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 2 J</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 3 C</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 7 A</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 5 7 D</i>

(72)発明者 杉山 隆英
愛知県長久手市横道41番地の1 株式会社豊田中央研究所内

(72)発明者 斎藤 順
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 工藤 一光

(56)参考文献 特開2004-186413 (JP, A)
特開2008-066708 (JP, A)
特開2009-267116 (JP, A)
特開平02-086173 (JP, A)
国際公開第2010/143288 (WO, A1)
特開2013-051345 (JP, A)
特開2013-051346 (JP, A)
特開2013-222798 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 0 4
H 0 1 L 2 9 / 4 7
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2
H 0 1 L 2 9 / 8 6 1 - 2 9 / 8 8 5