



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I578383 B

(45)公告日：中華民國 106 (2017) 年 04 月 11 日

(21)申請案號：104143373

(22)申請日：中華民國 102 (2013) 年 09 月 17 日

(51)Int. Cl. : H01L21/205 (2006.01)

H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2012/09/28 美國

13/630,527

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：皮拉瑞斯提 拉維 PILLARISSETTY, RAVI (US)；宋承宏 SUNG, SEUNG HOON (KR)；高爾 尼堤 GOEL, NITI (IN)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK (IN)；雷 凡 LE, VAN H. (US)；瑞奇曼第 威利 RACHMADY, WILLY (ID)；拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；狄威 吉伯特 DEWEY, GILBERT (US)；陳漢威 THEN, HAN WUI (MY)；穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；梅茲 馬修 METZ, MATTHEW V. (US)；喬 羅伯特 CHAU, ROBERT S. (US)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0093628A1

審查人員：王人毅

申請專利範圍項數：20 項 圖式數：5 共 43 頁

(54)名稱

溝渠侷限的磊晶成長裝置層

TRENCH CONFINED EPITAXIALLY GROWN DEVICE LAYER(S)

(57)摘要

本發明提供一種溝渠侷限的選擇性磊晶成長過程，其中半導體裝置層的磊晶成長進行在溝渠的侷限內。於實施例中，溝渠係製造成包括原始、平面的半導體晶種表面，其配置在溝渠的底部。在晶種表面周圍的半導體區域可相對於晶種表面凹陷，具隔離介電質配置其上以圍繞半導體晶種層且形成溝渠。於形成溝渠的實施例中，犧牲硬掩罩鰭片可以介電質覆蓋，其然後平面化以暴露硬掩罩鰭片，其然後移除以暴露晶種表面。半導體裝置層係經由選擇性異質磊晶從晶種表面形成。於實施例中，非平面裝置係藉由使隔離介電質的頂表面凹陷而從半導體裝置層形成。於實施例中，具有高載子遷移率的非平面裝置 CMOS 裝置可從半導體裝置層製成。

Trench-confined selective epitaxial growth process in which epitaxial growth of a semiconductor device layer proceeds within the confines of a trench. In embodiments, a trench is fabricated to include a pristine, planar semiconductor seeding surface disposed at the bottom of the trench. Semiconductor regions around the seeding surface may be recessed relative to the seeding surface with Isolation dielectric disposed there on to surround the semiconductor seeding layer and form the trench. In embodiments to form the trench, a sacrificial hardmask fin may be covered in dielectric which is then planarized to expose the hardmask fin, which is then removed to expose the seeding surface. A semiconductor device layer is formed from the seeding surface through selective heteroepitaxy. In embodiments, non-planar devices are formed from the

semiconductor device layer by recessing a top surface of the isolation dielectric. In embodiments, non-planar devices CMOS devices having high carrier mobility may be made from the semiconductor device layer.

指定代表圖：

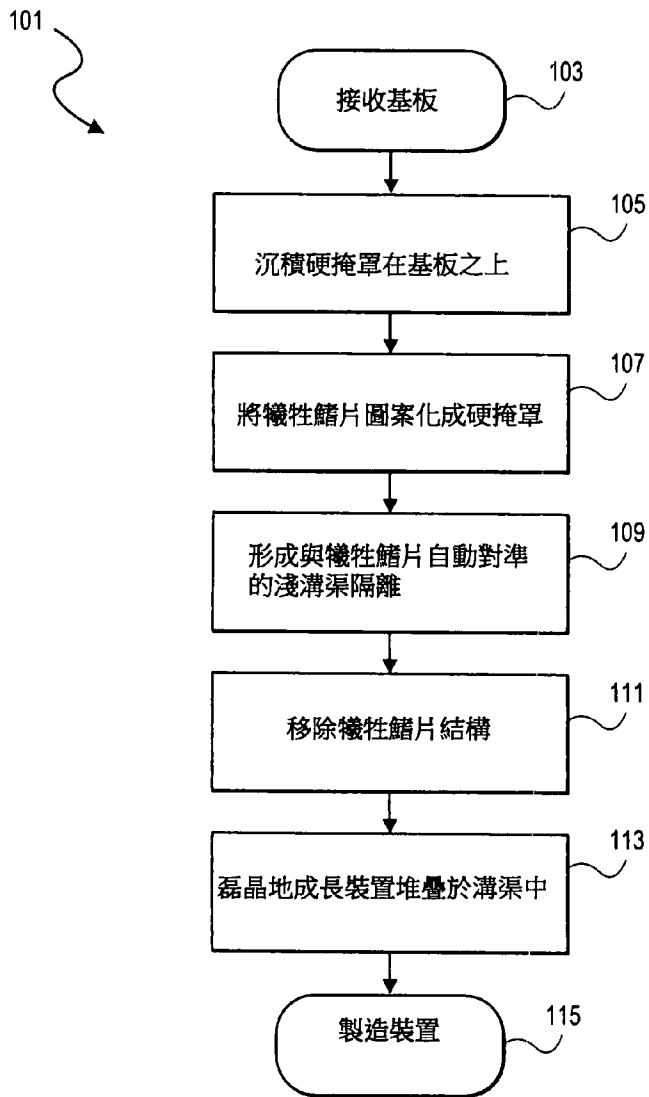


圖 1

## 發明摘要

※申請案號：104143373

(由1021336的分割)

※申請日：102年09月17日

※IPC分類： H01L 21/205 (2006.1)  
H01L 21/336 (2006.1)  
H01L 29/78 (2006.1)

【發明名稱】(中文/英文)

溝渠侷限的磊晶成長裝置層

Trench confined epitaxially grown device layer(s)

## 【中文】

本發明提供一種溝渠侷限的選擇性磊晶成長過程，其中半導體裝置層的磊晶成長進行在溝渠的侷限內。於實施例中，溝渠係製造成包括原始、平面的半導體晶種表面，其配置在溝渠的底部。在晶種表面周圍的半導體區域可相對於晶種表面凹陷，具隔離介電質配置其上以圍繞半導體晶種層且形成溝渠。於形成溝渠的實施例中，犧牲硬掩罩鰭片可以介電質覆蓋，其然後平面化以暴露硬掩罩鰭片，其然後移除以暴露晶種表面。半導體裝置層係經由選擇性異質磊晶從晶種表面形成。於實施例中，非平面裝置係藉由使隔離介電質的頂表面凹陷而從半導體裝置層形成。於實施例中，具有高載子遷移率的非平面裝置 CMOS 裝置可從半導體裝置層製成。

## 【 英文 】

Trench-confined selective epitaxial growth process in which epitaxial growth of a semiconductor device layer proceeds within the confines of a trench. In embodiments, a trench is fabricated to include a pristine, planar semiconductor seeding surface disposed at the bottom of the trench. Semiconductor regions around the seeding surface may be recessed relative to the seeding surface with Isolation dielectric disposed there on to surround the semiconductor seeding layer and form the trench. In embodiments to form the trench, a sacrificial hardmask fin may be covered in dielectric which is then planarized to expose the hardmask fin, which is then removed to expose the seeding surface. A semiconductor device layer is formed from the seeding surface through selective heteroepitaxy. In embodiments, non-planar devices are formed from the semiconductor device layer by recessing a top surface of the isolation dielectric. In embodiments, non-planar devices CMOS devices having high carrier mobility may be made from the semiconductor device layer.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

溝渠侷限的磊晶成長裝置層

Trench confined epitaxially grown device layer(s)

## 【技術領域】

[0001] 本發明的實施例係在半導體裝置的領域，且更特別是關於磊晶成長裝置層。

## 【先前技術】

[0002] 電晶體及其它半導體裝置可經由一些消去與相加過程予以製造。某些利益，諸如電晶體的通道遷移率，可藉由以除了矽外的半導體材料形成裝置層而獲得，諸如鍺及第 III-V 族材料。如果結晶矽基板供作起始材料，磊晶成長技術可被利用而附加地形成電晶體通道區以整合此種非矽材料至矽基板上，典型地稱為異質磊晶。至少部分地由於晶格失配及晶種矽表面與磊晶成長半導體之間之熱膨脹係數(CTE)的失配，使得此種磊晶過程備受挑戰。

[0003] 基於矽的場效電晶體(FET)裝置的先驅現已將使用非平面電晶體之裝置商業化，其利用自基板表面突出之矽材料的本體且使用環繞矽本體的二、三、或甚至所有側之閘極電極(亦即，雙閘極、三閘極、奈米線電晶

體)。源極及汲極區係形成於本體中，或作為連接至本體的再成長部分，在閘極電極的任一側上。此種非平面設計已極大地改善通道控制及相對於平面矽裝置設計之關聯的電性能（例如，短通道效應、減小的源極對汲極阻抗等）。

[0004] 將有利的是，經由順從此種布局之裝置層的磊晶成長而整合非矽材料至矽基板上，特別地用於非平面電晶體設計。然而，適合製造異質磊晶裝置層在矽基板上之技術及結構係未知。例如，高度消去過程可能需要矽基板上的敷層磊晶非矽膜成長，接著在刻劃非矽、非平面本體的蝕刻後，電晶體自該本體形成。至於此種技術，晶種矽基板具有原始的優點，然而從結晶缺陷觀點而言，此種大面積成長會是一種挑戰，特別是如果磊晶膜中有經由熱膨脹或晶格失配引起之明顯應力。替代過程可能僅需要非矽膜的磊晶成長於將配置非矽、非平面本體之受限基板面積的區域中。雖然此種技術可能不受制於特別對於大面積成長的相同問題，其它問題發生。例如，自針對刻劃磊晶成長將發生的區之基板的初始處理，晶種矽表面可能遭受破壞及/或變形。如果成長基板（矽）表面的凹槽蝕刻被實施，晶種表面中的碗狀或凹陷形狀可能產生且接著損害磊晶成長。

#### 【圖式簡單說明】

[0005] 本發明的實施例係經由實例而闡明，而不是

經由限制，且當聯接圖式考慮時，參照以下詳述可更加充份瞭解。其中：

[0006] 圖 1 解說依據本發明的實施例以磊晶地成長裝置層的方法繪製所選操作之流程圖；

[0007] 圖 2A-2G 解說依據本發明的實施例在實施從圖 1 所示的方法之操作時，形成溝渠侷限的磊晶裝置堆疊的基板之區域的剖面圖；

● [0008] 圖 2H 係依據 CMOS 實施例解說互補性溝渠侷限的磊晶裝置結構之等角視圖；

[0009] 圖 3A 解說依據本發明的實施例沿著使用藉由圖 1 所示的方法所成長的裝置層之非平面電晶體的第一維之剖面圖；

[0010] 圖 3B 解說依據本發明的實施例沿著圖 3A 所示之非平面電晶體的第二維之剖面圖；

● [0011] 圖 3C 解說依據本發明的實施例沿著使用藉由圖 1 所示的方法所成長的裝置層之平面電晶體的第一維之剖面圖；

[0012] 圖 4 解說依據本發明的實施例之移動計算裝置平台的等角視圖及行動平台所使用的微電子裝置的示意圖；及

[0013] 圖 5 解說依據本發明的一實施之計算裝置的功能方塊圖。

## 【發明內容及實施方式】



[0014] 使用磊晶成長裝置層的非平面電晶體及形成該電晶體的方法被說明。於以下說明中，許多細節被提出，然而，對於熟悉此項技術者顯而易知的是，本發明可被實施而無需這些特定細節。於一些實例中，熟知的方法及裝置係以方塊圖形式而顯示，而不是細節，以避免混淆本發明。遍及此說明書中對於“實施例”或“於一實施例中”的參照意指，聯接實施例中所述之特殊特徵、結構、功能或特性係包括於本發明的至少一實施例中。因此，此說明書中的不同位置之片語“於實施例中”的出現不一定指本發明的相同實施例。再者，特殊的特徵、結構、功能或特性可以任何適合方式組合於一或更多實施例中。例如，第一實施例可與第二實施例組合，在任何地方該二實施例未指定互斥。

[0015] 用詞“耦接”及“連接”以及其衍生詞可被使用於文中以說明組件間的結構關係。應瞭解到，這些用詞並非擬作為相互的同義字。更確切的說，於特殊實施例中，“連接”可被使用來表示二或更多個元件係相互直接物理或電氣接觸。“耦接”可被使用來表示二或更多元件係相互直接或間接（具有其它中介元件於其間）物理或電氣接觸，及/或該二或更多元件相互合作或作用（例如，如於因果關係中）。

[0016] 如文中所使用的用詞“之上”、“之下”、“之間”及“上”指的是一材料層或組件相對於其它層或組件的相對位置。例如，配置在另一層之上（上方）或之

下（下方）之一層可直接地與其它層接觸，或可具有一或更多中介層。再者，配置於二層之間的一層可與該二層直接地接觸或可具有一或更多中介層。對比之下，第二層“上”的第一層係與該第二層直接接觸。同樣地，除非明確說明，配置在二鄰接特徵之間的一特徵可與該等鄰接特徵直接接觸，或可具有一或更多中介特徵。

[0017] 圖 1 解說依據本發明的實施例之用於磊晶地成長裝置層的方法 101 中所選操作之流程圖。圖 2A-2G 解說依據本發明的實施例在實施從圖 1 所示的方法之操作時，基板上之區域的剖面圖。圖 1 及 2A-2G 係交替地提到以提供製造技術及突出的合成結構特徵二者的精確說明。

[0018] 方法 101 廣泛地為溝渠侷限的選擇性磊晶成長過程，其中半導體裝置層的磊晶成長進行在溝渠的侷限內。此種溝渠侷限的成長可提供深寬比捕捉 (ART) 的優點，因此磊晶層的結晶品質係經由在缺陷終止之溝渠的側壁捕捉穿過差排、堆疊缺陷、雙晶等而加強，使得疊加層可以是漸增地無缺陷，以及成長於分開溝渠中的鄰接裝置層可以更獨立或孤立方式同時成長。最佳 ART 的具有至少一相對小的尺寸（例如，2nm-100nm）之一些此種溝渠的刻劃可能夠使異質磊晶過程具有較低缺陷密度，用於裝置層中晶種結晶及磊晶成長結晶之間的指定溫度失配及晶格失配的量。

[0019] 本發明人已更進一步發現，溝渠侷限的磊晶

膜品質係高度依賴侷限溝渠的特性（例如，溝渠的側壁角、溝渠的角圓化及溝渠的底滾動），其中磊晶膜層被成長。與成長基板的某些量係凹陷蝕刻以及選擇性磊晶然後實施在凹陷蝕刻的半導體晶種表面上之溝渠形成技術相比，方法 101 已被發現有利地提供優質的溝渠深寬比及側壁角控制，同時亦保持原始、平面、非凹陷蝕刻的磊晶成長晶種表面為了更高品質、更佳控制的磊晶裝置層。

[0020] 參照圖 1A，方法 101 首先在操作 103 接收成長基板。通常，成長基板可以適合半導體裝置製造的任何材料所組成，因為文中所述的技術可廣泛地應用於任何已知成長基板，諸如，但不限於，矽、鍺、矽鍺、碳化矽、藍寶石、第 III-V 族化合物半導體或類似物。示範性成長基板係進一步解說於圖 2A 中。於此實施例中，成長基板包括以（單）結晶矽（例如，（100）矽）組成的大塊基板 201。配置在大塊基板 201 上的是一或多個半導體底層 205，諸如但未限制於假象、變質或實質晶格匹配的緩衝層及/或過渡層，如本技術領域所熟知。本發明的實施例不限於有關於底層 205 的結構及/或組成。如圖 2A 所示，無論成長基板的精確結構，有磊晶晶種表面 225 存在於操作 103 所接收的成長基板上（圖 1）。晶種表面 225 可以是例如，具有（100）晶向等之結晶 SiGe 表面。

[0021] 繼續方法 101，硬掩罩膜係在操作 105 沉積在成長基板上的敷層。通常，硬掩罩膜將是可隨時移除自成長基板而不會損壞成長基板（亦即，可經由對下層成長基

板材料具高度選擇性之過程而移除)之材料，且為了適當控制的側壁角、平滑性及臨界尺寸(CD)控制可非等向性蝕刻。如文中別的地方進一步所述，硬掩罩膜的數個功能的一者將保護磊晶層成長將起始之下層半導體表面的晶種表面。硬掩罩膜的另一功能最後將界定磊晶將發生之溝渠的側壁角。

[0022] 於成長基板表面包括除了矽的晶格成份(例如，SiGe 合金)之一實施例中，硬掩罩膜包括一層多晶矽(p-Si)或非晶矽(a-Si)。於另一實施例中，硬掩罩膜包括一層氮化矽。作為技術的一功能，硬掩罩膜的厚度(z-高度)可改變以達到想要深寬比(亦即，厚度：側向臨界尺寸)於接著形成於硬掩罩膜中之特徵。使用來形成硬掩罩膜之沉積過程可以是任何本技術領域中可應用於這些示範性材料或任何其它適合替代材料之習知製程。示範性成長基板係進一步解說於圖 2B 中。於此實施例中，硬掩罩膜 230 係直接沉積在底層 205 上(亦即，與晶種表面 225 直接接觸)。於所述實施例中，硬掩罩膜 230 係單同質層，並且此種實施例係適合的，如果下層半導體包括除了矽的元件外(例如，如矽的合金、或無矽半導體)以確定對下層半導體晶種表面 225 的良好蝕刻選擇性。於某些此種示範性實施例中，硬掩罩膜 230 的厚度係超過 50nm，且可進一步超過 500 nm，依照達到具有適當深寬比的溝渠所需之界限。

[0023] 於其它實施例中，硬掩罩膜可包括一或多個

層以形成多層材料疊。通常，從臨界尺寸(CD)控制、側壁角控制、邊緣粗度等的觀點來看，提供良好蝕刻特性的材料之大塊層可被配置在與成長基板的晶種表面直接接觸之下層底層上。硬掩罩底層可以是薄於大塊層，且為適合作蝕刻終止的任何材料，允許大塊層材料及/或蝕刻過程具有對半導體基板低蝕刻選擇性。作為一實例，薄氧化層（例如， $\text{SiO}_2$ ， $\text{GeO}_2$ ， $\text{Si}_x\text{Ge}_{1-x}\text{O}_y$ ）、或氮氧化層（例如， $\text{SiON}$ ， $\text{GeON}$ ， $\text{Si}_x\text{Ge}_{1-x}\text{O}_y\text{N}_z$ ）可被配置於大硬掩罩層及下層成長基板表面之間。例如，參照圖 2B，硬掩罩膜 230 可包括直接在晶種表面 225 上的氧化層及直接配置在氧化層上的 p-Si、a-Si 或矽氮化層。至於此種實施例，氧化層的厚度可自按 1 nm 的順序之天然氧化厚度變化至 2-3 nm 或更大的熱成長氧化物或化學沉積氧化物（例如，藉 CVD/PECVD）。

[0024] 繼續方法 101，在操作 107，硬掩罩膜係圖案化成硬掩罩鰭片。硬掩罩鰭片係犧牲用且用作後續處理的心軸。鰭片通常具有有利於後續磊晶成長的侷限之溝渠的逆圖案，且因此鰭片的覆蓋區及鰭片的側壁角二者係有關聯的。標準微影圖案化技術可與硬掩罩膜的已知各向異性乾式電漿蝕刻組合以將硬掩罩膜圖案化成犧牲硬掩罩鰭片。

[0025] 圖 2C 解說一示範性實施例，其中硬掩罩膜 230 係各向異性地蝕刻成具有側壁 250 的硬掩罩鰭片 235，暴露周圍晶種表面 225 在硬掩罩膜 230 的各向異性

蝕刻期間或藉由蝕刻終止層的分開蝕刻（例如，薄 CVD 氧化物），用於硬掩罩膜 230 係多層疊的實施例。替代地，蝕刻終止層可被留在周圍半導體表面上。現在認為，當初始晶種表面係配置在具有至少 2:1 且較佳為超過 4:1 的深寬比之溝渠時，ART 係最成功。於硬掩罩膜 230 具有 50-500 nm 的厚度之示範性實施例中，硬掩罩膜 235 可具有 2 nm-100 nm 的範圍內（例如，於圖 2C 的 x 軸上）之側向臨界尺寸用於在約 5 與 10 之間的深寬比。

[0026] 於有利的實施例中，硬掩罩膜 235 的側壁係大約正交下層成長基板的頂表面。例如，於圖 2C 中，側壁 250 具有相對於晶種表面 225 約  $90^\circ$ （例如， $88-92^\circ$ ）之側壁角  $\theta$ 。垂直膜側壁已被發現有利於後續界定溝渠的側壁，如在文中其它處進一步所述。於替代實施例中，側壁角  $\theta$  係與硬掩罩膜 235 的底部些微正向傾斜，其為比頂部更大的尺寸（亦即，非凹角）。例如，於圖 2C 中，側壁 250 可傾斜  $100-120^\circ$  的側壁角  $\theta$ 。

[0027] 回到圖 1A，方法 101 進行至操作 109，其中隔離係以對硬掩罩膜 235 自動對準的方式而形成。於示範性實施例中，操作 109 需要沉積隔離介電質膜在硬掩罩膜 235 上，之後平面化隔離介電質以暴露硬掩罩膜 235。於隔離介電質係保角地沉積之實施例中，介電質形成與硬掩罩膜 235 的側壁互補的側壁（例如，圖 2D 所示的側壁 250），使得完成硬掩罩膜 235 之蝕刻輪廓的反面轉換成隔離介電質膜。因此，如果硬掩罩膜 235 的蝕刻係適當控制以提供非凹

角側壁（例如，正交或正向傾斜），圍繞硬掩罩鰭片的保角隔離介電質係同樣地能夠形成具有反面圖案的適當控制側壁角（例如，正交或凹角）。

[0028] 於進一步實施例中，隔離介電質係凹陷在成長基板晶種表面下方。至於此種實施例，在操作 109 之隔離介電質的形成進一步包含未受硬掩罩鰭片保護之半導體基板的蝕刻。如圖 2D 所示，此淺的溝渠隔離蝕刻以對硬掩罩鰭片 235 自動校準之方式移除成長基板的一部分，且更特別是移除基極半導體層 205 的一部分（例如，緩衝層）。成長基板的蝕刻可藉由可應用於成長基板材料系統之任何本領域習知技術所進行。於示範性實施例中，成長基板的各向異性蝕刻，諸如電漿蝕刻，被實施以保持半導體晶種表面側壁 245 與硬掩罩側壁 250 之間的保真度。例如，如果底層 205 係 SiGe 合金（例如， $\text{Si}_{0.7}\text{Ge}_{0.3}$ ），乾式蝕刻被實施以推進超過晶種表面 225 的蝕刻前端。於所述示範性實施例中，在清除膜之前（例如，在清除底層 205 之前）所終止之安排的蝕刻典型的角圓化 246 係凹陷在晶種表面 225 下方。成長基板的此種凹陷可以是例如，有利地降低經由成長基板的頂層中的通路（例如，經由底層 205）而發生之鄰近裝置間的漏電流。成長基板的此種凹陷可進一步能夠致使存在於晶種表面 225 之膜應力的工程，例如，藉由降低晶種表面 225 與周圓底層 205 之間的物理耦接（實際上放置晶種表面 225 在半導體基座或台面頂上），及/或藉由能夠致使適當控制應力設計的隔離介

電質 240 (設計為拉伸或壓縮取決於該實施例) 配置鄰接晶種表面側壁 245。取決於硬掩罩膜 235 的  $x$ - $y$  維度, 此種應力可能多少是單軸或雙軸。

[0029] 於實施例中, 操作 109 需要一或多層介電質材料的保角沉積, 諸如但不限於化學氣相沉積 (例如, CVD, PECVD) 氧化物 (例如,  $\text{SiO}_2$ )。如果超過一層被沉積, 薄蝕刻終止介電質 (例如, 氮化矽) 可被沉積在大塊介電質內 (例如,  $\text{SiO}_2$ )。在習用平面化技術後 (例如, CMP), 所沉積介電質具有與硬掩罩膜的頂表面成平面之頂表面, 如圖 2D 所示。

[0030] 繼續方法 101, 在操作 111, 係選擇性地對隔離介電質及成長基板而移除硬掩罩膜以暴露半導體晶種表面。硬掩罩膜、隔離介電質及成長基板之間的材料差異有助於對硬掩罩膜高度選擇之硬掩罩膜的蝕刻, 確保磊晶晶種表面未蝕刻 (非凹陷)、未受損且因此具有典型起始基板的高平面性 (例如, 實質如在操作 103 所接收)。如圖 2E 進一步所示, 原始晶種表面 225 係暴露在溝渠 260 的底部, 且適當控制側壁 250, 造成與硬掩罩膜蝕刻關聯之高蝕刻選擇性。此處理及結果的結構特性係與替代處理明顯對比, 因此成長基板的頂表面係相對於周圍隔離介電質或成長基板的其它區而凹陷蝕刻, 以形成後續磊晶成長可被實施之溝渠。已發現到, 此種半導體凹陷蝕刻可以不利於後續磊晶成長之方式而損害半導體表面。例如, 微開溝 (局部加速蝕刻) 可能導致底半導體表面的



碗形化及/或溝角圓化。以本發明的實施例，然而，晶種表面無凹陷（例如，圖 2E 中的 225）被實施，使得晶種表面為未蝕刻半導體表面。

[0031] 於底層 205 為 SiGe 合金以及隔離介電質 240 為 SiO<sub>2</sub> 的示範性實施例中，p-Si 硬掩罩材料以及氮化矽硬掩罩材料可以 20-30:1 或更大的選擇性、以各向異性低能蝕刻（例如，基於下游電漿、基於濕式化學等）隨時移除。於其它實施例中，如果硬掩罩膜係疊加（例如，大塊層 p-Si 或配置在薄氧化物上的氮化矽），在操作 111 之硬掩罩鰭片的移除可能需要第一及第二蝕刻，其中硬掩罩鰭片的薄底層以高選擇性蝕刻（20-30:1 或更大，在成長基板上）所移除。於實施例中，在操作 111 後，配置晶種表面的溝渠 260 具有至少 5:1 的深寬比（z-高度：x 臨界側向尺寸），且可以是 10:1 或更大，其中側壁 250 實質正交晶種表面 225 或些微凹角。於溝渠 260 的 x 尺寸係在 2 nm 與 100 nm 之間的實施例中，溝渠 260 的 z-高度係在 50 nm 及 500 nm 之間。

[0032] 方法 101（圖 1）在操作 113 繼續以結晶半導體裝置層或複數層在所製造溝渠內的磊晶成長。通常，在操作 113 成長的裝置層可以是任何本領域習知裝置層，其使用習知用於所選材料之任何磊晶技術（例如，藉由有機金屬化學氣相沉積 MOCVD、分子束磊晶（MBE）等）。於示範性實施例中，磊晶半導體層係由於與晶種結晶表面之晶格及/或 CTE 失配而變形。至於一個以上裝置層磊晶

成長之實施例，晶格及/或 CTE 失配可另存在於磊晶裝置層間。如文中所用，“磊晶”層配準有晶種表面（例如，具有由於晶種表面的晶性之較佳結晶方位）。於晶種表面具有（100）方位之某些實施例中，磊晶裝置層亦具有（100）方位。因為磊晶成長係侷限在溝渠 260 內，半導體裝置層將具有與介電質 240 的側壁 250 互補之側壁。不管複合層的存在，裝置層可具有相對於晶種表面 225 的實質正交側壁，或些微正向傾斜（例如，偏離正交 10-20），其中側壁 250 係凹角。以在操作 113 之溝渠侷限的磊晶成長，缺陷可能朝與側壁 250 的介面而伸出。如果磊晶未受溝渠限制，則此種定向的伸出將不會存在（例如，其中無溝渠介面的數層成長將存在）。再者，在溝渠侷限磊晶成長的情況下，在離晶種表面的裝置層中更遠之點，形成在晶種表面上之磊晶層內的結晶缺陷密度可能逐漸更低。

[0033] 於一示範性實施例中，在操作 113 成長的裝置層包括至少一高遷移率通道層磊晶成長在晶種表面的上方（或直接在其上面）。高遷移率層可以是在操作 113 直接成長在成長基板的晶種表面上面之量子井適當結構的一部分（例如，二或三不同帶隙的磊晶層），例如，作為適合高載子遷移率電晶體實施例之裝置層的一部分。或，如圖 2F 所示，裝置層可包括一些通道層，全部磊晶成長在溝渠 260 的侷限內，例如，以形成堆疊的奈米線電晶體裝置。替代地，圖 2F 所示的實施例可以是較不複雜的例

子，其中僅單一通道層係形成作為習知技術中更典型的平面電晶體通道結構。因此，圖 2F 意謂表示平面實施例以及堆疊的奈米線實施例二者，因為平面實施例可被視為所述之奈米線實施例的第一層。

[0034] 至於底層 205 為 SiGe 合金的一實施例，由 Ge 組成的高電洞遷移通道層 280A 係選擇性地成長在晶種表面 225 上方。雖然某些實施例中的通道層 280A 係直接成長在晶種表面 225 上（例如，用於平面電晶體實施例），用於圖 2F 所示之堆疊奈米線實施例，中介半導體層 275 係配置（成長）在通道層 280A 與晶種表面 225 之間。中介半導體層 275 可以是使其能夠相對於通道層 280A 被選擇性移除之合成物（反之亦然）。雖然磊晶裝置層可包括任何數量的通道層成長在溝渠 260 的侷限內，用於所述實施例，第二通道層 280B 係與中介結晶層 290A 成長在通道層 280A 上方。於通道層 280A 及 280B 係相同合成物的實施例中，然而，中介結晶層 290A 係不同合成物，且不能是和中介層 275 相同的合成物。最後，在第二通道 280A 上方係另一磊晶半導體層 290B，其在一實施例中係如層 290A 的相同合成物，且更特殊地可以是具有高電子遷移率的材料，諸如合理晶格符合通道層 280A、280B 之已知第 III-V 族合金（例如，任何二元、三元或四元化合物，諸如但不限於，InAs、InAsSb、InSb、AlGaAs、GaAs 等）。此種裝置堆疊可能夠致使 CMOS 實施，其中層 290A 及 290B 用作 nMOS 裝置通道而層 280A

及 280B 用作 pMOS 裝置通道。至於平面電晶體實施例，單一通道層 280A（或 290A）將是唯一半導體裝置層，直接配置在晶種表面 225 上，且成長至可與所述奈米線堆疊比較之相對於周圍隔離介電質 240 的厚度。作為實例，平面電晶體實施係於圖 3C 中的圖解。

[0035] 於實施例中，操作 113 進一步包括平面化以移除延伸高過/越過鄰接隔離介電質之任何半導體過成長。例如，圖 2F 解說示範性奈米線半導體裝置堆疊，具有與周圍隔離介電質 240 實質成平面之頂表面。在此種平面化後，磊晶成長半導體的頂表面（例如，圖 2G 中的頂表面 291）可被配置離晶種表面為溝渠 260 的深度的顯著部分之距離（圖 2E）。例如，於實施例中，平面化磊晶裝置層的頂表面可以是離晶種表面 40nm-400nm，或超過晶種表面的最小側向尺寸三倍（例如，圖 2G 的 x 維）。

[0036] 方法 101（圖 1）之後在操作 115 完成以磊晶半導體中或上之裝置的製造。此種製造可隨著裝置及/或裝置層的功能而變化。於某些實例中，諸如圖 2F 所示之非平面化實施例，操作 115 需要隔離介電質頂表面 241 選擇性地對裝置層的凹陷以暴露裝置層中之一或多個半導體層的一或多個側壁，給予每一溝渠侷限的磊晶成長裝置堆疊延伸在周圍隔離介電質上方之非平面半導體本體。凹陷的隔離介電質係相對於其作為侷限溝渠的角色所具有之厚度而薄化，但是所保持的厚度可適於電子裝置隔離，其中未使用作為晶種表面（亦即，未被硬掩罩鰭片保護）之成

長基板部分已被凹陷在晶種表面下方（例如，於圖 1 中的操作 109 期間）。本領域習知之可應用使隔離介電質材料凹陷之任何蝕刻技術可被利用。例如，所安排的濕式或乾式  $\text{SiO}_2$  蝕刻可被使用，或於蝕刻停止層併入多層隔離介電質之實施例中，隔離凹陷蝕刻可被停止在蝕刻停止層上，其中停止層接續被移除或留下作為隔離區內的人為生成物。於圖 2G 所示的實施例中，在隔離介電質凹陷過程的完成之後，通道層 280A 及 280B 二者暴露在隔離頂表面 241 上方。

[0037] 圖 2H 係依據 CMOS 實施例解說溝渠侷限的磊晶裝置堆疊之等角視圖。圖 2H 表示可被應用以自溝渠侷限的磊晶裝置層形成互補載子型的高遷移率電晶體的一技術。圖 2H 中的 CMOS 實施包括 pMOS 奈米線結構 301 及 nMOS 奈米線結構 302。再者，包括平面 pMOS 電晶體結構及平面 nMOS 電晶體結構之類似 CMOS 結構可同樣地被形成（例如，僅使用單通道層成長在各別晶種表面上）。

[0038] 於一奈米線實施例中，pMOS 奈米線結構 251 係發展自圖 2G 所示的裝置堆疊。如所示，犧牲通道掩罩心軸結構 215 可被形成在裝置堆疊的中央區域周圍（例如，在 y 維的中心內），以及犧牲用於電晶體載子類型之裝置層的交替層（例如，用於 pMOS 結構 251 的層 275、290A、290B 或 nMOS 結構 252 的層 280A、280B）然後被蝕刻，而中央部係由掩罩心軸結構 215 所保護。摻雜半導體則可被沉積（或成長）在通道層 280A 及 280B 的暴露

端 213、223 上，其可重摻雜於過程中的某點。替代地，端 213、223 可一起全部更換（再成長）。通道掩罩心軸結構 215 然後可被移除（未繪出），以及以非犧牲間隔介電質 216A、216B、226A、226B 及/或源極/汲極半導體及/或固定裝置層的接觸金屬，半導體蝕刻被實施第二次（例如，蝕刻光 pMOS 結構 251 中的層 275、290A、290B 及 nMOS 結構 252 中的層 280A 及 280B）以暴露互補結構的通道層。包含保角閘極介電質層及閘極電極層的非犧牲閘極堆疊然後使用習知技術，諸如但不限於，原子層沉積（ALD），形成在暴露的通道層之上。於示範性實施例中，第一及第二閘極介電質係保角地沉積，回填裝置層之間的任何孔洞，以完全包覆延伸在源極及汲極之間之半導體通道的表面。

[0039] 尤其，雖然圖 2H 中的圖示描述 pMOS 及 nMOS 裝置 301、302 於相同狀態中，此種狀態可能不會同時發生，其中串列處理該等結構的一者進行其它的處理（例如，上述的處理可被實施多次，其中半導體層 290A、290B 及層 280A、280B 的保留之間的交替作為互補通道層於基板的分開區中）。以此方式，依據相同磊晶裝置堆疊橫越基板所界定之複數溝渠可用作 pMOS 及 nMOS 高遷移率裝置二者的依據。於一個此種實施例中，在至少一通道區內，pMOS 奈米線層 280A、280B 的每一者為相同 IV 族半導體材料（例如，Ge）。同樣地，在通道區內，nMOS 奈米線層 290A、290B 的每一者為相同

III-V 族半導體材料（例如，GaAs）。於替代實施例中，pMOS 奈米線層 280A、280B 的每一者為相同 IV 族半導體材料（例如，Ge），而 nMOS 奈米線層 290A、290B 的每一者為相同 IV 族半導體材料（例如，Si）。

[0040] 以一電晶體類型的通道層用作鄰接另一電晶體類型的通道層之犧牲層的單溝渠侷限的異質磊晶堆疊，第一半導體通道將具有沉積離晶種表面的第一距離之頂表面，以及互補傳導性型的第二半導體通道將具有沉積自晶種表面的第二距離（多於或少於第一）之頂表面。

[0041] 圖 3A 解說依據本發明的實施例沿著使用藉由圖 1 所示的實施例所成長的溝渠侷限的裝置層之非平面 pMOS 電晶體 301 的第一（x）維之剖面圖。圖 3B 解說依據本發明的實施例沿著非平面 pMOS 電晶體 301 的第二（y）維之剖面圖。於示範性實施例中，pMOS 電晶體 301 係在操作 115（圖 1）期間自 pMOS 結構 251 發展出（圖 2H）。圖 3C 解說依據本發明的實施例沿著使用藉由圖 1 所示的方法所成長的裝置層之平面電晶體的第一維之剖面圖。

[0042] 如圖 3A 所示，因為溝渠侷限的磊晶成長，通道層 280A、280B 的中心（由中心線 CL 所示）延伸穿過配置在隔離介電質 240 間之晶種表面 225 的中心。於除了重合中心外，晶種表面 225 的平面性還指示方法 101。如圖 3A 進一步所示，晶種表面 225 相對於隔離介電質頂表面 241 係凹陷，而底隔離表面 242 係與在晶種表面 225 的

下方位準之下層半導體的介面。如圖 3B 所述，晶種表面 225 具有由鄰接隔離介電質 240 所界定的  $y$  維之長度  $L_1$ 。亦沿著此軸線，晶種表面 225 係與界定延伸在半導體源極及汲極 112A、112B 之間的通道層 280A、280B 之裝置層的中心對準。晶種表面 225 亦為平面沿著其整個長度  $L_1$ ，由於實施在未凹陷、未蝕刻的成長基板表面上之溝渠侷限的成長。底層 205 中的此種平面性將不存在，若未終止的半導體凹陷蝕刻被實施（例如，圓化接近隔離介電質 240 的介面之代替角將存在）。如圖 3A 及 3B 所述，藉由蝕刻裝置堆疊內的犧牲半導體層所形成的凹陷係回填以閘極介電質 310A、310B、310C（例如，圍繞通道層 280A 的 310A 及圍繞通道層 280B 的 310B）及閘極電極材料 315。接點金屬化 335A、345A 係進一步沉積與源極及汲極 112A、112B 接觸。

[0043] 如圖 3C 所述，用於平面電晶體實施例中，單通道層 280A、（或 290A）將是唯一半導體裝置層，直接配置在晶種表面 225 上，且成長至相對於周圍隔離介電質 240 之厚度以達到橫越隔離介電質 240 及通道層 280A 之平坦表面。

[0044] 圖 4 解說依據本發明的實施例之行動計算裝置平台 700 的等角視圖及由行動平台所使用的微電子裝置 710 的示意圖 721。行動計算平台 700 可以是組構用於電子資料顯示、電子資料處理及無線電子資料傳輸的每一者之任何可攜式裝置。例如，行動計算平台 700 可以是平



板、智慧型手機、膝上型電腦等的任一者，且包括示範性實施例中為觸控螢幕（電容、電感、電阻等）的顯示螢幕 705、晶片層級（SoC）或封裝層級積體微電子裝置 710 及電池 713。

[0045] 積體裝置 710 係進一步解說於展開圖 721 中。於示範性實施例中，裝置 710 包括至少一記憶體、至少一處理晶片（例如，多核心微處理器及/或圖形處理器核心 730、731）。用詞“處理器”可意指任何裝置或處理來自暫存器及/或記憶體的電子資料之裝置的一部分，以將該電子資料轉換成可被儲存於暫存器及/或記憶體中的其它電子資料。於實施例中，處理器晶片或記憶體中的一或多個電晶體包括配置在平面晶種層上的異質磊晶通道層，其中隔離介電質形成圍繞晶種層的周圍，如文中其它地方更加詳述（例如，圖 3A 及 3B），併入裝置 710 中。裝置 710 係與電源管理積體電路（PMIC）715、包括寬頻 RF（無線）發射器及/或接收器的 RF（無線）積體電路（RFIC）725（例如，包括數位基頻及類比前端模組進一步包含功率放大器在發射路徑上及低雜訊放大器在接收路徑上）、及其控制器 711 之一或多者一起進一步耦接至控制板、基板或插入物 500。功能性地，PMIC715 實施電池電源調節、DC 對 DC 轉換等，且因此具有耦接至電池 713 的輸入並具有提供電流供應給所有其它功能性模組之輸出。如進一步所述，於示範性實施例中，RFIC725 具有耦接至天線之輸出以提供實施一些無線標準或協定的任一

者，包括但不限於，Wi-Fi (IEEE 802.11 族)、WiMAX (IEEE 802.16 族)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、其衍生者，以及指定為 3G、4G、5G 及超越的任何其它無線協定。於實施中，這些模組的每一者可被整合至單晶片上作為 SoC，至耦接至封裝裝置 710 的封裝基板之分開 IC 上，或在板層次。

[0046] 圖 5 係依據本發明的一實施例之計算裝置 1000 的功能方塊圖。計算裝置 1000 可被發現在平台 700 內，例如，且進一步包括主控一些組件的電路板 1002，諸如但不限於，處理器 1004 (例如，應用處理器) 及至少一通訊晶片 1006。於實施例中，至少處理器 1004 係與一或多個電晶體整合 (例如，晶片上) 於處理器晶片或記憶體中，依據文中其它所述的實施例，包括配置在平面晶種層上之異質磊晶通道層以及隔離介電質形成圍繞晶種層的周圍。處理器 1004 係物理且電氣地耦接至電路板 1002。處理器 1004 包括封裝在處理器 1004 內的積體電路晶片。

[0047] 於某些實例中，至少一通訊晶片 1006 亦物理且電氣地耦接至電路板 1002。於其它實施中，通訊晶片 1006 係處理器 1004 的一部分。取決於其應用，計算裝置 1000 可包括可或不可物理且電氣地耦接至電路板 1002 的其它組件。這些其它組件包括但不限於，依電性記憶體

(例如，DRAM)、以快閃記憶體等的形式的非依電性記憶體(例如，RAM 或 ROM)、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編解碼器、視頻編解碼器、功率放大器、全球定位系統(GPS)裝置、指南針、加速器、陀螺儀、音箱、相機、及大量儲存裝置(諸如硬碟機、固態硬碟(SSD)、光碟(CD)、數位多功能光碟(DVD)等等)。

[0048] 通訊晶片 1006 的至少一者能夠致使無線通訊轉移資料至及自計算裝置 1000。用詞“無線”及其衍生詞可被使用來說明可經由非固態媒體利用調變的電磁幅射傳達資料之電路、裝置、系統、方法、技術、通訊通道等。該用詞未意味關聯的裝置不含有任何線，雖然某些實施例中它們可能不會。通訊晶片 1006 可實施一些無線標準或協定的任一者，包括但不限於，文中其它所述。計算裝置 1000 可包括複數通訊晶片 1006。例如，第一通訊晶片 1006 可專屬於較短距離無線通訊諸如 Wi-Fi 及藍芽，以及第二通訊晶片 1006 可專屬於較長距離無線通訊諸如 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 及其它。

[0049] 因此，溝渠侷限的異質磊晶裝置堆疊及其製造的實施例被說明。於實施例中，形成異質磊晶裝置層在基板上的方法，該方法包括：接收具有半導體晶種表面的基板；形成硬掩罩鰭片在晶種表面之上；形成鄰接該硬掩罩鰭片的隔離區；藉由相對於該隔離區選擇性地移除該硬

掩罩鰭片，形成溝渠，該晶種表面在該溝渠的底部；及磊晶地成長半導體層在該溝渠內，該半導體層具有與該半導體晶種表面之晶格常數失配或熱膨脹係數(CTE)失配的至少一者。於實施例中，形成該硬掩罩鰭片進一步包含沉積多晶矽或氮化矽層在該晶種表面之上；以及以各向異性蝕刻圖案化該多晶矽或氮化矽層。於實施例中，形成該硬掩罩鰭片進一步包含直接地沉積蝕刻終止層在該晶種表面上以及沉積該多晶矽或氮化矽層在氧化物層之上。於實施例中，各向異性蝕刻形成垂直側壁或些微正向傾斜側壁，以及其中該硬掩罩鰭片具有至少 5 : 1 的深寬比。於實施例中，形成隔離區進一步包含：沉積隔離介電質層在該硬掩罩鰭片之上，及平面化該隔離介電質層以暴露該硬掩罩鰭片的頂表面。於實施例中，形成該隔離區進一步包含：蝕刻該基板鄰接該硬掩罩鰭片的部分以使未受該硬掩罩鰭片保護的該基板部分相對於該晶種表面而凹陷；及沉積該隔離介電質層在該凹陷的基板表面之上。於實施例中，該方法進一步包含：平面化具有該隔離區之該磊晶裝置層的頂表面；及使該隔離區相對於該磊晶裝置層的頂表面而凹陷以形成非平面半導體本體，其包含具有鄰接至該非平面半導體本體的該隔離區之該磊晶裝置層。於實施例中，該方法進一步包含：形成閘極介電質及閘極電極在該磊晶裝置層的至少二相對側之上，用於耦接至該裝置層之源極及汲極區之間的載子傳導的控制。於實施例中，該磊晶裝置層包含 Ge 或第 III-V 族二元、三元、或四元半導體合金，

以及形成該閘極介電質及該閘極電極進一步包含蝕刻配置在該晶種表面及該磊晶裝置層之間的犧牲半導體層以暴露該磊晶裝置層的底表面；及回填該閘極介電質及該閘極電極在該底表面之上。

[0050] 於實施例中，一種配置在矽基板之上的非平面場效電晶體（FET），該非平面 FET 包含：源極區及汲極區，具有非矽半導體通道配置於其間且在平面半導體晶種表面之上，該平面半導體晶種表面具有除了該非矽半導體通道的組成之外之組成，該平面半導體晶種表面係由隔離介電質所圍繞之半導體台面的頂表面；閘極介電質層及閘極電極層，配置在該非矽半導體通道之上。於實施例中，該非矽半導體通道為 Ge 或第 III-V 族二元、三元、或四元化合物半導體合金，以及其中該通道的中央係與該平面半導體晶種表面的中央對準。於實施例中，該隔離介電質的底表面係與凹陷在該晶種表面下方的半導體表面接觸。於實施例中，該晶種表面係凹陷在該介電質隔離的頂表面下方。於實施例中，該非矽半導體通道係具有配置離該晶種表面有該晶種表面的最小側向尺寸至少三倍的距離的頂表面之半導體堆疊的一層。

[0051] 於實施例中，一種配置在矽基板之上的 CMOS 裝置，該 CMOS 裝置包含：pMOS 裝置，具有第一源極區及第一汲極區，具有 Ge 半導體通道配置於其間且配置在第一平面半導體晶種表面之上，該第一平面半導體晶種表面具有除了該通道的組成之外之組成，該第一平面

半導體晶種表面係由隔離介電質所圍繞之第一半導體台面的頂表面；及第一閘極介電質層及第一閘極電極層，配置在該 Ge 半導體通道之上；以及 nMOS 裝置，具有：第二源極區及第二汲極區，具有第 III-V 族半導體通道配置於其間且配置在第二平面半導體晶種表面之上，該第二平面半導體晶種表面具有除了該通道的組成之外之組成，該第二平面半導體晶種表面係由隔離介電質所圍繞之第二半導體台面的頂表面；及第二閘極介電質層及第二閘極電極層，配置在該第 III-V 族半導體通道之上。於實施例中，該 Ge 半導體通道具有配置離該晶種表面的第一距離之頂表面，以及該第 III-V 族半導體通道具有配置離該晶種表面不同於該第一距離的第二距離之頂表面。於實施例中，該 Ge 半導體通道的中央係與該第一平面半導體晶種表面的中央對準，以及其中該第 III-V 族半導體通道的中央係與該第二平面半導體晶種表面的中央對準。於實施例中，該第一及第二晶種表面係凹陷在該隔離介電質的頂表面下方。於實施例中，該第一及第二閘極介電質完全包圍延伸在該源極及汲極之間的該半導體通道的表面。

[0052] 於實施例中，行動計算平台包括含有本文所述的非平面 FET 或文中所述的 CMOS 裝置之積體電路、顯示螢幕及無線收發器。

[0053] 因此，本發明的一或多個實施例廣泛地關於溝渠侷限的異質磊晶裝置堆疊。將瞭解到，以上說明打算用於解說，而非限制。例如，雖然圖式中的流程圖顯示由

本發明的某些實施例所實施之操作的特殊順序，應瞭解到，此種順序不是必要（例如，替代實施例可實施不同順序的操作，組合某些操作，重疊某些操作等）。再者，對熟悉此項技術者而言，在閱讀且瞭解以上說明之後，許多其它實施例將是顯而易知。雖然本發明已參照特定示範性實施例予以說明，將領會到，本發明未限制所述的實施例，但可以附加請求項的精神及範圍內之修改及變更而實施。本發明的範圍因此應參照附加請求項以及這些請求項被賦予權利之等效物的全部範圍予以決定。

#### 【符號說明】

[0054]

- 201：大塊基板
- 205：半導體底層
- 213：暴露端
- 215：犧牲通道掩罩心軸結構
- 216A：非犧牲間隔介電質
- 216B：非犧牲間隔介電質
- 223：暴露端
- 225：磊晶晶種表面
- 226A：非犧牲間隔介電質
- 226B：非犧牲間隔介電質
- 230：硬掩罩膜
- 235：硬掩罩鰭片

- 240 : 隔離介電質
- 241 : 隔離介電質頂表面
- 242 : 底隔離表面
- 245 : 晶種表面側壁
- 246 : 角圓化
- 250 : 側壁
- 251 : pMOS 奈米線結構
- 260 : 溝渠
- 275 : 中介半導體層
- 280A : 通道層
- 280B : 通道層
- 290A : 中介結晶層
- 290B : 磊晶半導體層
- 291 : 頂表面
- 301 : pMOS 奈米線結構
- 302 : nMOS 奈米線結構
- 310A : 閘極介電質
- 310B : 閘極介電質
- 310C : 閘極介電質
- 315 : 閘極電極材料
- 335A : 接點金屬化
- 345A : 接點金屬化
- 500 : 插入物
- 700 : 行動計算裝置平台



- 705 : 顯示螢幕
- 710 : 微電子裝置
- 711 : 控制器
- 713 : 電池
- 715 : 電源管理積體電路
- 721 : 示意圖
- 725 : RF(無線)積體電路(RFIC)
- 730 : 圖形顯示器核心
- 731 : 圖形顯示器核心
- 1000 : 計算裝置
- 1002 : 電路板
- 1004 : 處理器
- 1006 : 通訊晶片
- CL : 中心線
- $L_1$  : 長度

## 申請專利範圍

1. 一種配置在矽基板之上的非平面場效電晶體 (FET)，該非平面 FET 包含：

源極區及汲極區，具有非矽半導體通道配置於其間且在平面半導體晶種表面之上，該平面半導體晶種表面具有除了該非矽半導體通道的組成之外的組成，該平面半導體晶種表面是該矽基板上的半導體台面的頂表面且由隔離介電質所圍繞，其中該半導體台面為不同於該矽基板之半導體，並且其中該非矽半導體通道為第 III-V 族二元、三元、或四元化合物半導體合金；及

閘極介電質層及閘極電極層，配置在該非矽半導體通道之上。

2. 如申請專利範圍第 1 項的非平面 FET，其中該通道的中央係與該平面半導體晶種表面的中央對準。

3. 如申請專利範圍第 2 項的非平面 FET，其中該隔離介電質的底表面係與凹陷在該晶種表面下方的半導體表面接觸。

4. 如申請專利範圍第 3 項的非平面 FET，其中該晶種表面係凹陷在該隔離介電質的頂表面下方。

5. 如申請專利範圍第 3 項的非平面 FET，其中該非矽半導體通道係具有配置離該晶種表面有該晶種表面的最小側向尺寸至少三倍的距離的頂表面之半導體堆疊的一層。

6. 一種在矽基板之上製造非平面場效電晶體 (FET)

的方法，該方法包含：

形成平面半導體晶種表面，該平面半導體晶種表面是該矽基板上的半導體台面的頂表面且由隔離介電質所圍繞，其中該半導體台面為不同於該矽基板之半導體；

形成源極區及汲極區，其中非矽半導體通道係形成於該源極區及該汲極區之間，且該源極區及該汲極區係形成在該平面半導體晶種表面之上，該平面半導體晶種表面具有除了該非矽半導體通道的組成之外的組成，其中該非矽半導體通道為第 III-V 族二元、三元、或四元化合物半導體合金；及

在該非矽半導體通道之上形成閘極介電質層及閘極電極層。

7. 如申請專利範圍第 6 項的方法，其中該通道的中央係與該平面半導體晶種表面的中央對準。

8. 如申請專利範圍第 7 項的方法，其中該隔離介電質的底表面係與凹陷在該晶種表面下方的半導體表面接觸。

9. 如申請專利範圍第 8 項的方法，其中該晶種表面係凹陷在該隔離介電質的頂表面下方。

10. 如申請專利範圍第 8 項的方法，其中該非矽半導體通道係具有配置離該晶種表面有該晶種表面的最小側向尺寸至少三倍的距離的頂表面之半導體堆疊的一層。

11. 一種配置在矽基板之上的非平面場效電晶體 (FET)，該非平面 FET 包含：

源極區及汲極區，具有非矽半導體通道配置於其間且在平面半導體晶種表面之上，該平面半導體晶種表面具有除了該非矽半導體通道的組成之外的組成，該平面半導體晶種表面是該矽基板上的半導體台面的頂表面且配置於設置有溝渠的隔離介電質中，其中該半導體台面為不同於該矽基板之半導體，其中該非矽半導體通道為第 III-V 族二元、三元或四元化合物半導體合金，並且其中該溝渠之高寬比大於 4:1；及

閘極介電質層及閘極電極層，配置在該非矽半導體通道之上。

12. 如申請專利範圍第 11 項的非平面 FET，其中該通道的中央係與該平面半導體晶種表面的中央對準。

13. 如申請專利範圍第 12 項的非平面 FET，其中該隔離介電質的底表面係與凹陷在該晶種表面下方的半導體表面接觸。

14. 如申請專利範圍第 13 項的非平面 FET，其中該晶種表面係凹陷在該隔離介電質的頂表面下方。

15. 如申請專利範圍第 13 項的非平面 FET，其中該非矽半導體通道係具有配置離該晶種表面有該晶種表面的最小側向尺寸至少三倍的距離的頂表面之半導體堆疊的一層。

16. 一種在矽基板之上製造非平面場效電晶體 (FET) 的方法，該方法包含：

形成平面半導體晶種表面，該平面半導體晶種表面是

該矽基板上的半導體台面的頂表面且由隔離介電質所圍繞，其中該半導體台面為不同於該矽基板之半導體，並且其中溝渠之高寬比大於 4:1；

形成源極區及汲極區，其中非矽半導體通道係形成於該源極區及該汲極區之間，且該源極區及該汲極區係形成在該平面半導體晶種表面之上，該平面半導體晶種表面具有除了該非矽半導體通道的組成之外的組成，其中該非矽半導體通道為第 III-V 族二元、三元或四元化合物半導體合金；及

在該非矽半導體通道之上形成閘極介電質層及閘極電極層。

17. 如申請專利範圍第 16 項的方法，其中該通道的中央係與該平面半導體晶種表面的中央對準。

18. 如申請專利範圍第 17 項的方法，其中該隔離介電質的底表面係與凹陷在該晶種表面下方的半導體表面接觸。

19. 如申請專利範圍第 18 項的方法，其中該晶種表面係凹陷在該隔離介電質的頂表面下方。

20. 如申請專利範圍第 18 項的方法，其中該非矽半導體通道係具有配置離該晶種表面有該晶種表面的最小側向尺寸至少三倍的距離的頂表面之半導體堆疊的一層。

# 圖式

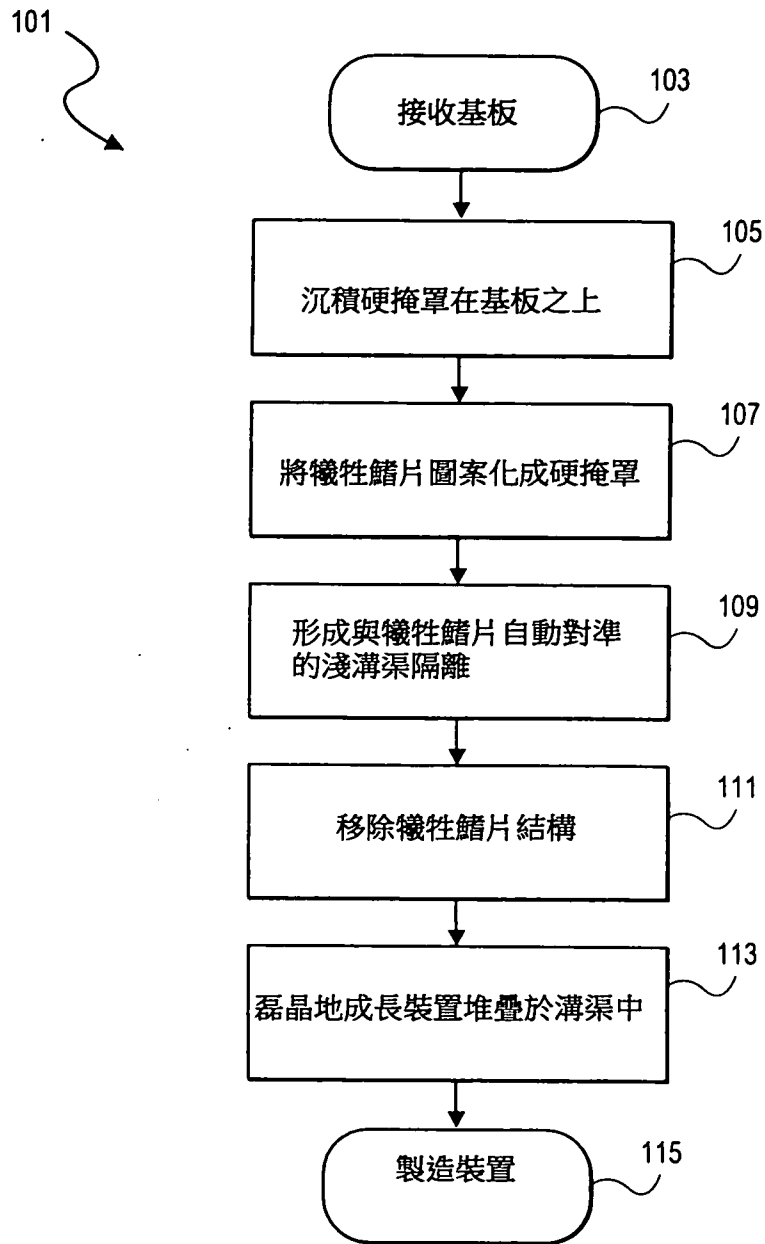


圖 1

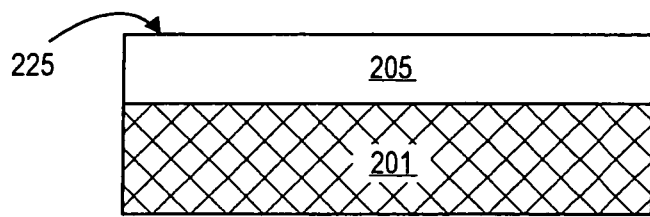


圖 2A

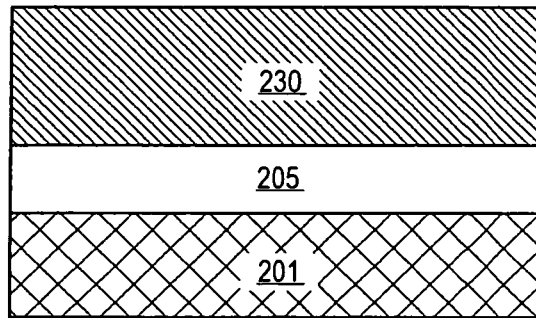
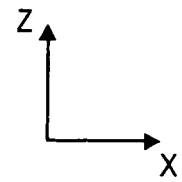


圖 2B

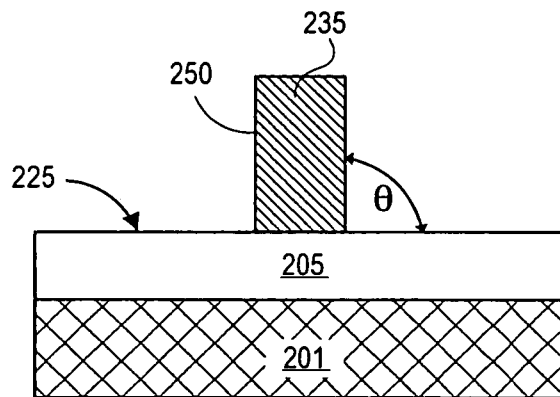
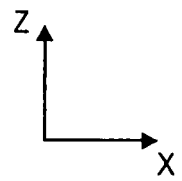


圖 2C

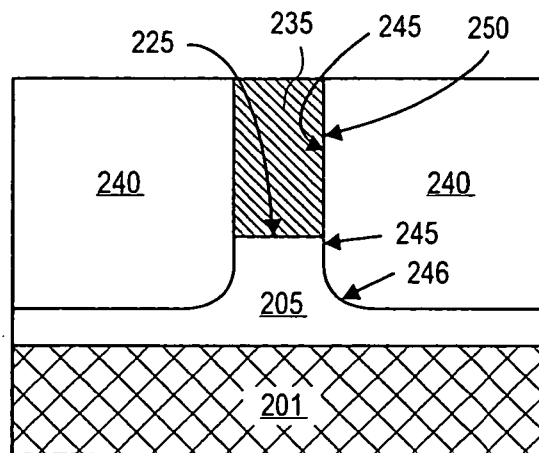
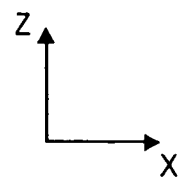
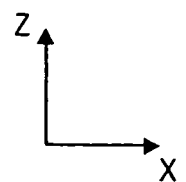


圖 2D



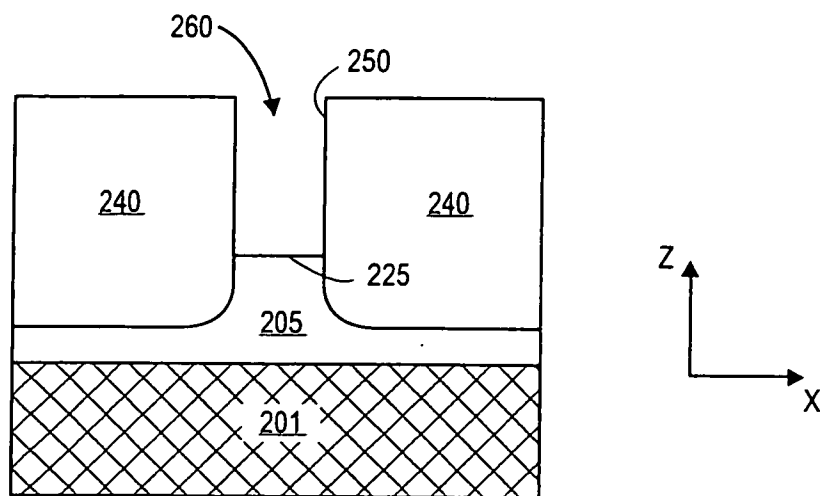


圖 2E

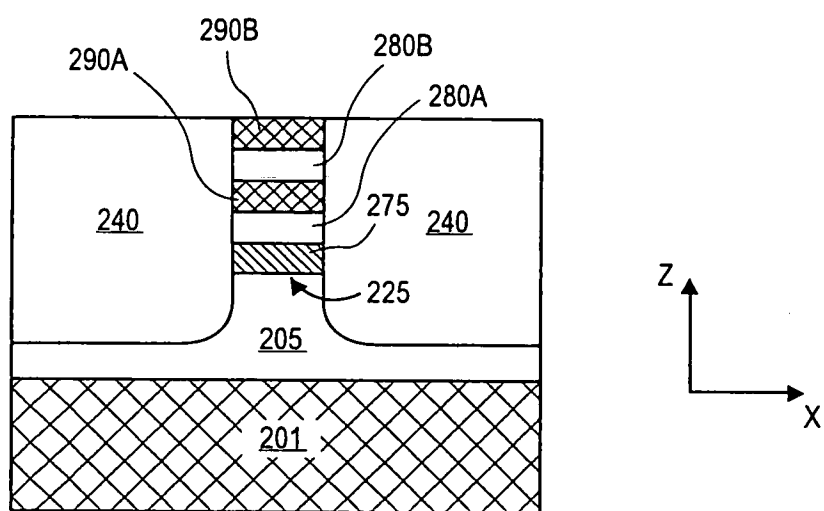


圖 2F

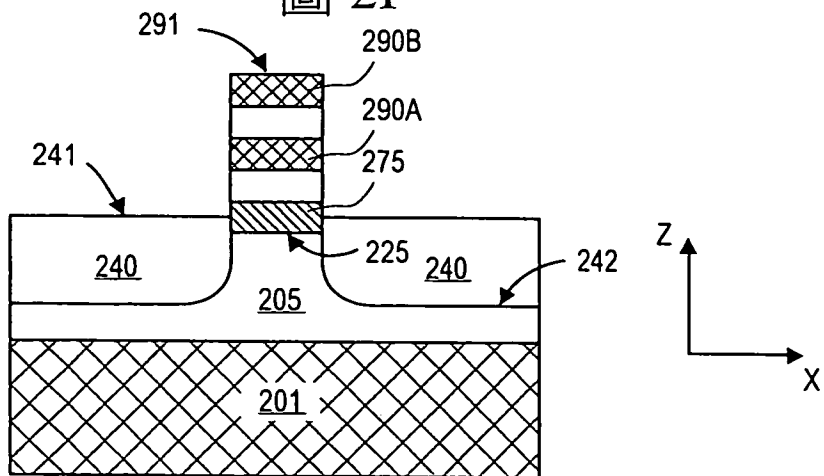


圖 2G





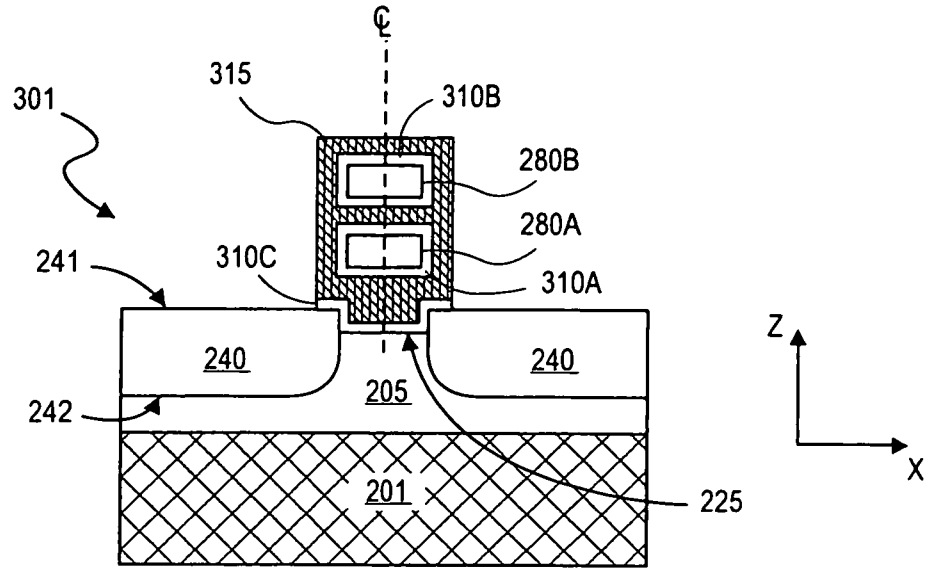


圖 3A

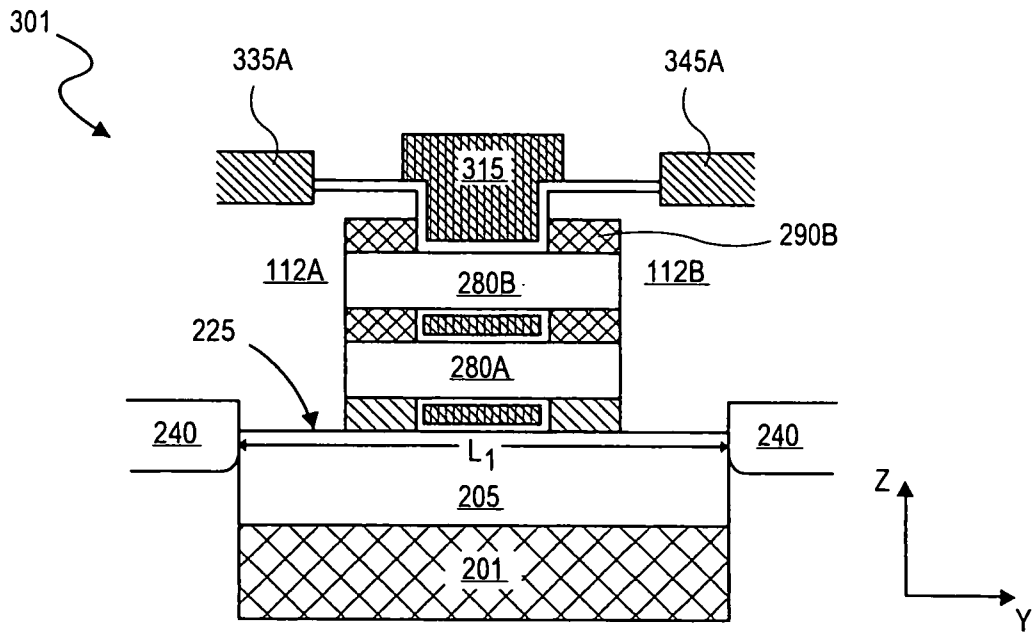


圖 3B

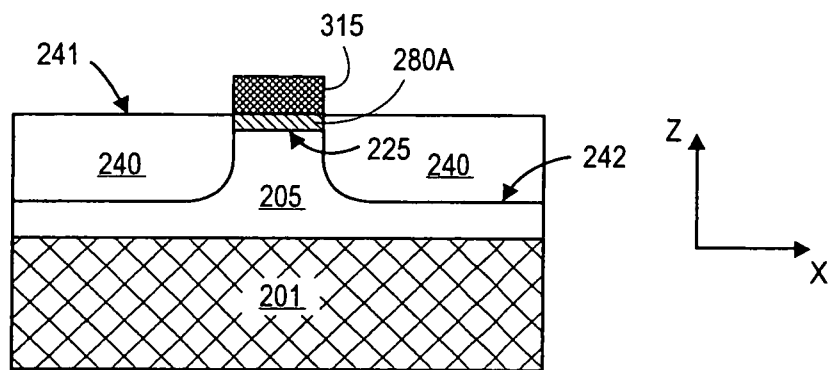


圖 3C

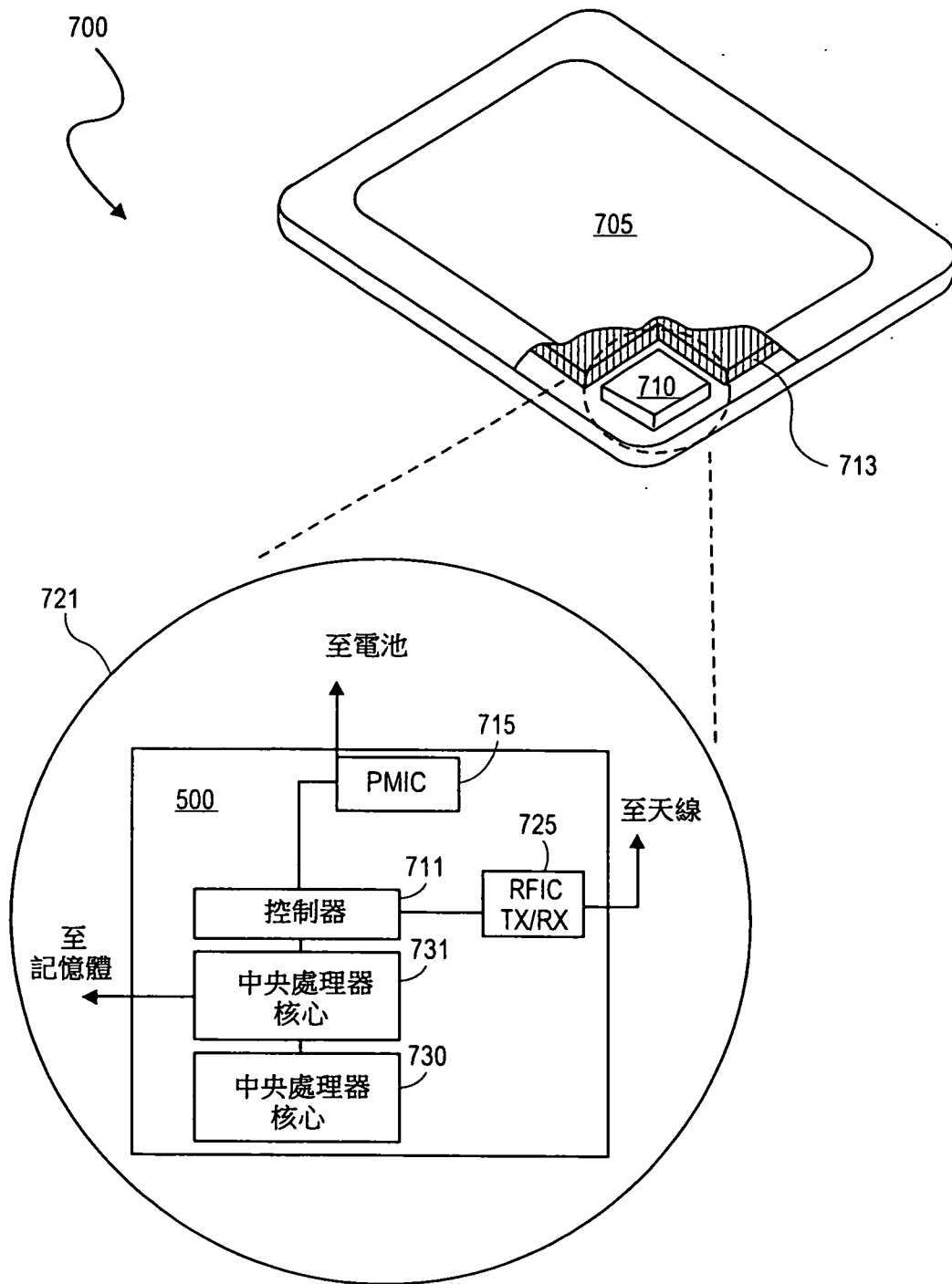


圖 4

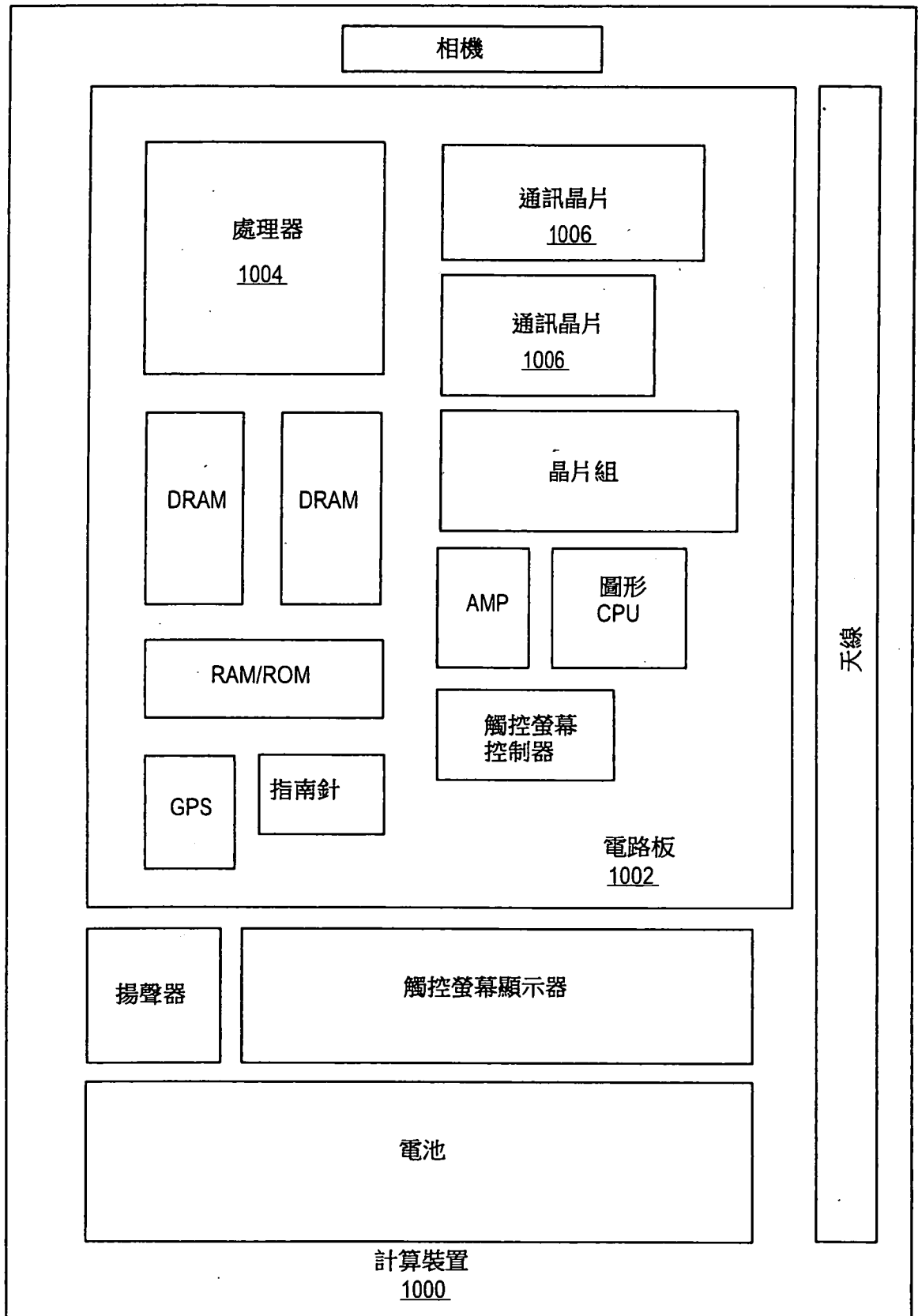


圖 5