

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月30日(30.07.2020)



(10) 国際公開番号

WO 2020/152523 A1

(51) 国際特許分類:

H01L 21/8234 (2006.01) H01L 29/788 (2006.01)
H01L 27/088 (2006.01) H01L 29/792 (2006.01)
H01L 27/11582 (2017.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/IB2019/059962

(22) 国際出願日: 2019年11月20日(20.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-011605 2019年1月25日(25.01.2019) JP
特願 2019-013347 2019年1月29日(29.01.2019) JP

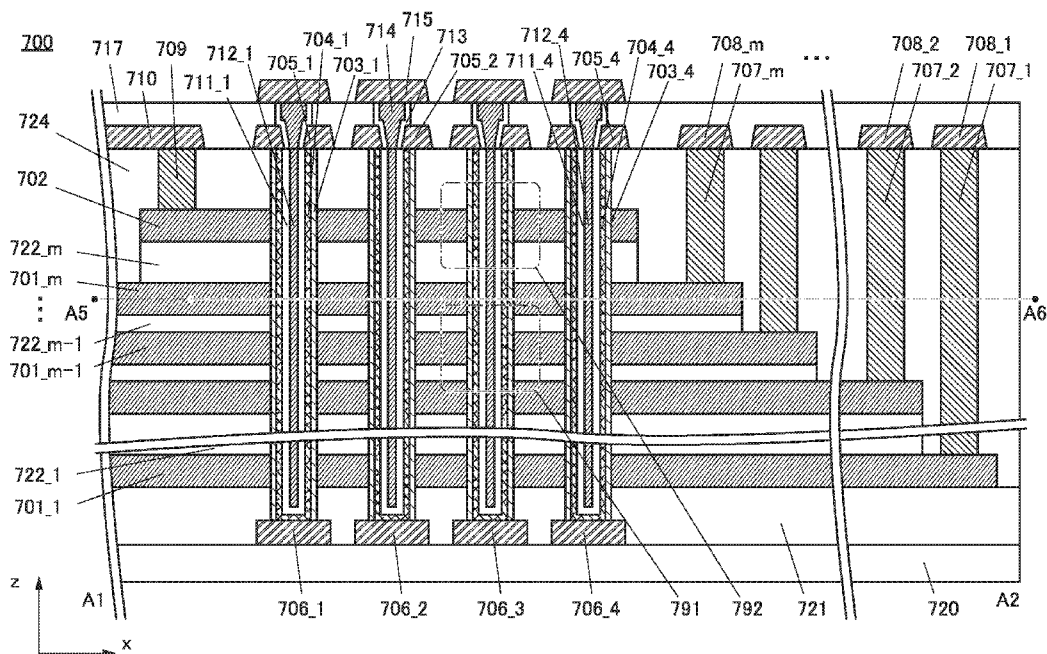
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398 株式会社
半導体エネルギー研究所内 Kanagawa (JP). 大
貫達也(ONUKE, Tatsuya); 〒2430036 神奈川県
厚木市長谷398 株式会社半導体エネルギー研
究所内 Kanagawa (JP). 松崎隆徳(MATSUZAKI,
Takanori); 〒2430036 神奈川県厚木市長谷39
8 株式会社半導体エネルギー研究所内 Kanagawa
(JP). 加藤清(KATO, Kiyoshi); 〒2430036 神奈

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR FABRICATING SEMICONDUCTOR DEVICE, AND METHOD FOR OPERATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、半導体装置の作製方法、及び半導体装置の動作方法

図1



(57) Abstract: Provided is a semiconductor device that has a large storage capacity per unit area. This semiconductor device comprises a stack which includes a first insulator, a first conductor on the first insulator, and a second insulator on the first conductor. The stack includes a first opening formed on the first insulator, the first conductor, and the second insulator, and has an oxide on the inside of the first opening. In the first opening, a third insulator is located on the outside

川 県 厚 木 市 長 谷 3 9 8 株 式 会 社 半 導 体 エ
ネ ル ギ ー 研 究 所 内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

of the oxide, a second conductor is located on the inside of the oxide, and a fourth insulator is located between the oxide and the second conductor. The third insulator includes a gate insulating layer that is located on a side face of the first opening, a tunnel insulating layer that is located on the outside of the oxide, and a charge storage layer that is located between the gate insulating layer and the tunnel insulating layer.

(57) 要約: 単位面積あたりの記憶容量の大きい半導体装置を提供する。積層体を有する半導体装置であって、積層体は、第1の絶縁体と、第1の絶縁体上の第1の導電体と、第1の導電体上の第2の絶縁体と、を有する。積層体は、第1の絶縁体、前記第1の導電体、及び前記第2の絶縁体に設けられた第1の開口を有し、第1の開口の内側に酸化物を有する。また、第1の開口において、酸化物の外側には第3の絶縁体が位置し、酸化物の内側には第2の導電体が位置し、前記酸化物と第2の導電体との間に第4の絶縁体が位置する。第3の絶縁体は、第1の開口の側面に位置するゲート絶縁層と、酸化物の外側に位置するトンネル絶縁層と、ゲート絶縁層とトンネル絶縁層の間に位置する電荷蓄積層と、を有する。

明細書

発明の名称

半導体装置、半導体装置の作製方法、及び半導体装置の動作方法

技術分野

[0001]

本発明は、例えば、半導体装置に関する。または、本発明は、例えば、半導体装置の作製方法に関する。または、本発明は、例えば、半導体装置が有するメモリトランジスタ、および該メモリトランジスタの作製方法に関する。または、本発明は、例えば、半導体装置の動作方法に関する。または、本発明は、例えば、記憶装置、プロセッサ、電子機器に関する。または、記憶装置、プロセッサ、電子機器の作製方法に関する。または、記憶装置、プロセッサ、電子機器の動作方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、記憶装置、半導体回路および電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。単位面積あたりの記憶容量を増加させるためには、メモリセルを積層して形成することが有効である（特許文献1、特許文献2、特許文献3参照）。メモリセルを積層して設けることにより、単位面積当たりの記憶容量をメモリセルの積層数に応じて増加させることができる。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 米国特許出願公開2011/0065270号明細書

[特許文献2] 米国特許第9634097号明細書

[特許文献3] 米国特許第9177872号明細書

発明の概要

発明が解決しようとする課題

[0006]

特許文献1、および特許文献2においては、記憶素子（メモリセルともいう）が複数積層しており、これらが直列に接続することで、三次元構造のメモリセルアレイ（メモリストリングともいう）を構成している。一方、このような、三次元構造のメモリセルアレイでは、記憶素子の積層数が多くなるほど、メモリセル間の直列抵抗が高くなり、メモリセルアレイの抵抗が高くなる。メモリセルアレイの抵抗が高くなることで、メモリセルアレイを流れる電流のロスや、メモリセルアレイが

発熱するといった問題があった。

[0007]

また、特許文献1においては、柱状に設けられた半導体パターンが、電荷蓄積層を有する絶縁体と接している。また、特許文献2においては、柱状に設けられた半導体パターンが、トンネル誘電体として機能する絶縁体と接している。半導体と、絶縁体が接する場合、これらの界面には、トラップセンターが形成される場合がある。半導体と、絶縁体との界面に形成されたトラップセンターは、電子を捕獲し、トランジスタのしきい値電圧をプラス方向に変動させるため、トランジスタのオン状態における電流駆動力、つまりオン電流、及び電界効果移動度や、信頼性に悪影響を及ぼす恐れがある。

[0008]

上記の問題に鑑み、本発明の一態様は、良好な電気特性を有し、かつトラップセンターの形成が抑制された半導体装置を提供することを課題の一とする。

[0009]

また、本発明の一態様は、単位面積あたりの記憶容量の大きい半導体装置を提供することを課題の一とする。また、本発明の一態様は、メモリセルを積層した新規な構造の半導体装置を提供することを課題の一とする。また、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一とする。

[0010]

また、本発明の一態様は、該半導体装置を有するモジュールを提供することを課題の一とする。また、本発明の一態様は、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。また、本発明の一態様は、新規なモジュールを提供することを課題の一とする。また、本発明の一態様は、新規な電子機器を提供することを課題の一とする。

[0011]

また、本発明の一態様は、回路動作において、消費電力の低減された半導体装置を提供することを課題の一とする。また、本発明の一態様は、回路動作において、消費電力の低減された、該半導体装置を有するモジュールを提供することを課題の一とする。また、本発明の一態様は、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。

[0012]

また、本発明の一態様は、新規な半導体装置の作製方法を提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置の動作方法を提供することを課題の一とする。

[0013]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

(1)

本発明の一態様は、積層体を有し、積層体は、第1の絶縁体と、第1の絶縁体上の、第1の導電

体と、第1の導電体上の、第2の絶縁体と、第1の絶縁体、第1の導電体、及び第2の絶縁体に設けられた第1の開口の内側に位置する酸化物と、第1の開口において、酸化物の外側に位置する第3の絶縁体と、第1の開口において、酸化物の内側に位置する、第2の導電体と、第1の開口において、酸化物と、第2の導電体と、の間に位置する第4の絶縁体と、を有し、第3の絶縁体は、第1の開口の側面に位置するゲート絶縁層と、酸化物の外側に位置するトンネル絶縁層と、ゲート絶縁層とトンネル絶縁層の間に位置する電荷蓄積層と、を有する、半導体装置である。

[0015]

(2)

また、本発明の一態様は、上記(1)の構成において、積層体は、第1の絶縁体の上方に位置する、第3の導電体と、第3の導電体上の、第5の絶縁体と、第3の導電体、及び第5の絶縁体に設けられた第2の開口の内側に位置する酸化物と、第2の開口の側面と酸化物との間に位置するゲート絶縁膜と、第2の開口において、酸化物の内側に位置する、第2の導電体と、第1の開口において、酸化物と、第2の導電体と、の間に位置する第4の絶縁体と、を有し、第2の開口は、第1の開口と重畳する領域に位置する、半導体装置である。

[0016]

(3)

また、本発明の一態様は、上記(1)又は(2)の構成において、酸化物は、第1の層と、第1の層の内側に接して設けられた第2の層と、第2の層の内側に接して設けられた第3の層と、を有し、第2の層のエネルギーギャップは、第1の層のエネルギーギャップより狭く、第2の層のエネルギーギャップは、第3の層のエネルギーギャップより狭い、半導体装置である。

[0017]

(4)

また、本発明の一態様は、上記(3)の構成において、酸化物は、少なくともインジウムを有する、半導体装置である。

[0018]

(5)

また、本発明の一態様は、上記(3)の構成において、酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する、半導体装置である。

[0019]

(6)

また、本発明の一態様は、上記(5)の構成において、元素MはGaであって、第2の層に含まれている、Inと、Gaと、Znとの原子数比は、 $In : Ga : Zn = 5 : 1 : 3$ 、又はその近傍の組成である、半導体装置である。

[0020]

(7)

また、本発明の一態様は、上記(5)の構成において、元素MはGaであって、第2の層に含まれている、Inと、Gaと、Znとの原子数比は、 $In : Ga : Zn = 10 : 1 : 3$ 、又はその近傍の組成である、半導体装置である。

[0021]

(8)

また、本発明の一態様は、上記（１）乃至（７）のいずれか一の構成において、制御回路を有し、制御回路は、積層体の下方に位置する、半導体装置である。

[0022]

（９）

また、本発明の一態様は、第１の絶縁体を形成し、第１の絶縁体上に、第１の導電体を形成し、第１の導電体上に、第２の絶縁体を形成し、第２の絶縁体、第１の導電体、及び第１の絶縁体を加工し、第１の開口を有する第１の積層体を形成し、第１の開口において、第１の絶縁体、第１の導電体、および第２の絶縁体と接するように第３の絶縁体を形成し、第３の絶縁体と接するように酸化物を形成し、酸化物と接するように第４の絶縁体を形成し、第４の絶縁体に接するように第２の導電体を形成する、半導体装置の作製方法である。

[0023]

（１０）

また、本発明の一態様は、上記（９）の方法において、第１の絶縁体の上方に、第３の導電体を形成し、第３の導電体上に、第５の絶縁体を形成し、第３の導電体、及び第５の絶縁体を加工し、第１の開口と重畳する領域に第２の開口が位置する第２の積層体を形成し、第２の開口において、第３の導電体、及び第５の絶縁体と接するように第３の絶縁体を形成し、第３の絶縁体に接するように酸化物を形成し、酸化物と接するように第４の絶縁体を形成し、第４の絶縁体に接するように第２の導電体を形成する、半導体装置の作製方法である。

[0024]

（１１）

また、本発明の一態様は、上記（９）又は（１０）の方法において、酸化物の形成は、第３の絶縁体に接するように第１の層を形成し、第１の層の内側に接するように第２の層を形成し、第２の層の内側に接するように第３の層を形成することによって行われ、第２の層のエネルギーギャップは、第１の層のエネルギーギャップより狭く、第２の層のエネルギーギャップは、第３の層のエネルギーギャップより狭い、半導体装置の作製方法である。

[0025]

（１２）

また、本発明の一態様は、上記（１１）の方法において、酸化物は、少なくともインジウムを有する、半導体装置の作製方法である。

[0026]

（１３）

また、本発明の一態様は、上記（１１）の方法において、酸化物は、 In と、元素 M （ M は Al 、 Ga 、 Y 、または Sn ）と、 Zn と、を有する、半導体装置の作製方法である。

[0027]

（１４）

また、本発明の一態様は、上記（１３）において、元素 M は Ga であって、第２の層に含まれている、 In と、 Ga と、 Zn との原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、又はその近傍の組成である、半導体装置の作製方法である。

[0028]

（１５）

また、本発明の一態様は、上記（１３）において、元素MはGaであって、第２の層に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、又はその近傍の組成である、半導体装置の作製方法である。

[0029]

(16)

また、本発明の一態様は、バックゲートを有する第１のトランジスタと、バックゲートと、電荷蓄積層と、を有する第２のトランジスタと、バックゲートを有する第３のトランジスタと、を有し、第１乃至第３のトランジスタのそれぞれのチャネル形成領域は、金属酸化物を有し、第１のトランジスタのソース又はドレインの一方は、第２のトランジスタのソース又はドレインの一方に電氣的に接続され、第２のトランジスタのソース又はドレインの他方は、第３のトランジスタのソース又はドレインの一方に電氣的に接続されている、半導体装置の動作方法であって、書き込み動作と、読み出し動作と、を有し、書き込み動作は、第１乃至第３のトランジスタのそれぞれのバックゲートに、第１の電位を印加する動作と、第１のトランジスタのゲートに、第１のトランジスタがオン状態となる高レベル電位を印加する動作と、電荷蓄積層に電子を注入するために、第２のトランジスタのゲートに第３の電位を印加する動作と、第１のトランジスタのソース又はドレインの他方に第４の電位を印加する動作と、を有し、読み出し動作は、第１乃至第３のトランジスタのそれぞれのバックゲートに、第１の電位を印加する動作と、第１のトランジスタのゲートに、第１のトランジスタがオン状態となる高レベルを印加する動作と、第３のトランジスタのゲートに、第３のトランジスタがオン状態となる高レベルを印加する動作と、第２のトランジスタのゲートに、第５の電位を印加する動作と、第１のトランジスタのソース又はドレインの他方に第６の電位を印加する動作と、第３のトランジスタのソース又はドレインの他方に第７の電位を印加する動作と、を有し、第１の電位は負の電位である、半導体装置の動作方法である。

[0030]

(17)

また、本発明の一態様は、上記（１６）の動作方法において、消去動作を有し、消去動作は、第１乃至第３のトランジスタのそれぞれのバックゲートに、第１の電位を印加する動作と、第３のトランジスタのゲートに、第３のトランジスタがオン状態となる高レベル電位を印加する動作と、第３のトランジスタのソース又はドレインの他方に、第２のトランジスタの電荷蓄積層から電子を引き抜くための第８の電位を印加する動作と、を有する、半導体装置の動作方法である。

[0031]

(18)

また、本発明の一態様は、上記（１６）又は（１７）の動作方法において、金属酸化物は、少なくともInを有する、半導体装置の動作方法である。

[0032]

(19)

また、本発明の一態様は、上記（１６）又は（１７）の動作方法において、金属酸化物は、Inと、Znと、を有する、半導体装置の動作方法である。

[0033]

(20)

また、本発明の一態様は、上記（１９）の動作方法において、金属酸化物は、ZnよりもInの

割合が多い、半導体装置の動作方法である。

[0034]

(21)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物に含まれている、Inと、Znとの原子数比は、 $\text{In} : \text{Zn} = 2 : 1$ 、又はその近傍の組成である、半導体装置の作製方法である。

[0035]

(22)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物に含まれている、Inと、Znとの原子数比は、 $\text{In} : \text{Zn} = 5 : 1$ 、又はその近傍の組成である、半導体装置の作製方法である。

[0036]

(23)

また、本発明の一態様は、上記(19)の動作方法において、金属酸化物に含まれている、Inと、Znとの原子数比は、 $\text{In} : \text{Zn} = 10 : 1$ 、又はその近傍の組成である、半導体装置の作製方法である。

[0037]

(24)

また、本発明の一態様は、上記(16)又は(17)の構成において、金属酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する、半導体装置の動作方法である。

[0038]

(25)

また、本発明の一態様は、上記(24)の構成において、元素MはGaであって、金属酸化物に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、又はその近傍の組成である、半導体装置の動作方法である。

[0039]

(26)

また、本発明の一態様は、上記(24)の構成において、元素MはGaであって、金属酸化物に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、又はその近傍の組成である、半導体装置の動作方法である。

発明の効果

[0040]

本発明の一態様により、良好な電気特性を有し、トラップセンターの形成が抑制された半導体装置を提供することが可能となる。

[0041]

また、本発明の一態様により、単位面積あたりの記憶容量の大きい半導体装置を提供することができる。また、本発明の一態様により、メモリセル(メモリトランジスタ、セルトランジスタなどともいう)を積層した新規な構造の半導体装置を提供することができる。また、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0042]

また、本発明の一態様により、該半導体装置を有するモジュールを提供することができる。また、本発明の一態様により、該半導体装置、または該モジュールを有する電子機器を提供することができる。また、本発明の一態様により、新規な半導体装置を提供することができる。また、本発明の一態様により、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

[0043]

また、本発明の一態様により、回路動作において、消費電力の低減された半導体装置を提供することができる。また、本発明の一態様により、回路動作において、消費電力の低減された、該半導体装置を有するモジュールを提供することができる。また、本発明の一態様により、該半導体装置、または該モジュールを有する電子機器を提供することができる。

[0044]

また、本発明の一態様により、新規な半導体装置の作製方法を提供することができる。また、本発明の一態様により、新規な半導体装置の動作方法を提供することができる。

[0045]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0046]

図1は半導体装置の例を説明する断面図である。

図2Aは半導体装置の例を説明する上面図、図2Bは半導体装置の例を説明する断面図である。

図3A、図3Bは半導体装置の例を説明する断面図である。

図4は半導体装置の例を説明する上面図である。

図5は半導体装置の例を説明する断面図である。

図6は半導体装置の例を説明する断面図である。

図7AはIGZOの結晶構造の分類を示す表、図7Bは石英ガラスのXRDスペクトルを説明する図、図7Cは結晶性IGZOのXRDスペクトルを説明する図である。

図8A、図8Bは半導体装置の作製工程の例を説明する断面図である。

図9A、図9B、図9Cは半導体装置の作製工程の例を説明する断面図である。

図10A、図10Bは半導体装置の作製工程の例を説明する断面図である。

図11A、図11Bは半導体装置の作製工程の例を説明する断面図である。

図12は半導体装置の作製工程の例を説明する図である。

図13Aは半導体装置の作製工程の例を説明する上面図、図13B、図13Cは半導体装置の作製工程の例を説明する断面図である。

図14Aは半導体装置の作製工程の例を説明する上面図、図14B、図14Cは半導体装置の作製工程の例を説明する断面図である。

図15Aは半導体装置の作製工程の例を説明する上面図、図15B、図15Cは半導体装置の作製工程の例を説明する断面図である。

図16Aは半導体装置の作製工程の例を説明する上面図、図16B、図16Cは半導体装置の作製

工程の例を説明する断面図である。

図 1 7 A は半導体装置の作製工程の例を説明する上面図、図 1 7 B、図 1 7 C は半導体装置の作製工程の例を説明する断面図である。

図 1 8 A は半導体装置の作製工程の例を説明する上面図、図 1 8 B、図 1 8 C は半導体装置の作製工程の例を説明する断面図である。

図 1 9 A は半導体装置の作製工程の例を説明する上面図、図 1 9 B、図 1 9 C は半導体装置の作製工程の例を説明する断面図である。

図 2 0 A は半導体装置の作製工程の例を説明する上面図、図 2 0 B、図 2 0 C は半導体装置の作製工程の例を説明する断面図である。

図 2 1 A は半導体装置の作製工程の例を説明する上面図、図 2 1 B、図 2 1 C は半導体装置の作製工程の例を説明する断面図である。

図 2 2 A は半導体装置の作製工程の例を説明する上面図、図 2 2 B、図 2 2 C、図 2 2 D は半導体装置の作製工程の例を説明する断面図である。

図 2 3 A は半導体装置の作製工程の例を説明する上面図、図 2 3 B、図 2 3 C は半導体装置の作製工程の例を説明する断面図である。

図 2 4 A は半導体装置の作製工程の例を説明する上面図、図 2 4 B、図 2 4 C は半導体装置の作製工程の例を説明する断面図である。

図 2 5 A は半導体装置の作製工程の例を説明する上面図、図 2 5 B、図 2 5 C は半導体装置の作製工程の例を説明する断面図である。

図 2 6 A は半導体装置の作製工程の例を説明する上面図、図 2 6 B、図 2 6 C は半導体装置の作製工程の例を説明する断面図である。

図 2 7 A は半導体装置の作製工程の例を説明する上面図、図 2 7 B、図 2 7 C は半導体装置の作製工程の例を説明する断面図である。

図 2 8 A は半導体装置の作製工程の例を説明する上面図、図 2 8 B、図 2 8 C は半導体装置の作製工程の例を説明する断面図である。

図 2 9 A は半導体装置の作製工程の例を説明する上面図、図 2 9 B、図 2 9 C は半導体装置の作製工程の例を説明する断面図である。

図 3 0 A は記憶装置の構成例を示す機能ブロック図、図 3 0 B はメモリストリングの構成例を示す回路図である。

図 3 1 は記憶装置の構成例を示す機能ブロック図である。

図 3 2 はメモリセルアレイの 3 次元構造構成例を示す図である。

図 3 3 はメモリセルアレイの 3 次元構造構成例を示す図である。

図 3 4 はメモリセルアレイの 3 次元構造構成例を示す図である。

図 3 5 A、図 3 5 B、図 3 5 C は記憶装置の動作例を説明するための回路図である。

図 3 6 A、図 3 6 B、図 3 6 C は記憶装置の動作例を説明するためのタイミングチャートである。

図 3 7 A は半導体ウェハの一例を示す斜視図、図 3 7 B はチップの一例を示す斜視図、図 3 7 C、図 3 7 D は電子部品の一例を示す斜視図である。

図 3 8 A、図 3 8 B、図 3 8 C、図 3 8 D、図 3 8 E は記憶装置の例の模式図である。

図 3 9 は A I システムの構成例を示すブロック図である。

図 4 0 A、図 4 0 B は A I システムの応用例を説明するブロック図である。

図 4 1 A は電子機器の例を示す図、図 4 1 B は電子機器の構成例を示すブロック図である。

図 4 2 A、図 4 2 B、図 4 2 C、図 4 2 D、図 4 2 E、図 4 2 F は電子機器の例を示す斜視図である。

発明を実施するための形態

[0047]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0048]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0049]

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0050]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0051]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

[0052]

なお、本明細書等において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 等を用いて測定することができる。

[0053]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更すること

が可能な場合がある。

[0054]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0055]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0056]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜が導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0057]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。

[0058]

また、本明細書等について、 $In : Ga : Zn = 4 : 2 : 3$ またはその近傍とは、原子数の総和に対して、 In が 4 の場合、 Ga が 1 以上 3 以下 ($1 \leq Ga \leq 3$) であり、 Zn が 2 以上 4.1 以下 ($2 \leq Zn \leq 4.1$) とする。また、 $In : Ga : Zn = 5 : 1 : 6$ またはその近傍とは、原子数の総和に対して、 In が 5 の場合、 Ga が 0.1 より大きく 2 以下 ($0.1 < Ga \leq 2$) であり、 Zn が 5 以上 7 以下 ($5 \leq Zn \leq 7$) とする。また、 $In : Ga : Zn = 1 : 1 : 1$ またはその近傍とは、原子数の総和に対して、 In が 1 の場合、 Ga が 0.1 より大きく 2 以下 ($0.1 < Ga \leq 2$) であり、 Zn が 0.1 より大きく 2 以下 ($0.1 < Zn \leq 2$) とする。また、 $In : Ga : Zn = 5 : 1 : 3$ またはその近傍とは、原子数の総和に対して、 In が 5 の場合、 Ga が 0.5 以上 1.5 以下 ($0.5 \leq Ga \leq 1.5$) であり、 Zn が 2 以上 4.1 以下 ($2 \leq Zn \leq 4.1$) とする。また、 $In : Ga : Zn = 10 : 1 : 3$ またはその近傍とは、原子数の総和に対して、 In が 10 の場合、 Ga が 0.5 以上 1.5 以下 ($0.5 \leq Ga \leq 1.5$) であり、 Zn が 2 以上 4.1 以下 ($2 \leq Zn \leq 4.1$) とする。また、 $In : Zn = 2 : 1$ またはその近傍とは、原子数の総和に対して、 Zn が 1 の場合、 In は 1 より大きく 3 以下 ($1 < In \leq 3$) とする。また、 $In : Zn = 5 : 1$ またはその近傍とは、原子数の総和に対して、 Zn が 1 の場合、 In は 3 より大きく 7 以下 ($3 < In \leq 7$) とする。また、 $In : Zn = 10 : 1$ またはその近傍とは、原子数の総和に対して、 Zn が 1 の場合、 In は 7 より大きく 13 以下 ($7 < In \leq 13$) とする。

[0059]

(実施の形態 1)

本実施の形態では、開示する発明の一態様の半導体装置である記憶装置の構成例、作製方法の例、回路構成例、および動作例について、図 1 乃至図 35 を参照して説明する。

[0060]

＜メモリトランジスタMT、メモリセルアレイ700＞

はじめに、半導体装置のメモリトランジスタMT、およびメモリセルアレイの構成について、図1、図2A、図2B、図3A、及び図3Bを参照して説明する。図1は、メモリセルアレイ700の断面図である。図2Aは、メモリセルアレイ700の上面図である。なお、図2Aは、図1にA5-A6の一点鎖線で示した面における上面図であり、一部の構成要素を省略している。また、図1は、図2AにA1-A2の一点鎖線で示す部位の断面図である。また、図2Bは、図2AにA3-A4の一点鎖線で示す部位の断面図であり、メモリストリングの一例を説明する断面図である。また、図3Aは、図1において、一点鎖線791で囲まれた部分を拡大した断面図であり、メモリセルとして機能するメモリトランジスタMTの一例を説明する図である。また、図3Bは、図1において、一点鎖線792で囲まれた部分を拡大した断面図であり、選択トランジスタとして機能するトランジスタの一例を説明する図である。なお、以下においては、図1などに示すように、x軸、y軸、z軸からなる直交座標系を便宜上設定して説明する。ここで、x軸およびy軸は、メモリセルアレイ700を設ける基体720の上面に平行にとり、z軸は基体720の上面に垂直にとる。

[0061]

メモリセルアレイ700は、基体720上に、絶縁体721を有し、絶縁体721上に、導電体701（導電体701__1乃至導電体701__m：mは、2以上の自然数）及び絶縁体722（絶縁体722__1乃至絶縁体722__m）、が交互に積層された積層体を有し、該積層体上に導電体702を有し、導電体702及び該積層体上に絶縁体724を有し、絶縁体724と導電体702と該積層体と絶縁体721とを貫通するように形成された開口部の内側に、絶縁体703（絶縁体703__1乃至絶縁体703__4）を有し、絶縁体703の内側に酸化物704（酸化物704__1乃至酸化物704__4）を有し、酸化物704の内側に絶縁体711（絶縁体711__1乃至絶縁体711__4）を有し、絶縁体711の内側に導電体712（導電体712__1乃至導電体712__4）を有し、酸化物704__1乃至酸化物704__4の上端部にそれぞれ電氣的に接続する導電体705（導電体705__1乃至導電体705__4）を有し、酸化物704__1乃至酸化物704__4の下端部にそれぞれ電氣的に接続する導電体706（導電体706__1乃至導電体706__4）を有し、導電体701__1乃至導電体701__mにそれぞれ電氣的に接続する導電体707（導電体707__1乃至導電体707__m）を有し、導電体707__1乃至導電体707__mにそれぞれ電氣的に接続する導電体708（導電体708__1乃至導電体708__m）を有し、導電体702と電氣的に接続する導電体709を有し、導電体709と電氣的に接続する導電体710を有し、絶縁体724と導電体705と導電体708と導電体710との上に、絶縁体717及び絶縁体713を有し、導電体712__1乃至導電体712__4にそれぞれ電氣的に接続する導電体714（図2Bでは導電体714__1と図示している）及び導電体715（図2Bでは導電体715__1と図示している）を有する。なお、図1、図2A、及び図2Bでは、複数の導電体701を表すために、導電体701を4段以上表示しているが、本実施の形態は図1に限られることなく、少なくとも導電体701を2段以上有していればよい。

[0062]

ここで、図1及び図2Aに示すように、導電体701はx軸方向に延伸して設けられる。また、図1及び図2Bに示すように、絶縁体703及び酸化物704はz軸方向に延伸して設けられる。つまり、導電体701と、絶縁体703及び酸化物704と、は互いに垂直に交差して設けられる。

ことが好ましい。また、図1に示すように、導電体707はz軸方向に延伸して設けられる。また、導電体708をy軸方向に延伸して設けてもよい。また、導電体705に接続される配線BLとして機能する導電体をy軸方向に延伸して設けてもよい。なお、導電体705の一部を配線BLとして機能させ、当該導電体をy軸方向に延伸して設けてもよい。

[0063]

導電体712は、柱状に形成されており、z軸方向に延伸して設けられる。また、導電体712を囲うように絶縁体711が設けられ、さらに絶縁体711を囲うように酸化物704が設けられ、それぞれz軸方向に延伸して設けられる。別言すると、z軸方向に延伸して設けられた柱状の酸化物704の内部に、導電体712が芯のように設けられ、酸化物704と導電体712の間に、絶縁体711が設けられる。また、絶縁体703は、柱状の酸化物704の側周辺を囲うように設けられている。また、導電体707は、柱状に形成されており、z軸方向に延伸して設けられる。

[0064]

柱状の酸化物704は、z軸方向の下端において、導電体706と電氣的に接続し、上端において、導電体705と電氣的に接続する。また、図2Bに示すように、導電体706は、隣り合う2つの柱状の酸化物704の下端と電氣に接続し、該2つの柱状の酸化物704の上端は、それぞれ、電氣的に分離した導電体705と、電氣的に接続する。本実施の形態では、2つの柱状の酸化物704を導電体706で電氣的に接続したU字型のメモリストリングについて説明するが、本発明は、これに限らない。例えば、導電体706を、ビット線BLおよびソース線SLの一方とし、導電体705を、ビット線BLおよびソース線SLの他方としてもよい。この場合、導電体706は、複数の柱状の酸化物704と電氣的に接続してもよいし、一つの柱状の酸化物704と電氣的に接続してもよい。また、導電体705は、複数の柱状の酸化物704と電氣的に接続してもよいし、一つの柱状の酸化物704と電氣的に接続してもよい。

[0065]

柱状の酸化物704の下端をビット線BLおよびソース線SLの一方と電氣的に接続し、上端を他方と電氣的に接続する場合、柱状の酸化物704の下端付近と、上端付近に選択トランジスタを設けることが好ましい。例えば、導電体706をビット線BLの一部、導電体705をソース線SLの一部とした場合、導電体706とメモリトランジスタMTの間に、選択トランジスタSST、導電体705とメモリトランジスタMTの間に、選択トランジスタSDTを設ける。

[0066]

ここで、導電体701と、絶縁体703および酸化物704と、が交差する領域およびその近傍がメモリトランジスタMTとして機能する。また、導電体702と、絶縁体703および酸化物704と、が交差する領域およびその近傍が選択トランジスタとして機能する。これらのメモリトランジスタMTおよび選択トランジスタのチャネル長方向はz軸に平行になる。メモリトランジスタMTおよび選択トランジスタが電氣的に直列に接続されており、これらがメモリストリングを構成している。

[0067]

図3Aは、図1において、一点鎖線791で囲まれた部分を拡大した断面図であり、一例として、k段目(kは、2以上m-1以下の整数)のメモリトランジスタMTの断面を示す図である。メモリトランジスタMTは、導電体701_kと、絶縁体703(絶縁体703a、絶縁体703b、および絶縁体703c)と、酸化物704(酸化物704a、酸化物704b、および酸化物70

4 c) と、を有する。また、メモリトランジスタMTは、導電体712、および絶縁体711を有していてもよい。

[0068]

導電体701_kは、メモリトランジスタMTのゲートとして機能し、絶縁体703aは、ゲート絶縁層として機能し、絶縁体703bは、電荷蓄積層として機能し、絶縁体703cは、トンネル絶縁層として機能する。

[0069]

詳細は後述するが、酸化物704は、酸化物704a、酸化物704b、および酸化物704cを有しており、酸化物704aは、酸化物704bに対して、相対的にエネルギーギャップが広く、酸化物704cは、酸化物704bに対して、相対的にエネルギーギャップが広い。別言すると、酸化物704bは、酸化物704aおよび酸化物704cに対して、相対的にエネルギーギャップが狭い。

[0070]

k段目のメモリトランジスタMTに含まれている酸化物704は、チャネル形成領域として機能する。また、k段目のメモリトランジスタMTとk-1段目のメモリトランジスタMTとの間の酸化物704、k段目のメモリトランジスタMTとk+1段目のメモリトランジスタMTとの間の酸化物704は、低抵抗領域として機能するのが好ましい。酸化物704は、チャネル形成領域と、低抵抗領域が交互に形成された構造を有することによって、メモリセルが積層されたメモリストリング、またはメモリセルアレイにおいて、メモリセル間の直列抵抗を低減することができる。

[0071]

導電体712を設ける場合、導電体701_kは、第1のゲートとして機能し、導電体712は、第2のゲートとして機能する。なお、第1のゲートを、単にゲート、またはコントロールゲートと呼び、第2のゲートをバックゲートと呼ぶことがある。また、酸化物704と、導電体712の間には、絶縁体711が設けられ、第2のゲート絶縁層として機能する。このとき、絶縁体703aは、第1のゲート絶縁層として機能する。メモリトランジスタMTの回路動作において、第2のゲートとして機能する導電体712の電位を制御することで、メモリトランジスタMTの消費電力を低減することができる。

[0072]

図3Bは、図1において、一点鎖線792で囲まれた部分を拡大した断面図であり、選択トランジスタ（ビット線側トランジスタ：SDT、およびソース線側トランジスタ：SST）の断面を示す図である。選択トランジスタは、導電体702と、絶縁体703と、酸化物704（酸化物704a、酸化物704b、および酸化物704c）と、を有する。また、導電体712、および絶縁体711を有していてもよい。

[0073]

導電体702は、選択トランジスタのゲートとして機能し、絶縁体703aは、ゲート絶縁層として機能する。ゲート絶縁層は、少なくとも絶縁体703aを有していればよく、絶縁体703b、および絶縁体703cは、設けなくてもよい。あるいは、絶縁体703a、絶縁体703b、および絶縁体703cを設けた後、部分的に絶縁体703b、および絶縁体703cを除去してもよい。

[0074]

酸化物704は、酸化物704a、酸化物704b、および酸化物704cを有しており、酸化物

704aは、酸化物704bに対して、相対的にエネルギーギャップが広く、酸化物704cは、酸化物704bに対して、相対的にエネルギーギャップが広い。別言すると、酸化物704bは、酸化物704aおよび酸化物704cに対して、相対的にエネルギーギャップが狭い。

[0075]

導電体712を設ける場合、導電体702は、第1のゲートとして機能し、導電体712は、第2のゲートとして機能する。なお、第1のゲートを、単にゲート、またはトップゲートと呼び、第2のゲートをバックゲートと呼ぶことがある。また、酸化物704と、導電体712の間には、絶縁体711が設けられ、第2のゲート絶縁層として機能する。このとき、絶縁体703aは、第1のゲート絶縁層として機能する。第2のゲートとして機能する導電体712により、選択トランジスタのしきい値を制御することができる。

[0076]

なお、本実施の形態に示す半導体装置の構成は一例であり、本発明は、本実施の形態に係る図面等に示す、回路素子および配線等の、個数および配置等に限定されるものではない。本実施の形態に係る半導体装置が有する、回路素子および配線等の、個数および配置等は、回路構成や駆動方法に合わせて適宜設定することができる。

[0077]

メモリセルアレイ700を設ける基体720は絶縁表面を有していることが好ましい。絶縁表面を有する基板としては、表面に絶縁体が形成された半導体基板、絶縁体基板、表面に絶縁体が形成された導電体基板などを用いればよい。半導体基板としては、例えば、シリコン、ゲルマニウムなどのいずれかーを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどのいずれかーを材料とした半導体基板などを用いればよい。また、絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などを用いればよい。また、前述の半導体基板において内部に絶縁体領域を有する基板として、例えばSOI（Silicon On Insulator）基板などを用いてもよい。また、導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などを用いればよい。

[0078]

導電体701は、メモリトランジスタMTのゲートとして機能し、ワード線と電気的に接続する。すなわち、導電体701、導電体707、および導電体708は、ワード線の一部としても機能する。ここで、導電体701は、図1に示すように、下層の導電体701が上層の導電体701よりA2側に延伸した、階段状に設けられることが好ましい。このように、導電体701を設けることにより、下層の導電体701の上面の一部の領域が、より上層の導電体701と重ならないので、導電体701各層の当該領域と各導電体707を接続させることができる。

[0079]

導電体701として、不純物が添加されたシリコンや、金属など、導電性を有する材料を用いることができる。導電体701として、シリコンを用いる場合、アモルファスシリコンや微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることができる。また、シリコンに導電性を持たせるため、p型不純物やn型不純物を添加してもよい。また、シリコンを含む導電性材料として、チタン、コバルト、またはニッケルを含むシリサイドを導電体701として用いることができる。また、金属材料を導電体701に用いる場合、アルミニウム、クロム、銅、銀、金、白金、タンタ

ル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。

[0080]

導電体702は、導電体701の上に設けられる。導電体702は、選択トランジスタ（ビット線側選択トランジスタ：SDT、およびソース線側選択トランジスタ：SST）のゲートとして機能し、配線DGL、または配線SGLと電氣的に接続する。すなわち、導電体702、導電体709、および導電体710は、配線DGL、または配線SGLの一部としても機能する。また、導電体702は、導電体701と同様の材料を用いることができる。また、導電体702は、導電体701と同じ材料を用いてもよいし、異なる材料を用いてもよい。導電体701、および導電体702は、用途に応じて、仕事関数などを考慮し、決定すればよい。

[0081]

導電体701、および導電体702の上層、および下層に設けられる絶縁膜として、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などを用いることができる。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂は、比誘電率が低いため、該絶縁膜に用いることは好適である。

[0082]

一方、該絶縁膜として、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いることも可能だが、これらは比誘電率が高いため、導電体701間、または導電体701および導電体702の間に寄生容量が生じる場合がある。デバイスの設計、用途に応じて該絶縁膜に用いる材料を決めることができる。

[0083]

絶縁体703は、絶縁体703a、絶縁体703b、および絶縁体703cを有する。絶縁体703aは、導電体701側に設けられ、絶縁体703cは、酸化物704側に設けられ、絶縁体703bは、絶縁体703aと絶縁体703cの間に設けられる。絶縁体703aは、ゲート絶縁層として機能し、絶縁体703bは、電荷蓄積層として機能し、絶縁体703cは、トンネル絶縁層として機能する。

[0084]

なお、選択トランジスタは、メモリトランジスタMTと同じ構造でもよい。一方、図3Bに示すように、選択トランジスタには、電荷蓄積層およびトンネル絶縁層を設けなくてもよい。ビット線側トランジスタSDT、およびソース線側トランジスタSSTにおいて、絶縁体703bおよび絶縁体703cを除去し、絶縁体703として絶縁体703aのみを設ける構成にしてもよい。または、ビット線側トランジスタSDT、およびソース線側トランジスタSSTにおいて、絶縁体703bおよび絶縁体703cを設けず、絶縁体703aのみを絶縁体703として設ける構成にしてもよい。また、図3Bにおいて、第2のゲート電極として、導電体712を設けてもよい。この場合、導電体702は、第1のゲート電極として機能し、絶縁体703aは、第1のゲート絶縁膜と

して機能し、絶縁体 7 1 1 は第 2 のゲート絶縁膜として機能する。導電体 7 1 2 により、選択トランジスタのしきい値を制御することができる。

[0085]

絶縁体 7 0 3 a として、酸化シリコンや、酸化窒化シリコンなどを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、またはアルミニウム、ハフニウム、ジルコニウムから選ばれた 2 つ以上を含む酸化物を用いてもよい。また、これらを積層して絶縁体 7 0 3 a としてもよい。

[0086]

絶縁体 7 0 3 b は、電荷蓄積層として機能する材料を用いることが好ましく、窒化シリコンや、窒化酸化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、またはアルミニウム、ハフニウム、ジルコニウムから選ばれた 2 つ以上を含む酸化物を有してもよい。

[0087]

絶縁体 7 0 3 c として、酸化シリコンや、酸化窒化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、またはアルミニウム、ハフニウム、ジルコニウムから選ばれた 2 つ以上を含む酸化物を用いてもよい。また、これらを積層して絶縁体 7 0 3 c としてもよい。

[0088]

特に、絶縁体 7 0 3 a、絶縁体 7 0 3 b、絶縁体 7 0 3 c の少なくとも一には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (B S T) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体 7 0 3 a、絶縁体 7 0 3 b、絶縁体 7 0 3 c のいずれかを積層構造とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された 3 層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された 4 層積層などを用いれば良い。また、絶縁体 7 0 3 a、絶縁体 7 0 3 b、絶縁体 7 0 3 c の少なくとも一には、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。

[0089]

また、詳細は後述するが、絶縁体 7 0 3 c がトンネル絶縁層として機能することで、メモリトランジスタ MT へのデータの書き込み動作、または消去動作において、絶縁体 7 0 3 c を通って、酸化物 7 0 4 と絶縁体 7 0 2 b の間で、電荷の移動が行われる。このように、絶縁体 7 0 3 c がトンネル絶縁層として機能するためには、絶縁体 7 0 3 c の膜厚は、絶縁体 7 0 3 a より薄いことが好ましい。

[0090]

なお、導電体 7 0 1、導電体 7 0 2、及び絶縁膜を有する積層体に設けられた開口に絶縁体 7 0 3 を形成する場合、開口の底部に形成された絶縁体 7 0 3 は、ドライエッチングなどを用いた異方性エッチングにより除去する必要がある。異方性エッチングの際、絶縁体 7 0 3 c は、側面においても、プラズマ、ラジカル、ガス、薬液などに曝される。これらによって絶縁体 7 0 3 c の側面がダメージを受けると、絶縁体 7 0 3 c にトラップセンターが生じ、トランジスタの電気特性に影響を与える場合がある。トラップセンターの生成を抑制するためには、絶縁体 7 0 3 c の側面は、エ

ッチングによるダメージに対して高い耐性を有していることが求められる。この場合、絶縁体 703c として、酸化アルミニウム、酸化シリコンと酸化アルミニウムの積層、または酸化窒化シリコンと酸化アルミニウムの積層を用いることが好ましい。

[0091]

絶縁体 703a、絶縁体 703b、および絶縁体 703c は、ALD 法や CVD 法を用いて形成することができる。また、絶縁体 703a、絶縁体 703b、および絶縁体 703c の界面の汚染を防ぐためには、同一チャンバー内で、または複数のチャンバーを有するマルチチャンバー方式の成膜装置を用いて、大気雰囲気曝露ことなく、連続で成膜することが好ましい。

[0092]

酸化物 704 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

[0093]

例えば、酸化物 704 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イントリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 704 として、In-Ga 酸化物、In-Zn 酸化物、In 酸化物などを用いてもよい。

[0094]

酸化物 704 は、絶縁体 703c 側に設けられる酸化物 704a と酸化物 704a の内側に設けられる酸化物 704b と、酸化物 704b の内側に設けられる酸化物 704c と、を有することが好ましい。このとき、酸化物 704a は、酸化物 704b に対して、相対的にエネルギーギャップの広い酸化物を用いることが好ましい。また、酸化物 704c は、酸化物 704b に対して、相対的にエネルギーギャップの広い酸化物を用いることが好ましい。ここで、エネルギーギャップの広い酸化物を、ワイドギャップである酸化物、エネルギーギャップの狭い酸化物をナローギャップである酸化物と呼ぶことがある。なお、図 3A、および図 3B において、酸化物 704 は、酸化物 704a、酸化物 704b、および酸化物 704c の 3 層構造としているが、これに限らない。酸化物 704 は、酸化物 704a、および酸化物 704b の 2 層構造を有していてもよいし、4 層以上の積層構造でもよい。

[0095]

酸化物 704a、および酸化物 704c をワイドギャップとし、酸化物 704b をナローギャップとする場合、酸化物 704a、および酸化物 704c の伝導帯下端のエネルギーが、酸化物 704b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 704a、および酸化物 704c の電子親和力が、酸化物 704b の電子親和力より小さいことが好ましい。

[0096]

また、酸化物 704a、酸化物 704b、および酸化物 704c は、各金属原子の原子数比が異なる組み合わせにすることが好ましい。具体的には、酸化物 704a、および酸化物 704c に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 704b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 704a、および酸化物 704c に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 7

0 4 b に用いる金属酸化物における、I n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物7 0 4 b に用いる金属酸化物において、元素Mに対する I n の原子数比が、酸化物7 0 4 a 、および酸化物7 0 4 c に用いる金属酸化物における、元素Mに対する I n の原子数比より大きいことが好ましい。

[0 0 9 7]

酸化物7 0 4 a 、および酸化物7 0 4 c には、例えば I n : G a : Z n = 1 : 3 : 4 の組成、I n : G a : Z n = 1 : 3 : 2 の組成、I n : G a : Z n = 1 : 1 : 1 の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。また、酸化物7 0 4 b には、例えば I n : G a : Z n = 4 : 2 : 3 から 4 . 1 の組成、I n : G a : Z n = 1 : 1 : 1 の組成、I n : G a : Z n = 5 : 1 : 6 の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。また、上述した以外の組成としては、酸化物7 0 4 b には、例えば、I n : G a : Z n = 5 : 1 : 3 の組成、I n : G a : Z n = 1 0 : 1 : 3 の組成、I n : Z n = 2 : 1 の組成、I n : Z n = 5 : 1 の組成、I n : Z n = 1 0 : 1 の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。これらの酸化物7 0 4 a および酸化物7 0 4 b を上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物7 0 4 a 、および酸化物7 0 4 c を、I n : G a : Z n = 1 : 3 : 4 の組成およびその近傍の組成を有する金属酸化物、酸化物7 0 4 b を、I n : G a : Z n = 4 : 2 : 3 から 4 . 1 の組成およびその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。また、酸化物7 0 4 b の組成として、I n の比率を高めることは、トランジスタのオン電流、または電界効果移動度を高めることが出来るため好適である。また、酸化物7 0 4 b の I n 比率を高めることで、ノーマリーオンのトランジスタ特性となる場合が多い。ただし、本発明の一態様では、ノーマリーオンのトランジスタ特性であっても良好な半導体装置の動作方法を提供することができる。なお、本発明の一態様の半導体装置の動作方法の詳細については、後述する。

[0 0 9 8]

なお、本明細書等において、ノーマリーオンとは、ゲートに電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。また、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャンネル幅 $1 \mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20} \text{ A}$ 以下、 85°C において $1 \times 10^{-18} \text{ A}$ 以下、または 125°C において $1 \times 10^{-16} \text{ A}$ 以下であることをいう。

[0 0 9 9]

また、酸化物7 0 4 a 、および酸化物7 0 4 c として、後述する、CAAC-OSを用い、酸化物7 0 4 b として、CAC-OSを用いることが好ましい。酸化物7 0 4 a 、および酸化物7 0 4 c として、CAAC-OSを用いる場合、c 軸は、図1、図2などに示すx-y平面に平行、すなわちz軸に垂直で、かつ開口の側面から中心に向かうように配向することが好ましい。

[0 1 0 0]

ここで、酸化物7 0 4 a と酸化物7 0 4 b の接合部、および酸化物7 0 4 c と酸化物7 0 4 b の接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物7 0 4 a と酸化物7 0 4 b の接合部、および酸化物7 0 4 c と酸化物7 0 4 b の接合部における伝導帯下端は、連続的に変化または連続接合する。このようにするためには、酸化物7 0 4 a と酸化物7 0 4 b との界面、お

よび酸化物704cと酸化物704bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0101]

具体的には、酸化物704a、酸化物704b、および酸化物704cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物704bがIn-Ga-Zn酸化物の場合、酸化物704a、および酸化物704cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。これにより、酸化物704aと酸化物704bとの界面、および酸化物704cと酸化物704bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、メモリトランジスタMTは高いオン電流を得られる。

[0102]

なお、酸化物704として用いることができる金属酸化物のより詳細な説明については、後述する。

[0103]

図3Aは、図1において一点鎖線791で囲まれたメモリトランジスタMTの拡大図である。図3Aに示すように、酸化物704bは、酸化物704aと酸化物704cに挟まれるように設けられている。このような構成において、酸化物704に、導電体705から導電体706へ方向、あるいは導電体706から導電体705へ方向にキャリアを流す際、ナローギャップを有する成分において、主にキャリアが流れる。このため、上記構成を用いる場合、ナローギャップである酸化物704bをワイドギャップである酸化物704a、および酸化物704cで挟むことにより、酸化物704を流れるキャリアを酸化物704bに閉じ込めることができ、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0104]

また、酸化物704bと、絶縁体703cと、の間に酸化物704aを設けることで、キャリアパスとなる酸化物704bと、絶縁体703cが直接接することがなく、トラップセンターの形成を抑制することができる。半導体（酸化物半導体）と、絶縁体との界面に形成されたトラップセンターは、電子を捕獲し、トランジスタのしきい値電圧をプラス方向に変動させるため、トランジスタの信頼性や、オン、オフ特性に悪影響を及ぼす恐れがある。よって、当該酸化物を用いるトランジスタは、トラップセンターによる電気特性の影響を受けることがないため、オン状態においてより高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。また、当該トランジスタ、および当該トランジスタを用いた半導体装置は、高い信頼性を得ることができる。

[0105]

また、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜が、水素を吸収する特性を有する場合、酸化物704に当該膜を接することで、酸化物704中の水素は、当該膜へと吸収される。従って、酸化物704中の不純物である水素を低減することができる。また、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、後の工程で、酸化物704から吸収した水素とともに除去してもよい。これによって、酸化物704は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0106]

なお、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜が、酸化物704から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、絶縁体711と同様に、第2のゲート絶縁層として機能する場合がある。

[0107]

また、例えば、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に、導電性を有する領域が残存している場合、熱処理を行うことにより、導電性を有する領域を酸化させることで、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は絶縁体となり、高抵抗化する。当該熱処理は、例えば、酸化性雰囲気下で行うことが好ましい。また、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜の近傍に酸素を有する構造体がある場合、熱処理を行うことで、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、当該構造体が有する酸素と反応し、酸化する場合がある。

[0108]

金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を、絶縁体として残存させることで、絶縁体711と同様に、第2のゲート絶縁層として機能させることができる。

[0109]

例えば、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜は、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜厚で設けることが好ましい。例えば、0.5nm以上5nm以下のアルミニウムを、加熱処理により酸化させると0.7nm以上8nm以下の酸化アルミニウムとなる場合がある。なお、酸化性雰囲気下で熱処理を行う場合には、酸化物704と、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物704中の酸素が金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に拡散しやすくなる。

[0110]

ここで、酸化物半導体を用いたメモリトランジスタや、選択トランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。従って、チャネルが形成される領域中の酸素欠損はできる限り低減されていることが好ましい。なお、半導体装置の仕様によっては、メモリトランジスタはノーマリーオン特性で動作させてもよい。

[0111]

導電体712を設ける場合、導電体712として、導電体701と同様な材料を用いることができる。導電体712は、アスペクト比の大きい開口内部（別言すると、酸化物704、および絶縁体711の凹部）に形成する必要があるため、CVD法、ALD法、または、メッキ法にて形成されることが好ましい。この時、絶縁体711は、絶縁体703と同様の材料を用いることができる。

[0112]

また、酸化物704cの内側に絶縁体711を設ける場合、絶縁体711は、酸化物704に酸素を供給できる材料であることが好ましい。絶縁体711として、水素や窒素を極力含まない酸化物を用いることで、酸化物704に酸素を供給できる場合がある。酸化物704に酸素を供給する

ことで、酸化物704は高純度化する。高純度化された酸化物を酸化物704として用いることで、メモリトランジスタMT、および当該メモリトランジスタMTを用いた半導体装置は、高い信頼性を得ることができる。

[0113]

また、絶縁体711は、水素や窒素などの不純物を供給できる材料としてもよい。絶縁体711として、例えば、水素や窒素を含む酸化物を用いることで、酸化物704に水素や窒素を供給できる場合がある。酸化物704に水素や窒素を供給することで、酸化物704の抵抗値が下がる場合がある。酸化物704の抵抗値を、回路動作の弊害にならない程度に下げることによって、より低い駆動電圧で、メモリトランジスタMTを動作させることができる。また、メモリトランジスタMTのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0114]

なお、メモリトランジスタMTが設けられる積層体に形成された開口は、図2A等において、上面を円形状としているがこれに限られるものではなく、例えば上面を楕円形状としてもよいし、三角形、四角形などの多角形状にしてもよい。また、多角形状とする場合、角部が丸みを帯びている形状としてもよい。また、当該開口の上面形状に合わせて、絶縁体703、及び酸化物704の上面形状も変化することがある。また、当該開口は、上方（導電体705側）の開口の断面積に比較して下方（導電体706側）の開口の断面積が狭くなる形状としてもよい。

[0115]

酸化物704、絶縁体703、及び導電体701（導電体701__1乃至導電体701__mのいずれか）により、メモリトランジスタMTが構成される。図1、および図2には、メモリトランジスタMTがm段（mは2以上の自然数）積層している例を示している。なお、図1、及び図2では、複数の導電体701を表すために、導電体701を4段以上表示しているが、本実施の形態は図1に限られることなく、少なくとも導電体701を2段以上有していればよい。

[0116]

導電体705は、酸化物704と電氣的に接続し、ソース線SL、またはビット線BLの一部として機能する。導電体705として、金属元素を含む導電性材料を用いることが好ましい。あるいは、導電体705として、上述した金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に用いることができる材料の内、導電性を有する材料を用いることができる。この場合、酸化物704の一部は、低抵抗化する。また、導電体705と酸化物704の界面には、導電体705が有する金属元素と、酸化物704の成分とを含む金属化合物層が形成されていることが好ましい。該金属化合物層が形成されることで、導電体705と、酸化物704とのコンタクト抵抗が低減するため好ましい。または、酸化物704に含まれる酸素を、導電体705が吸収し、酸化物704の、導電体705と酸化物704の界面近傍の抵抗を低減することで、導電体705と、酸化物704とのコンタクト抵抗を低減することができる。

[0117]

導電体705として、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、および銅から選ばれた一、または複数の金属元素を含む導電性材料を用いることが好ましい。

[0118]

導電体706は、図2Bに示すように、ビット線BLの一部として機能する導電体706と電気

的に接続する酸化物704と、ソース線SLの一部として機能する導電体705と電氣的に接続する酸化物704と、を電氣的に接続することで、メモリストリングを構成する。図2Aの点線で囲まれた領域は、メモリストリングを表している。すなわち、図2Aでは、4つのメモリストリングを有するメモリセルアレイ700を示している。

[0119]

導電体706は、導電体705と同様の材料を用いることができる。あるいは、導電体706として、上述した金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に用いることができる材料の内、導電性を有する材料を用いることができる。この場合、上述した通り、酸化物704の一部は、低抵抗化する。また、導電体706は、導電体705と同じ材料を用いてもよいし、異なる材料を用いてもよい。

[0120]

また、導電体706と酸化物704の界面には、導電体706が有する金属元素と、酸化物704の成分とを含む金属化合物層が形成されていることが好ましい。該金属化合物層が形成されることで、導電体706と、酸化物704とのコンタクト抵抗が低減するため好ましい。または、酸化物704に含まれる酸素を、導電体706が吸収し、酸化物704の、導電体706と酸化物704の界面近傍の抵抗を低減することで、導電体706と、酸化物704とのコンタクト抵抗を低減することができる。

[0121]

導電体707、導電体708、導電体709、導電体710、導電体714、及び導電体715は、導電体701、導電体702、または導電体712に用いることができる材料を、同様に用いることができる。各導電体は、同じ材料を用いてもよいし、異なる材料を用いてもよい。

[0122]

<メモリセルアレイ700A>

図4は、メモリトランジスタMTを6段有するメモリセルアレイ700を複数組み合わせたメモリセルアレイ700Aを説明する上面図である。なお、図4では、説明を容易にするため、一部の構成要素を省略している。例えば、導電体701上に設けられる選択トランジスタ（ビット線側トランジスタSDT、およびソース線側トランジスタSST）や、それらの構成要素である導電体702は、省略している。また、ビット線BLやソース線SLの一部として機能する導電体705、ワード線WL（ワード線WL a__1乃至ワード線WL a__6、ワード線WL b__1乃至ワード線WL b__6）の一部として機能する導電体708、第2のゲートとして機能する導電体712と電氣的に接続する配線BGの一部として機能する導電体715は、実線にて示している。

[0123]

メモリセルアレイ700Aにおいて、各メモリセルアレイ700は、6段のメモリトランジスタMTを有するメモリストリングを4つ有する。

[0124]

メモリストリングのビット線側の端は、それぞれ異なるビット線BL（ビット線BL__1乃至ビット線BL__4）と電氣的に接続されている。一方、メモリストリングのソース線側の端は、ソース線SLと電氣的に接続されており、共通の電位が与えられている。ソース線SLは、接地されていてもよいし、一定の電位が与えられていてもよい。また、回路の動作に合わせて、電位を変動させてもよい。

[0125]

導電体701__1乃至導電体701__6は、それぞれ異なるワード線WLと電氣的に接続されている。ビット線側の導電体701__1乃至導電体701__6は、それぞれワード線WL a__1乃至ワード線WL a__6と電氣的に接続され、ソース線側の導電体701__1乃至導電体701__6は、それぞれワード線WL b__1乃至ワード線WL b__6と電氣的に接続されている。

[0126]

各メモリストリングが有する導電体712は、配線BGと電氣的に接続されている。図4では、列方向に配列された導電体712が共通の配線BGと電氣的に接続されている例を示しているが、本発明は、これに限らない。行方向に配列された導電体712が共通の配線BGと電氣的に接続されていてもよい。また、配線BG毎に異なる電位を印加してもよいし、複数の配線BGに同じ電位が印加されてもよい。複数の配線BGに同じ電位を印加する場合、複数の配線BGは、お互いに電氣的に接続されていることが好ましい。複数の配線BGとは、メモリセルアレイ700Aが有する全ての配線BGを指す場合がある。

[0127]

また、配線BGに、任意の電位を印加するためには、配線BGは、配線BGの電位を制御する回路（例えばBGドライバ、またはBGドライバ回路と呼ぶ場合がある。また、単にドライバ、またはドライバ回路と呼ぶ場合がある。）と電氣的に接続されていることが好ましい。BGドライバ回路は、配線BG毎に設けてもよいし、一つのBGドライバ回路に複数の配線BGが電氣的に接続されていてもよい。例えば、メモリセルアレイ700Aは、一つのBGドライバ回路を有し、メモリセルアレイ700Aが有する全ての配線BGが該BGドライバ回路と電氣的に接続されていてもよい。

[0128]

ビット線BL（ビット線BL__1乃至ビット線BL__4）、およびワード線（ワード線WL a__1乃至ワード線WL a__6、及びワード線WL b__1乃至ワード線WL b__6）を適宜選択することで、メモリセルアレイ700内の任意のメモリトランジスタMTを選択することができる。また、選択されたメモリトランジスタMTに対して、書き込み、読み出し、消去などを行うことができる。

[0129]

また、各メモリストリングには、選択トランジスタ（図示しない）が設けられているため、メモリセルアレイ700A内の任意のメモリセルアレイ700を選択し、選択されたメモリセルアレイ700内の任意のメモリトランジスタMTに対して、書き込み、読み出し、消去などを行うことができる。

[0130]

<記憶装置750の構成例>

図5に、メモリセルアレイ700Aを、回路300の上に積層して設けた記憶装置750の構成例を示す。図5に示すように、メモリセルアレイ700Aは、トランジスタ301、トランジスタ302、およびトランジスタ303を有する回路300が形成されている領域に積層して設けられている。なお、トランジスタ301、及びトランジスタ302により、センスアンプ304を構成し、トランジスタ303は、列選択スイッチとして機能する。具体的には、メモリセルアレイ700Aのビット線BLは、トランジスタ301のソースおよびドレインの一方と電氣的に接続し、トランジスタ301のゲートは、トランジスタ302のソースおよびドレインの一方と電氣的に接続

し、トランジスタ302のゲートは、トランジスタ301のソースおよびドレインの他方と電氣的に接続する。また、トランジスタ301のソースおよびドレインの一方と、トランジスタ302のソースおよびドレインの他方は、列選択スイッチとして機能する、トランジスタ303のソースおよびドレインの一方と電氣的に接続する。これにより記憶装置750のレイアウト面積を縮小することができる。なお、図5には、10段のメモリトランジスタMTが設けられ、1つのメモリストリングあたり、20個のメモリトランジスタMTを設けた例を示している。ただし、メモリトランジスタMTを積層する段数は、これに限らない。例えば、32段、64段、128段積層してもよいし、200段以上積層してもよい。

[0131]

メモリセルアレイ700Aのビット線BLは、絶縁体726、絶縁体722などに、埋め込まれるように形成された導電体752を介して、センスアンプ304や、列選択スイッチとして機能するトランジスタ303と電氣的に接続している。なお、回路300が有する回路やトランジスタは、一例であり、本発明の一態様はその回路構成や、トランジスタ構造に限定されない。上記以外にも、制御回路、行デコーダ、行ドライバ、ソース線ドライバ、入出力回路など、記憶装置750の構成や、その駆動方法に応じて適切な回路やトランジスタを設けることができる。

[0132]

トランジスタ301、トランジスタ302、及びトランジスタ303は、基板311に設けられ、それぞれ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。なお、図5に示すように、一つの低抵抗領域を、トランジスタ301およびトランジスタ302の、一方のソース領域またはドレイン領域、かつ他方のソース領域またはドレイン領域として共有する場合がある。

[0133]

トランジスタ301、トランジスタ302、及びトランジスタ303は、チャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ301、トランジスタ302、及びトランジスタ303は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有してもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0134]

トランジスタ301、トランジスタ302、及びトランジスタ303は、それぞれpチャンネル型、あるいはnチャンネル型のいずれでもよいが、トランジスタ301とトランジスタ302は、それぞれ異なる極性を有するトランジスタであることが好ましい。

[0135]

半導体領域313のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウム

アルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ301、トランジスタ302、及びトランジスタ303をHEMT(High Electron Mobility Transistor)としてもよい。

[0136]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0137]

絶縁体315は、トランジスタ301、トランジスタ302、及びトランジスタ303のゲート絶縁膜として機能する。

[0138]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0139]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0140]

また、導電体316の上方には、エッチストッパーとして機能する絶縁体317が設けられていることが好ましい。また、絶縁体315の側面には、スペーサーとして機能する絶縁体318が設けられていることが好ましい。絶縁体317および絶縁体318を設けることで、低抵抗領域314a、及び低抵抗領域314bと導電体328が電氣的に接続する領域を自己整合的に定めることができる。よって、低抵抗領域314a、および低抵抗領域314bの一部を露出するための開口を形成する際に、アライメントずれが生じたとしても、意図した領域を露出するための開口を形成することができる。このようにして形成された開口に、導電体328を形成することで、低抵抗領域314a、および低抵抗領域314bと導電体328の間で、コンタクト抵抗が低減した良好なコンタクトが得られる。このようにして形成された低抵抗領域314a、および低抵抗領域314bと導電体328とのコンタクトを、セルフアラインコンタクトと呼ぶ場合がある。

[0141]

トランジスタ301、トランジスタ302、およびトランジスタ303を覆って、絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327が順に積層して設けられている。

[0142]

絶縁体320、絶縁体322、絶縁体324、絶縁体326、および絶縁体327として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0143]

絶縁体322は、その下方に設けられるトランジスタ301などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

[0144]

また、絶縁体324には、基板311、またはトランジスタ301などから、メモリセルアレイ700Aが設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0145]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、メモリトランジスタMT等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、メモリトランジスタMTと、トランジスタ301などとの間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0146]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0147]

なお、絶縁体326、および絶縁体327は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326、及び絶縁体327の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326、及び絶縁体327の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0148]

また、絶縁体317、絶縁体320、絶縁体322、絶縁体324、絶縁体326、及び絶縁体327にはメモリセルアレイ700Aと電氣的に接続する導電体328、導電体329、導電体330等が埋め込まれている。なお、導電体328、導電体329、及び導電体330はプラグ、または配線としての機能を有する。導電体329は、一例として、絶縁体317及び絶縁体322の開口に埋め込まれており、かつ導電体329は、導電体316に電氣的に接続されている。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0149]

各プラグ、および配線（導電体328、導電体329、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特に、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を

低くすることができる。

[0150]

絶縁体327、及び導電体330上に、配線層を設けてもよい。例えば、図5において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、導電体329、および導電体330と同様の材料を用いて設けることができる。

[0151]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。つまり、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体356が形成されることが好ましい。当該構成により、トランジスタ301などと、メモリトランジスタMTとは、バリア層により分離することができ、トランジスタ301などからメモリトランジスタMTへの水素の拡散を抑制することができる。

[0152]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ301などからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0153]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図5において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、導電体329、および導電体330と同様の材料を用いて設けることができる。

[0154]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。つまり、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体366が形成されることが好ましい。当該構成により、トランジスタ301などと、メモリトランジスタMTとは、バリア層により分離することができ、トランジスタ301などからメモリトランジスタMTへの水素の拡散を抑制することができる。

[0155]

絶縁体364、および導電体366上には絶縁体722が設けられ、さらに絶縁体722の上方には、メモリセルアレイ700Aが設けられている。絶縁体364と絶縁体722の間に、絶縁体324と同様の材料を用いたバリア膜を設けてもよい。

[0156]

図5では、2つの柱状の酸化物704を導電体706で電気的に接続したU字型のメモリストリングを有するメモリセルアレイ700Aの例を示したが、本発明はこれに限らない。図6は、8段

のメモリトランジスタMTと、2つの選択トランジスタ(SDT、SST)を有する柱状の酸化物704において、1つの柱状の酸化物704の下端が、ビット線BLとして機能する導電体705Bと電氣的に接続し、上端が、ソース線SLとして機能する導電体705Sと電氣的に接続する例を示している。すなわち、1つの柱状の酸化物704にて1つのメモリストリングが構成されている。図6において、導電体705Bは、4つの柱状酸化物の下端と電氣的に接続しているが、本発明はこれに限らない。1つの柱状の酸化物704に1つの導電体705Bが電氣的に接続していてもよいし、2以上の柱状の酸化物704に1つの導電体705Bが電氣的に接続していてもよい。また、導電体705Sは、2つの柱状酸化物の上端と電氣的に接続しているが、本発明はこれに限らない。1つの柱状の酸化物704に1つの導電体705Sが電氣的に接続していてもよいし、2以上の柱状の酸化物704に1つの導電体705Sが電氣的に接続していてもよい。

[0157]

導電体705BとメモリトランジスタMTの間には、選択トランジスタSDTが設けられ、導電体705SとメモリトランジスタMTの間には、選択トランジスタSSTが設けられている。ビット線BLとして機能する導電体705Bが、下方に設けられた回路300と電氣的に接続しているため、メモリセルアレイ700Aと回路300を電氣的に接続するための配線(引き回し配線)やプラグの数を削減することができ、記憶装置750のレイアウト面積をより縮小することができるため、好ましい。なお、図6においては、積層するメモリトランジスタMTを8段としたが、本発明はこれに限らない。2段以上7段以下としてもよいし、9段以上としてもよい。例えば、32段、64段、128段積層してもよいし、200段以上積層してもよい。

[0158]

<<金属酸化物>>

以下では、本発明に係る酸化物704に適用可能な金属酸化物について説明する。

[0159]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0160]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0161]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

[0162]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC (Cloud-Aligned Composite)-OSの構成について説明する。

[0163]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0164]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0165]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0166]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

[0167]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0168]

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis align

g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r)、多結晶酸化物半導体、nc-OS (n a n o c r y s t a l l i n e o x i d e s e m i c o n d u c t o r)、擬似非晶質酸化物半導体 (a-l i k e O S : a m o r p h o u s-l i k e o x i d e s e m i c o n d u c t o r) および非晶質酸化物半導体などがある。

[0169]

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図7Aを用いて説明を行う。図7Aは、酸化物半導体、代表的にはIGZO (I n と、G a と、Z n と、を含む金属酸化物) の結晶構造の分類を説明する図である。

[0170]

図7Aに示すように、IGZOは、大きく分けてAmorphousと、Crystallineと、Crystalと、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC (c-axis aligned crystalline)、nc (nanocrystalline)、及びCAC (Cloud-Aligned Composite) が含まれる。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

[0171]

なお、図7Aに示す太枠内の構造は、New crystalline phaseに属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、エネルギー的に不安定なAmorphousと、Crystallineとは全く異なる構造と言い換えることができる。

[0172]

なお、膜または基板の結晶構造は、X線回折 (XRD : X-Ray Diffraction) 像を用いて評価することができる。ここで、石英ガラス、及びCrystallineに分類される結晶構造を有するIGZO (結晶性IGZOともいう。) のXRDスペクトルを図7B、図7Cに示す。また、図7Bが石英ガラス、図7Cが結晶性IGZOのXRDスペクトルである。なお、図7Cに示す結晶性IGZOとしては、In : Ga : Zn = 4 : 2 : 3 [原子数比] の組成である。また、図7Cに示す結晶性IGZOとしては、厚さ500nmである。

[0173]

図7Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークがほぼ対称である。一方で、図7Cの矢印に示すように、結晶性IGZOは、XRDスペクトルのピークが非対称である。XRDスペクトルのピークが非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークで左右対称でないと、Amorphousであるとは言えない。

[0174]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0175]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。

また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0176]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0177]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起これにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損（ V_O : oxygen vacancyともいう）など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0178]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0179]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0180]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0181]

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

[0182]

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0183]

ここで、金属酸化物の電気伝導の仮説の一例について説明する。

[0184]

固体中の電気伝導は、散乱中心と呼ばれる散乱源によって阻害される。例えば、単結晶シリコンの場合、格子散乱とイオン化不純物散乱が、主な散乱中心であることが知られている。換言すると、格子欠陥や不純物の少ない本質的な状態のとき、固体中の電気伝導の阻害要因がなく、キャリアの移動度は高い。

[0185]

上記のことは、金属酸化物に対しても、あてはまると推測される。例えば、化学量論的組成を満たす酸素よりも少ない酸素を含む金属酸化物では、酸素欠損 V_O が多く存在すると考えられる。この酸素欠損周りに存在する原子は、本質的な状態よりも、歪んだ場所に位置する。この酸素欠損による歪みが散乱中心となっている可能性がある。

[0186]

また、例えば、化学量論的組成を満たす酸素よりも多くの酸素を含む金属化合物では、過剰酸素が存在する。金属化合物中で遊離した状態で存在する過剰酸素は、電子を受け取ることで、 O^- や O^{2-} になる。 O^- や O^{2-} となった過剰酸素が散乱中心になる可能性がある。

[0187]

以上のことから、金属酸化物が、化学量論的組成を満たす酸素を含む本質的な状態を有する場合、キャリアの移動度は高いと考えられる。

[0188]

インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、とくに、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。これは、大きな結晶を形成するよりも、小さな結晶同士が連結する方が、歪みエネルギーが緩和されるためと考えられる。

[0189]

なお、小さな結晶同士が連結する領域においては、該領域の歪みエネルギーを緩和するために、欠陥が形成される場合がある。したがって、該領域に欠陥を形成することなく、歪みエネルギーを緩和させることで、キャリアの移動度を高くすることができる。

[0190]

また、トランジスタには、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア濃度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0191]

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いいため、トラップ準位密度も低くなる場合がある。

[0192]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0193]

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0194]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0195]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0196]

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0197]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0198]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することもある。従って、水素が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}$

³未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0199]

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオフ電流を低減し、安定した電気特性を付与することができる。

[0200]

<メモリセルの作製方法>

次に、本発明のメモリセルとして機能するメモリトランジスタMTの作成方法の一態様を図8乃至図12を参照して説明する。なお、図8乃至図12は、メモリトランジスタMTの作製工程の断面を示す図である。

[0201]

まず、図8Aに示すように、導電体701、および絶縁体722を交互に積層する。

[0202]

次に、図8Bに示すように、導電体701、および絶縁体722を加工し、導電体701、および絶縁体722に $\phi 1$ の径を有する開口を形成する。

[0203]

次に図9Aに示すように $\phi 1$ の径を有する開口の内部に絶縁体703、および酸化物704を形成する。なお、図9Aには図示しないが、絶縁体703は、絶縁体703a、絶縁体703b、および絶縁体703cを順に積層して形成される。また、酸化物704は、酸化物704a、酸化物704b、および酸化物704cを順に積層して形成される。また、酸化物704の形成前に、開口底部の絶縁体703を除去しておくことが好ましい。絶縁体703aは、導電体701の側面、及び絶縁体722の側面に対して接するように、高い被膜性で形成される。

[0204]

ところで、酸化物704を $\phi 1$ の径を有する開口の内部に形成する場合、酸化物704は、図9Bに示すように、開口底部の導電体706上に、開口側面よりも厚く形成される場合がある。この場合、酸化物704の形成後に逆スパッタ処理を用いてもよい。本明細書等において、逆スパッタ処理とは、RF (Radio Frequency) 電源を用いて、基板側に電圧を印加し、基板近傍にプラズマを形成して表面を改質する処理のことを指す。図9Bに示す積層体に対して、例えば、Arガスなどを導入した逆スパッタ処理を用いて開口底部に対してAr照射を行うことによって、開口底部に形成された酸化物704の金属成分704mcを叩き出して、金属成分704mcを開口側面に形成することができる(図9C)。

[0205]

なお、酸化物704を高抵抗化または低抵抗化するには、図10Aに示す通り、膜718を酸化物704に接するように形成すればよい。酸化物704を高抵抗化する場合、膜718として水素を吸収する特性を有する膜を用いればよい。酸化物704を低抵抗化する場合、膜718として水素や窒素などの不純物を供給する特性を有する膜(例えば、金属膜、金属元素を有する酸化膜、金属元素を有する窒化膜など)を用いればよい。また、このとき、必要に応じて熱処理を行ってもよい。酸化物704を高抵抗化、又は低抵抗化した後は、図10Bに示すように、膜718は除去してもよい。

[0206]

なお、上記熱処理としては、例えば、絶縁体721、絶縁体726を形成したのち、絶縁体717を形成する前に行うことができる当該熱処理を行うことで、酸化物704に含まれる不純物（代表的には、水または水素）を除去することができる。また、上記熱処理は、例えば、絶縁体721、絶縁体726、絶縁体717を形成したのちに行ってもよいし、絶縁体717の形成前と形成後の両方で行ってもよい。また、上記熱処理を行う場合、絶縁体721、絶縁体726、絶縁体717は、酸化アルミニウムと、窒化シリコンとを組み合わせる構成が好ましい。

[0207]

なお、酸化アルミニウムは、水素を捕獲、または水素を固着する機能を有する。また、窒化シリコンは、水素に対するブロッキング性が高い機能を有する。絶縁体721、絶縁体726、絶縁体717に上記2つの機能を有する積層体を用いることで、効率的に水素を除去することが可能となる。具体的には、例えば、絶縁体703が有する絶縁体703bとして、水素に対するブロッキング性が高い窒化シリコンが用いられる場合、酸化物704に含まれる水素は、絶縁体703c、及び絶縁体711に拡散し、絶縁体717に到達する。このとき、絶縁体717が上記の2つの機能を有する積層体である場合、絶縁体717によって、酸化物704から絶縁体703c、及び絶縁体711に拡散された水素を捕獲、または固着することができる。また、例えば、絶縁体703が水素に対するブロッキング性を持たない場合、絶縁体721、絶縁体726を、酸化アルミニウムと、窒化シリコンとを組み合わせる構成とすることによって、酸化物704から水素を効率よく引き抜くことができる。更に、絶縁体721は過剰酸素を有すると好ましい。

[0208]

なお、酸化物704中に存在する水素は、酸化物704に接する絶縁体703cと絶縁体711と、絶縁体717と、を介して、他の構造体へと拡散する。具体的には、絶縁体703c中、及び絶縁体711中の過剰酸素が酸化物704の水素と反応しOH結合をなし、当該水素原子が絶縁体703c中、及び絶縁体711中を拡散する。OH結合を有した水素原子は、水素を捕獲、または固着する機能を有する材料（例えば、酸化アルミニウム）に到達した際に、酸化アルミニウム中の金属原子と結合した酸素原子と反応し、絶縁体717中に捕獲される、または固着する場合がある。また、絶縁体717中に捕獲されない、または固着しなかったOH結合を有した水素原子は、絶縁体703を介して、絶縁体722、絶縁体724などに拡散する場合がある。この場合、水素は、絶縁体722、絶縁体724を透過して、絶縁体726に捕獲される、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体703c中、及び絶縁体711中に残ると推測される。つまり、当該水素の拡散において、絶縁体703c中、及び絶縁体711中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

[0209]

なお、上記の熱処理は、例えば、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは400℃以上の温度で行うと好適である。また、熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上である。

[0210]

なお、膜718は、必ずしも除去しなくともよい。例えば、膜718が、絶縁体である場合、または酸化物704から吸収した酸素により、酸化して絶縁体となっている場合は、残存させてもよい。その場合、絶縁体711と同様に、第2のゲート絶縁層として機能する場合がある。

[0211]

酸化物704を低抵抗化する場合、膜718は、酸化物704に水素を供給する機能、酸化物704に窒素を供給する機能、および酸化物704から酸素を引き抜く機能、の少なくとも一を有することが好ましい。このような機能を有する膜718が、酸化物704と接することで、酸化物704内にキャリアが生成される。

[0212]

具体的には、酸化物704から酸素が引き抜かれることにより、酸化物704には、酸素欠損が生じる。この酸素欠損に水素がトラップされることにより、キャリアが生成される。または、生じた酸素欠損に窒素がトラップされる場合、2つのインジウムと結合していた酸素と窒素が置換されることになる。これら二つのインジウムに窒素が結合するとき、窒素は、不対電子を持ち、キャリアとして機能することが考えられる。

[0213]

酸化物704に水素を供給する機能を有する材料として、水素を含む窒化シリコンを用いることができる。また、形成時に水素を含むガスを用いて形成される材料を用いることができ、モノシラン、ジシラン、アンモニアなどを用いて形成される、シリコン、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンなどを用いることができる。酸化物704に窒素を供給する機能を有する材料として、シリコンや金属元素を含む窒化物を用いることができる。このような材料として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンなどを用いることができる。また、アルミニウム、タンタル、チタンの一、または複数を含む窒化物を用いることができる。具体的には、窒化アルミニウム、窒化タンタル、窒化チタン、アルミニウムとタンタルを含む窒化物、アルミニウムとチタンを含む窒化物などを用いることができる。

[0214]

例えば、膜718は、0.5 nm以上5 nm以下、好ましくは1 nm以上2 nm以下の膜厚で設けることが好ましい。例えば、0.5 nm以上5 nm以下のアルミニウムを、加熱処理により酸化させると0.7 nm以上8 nm以下の酸化アルミニウムとなる場合がある。なお、酸化性雰囲気下で熱処理を行う場合には、酸化物704と、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物704中の酸素が金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜に拡散しやすくなる。

[0215]

酸化物704と、金属元素、水素、および窒素のいずれか一を含む膜718を接するように設けた後、熱処理を行うことが好ましい。熱処理を行うことで、酸素の引き抜き、水素の供給、あるいは、窒素の供給が促進され、効率的に酸化物704を低抵抗化することができる。

[0216]

上記のように、酸化物704を低抵抗化することで、メモリセルが積層されたメモリストリング、またはメモリセルアレイにおいて、メモリセル間の直列抵抗を低減することができる。

[0217]

次に、酸化物704の内側に、絶縁体711を形成し、絶縁体711の内側に、導電体712を形成する(図11A参照。)。なお、前の工程で膜718を除去していない場合は、膜718を絶縁体711として扱ってもよく、また、膜718の内側に絶縁体711を形成してもよい。また、図11Bは、図11Aにおいて、一点鎖線で囲んだ部分の拡大図であり、k-1段目の導電体70

1__k-1、および絶縁体722__k-1、k段目の導電体701__k、および絶縁体722__k、およびk+1段目の導電体701__k+1（kは、2以上m-1以下の整数）の断面を示す。

[0218]

酸化物704の領域734は、k段目に位置するメモリトランジスタMTのチャネル形成領域として機能する。また、領域731aは、k段目に位置するメモリトランジスタMTのソースおよびドレインの一方として機能し、領域731bは、k段目に位置するメモリトランジスタMTのソースおよびドレインの他方として機能する。導電体701__kは、k段目に位置するメモリトランジスタMTの第1のゲートとして機能し、導電体712は、第2のゲートとして機能し、絶縁体703aは、第1のゲート絶縁層として機能し、絶縁体703bは、電荷蓄積層として機能し、絶縁体703cは、トンネル絶縁層として機能し、絶縁体711は、第2のゲート絶縁層として機能する。なお、導電体701__kをゲートとするメモリトランジスタMTのソース、またはドレインは、上下に位置するトランジスタにおいて、ドレイン、またはソースとして機能する場合がある。例えば、領域731bが、導電体701__kをゲートとするトランジスタのソースとして機能する場合、該領域731bは、導電体701__k+1をゲートとするトランジスタのドレインとして機能する場合がある。また、領域732a、領域732bは、領域734と同様にチャネル形成領域として機能してもよいし、領域731a、領域731bと同様にソース又はドレインとして機能してもよい。

[0219]

以上の工程により、メモリセルとして機能するメモリトランジスタMTを形成することができる。上記の方法により、各層ごとにメモリトランジスタMTを作製するためのパターン形成を行うことなく、複数の層のメモリトランジスタMTを一括で作製することができる。さらに、上記の方法でメモリセルアレイを作製する場合、メモリトランジスタMTの層数を増やしても、メモリトランジスタMTのパターン形成およびエッチング処理の工程数が増えない。このように、メモリセルアレイ作製の工程を短縮することができるので、生産性の高い半導体装置を提供することができる。

[0220]

図12は、導電体701の異なる例を示す図である。図12において、導電体701は、導電体701a、導電体701b、および導電体701cの3層構造を有している。このような形状とすることで、領域734だけでなく、領域732に対しても導電体701からの電界を加えることができ、メモリトランジスタMTのオン特性が向上し好ましい。

[0221]

<メモリセルアレイの作製方法>

次に、本発明のメモリセルアレイの作製方法の一態様を図13乃至図29を参照して説明する。なお、図13乃至図29において、各図のAは、z軸方向から見た上面図であり、各図のBは、対応するAの図においてA1-A2の一点鎖線で示す部位の断面図である。また、各図のCは、対応するAの図においてA3-A4の一点鎖線で示す部位の断面図である。また、図22Dは、図22Bにおいて、一点鎖線で囲まれた部分を拡大した断面図である。

[0222]

まず、絶縁表面を有する基体720上に導電体706を形成し、導電体706を覆うように、絶縁体721を形成する（図13A乃至図13C参照）。

[0223]

まず、導電膜を形成し、リソグラフィ法を用いて該導電膜を加工し、導電体706を形成する。

ただし、導電体706、および絶縁体721の形成方法はこれに限らない。基体720上に絶縁体721を形成し、絶縁体721の不要な部分を除去することで、溝や開口を形成し、該溝や該開口部に導電体706を埋め込むように形成してもよい。このような導電体の形成方法をダマシン法（シングルダマシン法、デュアルダマシン法）と呼ぶ場合がある。ダマシン法で形成された導電体706、および絶縁体721上にさらに絶縁膜を形成することで、図13A乃至図13Cに示す構造を得ることができる。

[0224]

導電体706や、絶縁体721の形成は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

[0225]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

[0226]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0227]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0228]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0229]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜

することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0230]

なお、リソグラフィ法では、まず、フォトマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

[0231]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

[0232]

該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0233]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0234]

導電膜のエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響

が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0235]

導電膜706となる導電膜は、スパッタリング法を用いて、金属元素を含む導電膜を形成することが好ましい。また、CVD法を用いて形成することもできる。

[0236]

絶縁体721の表面は、必要に応じて、平坦化処理が行われていることが好ましい。平坦化処理には、化学機械研磨（CMP）法やリフロー法を用いることができる。

[0237]

導電膜706、および絶縁体721上に導電膜701A、および絶縁膜722Aを交互に積層する（図14A乃至図14C参照）。本実施の形態では、絶縁体721上に導電膜701Aを形成し、導電膜701A上に絶縁膜722Aを形成する例を示しているが、形成の順序はこれに限らない。絶縁体721上に絶縁膜722Aを形成し、絶縁膜722A上に導電膜701Aを形成してもよい。導電膜701A、および絶縁膜722Aの形成には、CVD法を用いることができる。また、スパッタリング法を用いてもよい。

[0238]

また、本実施の形態では、導電膜701A、および絶縁膜722Aをそれぞれ4層形成する例を示したが、積層数は、これに限らない。求められる半導体装置の性能に応じて、それぞれ5層以上形成してもよい。例えば、導電膜701A、および絶縁膜722Aは、それぞれ32層、64層、128層形成してもよいし、200層以上形成してもよい。

[0239]

最上層の絶縁膜722Aの上に導電膜702Aを形成する。導電膜702Aの上にマスク723を形成する（図14A乃至図14C参照）。導電膜702Aは、導電膜701Aと同様な方法を用い、同様な材料を用いて形成することができる。なお、導電膜702Aは、導電膜701Aと同じ方法で形成してもよいし、異なる方法で形成してもよい。また、導電膜702Aは、導電膜701Aと同じ材料でもよいし、異なる材料でもよい。

[0240]

次に、導電膜702A、導電膜701A、および絶縁膜722Aを加工し、図15Bに示すような階段状の導電膜701B、導電膜702B、及び絶縁膜722Bを形成する。導電膜702A、導電膜701A、及び絶縁膜722Aの加工において、導電膜702A、導電膜701A、及び絶縁膜722Aのエッチングと、マスク723のスリミングを交互に行うことで、階段状の導電膜701B、導電膜702B、および絶縁膜722Bを形成することができる。導電膜702A、導電膜701A、および絶縁膜722Aの加工により、マスク723は、幅、厚さ共に縮小し、マスク723Aとなる（図15A乃至図15C参照）。

[0241]

次に、マスク723Aを除去し、絶縁体724を形成する。絶縁体724は、CVD法を用いて形成することができる。絶縁体724は、CMP法や、リフロー法を用いて、平坦化処理されていることが好ましい。絶縁体724上にマスク725を形成する。平坦化された絶縁体724上にマスク725を形成することで、リソグラフィーの精度が向上する（図16A乃至図16C参照）。

[0242]

次に、マスク725を用いて、絶縁体724、導電膜702B、導電膜701B、絶縁膜722

B、および絶縁体721を加工する。該加工により、メモリトランジスタMTのゲートとして機能し、ワード線と電氣的に接続する導電体701と、選択トランジスタのゲートとして機能する導電体702が形成される。また、絶縁膜722Bは、該加工により絶縁体722となる（図17A乃至図17C参照）。

[0243]

次に、マスク725を除去する。その後に、絶縁体724、導電膜702B、導電膜701B、絶縁膜722B、および絶縁体721の、上記加工により除去された部分を埋め込むように絶縁体726を形成する。絶縁体726は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁体726を形成してもよい。絶縁体726は、CMP法や、リフロー法を用いて、平坦化处理されていることが好ましい。CMP法を用いて平坦化处理を行う場合、絶縁体724の表面が露出するまで絶縁体726を研磨してもよい。また、絶縁体724と絶縁体726と一緒に研磨してもよい。この場合、絶縁体724の膜厚は、薄くなる。

[0244]

次に、絶縁体724を、リソグラフィ法を用いて加工し、導電体701、及び導電体702を露出するように第1の開口を形成する。第1の開口は、階段状に形成された導電体701それぞれに対して形成する（図18A乃至図18C参照）。

[0245]

次に、第1の開口に埋め込むように、導電体701と電氣的に接続する導電体707、および導電体702と電氣的に接続する導電体709を形成する（図19A乃至図19C参照）。導電体707、および導電体709は、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで導電体707、及び導電体709を形成してもよい。また、導電体707、及び導電体709は、複数の層からなる積層構造を有していてもよい。導電体707、及び導電体709は、絶縁体724上、及び第1の開口内部に導電体707、及び導電体709となる導電膜を形成し、CMPなどを用いて不要な導電膜を除去することで、形成することができる。

[0246]

次に、絶縁体724、および絶縁体726上にマスク729を形成し、絶縁体724、導電体702、導電体701、絶縁体722、および絶縁体721を、リソグラフィ法を用いて加工し、導電体706を露出するように第2の開口を形成する（図20A乃至図20C参照）。

[0247]

次に、絶縁体724、絶縁体726、およびマスク729を覆って、第2の開口内部に、絶縁体703となる絶縁膜703Aを形成する（図21A乃至図21C参照）。なお、図21A乃至図21Cには図示しないが、絶縁膜703Aは、絶縁体703aとなる絶縁膜と、絶縁体703bとなる絶縁膜と、絶縁体703cとなる絶縁膜を順次積層して形成すればよい。絶縁膜703Aは、CVD法やALD法を用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで絶縁膜703Aを形成してもよい。絶縁体703aとなる絶

縁膜、絶縁体703bとなる絶縁膜、および絶縁体703cとなる絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。なお、絶縁体703cが、絶縁体703aより薄くなるように、絶縁体703cとなる絶縁膜は、絶縁体703aとなる絶縁膜よりも薄く形成することが好ましい。

[0248]

上記の方法で形成された絶縁膜703Aは、被覆性が良く、導電体701、および導電体702のそれぞれの側面に接するように絶縁膜703Aを形成することができる。

[0249]

次に、第2の開口底部に形成された絶縁膜703Aを除去し、絶縁体703を得る。絶縁膜703Aの除去には、異方性エッチングを用いることが好ましい。このとき、マスク729上の絶縁膜703Aも除去されるため、絶縁体703は、第2の開口の側壁のみに設けられる（図22A乃至図22D参照）。第2の開口底部の絶縁膜703Aを除去することで、再び導電体706が露出する。

[0250]

ここで、図22Dに示すように、第2の開口上部に位置する絶縁体703の絶縁体703b、および絶縁体703cを除去してもよい。図22Dは、図22Bにおいて、一点鎖線で囲まれた部分の拡大図である。まず第2の開口内部に後工程にて容易に除去可能な材料727（犠牲層とも呼ぶ）を埋め込むように形成し、第2の開口内部の所望の深さまで、エッチングなどにより除去する。該エッチングにより、露出した絶縁体703c、および絶縁体703bを順次除去することで、導電体702の水平方向（x-y方向）に位置する絶縁体703を、絶縁体703aのみとすることができる。この場合、選択トランジスタSST、及び選択トランジスタSDTのゲート絶縁膜は、絶縁体703aにより構成される。絶縁体703c、および絶縁体703bの除去後、材料727を除去する。

[0251]

次に、第2の開口内部に、酸化物704となる酸化膜704Aを形成する（図23A乃至図23C参照）。酸化膜704Aは、マスク729上、および第2の開口内部に、酸化物704aとなる酸化膜と、酸化物704bとなる酸化膜と、酸化物704cとなる酸化膜を順次成膜することで形成することができる。また、酸化膜704Aは、絶縁体703を介して、導電体701、および導電体702の側面に沿って形成される。酸化膜704Aの一部は、導電体706と接するように形成する。

[0252]

酸化物704aとなる酸化膜、酸化物704bとなる酸化膜、酸化物704cとなる酸化膜は、CVD法やALD法、スパッタリング法などを用いて形成することができる。特に、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD法と、CVD法を組み合わせることで酸化膜を形成してもよい。また、酸化膜ごとに、異なる成膜方法や成膜装置を用いてもよい。

[0253]

ところで、酸化物704を低抵抗化する場合、酸化膜704Aに、アルゴン、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、ヘリウム、ネオン、クリプトン、キセノンなどの元素や、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロム、インジウムなど

の、酸化物 704 の導電性を高める金属元素を添加すればよい。上記元素の添加方法として、プラズマ処理、イオンインプランテーション処理、イオンドーピング処理、逆スパッタ処理などを用いることができる。プラズマ処理は、エッチング装置や、CVD 装置を用いて行うことができる。また、逆スパッタ処理は、スパッタリング装置を用いて行うことができる（図示しない。）。

[0254]

一方、酸化物 704 を高抵抗化する場合、酸化膜 704 A に、水素を吸収する特性を有する膜 718（例えば、金属膜、金属元素を有する酸化膜、金属元素を有する窒化膜など）を形成すればよい（図 24 A 乃至図 24 C 参照）。その後、膜 718 を、吸収した水素と共に除去してもよいし、また、水素を吸収した膜 718 が高抵抗となる場合は絶縁体として残してもよい。

[0255]

なお、本作製方法では、酸化物 704 には、低抵抗化処理も高抵抗化処理も施さないものとして説明する。

[0256]

次に、酸化膜 704 A の内側に、絶縁膜 711 A を形成し、絶縁膜 711 A の内側に、導電膜 712 A を形成する。絶縁膜 711 A や導電膜 712 A は、CVD 法や ALD 法を用いて形成することができる。特に、ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD 法と、CVD 法を組み合わせ形成してもよい（図 25 A 乃至図 25 C 参照）。

[0257]

絶縁体 711 は、メモリトランジスタ MT や、該メモリトランジスタ MT を有する半導体装置に必要な特性に合わせて、酸化物 704 に酸素を供給する材料や、水素を供給する材料を用いることができる。

[0258]

次に、加熱処理を行う。加熱処理は、窒素を含む雰囲気、好ましくは 200℃以上 500℃以下、より好ましくは 300℃以上 400℃以下で行う。加熱処理を行う雰囲気は、上記に限らず、窒素、酸素、およびアルゴンの少なくとも一を含む雰囲気で行えばよい。また、加熱処理は、減圧雰囲気で行われてもよいし、大気圧雰囲気で行われてもよい。

[0259]

酸化膜 704 A と、導電体 706 が接している状態で加熱処理をおこなうことで、酸化膜 704 A は低抵抗化する場合がある。酸化膜 704 A と、導電体 706 が接することで、導電体 706 と酸化膜 704 A の界面には、導電体 706 が有する金属元素と、酸化膜 704 A の成分とを含む金属化合物層が形成される場合がある。該金属化合物が形成されることで、導電体 706 と、酸化膜 704 A とのコンタクト抵抗が低減するため好ましい。また、酸化膜 704 A に含まれる酸素を、導電体 706 が吸収する場合がある。このとき、酸化膜 704 A の、導電体 706 と酸化膜 704 A の界面近傍の抵抗が低減し、導電体 706 と、酸化膜 704 A とのコンタクト抵抗が低減するため、好ましい。酸化膜 704 A と、導電体 706 が接する状態で、加熱処理を行うことで、酸化膜 704 A は、より低抵抗化し、導電体 706 と、酸化膜 704 A とのコンタクト抵抗は、より低減する。

[0260]

次に、マスク 729、および図 25 B、及び図 25 C に点線で示した部分から上部の、不要な導

電膜 712A、絶縁膜 711A、酸化膜 704A、絶縁体 703などを、CMP法等を用いて除去し、酸化物 704、絶縁体 711、導電体 712を得る（図 26A乃至図 26C参照）。なお、前述した加熱処理は、不要な導電膜 712A、絶縁膜 711A、酸化膜 704Aを除去した後に行ってもよい。また、第 1の開口形成後から絶縁膜 703Aを形成する前にマスク 729を除去している場合は、本工程にてマスク 729を除去する必要はない。

[0261]

次に、図 27A乃至図 27Cに示すように、導電体 705、導電体 708、導電体 710を形成する。特に、導電体 705は、酸化物 704と電氣的に接続するように設ける。また、導電体 708は、導電体 707と電氣的に接続するように設ける。また、酸化物 704の内側に、導電体 712が設けられている場合、導電体 705には、少なくとも導電体 712を露出する開口を設け、導電体 705と導電体 712を電氣的に分離することが好ましい。このとき、該開口は、絶縁体 711が露出するように設けられていてもよい。また、酸化物 704の一部が露出していてもよい。また、導電体 705は、ビット線BL、またはソース線SLの一部として機能し、導電体 708は、ワード線WLの一部として機能し、導電体 710は、選択ゲート線の一部として機能する。

[0262]

次に、図 28A乃至図 28Cに示すように、導電体 705を覆うように、絶縁体 717を形成する。絶縁体 717には、導電体 705の一部（ビット線側の酸化物 704と電氣的に接続する導電体 705）、および導電体 712を露出する開口が設けられる。導電体 712を露出する開口を形成する際、該開口が有する径は、導電体 705に設けられた開口の径より大きくてもよい。導電体 705に開口が設けられているため、導電体 712を露出する開口は、自己整合的に形成され、開口の底部の径が意図しない大きさに形成される不具合や、該開口が導電体 712からずれるといった不具合を抑制することができ好ましい。

[0263]

次に、図 29A乃至図 29Cに示すように、絶縁体 717に設けられた、導電体 712を露出する開口の側面に位置する絶縁体 713を形成する。絶縁体 717上にCVD法やALD法を用いて絶縁体 713となる絶縁膜を形成し、異方性エッチングを行うことにより、開口底部に形成された該絶縁膜を除去する。このとき、絶縁体 717上の該絶縁膜も除去され、絶縁体 713が形成される。また、該絶縁膜は、リソグラフィ法を用いて加工してもよい。このとき、形成される絶縁体 713は、絶縁体 717上にも存在する場合がある。

[0264]

次に、ビット線BL、及び配線BGとして機能する導電体 714、及び導電体 715を形成する。図 29A乃至図 29Cにおいて、導電体 714、および導電体 715は、異なる層として図示しているが、本発明はこれに限らない。導電体 714、および導電体 715は、一つの導電体として一括で形成してもよい。導電体 714と、導電体 715を別々に形成する場合、絶縁体 717上に、また絶縁体 717に形成された開口を埋め込むように導電体 714となる導電膜を形成し、不要な該導電膜を、CMP法等を用いて除去することで導電体 714を形成することができる。その後、導電体 715を形成すればよい。導電体 715の形成には、リソグラフィ法を用いてもよいし、ダマシン法を用いてもよい。このとき、絶縁体 717、および導電体 705に形成された開口の側面には、絶縁体 713が設けられているため、導電体 712と電氣的に接続する導電体 715が、導電体 705と電氣的に接続することは無い。導電体 714と、導電体 715を一括で形成する場

合、絶縁体 717 上に、また絶縁体 717 に形成された開口を埋め込むように導電膜を形成し、リソグラフィ法を用いて加工し、導電体 714、および導電体 715 となる導電体を形成することができる。

[0265]

以上の工程により、メモリセルアレイを作製することができる。本作製工程の説明において、メモリセルアレイは、4 層のメモリトランジスタ MT と、4 つのメモリストリングを含むが、これに限らない。5 層以上のメモリトランジスタ MT を含んでいてもよいし、5 つ以上のメモリストリングを含んでいてもよい。例えば、メモリトランジスタ MT を、32 層、64 層、128 層有するメモリセルアレイを作製することができる。また、200 層以上のメモリトランジスタ MT を有するメモリセルアレイを作製することができる。

[0266]

以上のようにメモリセルアレイを作製することにより、各層ごとにメモリトランジスタ MT を作製するためのパターン形成を行うことなく、複数の層のメモリトランジスタ MT を一括で作製することができる。さらに、上記の方法でメモリセルアレイを作製する場合、メモリトランジスタ MT の層数を増やしても、メモリトランジスタ MT のパターン形成およびエッチング処理の工程数が増えない。このように、メモリセルアレイ作製の工程を短縮することができるので、生産性の高い半導体装置を提供することができる。

[0267]

<3D NAND の構成例>

図 30A に、3 次元構造の NAND 型不揮発性記憶装置 (3D NAND) の構成例を示す。図 30A に示す記憶装置 100 は、制御回路 105、メモリセルアレイ 110、周辺回路を有する。

[0268]

制御回路 105 は記憶装置 100 全体を統括的に制御し、データの書き込み、データの読み出しを行う。制御回路 105 は、外部からのコマンド信号を処理して、周辺回路の制御信号を生成する。周辺回路として、行デコーダ 121、行ドライバ 122、センスアンプ 123、ソース線ドライバ 124、入出力回路 125 が設けられている。

[0269]

メモリセルアレイ 110 は、複数のメモリストリング 112 を有する。図 30B にメモリストリング 112 の回路構成例を示す。メモリストリング 112 において、ビット線 BL とソース線 SL 間に、選択トランジスタ SST、メモリトランジスタ MT1 乃至メモリトランジスタ MT2k (k は 1 以上の整数)、選択トランジスタ SDT が電氣的に直列接続されている。

[0270]

なお、メモリトランジスタ MT1 乃至メモリトランジスタ MT2k を区別しない場合、メモリトランジスタ MT と呼ぶ。その他の要素についても同様である。

[0271]

選択トランジスタ SST、選択トランジスタ SDT、メモリトランジスタ MT1 乃至メモリトランジスタ MT2k は、それぞれ、前述した通り、チャネルが金属酸化物で形成されているトランジスタである。メモリトランジスタ MT は電荷蓄積層を備えており、不揮発性メモリセルを構成する。

[0272]

選択トランジスタ SST、選択トランジスタ SDT のゲートは、それぞれ、選択ゲート線 SGL、

選択ゲート線DGLに電氣的に接続されている。メモリトランジスタMT 1乃至メモリトランジスタMT 2 kのゲートは、それぞれ、ワード線WL 1乃至ワード線WL 2 kに電氣的に接続されている。ビット線BLは列方向に延在し、選択ゲート線SGL、選択ゲート線DGL、ワード線WL (ワード線WL 1乃至ワード線WL 2 k)は行方向に延在する。

[0273]

また、選択トランジスタSST、選択トランジスタSDT、およびメモリトランジスタMTは、図30Bに示すように、それぞれ第2のゲートを有していてもよい。第2のゲートは、配線BGと電氣的に接続する。図30Bでは、選択トランジスタSST、メモリトランジスタMT 1乃至メモリトランジスタMT kが有する第2のゲートと電氣的に接続する配線BGと、選択トランジスタSDT、メモリトランジスタMT k + 1乃至メモリトランジスタMT 2 kが有する第2のゲートと電氣的に接続する配線BGを示している。配線BGには、それぞれ異なる電位が印加されてもよいし、等電位としてもよい。また、配線BGはお互いに電氣的に接続されていてもよい。

[0274]

配線BGは、ビット線BLと平行に、列方向に延在することが好ましいが、行方向に延在するように配置してもよい。

[0275]

配線BGにより、選択トランジスタSST、選択トランジスタSDTのしきい値を制御することができる。また、メモリセルアレイの回路動作に合わせて、配線BGの電位を制御してもよい。

[0276]

入出力回路125は、メモリセルアレイ110への書き込みデータの一時的な保持や、メモリセルアレイ110から読み出されたデータの一時的な保持等を行う。

[0277]

ソース線ドライバ124は、ソース線SLを駆動する。

[0278]

ビット線BLはセンスアンプ123に電氣的に接続される。センスアンプ123は、データの読み出し時において、メモリストリング112からビット線BLに読みだされた電圧を検知し、増幅する。また、データの書き込み時において、書き込みデータに応じた電圧をビット線BLに入力する。

[0279]

行デコーダ121は、外部から入力されるアドレスデータをデコードし、アクセスされる行を選択する。行ドライバ122は、行デコーダ121のデコード結果に応じて、データの書き込み、読出し、および消去に必要な電圧を、選択信号線DGL、選択信号線SGL、ワード線WLに入力する。

[0280]

また、メモリセルアレイ110は、制御回路105や、センスアンプ123などの周辺回路と異なる層に設けてもよい。特に、メモリセルアレイ110が、センスアンプ123と重なるように積層して設けることで、各メモリセルアレイ110からセンスアンプ123へ引き回す配線を簡素化でき、好ましい。図31は、図30Aで示した記憶装置100において、制御回路105、行デコーダ121、行ドライバ122、センスアンプ123、ソース線ドライバ124、入出力回路125の上に、メモリセルアレイ110がセンスアンプ123と重なるように設けられた、三次元構造の記憶装置100をブロック図で示している。

[0281]

図32乃至図34に、メモリセルアレイ110の三次元積層構造例を示す。図32は、メモリセルアレイ110の3次元構造例を回路図で模式的に表した図である。説明しやすいように、一部の回路（メモリストリング）を省略している。図33は、メモリセルアレイ110の3次元構造例を示す斜視図である。図34は、ワード線WLと、導電体701の接続部の3次元構造例を示す斜視図である。図32に示すように、メモリセルアレイ110はセンスアンプ123が形成されている領域に積層して設けられている。これにより記憶装置100のレイアウト面積を縮小することができる。図33および図34に示すように、同じ段の導電体701でも、ビット線BL側の導電体701aはワード線WL aに接続され、ソース線SL側の導電体701bはワード線WL bに接続される。導電体712と電氣的に接続する配線BGは、ビット線BLと同じレイヤに設けられ、かつビット線BLと同様に列方向に延在する例を示しているが、本発明はこれに限らない。ビット線BL上に絶縁体を設け、該絶縁体上に配線BGを設けてもよい。また、配線BGは、列方向に限らず、行方向に延在するように設けられてもよい。なお、図32乃至図34には、1のメモリストリング112あたり、8個のメモリトランジスタMT1乃至メモリトランジスタMT8を設けた例を示している。

[0282]

<記憶装置の回路動作の説明1>

次に、メモリストリング112へのデータの書き込みと読み出し動作について、図35A乃至図35Cを用いて説明する。なお、以降において、ワード線WL1乃至ワード線WL2kを共有するメモリトランジスタMTのまとまりをページと呼ぶ。

[0283]

図35A乃至図35Cでは、一例として、メモリストリング112がメモリトランジスタMT1乃至メモリトランジスタMT8を有する例を示しているが、メモリトランジスタMTの数はこれに限定されない。

[0284]

<<消去動作>>

メモリトランジスタMTにデータを書き込む場合は、書き込み動作の前にデータを消去しておくことが好ましい。なお、データを消去する動作をリセット動作ともいう場合がある。消去動作は、メモリストリング112（ブロックともいう）ごとに行う。例えば、データを消去したいブロックを選択し、図35Aに示すように、ワード線WL1乃至ワード線WL8には低電位（メモリトランジスタMT1乃至メモリトランジスタMT8が非導通となる電位、例えば0V）を印加し、ソース線SLおよびビット線BLに消去電位VEを印加し、選択トランジスタSDTおよび選択トランジスタSSTを導通させることで行うことができる。リセット動作により、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれの電荷蓄積層に蓄積された電子を引き抜くことができる。これにより、メモリトランジスタMT1乃至メモリトランジスタMT8は、データ“1”を保持している状態となる。

[0285]

また、消去動作は、配線BGに消去電位を印加することで実行できる。配線BGに例えば1.5Vの消去電位を印加し、ワード線WL1乃至ワード線WL8には低電位（メモリトランジスタMT1乃至メモリトランジスタMT8が非導通となる電位、例えば0V）を印加し、選択トランジスタS

DT及び選択トランジスタSSTを導通させることで行うことができる。

[0286]

または、選択トランジスタSDT及び選択トランジスタSSTを非導通状態とし、メモリトランジスタMTのチャネル形成領域を含む酸化物をフローティングとし、配線BGに消去電位として正の電荷（例えば15V）を印加することにより、メモリトランジスタMTのデータを消去することができる。このとき、選択トランジスタSDTおよび選択トランジスタSSTは、非導通状態であるため、ビット線BL、およびソース線SLの電位は任意でよい。ワード線WL1乃至ワード線WL8には、例えば、低電位（メモリトランジスタMT1乃至メモリトランジスタMT8が非導通となる電位、例えば0V）を印加しておく。その結果、チャネル形成領域を含む酸化物がフローティングであるため、配線BGの電位の上昇とともに、酸化物の電位も上昇し、電荷蓄積層に蓄積された電子を酸化物側に引き抜くことができる。

[0287]

さらに異なる消去動作として、ワード線WL1乃至ワード線WL8には、例えば、低電位（メモリトランジスタMT1乃至メモリトランジスタMT8が非導通となる電位、例えば0V）を印加しておく。そして、選択トランジスタSDTおよび選択トランジスタSSTを導通状態にし、ビット線BL、およびソース線SLの電位を上昇させる。このとき、ビット線BL、およびソース線SLの電位は、配線BGの電位より低くする。例えば、ビット線BL、およびソース線SLの電位を10Vとし、配線BGの電位を12Vとする。このとき、配線BGの電位によりメモリトランジスタMTがONとなり、メモリトランジスタMTが有する酸化物も10Vとなる。この結果、電荷蓄積層に蓄積された電子を酸化物側に引き抜くことができる。

[0288]

なお、データの書き換えを行わないメモリトランジスタMTのデータは、ブロックの消去動作の前に別のメモリ領域に格納しておくことが好ましい。

[0289]

<<書き込み動作>>

次に、データの書き込み動作について図35Bを用いて説明する。

[0290]

初めに、配線BGに正の電位、例えば、2Vを印加する。これにより、領域731a、領域731b、領域732a、領域732b、領域734（図11B参照。）において、キャリアが誘起されるため、酸化物704が低抵抗化する。特に、メモリトランジスタMTでは、しきい値電圧が下がるため、メモリトランジスタMTはノーマリーオン特性となる。

[0291]

データの書き込み動作は、上述したページごとに行うことができる。まず、書き込みを行うページのワード線に書き込み電位（例えば15V）を印加し、書き込みを行わないページのワード線に正電位（トランジスタが導通する電位、例えば3V）を印加する。ここでは、図35Bに示すように、まずワード線WL1に書き込み電位を印加し、ワード線WL2乃至WL8に正電位を印加する。そして、選択トランジスタSSTを非導通状態とし、選択トランジスタSDTを導通状態とする。そうすることで、ビット線BLの電位に応じたデータがメモリトランジスタMT1に書き込まれる。具体的には、ビット線BLの電位が低い電位（例えば0V）である場合、ワード線WL1に印加された書き込み電位との電位差が大きくなることによってメモリトランジスタMT1の電荷蓄積層に

電子が注入される。また、例えば、ビット線BLの電位が正電位である場合、ワード線WL 1に印加された書き込み電位との電位差が小さくなることによって、メモリトランジスタMT 1の電荷蓄積層には電子が注入されない。即ち、ビット線BLに低い電位が印加された場合には、メモリトランジスタMT 1にデータ“0”が書き込まれ、正電位が印加された場合にはメモリトランジスタMT 1が保持するデータは“1”のままとなる。

[0292]

ここで、ビット線BLにメモリストリング112ごとに異なる電位を印加することで、ページごとのデータの書き込みを行うことができる。

[0293]

なお、メモリトランジスタMTに多値のデータを書き込むこともできる。例えば、ビット線BLなどの電位や、電位を印加する時間によってメモリトランジスタMTの電荷蓄積層に注入される電荷量を制御すればよい。

[0294]

<<読み出し動作>>

次に、データの読み出し動作について図35Cを用いて説明する。

[0295]

データの読み出し動作においても、配線BGに正の電位を印加することが好ましい。書き込み動作と同様に、例えば、配線BGに正の電位として2V印加することによって、酸化物704が低抵抗化となる。そのため、データの読み出し速度が速くなる場合がある。また、ワード線WLに印加する電位を低減でき、記憶装置の消費電力を低減することができる場合がある。また、メモリトランジスタMTのしきい値電圧(V_{th})がマイナスシフトするため、書き込みが行われていないメモリトランジスタMTは、ノーマリーオンとなるように調整される。これによって、データの読み出し動作において、誤った読み出しを防止することができる。

[0296]

データの読み出し動作も、ページごとに行うことができる。まず、読み出しを行うページのワード線に低い電位（例えば0V）を印加し、読み出しを行わないページのワード線に正電位（トランジスタが導通する電位、例えば3V）を印加する。ここでは、図35Cに示すように、まずワード線WL 1に低い電位を印加し、ワード線WL 2乃至WL 8に正電位を印加する。そして、選択トランジスタSSTおよび選択トランジスタSSTを導通状態とする。また、ビット線BLに読み出し電位（例えば1V）を印加し、ソース線SLに低い電位（例えば0V）を印加する。このとき、メモリトランジスタMTがデータ“1”であればメモリストリング112に電流が流れ、ビット線BLの電位が降下する。メモリトランジスタMT 1が記憶するデータが“0”であれば、メモリストリング112に電流は流れず、ビット線BLの電位は変化しない。センスアンプ123は、ビット線BLの電位を検知し、増幅する。以上により、メモリストリング112のデータを読み出すことができる。

[0297]

ここで、各メモリストリング112のデータをビット線BLに読み出すことで、ページ単位でデータを読み出すことができる。

[0298]

<記憶装置の回路動作の説明2>

次に、上記とは異なる記憶装置の回路の動作方法の例について説明する。具体的には、上記では、選択トランジスタSDT、選択トランジスタSST、メモリトランジスタMT1乃至メモリトランジスタMT8をノーマリーオンの特性とした動作例としたが、本動作例では、選択トランジスタSDT、選択トランジスタSST、メモリトランジスタMT1乃至メモリトランジスタMT8をノーマリーオフの特性とした場合について説明する。

[0299]

図36A乃至図36Cのそれぞれは、メモリストリング112に対して行われる消去動作、書き込み動作、読み出し動作の例を示すタイミングチャートであって、当該タイミングチャートには、配線BG、ビット線BL、ソース線SL、選択ゲート線DGL、選択ゲート線SGL、ワード線WL1乃至ワード線WL8のそれぞれの電位の変化を示している。なお、図36A乃至図36Cに記載しているhighは、高レベル電位を示し、lowは低レベル電位を示している。また、図36Aでは、ワード線WL1乃至ワード線WL8については、いずれの配線に対してほぼ等しい電位を与えるため、まとめて図示している。また、図36Bでは、メモリトランジスタMT1に対してデータを書き込むため、ワード線WL1と、ワード線WL2乃至ワード線WL8と、を分けて図示している。また、図36Cでは、メモリトランジスタMT1からデータを読み出すため、ワード線WL1と、ワード線WL2乃至ワード線WL8と、を分けて図示している。

[0300]

<<消去動作>>

上述と同様に、メモリトランジスタMTにデータを書き込む場合は、書き込み動作の前にデータを消去しておくことが好ましい。図36Aは、時刻ET1から時刻ET4までの間、及びその近傍の時刻において行われる、データの消去動作の例を示している。

[0301]

時刻ET1より前において、配線BGには、例えば、接地電位が与えられている。なお、図36では、接地電位を V_{GND} として図示している。また、配線BGに与えられる電位は、正の電位、又は負の電位としてもよい。

[0302]

また、時刻ET1より前において、ワード線WL1乃至ワード線WL8には、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれがオフ状態となるような低レベル電位VL（例えば、0V）が印加されている。

[0303]

時刻ET1から時刻ET2までの間において、配線BGには、時刻ET1の時点での電位よりも低い電位として、負の電位である電圧 V_{MS} （例えば、-2V）が印加される。これにより、選択トランジスタSDT、選択トランジスタSST、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれがノーマリーオフの特性となる。

[0304]

また、時刻ET1から時刻ET2までの間において、選択ゲート線DGL、選択ゲート線SGLのそれぞれには、低レベル電位（例えば、0V）が与えられている。そのため、選択トランジスタSDT、選択トランジスタSSTは、オフ状態となる。

[0305]

また、選択トランジスタSDT、選択トランジスタSSTは、オフ状態となっているため、時刻

ET 1 から時刻 ET 2 までの間では、ビット線 BL、及びソース線 SL の電位は、任意の電位としてもよい。なお、図 36 A では、ソース線 SL の電位を V_S 、ビット線 BL の電位を V_B 、と図示している。また、電位 V_S 、及び電位 V_B は、互いに等しくてもよく、又は互いに異なってもよい。

[0306]

また、時刻 ET 1 から時刻 ET 2 までの間において、ワード線 WL 1 乃至ワード線 WL 8 には、メモリトランジスタ MT 1 乃至メモリトランジスタ MT 8 がオフ状態になるような電位 V_L （例えば、0 V）が与えられている。

[0307]

時刻 ET 2 から時刻 ET 3 までの間において、選択ゲート線 SGL には高レベル電位が印加され、配線 SL には消去電位 V_E （例えば、10 V 以上）が印加される。このとき、選択ゲート線 SGL に与えられる高レベル電位は、選択トランジスタ SST がオン状態となるような電位（例えば、4 V 以上）であることが好ましい。

[0308]

時刻 ET 1 から時刻 ET 3 までの間の動作を行うことによって、直列に電氣的に接続されたメモリトランジスタ M1 乃至メモリトランジスタ MT 8 のソース端子又はドレイン端子に消去電位 V_E を与えることができる。これにより、それぞれの電荷蓄積層に蓄積された電子を引き抜くことができる。これにより、メモリトランジスタ MT 1 乃至メモリトランジスタ MT 8 は、データ“1”を保持している状態となる。

[0309]

時刻 ET 3 から時刻 ET 4 までの間において、選択ゲート線 SGL には低レベル電位が印加され、ソース線 SL には電位 V_S が印加される。これにより、選択トランジスタ SST は、オフ状態となる。

[0310]

時刻 ET 4 以降において、配線 BG には V_{MS} よりも高い電位、例えば、接地電位 V_{GND} が与えられる。

[0311]

時刻 ET 1 から時刻 ET 4 までの間、及びその近傍の時刻の動作によって、記憶回路、又は半導体装置に含まれているメモリストリング 112 に対して、データの消去動作を行うことができる。

[0312]

なお、本動作例では、選択トランジスタ SDT を常にオフ状態としたが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、選択トランジスタ SST と同様に、時刻 ET 2 から時刻 ET 3 までの間に、選択トランジスタ SDT をオン状態にし、時刻 ET 2 から時刻 ET 3 までの間に、選択トランジスタ SDT をオフ状態にし、かつ、選択トランジスタ SDT をオン状態のときに、配線 BL の電位を V_E としてもよい。これにより、上記の動作よりも速くデータの消去動作をおこなうことができる。

[0313]

なお、本動作例の消去動作では、配線 BG に電位 V_{MS} を印加した後に、選択ゲート線 SGL に高レベル電位を印加しているが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、配線 BG への電位 V_{MS} の印加は、選択ゲート線 SGL への高レベル電位の印加とほぼ同じ

タイミングで行ってもよい。また、例えば、消去動作を速く行いたい場合、配線BGへの電位 V_{MS} の印加は、常に行うことが好ましい。

[0314]

<<書き込み動作>>

次に、データの書き込み動作について説明する。図36Bは、時刻WT1から時刻WT6までの間、及びその近傍の時刻において行われる、データの書き込み動作の例を示している。

[0315]

時刻WT1より前の時刻、及び時刻WT1から時刻WT2までの間の動作は、消去動作の時刻ET1より前の時刻、及び時刻ET1から時刻ET2までの動作と、同様とすることができる。そのため、時刻WT1より前の時刻、及び時刻WT1から時刻WT2までの間の動作に関しては、消去動作の時刻ET1より前の時刻、及び時刻ET1から時刻ET2までの動作の記載を参酌する。

[0316]

時刻WT2から時刻WT3までの間において、選択ゲート線DGLには高レベル電位が印加され、配線BLには書き込み用のデータに応じた電位VBDが印加される。電位VBDとしては、例えば、後述するVpgm、Vpassよりも低い電位、接地電位などとすることができる。なお、電位VBが電位Vpgm、Vpassよりも十分に低い場合は、電位VBのまま変化しなくてもよい。このとき、選択ゲート線DGLに与えられる高レベル電位は、選択トランジスタSDTがオン状態となるような電位（例えば、4V以上）であることが好ましい。

[0317]

時刻WT3から時刻WT4までの間に、メモリトランジスタMT1にデータの書き込みが開始される。具体的には、書き込みが行われるページのワード線WL1には書き込むための選択電位としてVpgm（例えば、15V以上）が印加され、書き込みが行われないページのワード線WL2乃至WL8には正電位Vpassが印加される。このとき、ワード線WL2乃至WL8に与えられるVpassは、メモリトランジスタMT2乃至メモリトランジスタMT8がオン状態となるような電位（例えば、5V以上7V以下）であることが好ましい。

[0318]

これにより、ビット線BLの電位に応じたデータがメモリトランジスタMT1に書き込まれる。具体的には、ビット線BLの電位が低い電位（例えば0V）である場合、ワード線WL1に印加された書き込み電位との電位差が大きくなることによってメモリトランジスタMT1の電荷蓄積層に電子が注入される。また、例えば、ビット線BLの電位が正電位である場合、ワード線WL1に印加された書き込み電位との電位差が小さく、メモリトランジスタMT1の電荷蓄積層には電子が注入されない。即ち、ビット線BLに低い電位が印加された場合にはメモリトランジスタMT1にデータ“0”が書き込まれ、正電位が印加された場合にはメモリトランジスタMT1が保持するデータは“1”のままとなる。

[0319]

時刻WT4から時刻WT5までの間において、ワード線WL1乃至WL8には電位VLが印加される。これにより、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれは、オフ状態となる。

[0320]

時刻WT5から時刻WT6までの間において、選択ゲート線DGLには低レベル電位が印加され、

ビット線BLには電位VBが印加される。これにより、選択トランジスタSDTは、オフ状態となる。

[0321]

時刻WT6以降において、配線BGには V_{MS} よりも高い電位、例えば、接地電位 V_{GND} が与えられる。

[0322]

時刻WT1から時刻WT6までの間、及びその近傍の時刻の動作によって、記憶回路、又は半導体装置に含まれているメモリストリング112に対して、データの書き込み動作を行うことができる。

[0323]

なお、本動作例の書き込み動作では、選択ゲート線DGLに高レベル電位を印加した後に、ワード線WL1乃至WL8のそれぞれに所定の電位を印加しているが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、選択ゲート線DGLへの高レベル電位の印加は、ワード線WL1乃至WL8のそれぞれに所定の電位を印加するのとはほぼ同じタイミングで行ってもよい。また、例えば、ワード線WL1乃至WL8のそれぞれに所定の電位を印加した後に、選択ゲート線DGLに高レベル電位を印加してもよい。また、例えば、配線BGへの電位 V_{MS} の印加は、選択ゲート線DGLへの高レベル電位の印加とはほぼ同じタイミングで行ってもよい。また、例えば、書き込み動作を速く行いたい場合、配線BGへの電位 V_{MS} の印加は、常に行うことが好ましい。

[0324]

<<読み出し動作>>

次に、データの読み出し動作について説明する。図36Cは、時刻RT1から時刻RT6までの間、及びその近傍の時刻において行われる、データの読み出し動作の例を示している。

[0325]

時刻RT1より前の時刻、及び時刻RT1から時刻RT2までの間の動作は、消去動作の時刻ET1より前の時刻、及び時刻ET1から時刻ET2までの動作と、同様とすることができる。そのため、時刻RT1より前の時刻、及び時刻RT1から時刻RT2までの間の動作に関しては、消去動作の時刻ET1より前の時刻、及び時刻ET1から時刻ET2までの動作の記載を参酌する。

[0326]

時刻RT2から時刻RT3までの間において、選択ゲート線DGLには高レベル電位が印加され、選択ゲート線SGLには高レベル電位が印加され、配線BLには読み出し動作用の電位としてVBR（例えば、1V）がプリチャージされ、配線SLにはVBRよりも低い電位としてVSR（例えば、接地電位、0Vなど）が印加される。このとき、選択ゲート線DGLに与えられる高レベル電位は、選択トランジスタSDTがオン状態となるような電位（例えば、4V以上）であることが好ましく、かつ選択ゲート線SGLに与えられる高レベル電位は、選択トランジスタSSTがオン状態となるような電位（例えば、4V以上）であることが好ましい。

[0327]

時刻RT3から時刻RT4までの間に、メモリトランジスタMT1からデータの読み出しが開始される。具体的には、読み出しが行われるページのワード線WL1には読み出すための選択電位として V_r （例えば、3V）が印加され、読み出しが行われないページのワード線WL2乃至ワード線WL8には V_{read} が印加される。このとき、ワード線WL2乃至ワード線WL8に与えられ

る V_{read} は、 V_r よりも高く、かつメモリトランジスタMT 2乃至トランジスタMT 8がオン状態となるような電位（例えば、5 V以上7 V以下）であることが好ましい。

[0328]

これによって、メモリトランジスタMT 1に保持されているデータを読み出すことができる。具体的には、例えば、ビット線BLに V_{BR} として1 Vが印加され、ソース線SLに V_{SR} として0 Vが印加されたとき、メモリトランジスタMTがデータ“1”であればメモリストリング112（ビット線BLとソース線SLとの間）に電流が流れ、ビット線BLの電位が降下する。メモリトランジスタMT 1が記憶するデータが“0”であれば、メモリストリング112に電流は流れず、ビット線BLの電位は変化しない。センスアンプ123は、ビット線BLの電位を検知し、増幅する。なお、図36Cでは、ビット線BLにおいて、読み出し動作によって電位が変化することがある期間をハッチングで示している。

[0329]

時刻RT 4から時刻RT 5までの間において、ワード線WL 1乃至ワード線WL 8には電位VLが印加される。これにより、メモリトランジスタMT 1乃至メモリトランジスタMT 8のそれぞれは、オフ状態となる。

[0330]

時刻RT 5から時刻RT 6までの間において、選択ゲート線DGLには低レベル電位が印加され、選択ゲート線SGLには低レベル電位が印加され、ビット線BLには電位VBが印加され、ソース線SLには電位VSが印加される。これにより、選択トランジスタSDT及び選択トランジスタSSTは、オフ状態となる。

[0331]

時刻RT 6以降において、配線BGには V_{MS} よりも高い電位、例えば、接地電位 V_{GND} が与えられる。

[0332]

時刻RT 1から時刻RT 6までの間、及びその近傍の時刻の動作によって、記憶回路、又は半導体装置に含まれているメモリストリング112に対して、データの読み出し動作を行うことができる。

[0333]

なお、本動作例の読み出し動作では、選択ゲート線DGL、及び選択ゲート線SGLのそれぞれに高レベル電位を印加した後に、ワード線WL 1乃至ワード線WL 8のそれぞれに所定の電位を印加しているが、本発明の一態様の半導体装置の動作方法は、これに限定されない。例えば、選択ゲート線DGL、及び選択ゲート線SGLのそれぞれへの高レベル電位の印加は、ワード線WL 1乃至ワード線WL 8のそれぞれに所定の電位を印加するのとはほぼ同じタイミングで行ってもよい。また、例えば、ワード線WL 1乃至ワード線WL 8のそれぞれに所定の電位を印加した後に、選択ゲート線DGL、及び選択ゲート線SGLのそれぞれに高レベル電位を印加してもよい。また、例えば、配線BGへの電位 V_{MS} の印加は、選択ゲート線DGL、及び選択ゲート線SGLのそれぞれへの高レベル電位の印加とはほぼ同じタイミングで行ってもよい。また、例えば、読み出し動作を速く行いたい場合、配線BGへの電位 V_{MS} の印加は、常に行うことが好ましい。

[0334]

なお、本動作例では、メモリトランジスタMT 1乃至メモリトランジスタMT 8のそれぞれの電

荷蓄積層に電子が注入された状態をデータ“0”、電荷蓄積層から電子が引き抜かれた状態をデータ“1”とする2値についてのデータの書き込み、読み出し、消去を説明したが、本発明の一態様はこれに限定されない。例えば、メモリストリング112のメモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれの電荷蓄積層に保持されるデータは多値、又はアナログ値としてもよい。

[0335]

なお、本明細書等において、記憶装置又は半導体装置の動作で、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれの電荷蓄積層に電子が注入された状態をデータ“0”、電荷蓄積層から電子が引き抜かれた状態をデータ“1”としたが、本発明の一態様はこれに限定されない。例えば、メモリトランジスタMT1乃至メモリトランジスタMT8のそれぞれの電荷蓄積層に電子が注入された状態をデータ“1”、電荷蓄積層から電子が引き抜かれた状態をデータ“0”としてもよい。

[0336]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0337]

(実施の形態2)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[0338]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図37Aを用いて説明する。

[0339]

図37Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0340]

半導体ウェハ4800は、ウェハ4801の表面に、前工程によって複数の回路部4802を形成することで作製することができる。また、その後に、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801を薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[0341]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング4803には、ダイシング工程を容易に行うために、複数のスクライブラインSCL1を平行になるように設け、複数のスクライブラインSCL2を平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けるのが好ましい。

[0342]

ダイシング工程を行うことにより、図37Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、

スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにするのが好ましい。これを達成するには、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

[0343]

なお、本発明の一態様の素子基板の形状は、図37Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[0344]

<電子部品>

図37Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図37Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図37Cに示すチップ4800aには、回路部4802が積層された構成を示している。回路部4802として、上記の実施の形態で説明した半導体装置を適用することができる。図37Cは、電子部品4700の内部を示すために、一部の部品を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[0345]

図37Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[0346]

電子部品4730は、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（HBM: High Bandwidth Memory）などを用いることができる。また、半導体装置4735には、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

[0347]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0348]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」また

は「中間基板」と呼ぶ場合がある。また、インターポーザ 4731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 4732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0349]

インターポーザ 4731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。また、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0350]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0351]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0352]

また、電子部品 4730 と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 4731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 4730 では、半導体装置 4710 と半導体装置 4735 の高さを揃えることが好ましい。

[0353]

電子部品 4730 を他の基板に実装するため、パッケージ基板 4732 の底部に電極 4733 を設けてもよい。図37Dでは、電極 4733 を半田ボールで形成する例を示している。パッケージ基板 4732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 4733 を導電性のピンで形成してもよい。パッケージ基板 4732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0354]

電子部品 4730 は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、またはQFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[0355]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0356]

(実施の形態3)

本実施の形態では、先の実施の形態に示す半導体装置、又は電子部品を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図38A乃至図38Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0357]

図38AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0358]

図38BはSDカードの外観の模式図であり、図38Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0359]

図38DはSSDの外観の模式図であり、図38Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。基板1153のメモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0360]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0361]

(実施の形態4)

本実施の形態では、図39を用いて、上記実施の形態に示す半導体装置、又は電子部品を適用した、AIシステムについて説明を行う。

[0362]

図39はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

[0363]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、3D-NAND4015を有する。

[0364]

ここで、DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。

[0365]

また、NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。DOSRAM、及びNOSRAMは、酸化物を半導体に用いたトランジスタ（以下、OSTランジスタと呼ぶ。）のオフ電流が低いことを利用したメモリである。なお、以下において、NOSRAMのようにOSTランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

[0366]

制御部4020は、CPU（Central Processing Unit）4021と、GPU（Graphics Processing Unit）4022と、PLL（Phase Locked Loop）4023と、SRAM（Static Random Access Memory）4024と、PROM（Programmable Read Only Memory）4025と、メモリコントローラ4026と、電源回路4027と、PMU（Power Management Unit）4028と、を有する。

[0367]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[0368]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[0369]

アナログ演算回路4011はA/D（アナログ／デジタル）変換回路、D/A（デジタル／アナログ）変換回路、および積和演算回路を有する。

[0370]

アナログ演算回路4011はOSTランジスタを用いて形成することが好ましい。OSTランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[0371]

DOSRAM4012は、OSTランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。

DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[0372]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

[0373]

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory) などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することもなく、データの書き込み可能回数に制限が無い。

[0374]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[0375]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット（8値）以上の分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[0376]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速に且つ低消費電力で上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[0377]

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク (DNN)、畳み込みニューラルネットワーク (CNN)、再帰型ニューラルネットワーク (RNN)、自己符号化器、深層ボルツマンマシン (DBM)、深層信念ネットワーク (DBN) などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接

続をハードウェアで構成することで、より高速に実行することができる。

[0378]

FPGA4014はOSトランジスタを有するFPGAである(OS-FPGA)。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[0379]

3D-NAND4015は酸化物半導体を用いた不揮発性メモリである。3D-NAND4015は、高集積化されたメモリであり、単位面積あたりの記憶容量が大きい。

[0380]

また、3D-NAND4015は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。3D-NAND4015は多値データを記憶することで、1ビット当たりのメモリセル面積を、さらに小さくすることができる。

[0381]

また、3D-NAND4015として、例えば、上記実施の形態に示す半導体装置を用いることができる。これにより、メモリセルにおける占有面積を低減することができるので、3D-NAND4015をさらに高集積化させることができる。よって、3D-NAND4015の単位面積当たりの記憶容量を増加させることができる。

[0382]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ(チップ)の上に設けることができる。そのため、AIシステム4041は、高速に且つ低消費電力で、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

[0383]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

[0384]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013または3D-NAND4015に保存してもよい。3D-NAND4015は、高集積化されたメモリであり、単位面積あたりの記憶容量が大きいので、大容量のプログラムを保存することができる。

[0385]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[0386]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げることができる。

[0387]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[0388]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

[0389]

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[0390]

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[0391]

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速に且つ低消費電力で、ニューラルネットワークの計算を実行することができる。

[0392]

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

[0393]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4

033は、映像データのエンコードおよびデコードを行う。

[0394]

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB (Universal Serial Bus) やI2C (Inter-Integrated Circuit) などを含む。

[0395]

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

[0396]

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する）ことが非常に難しい。

[0397]

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[0398]

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

[0399]

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

[0400]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0401]

(実施の形態5)

<AIシステムの応用例>

本実施の形態では、上記実施の形態に示すAIシステムの応用例について図40A及び図40Bを用いて説明を行う。

[0402]

図40Aは、図39で説明したAIシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、AIシステム4041Aである。

[0403]

図40Aに図示するAIシステム4041Aは、複数のAIシステム4041__1乃至AIシステム4041__n (nは自然数) を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。なお、図40Aには、AIシステム4041__1、AIシステム4041__2、AIシステム4041__nを図示しており、それ以外のAIシステムについては図示を省略している。

[0404]

また図40Bは、図39で説明したAIシステム4041を図40Aと同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

[0405]

図40Bに図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。なお、図40Bには、AIシステム4041__1、AIシステム4041__2、AIシステム4041__nを図示しており、それ以外のAIシステムについては図示を省略している。

[0406]

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web (WWW) の基盤であるインターネット、イントラネット、エクストラネット、PAN (Personal Area Network)、LAN (Local Area Network)、CAN (Campus Area Network)、MAN (Metropolitan Area Network)、WAN (Wide Area Network)、GAN (Global Area Network) 等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE (Long Term Evolution)、GSM (Global System for Mobile Communication: 登録商標)、EDGE (Enhanced Data Rates for GSM Evolution)、CDMA2000 (Code Division Multiple Access 2000)、W-CDMA (登録商標) などの通信規格、またはWi-Fi (登録商標)、Bluetooth (登録商標)、ZigBee (登録商標) 等のIEEEにより通信規格化された仕様を用いることができる。

[0407]

図40A、及び図40Bの構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

[0408]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0409]

(実施の形態6)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図41A、図41

B、図4 2 A乃至図4 2 Fに、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[0410]

図4 1 Aに示すロボット2000は、演算装置2001、センサ2002、ライト2003、リフト2004、駆動部2005、移動機構2011を備えており、移動しながら静止画や動画を撮影することができる。このようなロボットは、警備システムや、監視システムとして用いることができる。

[0411]

ロボット2000は、さらに、通信手段2006、スピーカ2007、マイクロフォン2008、表示部2009、発光部2010などを備えていてもよい。

[0412]

演算装置2001には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置2001には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。センサ2002は、ロボット2000の周囲を撮影する、カメラとしての機能を有する。ライト2003は、センサ2002でロボット2000の周囲を撮影する際のライトとして用いることができる。なお、センサ2002で、静止画を撮影する際には、ライト2003は、フラッシュライトとして機能することが好ましい。センサ2002は、リフト2004を介して、ロボット本体と接続されている。センサ2002の高度は、リフト2004により調整することができる。リフト2004は、伸縮式であることが好ましい。また、リフト2004は、複数のブームにより構成された折り畳み式のものでもよい。また、ロボット2000には、駆動部2005と、駆動部2005に接続された移動機構2011が設けられているため、センサ2002による撮像範囲、すなわち監視範囲が広がり、好ましい。

[0413]

通信手段2006は、センサ2002により撮像された情報を管理者や、管理者が所有するサーバへ送信することができる。また、センサ2002により撮像された情報を演算装置2001にて解析し、犯罪、事故、火災などの非常事態と判断された場合は、警備会社、警察、消防、医療機関、土地や建物のオーナーへ連絡することができる。スピーカ2007は、犯罪者への警告、怪我人や急病人への問いかけ、避難の誘導など、ロボット周囲に情報の発信を行うことができる。マイクロフォン2008は、ロボット2000周囲の音声の取得に用いることができる。また、通信手段2006、およびスピーカ2007と合わせて用いることで、ロボット2000は電話としての機能を有することができる。ロボット2000周囲にいる人は、管理者や任意の人と会話することができる。表示部2009は、任意の情報を表示することができる。非常時の場合は、災害情報や避難経路を表示することができる。また、通信手段2006、スピーカ2007、およびマイクロフォン2008と合わせて用いることで、ロボット2000はテレビ電話としての機能を有することができる。ロボット2000周囲にいる人は、管理者や任意の人と表示部2009を見ながら会話することができる。

[0414]

発光部2010は、ロボット2000の進行方向や停止状態を文字や光で示すことができる。また、非常事態を示してもよい。

[0415]

図4 1 Bは、ロボット2000の構成を示すブロック図である。演算装置2001は、センサ2

002により得られた映像などの情報から、ライト2003の点灯や消灯、明るさの調整を行う。また、リフト2004の高さの調整、あるいは、駆動部2005の制御を行い、ロボット2000や、センサ2002の位置合わせを行う。また、駆動部2005の動作状況を、発光部2010を用いて示すことができる。また、通信手段2006を用いて、センサ2002やマイクロフォン2008から得られたロボット2000の周囲の情報を管理者、または管理者が所有するサーバに送信することができる。また、演算装置2001や、管理者の判断により、スピーカ2007や表示部2009を用いて、ロボット2000の周囲に情報を発信することができる。

[0416]

センサ2002として、周囲が暗くても撮像が可能なセンサを用いる場合は、ライト2003は設けなくてもよい。このようなセンサとして、受光部にセレン（Se）を用いたイメージセンサを用いることができる。

[0417]

このようなロボット2000は、商業施設や、オフィスの警備に用いることができる。センサ2002やマイクロフォン2008から得られた情報は、演算装置2001やサーバに保存される。保存された情報は、AIシステムにより解析され、物品の紛失や破損、不審者の侵入、火災などの災害などの異常の有無を判断する。情報の解析には、ディープラーニングを用いてもよい。異常が発生したと判断した場合、ロボット2000は、管理者への連絡および周囲への情報発信を行い、周囲の状況を記録する。

[0418]

また、ロボット2000は、農作物の生育状況の監視に用いてもよい。田んぼや畑に設置されたロボット2000は、センサ2002により、農作物の葉、あるいは実の形、大きさ、色を監視し、病気になっていないか、害虫の付着が無いかを判断する。ロボット2000には、移動機構2011が設けられているため、広範囲の農作物の生育状況を監視することができる。また、ロボット2000には、リフト2004が設けられているため、農作物の種類や、生育状況によらず、任意の高さの葉や実を監視することができる。監視結果は、通信手段2006を用いて生産者に送られ、生産者は、農作物に必要な肥料や農薬の種類、量、散布時期を判断することができる。また、演算装置2001を用いて、監視結果を、AIシステムにより解析し、農作物に必要な、肥料や農薬の種類、量、散布時期を判断して、生産者に通知してもよい。監視結果の解析には、ディープラーニングを用いてもよい。

[0419]

図42Aは、ロボット3001を用いた、仕分けシステム3000を示す。ロボット3001は、演算装置3002、ブーム3003、およびアーム3004を備えている。また、ロボット3001は有線、または無線の通信手段3011を備えていてもよい。また、仕分けシステム3000は、センサ3009を有する筐体3008を備えている。筐体3008は、通信手段3010を有している。筐体3008は、仕分けシステム3000、または仕分け作業エリアの天井、壁、梁（いずれも図示せず）に設けられる。また、筐体3008は、ロボット3001に設けられていてもよい。例えば、ブーム3003、またはアーム3004に設けられていてもよい。筐体3008がロボット3001に設けられている場合は、センサ3009により得られた情報は、通信手段3010、および通信手段3011を介さず、演算装置3002に送られ、処理されてもよい。

[0420]

ブーム 3003 は、可動式となっており、アーム 3004 を所望の位置に配置することができる。また、アーム 3004 は伸縮式としてもよい。所望の物品 3007 上に配置されたアーム 3004 を伸ばし、所望の物品 3007 を掴み、アーム 3004 を縮めた後、ブーム 3003 によりアーム 3004 を移動してもよい。

[0421]

仕分けシステム 3000 は、容器 3005 内の物品 3007 を容器 3006 に移動させることができる。容器 3005 と容器 3006 は、同一形状でも良いし、異なる形状でもよい。また、一つの容器 3005 に入れられた複数の物品 3007 を複数の容器 3006 に振り分けて移動してもよい。

[0422]

容器 3005、および容器 3006 として、コンテナ、段ボール箱、商品を梱包する箱、ケース、フィルム、または袋、食品保管用のバット、弁当箱などが用いられる。また、容器 3005、および容器 3006 の少なくとも一方は、鍋やフライパンなどの調理器具でもよい。

[0423]

演算装置 3002 には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置 3002 には、本発明の一態様に係る AI システムが組み込まれた IC を用いることができる。

[0424]

センサ 3009 は、容器 3005 の位置や個数、容器 3006 の位置や個数、容器 3005 内、および容器 3005 内の物品 3007 の状態を読み取り、通信手段 3010 を用いて演算装置 3002 に情報を送信する。情報の送信は無線または、有線で行う。また、通信手段 3010 を用いずに、有線にて情報を送信してもよい。演算装置 3002 は、送信された情報の解析を行う。ここで、物品 3007 の状態とは、形、数、物品 3007 同士の重なりなどのことを指す。演算装置 3002 は、センサ 3009 からの情報をもとに解析を行い、物品 3007 の詳細情報を導出する。演算装置 3002、またはロボット 3001 と通信可能なサーバに保存されたデータと比較し、物品 3007 の三次元形状や、硬さ（柔らかさ）を導出する。また、物品 3007 の三次元形状や硬さ（柔らかさ）から、アーム 3004 の形状を変えることができる。また、物品 3007 の形状や大きさに応じて容器 3006 内の配置場所を変え、仕分けを行ってもよいし、複数の異なる容器 3006 に配置し、仕分けを行ってもよい。

[0425]

物品 3007 の詳細情報を導出するには、AI システムを用いた解析を利用することができる。情報の解析には、ディープラーニングを用いてもよい。

[0426]

図 42B は、一対の板 3021 が水平方向に移動し、物品 3007 を挟むことができるアームである。一対の板 3021 が中心に向かって水平方向に移動することで、物品 3007 を挟むことができる。このようなアームは、物品 3007 を面で捉えることができ、立方体や直方体など、柱状の形を有する物品 3007 を掴むのに適している。図 42C は、複数のバー 3022 が水平方向に移動し、物品 3007 を挟むことができるアームである。複数のバー 3022 が中心に向かって水平方向に移動することで、物品 3007 を挟むことができる。このようなアームは、物品 3007 を点で捉えることができ、球状の形を有する物品 3007、または物品 3007 の形が一定でない場合、すなわち不定型な物品 3007 を掴むに適している。なお、図 42C では、バー 3022 の

数を4本としたが、本実施の形態はこれに限らない。バー3022は3本でもよいし、5本以上でもよい。図42Dは、一对の板3023が、共通の軸を中心に、お互いが近づくように回転することで物品3007を挟むことができるアームである。このようなアームは、物品3007を面で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品3007を掴むのに適している。図42Eは、一对のかぎ状の板3024が、共通の軸を中心に、お互いの先端が近づくように回転することで物品3007を挟むことができるアームである。このようなアームは、物品3007を点、または線で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品3007や、より小さい粒状の形を有する物品3007を掴むのに適している。また、図42Fに示すように、アームの先端にヘラ3025を取り付け、より小さい粒状の形を有する物品3007をすくってもよい。

[0427]

図42A乃至図42Fに示すアームは、一例であり、本発明の一態様はこれらの形状に限らない。また、各アームの用途の説明も一例であり、本発明の一態様はこれらの記載に限らない。

[0428]

ロボット3001は、演算装置3002からの信号に基づき、ブーム3003を動かし、アーム3004を、容器3005内の所望の物品3007上に移動する。伸縮式のアーム3004の場合、アーム3004を伸ばし、アーム3004の先端を物品3007の高さまで降ろす。アームの先端を動かし、所望の物品3007を掴む。物品3007を掴んだまま、アームを縮める。再びブーム3003を動かし、アーム3004を、容器3006の所望の位置に移動する。このとき、容器3006に対する物品3007の角度を調整する為、アーム3004を回転してもよい。アーム3004を伸ばし、物品3007を容器3006に配置し、アーム3004は、物品3007を放す。以上の操作を繰り返し行い、ロボット3001は、物品3007を容器3005から容器3006に移動させることができる。

[0429]

容器3005、および容器3006の位置情報、および物品3007の状態を、AIシステムを用いて解析しているため、物品3007の形状や硬さによらず、確実に物品3007を移動することができる。物品3007の例としては、立方体、または直方体の箱、または任意の形状の箱やケースに詰められた物品だけでなく、卵、ハンバーグやコロッケなど、成形された加工食品、ジャガイモやトマトなど、不定形な野菜などの食品、ネジやナットなどの機械部品、紙やフィルムなどの薄膜などが挙げられる。本実施の形態に示した仕分けシステム3000は、物品3007の形状や硬さを考慮してアームの形状を変えることができるため、上記に例示した物品3007を、形状や硬さによらず、容器3005から容器3006に移動させることができる。

[0430]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

[0431]

また、例えば、上述した電子機器の演算装置などに、上記AIシステムが組み込まれたICを用いることができる。これにより、本実施の形態に示す電子機器は、AIシステムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

[0432]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0433]

100：記憶装置、105：制御回路、110：メモリセルアレイ、112：メモリストリング、121：行デコーダ、122：行ドライバ、123：センスアンプ、124：ソース線ドライバ、125：入出力回路、300：回路、301：トランジスタ、302：トランジスタ、303：トランジスタ、304：センスアンプ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、317：絶縁体、318：絶縁体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、327：絶縁体、328：導電体、329：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、700：メモリセルアレイ、700A：メモリセルアレイ、701：導電体、701a：導電体、701A：導電膜、701b：導電体、701B：導電膜、701c：導電体、702：導電体、702A：導電膜、702b：絶縁体、702B：導電膜、703：絶縁体、703a：絶縁体、703A：絶縁膜、703b：絶縁体、703c：絶縁体、704：酸化物、704a：酸化物、704A：酸化膜、704b：酸化物、704c：酸化物、705：導電体、705B：導電体、705S：導電体、706：導電体、707：導電体、708：導電体、709：導電体、710：導電体、711：絶縁体、711A：絶縁膜、712：導電体、712A：導電膜、713：絶縁体、714：導電体、715：導電体、717：絶縁体、718：膜、720：基体、721：絶縁体、722：絶縁体、722A：絶縁膜、722B：絶縁膜、723：マスク、723A：マスク、724：絶縁体、725：マスク、726：絶縁体、727：材料、729：マスク、731a：領域、731b：領域、732：領域、732a：領域、732b：領域、734：領域、750：記憶装置、752：導電体、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、2000：ロボット、2001：演算装置、2002：センサ、2003：ライト、2004：リフト、2005：駆動部、2006：通信手段、2007：スピーカ、2008：マイクロフォン、2009：表示部、2010：発光部、2011：移動機構、3000：システム、3001：ロボット、3002：演算装置、3003：ブーム、3004：アーム、3005：容器、3006：容器、3007：物品、3008：筐体、3009：センサ、3010：通信手段、3011：通信手段、3021：板、3022：バー、3023：板、3024：板、3025：ヘラ、4010：演算部、4011：アナログ演算回路、4012：DOSRAM、4013：NOSRAM、4014：FPGA、4020：制御部、4021：CPU、4022：GPU、4023：PLL、4025：PROM、4026：メモリコントローラ、4027：電源回路、4028：PMU、4030：入出力部、4031：外部記憶制御回路、4032：音声コーデック、4033：映像コーデック、4034：汎用入出力モジュール、4035：通信モジュール、4041：AIシステム、4041A：AIシステム、4041B：AIシステム、4098：バス線、

4 0 9 9 : ネットワーク、4 7 0 0 : 電子部品、4 7 0 2 : プリント基板、4 7 0 4 : 実装基板、
4 7 1 0 : 半導体装置、4 7 3 0 : 電子部品、4 7 3 1 : インターポーザ、4 7 3 2 : パッケージ
基板、4 7 3 3 : 電極、4 7 3 5 : 半導体装置、4 8 0 0 : 半導体ウェハ、4 8 0 0 a : チップ、
4 8 0 1 : ウェハ、4 8 0 1 a : ウェハ、4 8 0 2 : 回路部、4 8 0 3 : スペーシング、4 8 0 3
a : スペーシング

請求の範囲

[請求項 1]

積層体を有し、
前記積層体は、
第 1 の絶縁体と、
前記第 1 の絶縁体上の、第 1 の導電体と、
前記第 1 の導電体上の、第 2 の絶縁体と、
前記第 1 の絶縁体、前記第 1 の導電体、及び前記第 2 の絶縁体に設けられた第 1 の開口の内側に位置する酸化物と、
前記第 1 の開口において、前記酸化物の外側に位置する第 3 の絶縁体と、
前記第 1 の開口において、前記酸化物の内側に位置する、第 2 の導電体と、
前記第 1 の開口において、前記酸化物と、前記第 2 の導電体と、の間に位置する第 4 の絶縁体と、
を有し、
前記第 3 の絶縁体は、
前記第 1 の開口の側面に位置するゲート絶縁層と、
前記酸化物の外側に位置するトンネル絶縁層と、
前記ゲート絶縁層と前記トンネル絶縁層の間に位置する電荷蓄積層と、
を有する、
半導体装置。

[請求項 2]

請求項 1 において、
前記積層体は、
前記第 1 の絶縁体の上方に位置する、第 3 の導電体と、
前記第 3 の導電体上の、第 5 の絶縁体と、
前記第 3 の導電体、及び前記第 5 の絶縁体に設けられた第 2 の開口の内側に位置する前記酸化物と、
前記第 2 の開口の側面と前記酸化物との間に位置する前記ゲート絶縁膜と、
前記第 2 の開口において、前記酸化物の内側に位置する、前記第 2 の導電体と、
前記第 1 の開口において、前記酸化物と、前記第 2 の導電体と、の間に位置する前記第 4 の絶縁体と、
を有し、
前記第 2 の開口は、前記第 1 の開口と重畳する領域に位置する、
半導体装置。

[請求項 3]

請求項 1、又は請求項 2 において、
前記酸化物は、
第 1 の層と、
前記第 1 の層の内側に接して設けられた第 2 の層と、
前記第 2 の層の内側に接して設けられた第 3 の層と、
を有し、

前記第2の層のエネルギーギャップは、前記第1の層のエネルギーギャップより狭く、
前記第2の層のエネルギーギャップは、前記第3の層のエネルギーギャップより狭い、
半導体装置。

[請求項4]

請求項3において、前記酸化物は、少なくともインジウムを有する、
半導体装置。

[請求項5]

請求項3において、
前記酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有する、
半導体装置。

[請求項6]

請求項5において、
前記元素MはGaであって、
前記第2の層に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、又はその近傍の組成である、
半導体装置。

[請求項7]

請求項5において、
前記元素MはGaであって、
前記第2の層に含まれている、Inと、Gaと、Znとの原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、又はその近傍の組成である、
半導体装置。

[請求項8]

請求項1乃至請求項7のいずれか一項において、
制御回路を有し、
前記制御回路は、前記積層体の下方に位置する、
半導体装置。

[請求項9]

第1の絶縁体を形成し、
前記第1の絶縁体上に、第1の導電体を形成し、
前記第1の導電体上に、第2の絶縁体を形成し、
前記第2の絶縁体、前記第1の導電体、及び前記第1の絶縁体を加工し、第1の開口を有する第1の積層体を形成し、
前記第1の開口において、前記第1の絶縁体、前記第1の導電体、および前記第2の絶縁体と接するように第3の絶縁体を形成し、
前記第3の絶縁体と接するように酸化物を形成し、
前記酸化物と接するように第4の絶縁体を形成し、
前記第4の絶縁体に接するように第2の導電体を形成する、
半導体装置の作製方法。

[請求項10]

請求項 9 において、
前記第 1 の絶縁体の上方に、第 3 の導電体を形成し、
前記第 3 の導電体上に、第 5 の絶縁体を形成し、
前記第 3 の導電体、及び第 5 の絶縁体を加工し、第 1 の開口と重畳する領域に第 2 の開口が位置する第 2 の積層体を形成し、
前記第 2 の開口において、前記第 3 の導電体、及び前記第 5 の絶縁体と接するように前記第 3 の絶縁体を形成し、
前記第 3 の絶縁体に接するように前記酸化物を形成し、
前記酸化物と接するように前記第 4 の絶縁体を形成し、
前記第 4 の絶縁体に接するように前記第 2 の導電体を形成する、
半導体装置の作製方法。

[請求項 1 1]

請求項 9、又は請求項 1 0 において、
前記酸化物の形成は、
前記第 3 の絶縁体に接するように第 1 の層を形成し、
前記第 1 の層の内側に接するように第 2 の層を形成し、
前記第 2 の層の内側に接するように第 3 の層を形成することによって行われ、
前記第 2 の層のエネルギーギャップは、前記第 1 の層のエネルギーギャップより狭く、
前記第 2 の層のエネルギーギャップは、前記第 3 の層のエネルギーギャップより狭い、
半導体装置の作製方法。

[請求項 1 2]

請求項 1 1 において、
前記酸化物は、少なくともインジウムを有する、
半導体装置の作製方法。

[請求項 1 3]

請求項 1 1 において、
前記酸化物は、In と、元素 M (M は Al、Ga、Y、または Sn) と、Zn と、を有する、
半導体装置の作製方法。

[請求項 1 4]

請求項 1 3 において、
前記元素 M は Ga であって、
前記第 2 の層に含まれている、In と、Ga と、Zn との原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、又はその近傍の組成である、
半導体装置の作製方法。

[請求項 1 5]

請求項 1 3 において、
前記元素 M は Ga であって、
前記第 2 の層に含まれている、In と、Ga と、Zn との原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 0 : 1 : 3$ 、又はその近傍の組成である、
半導体装置の作製方法。

[請求項 16]

バックゲートを有する第1のトランジスタと、
バックゲートと、電荷蓄積層と、を有する第2のトランジスタと、
バックゲートを有する第3のトランジスタと、を有し、
前記第1乃至第3のトランジスタのそれぞれのチャネル形成領域は、金属酸化物を有し、
前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方に電氣的に接続され、
前記第2のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのソース又はドレインの一方に電氣的に接続されている、
半導体装置の動作方法であって、
書き込み動作と、読み出し動作と、を有し、
前記書き込み動作は、
前記第1乃至第3のトランジスタのそれぞれのバックゲートに、前記第1の電位を印加する動作と、
前記第1のトランジスタのゲートに、前記第1のトランジスタがオン状態となる高レベル電位を印加する動作と、
前記電荷蓄積層に電子を注入するために、前記第2のトランジスタのゲートに第3の電位を印加する動作と、前記第1のトランジスタのソース又はドレインの他方に第4の電位を印加する動作と、
を有し、
前記読み出し動作は、
前記第1乃至第3のトランジスタのそれぞれのバックゲートに、前記第1の電位を印加する動作と、
前記第1のトランジスタのゲートに、前記第1のトランジスタがオン状態となる高レベルを印加する動作と、
前記第3のトランジスタのゲートに、前記第3のトランジスタがオン状態となる高レベルを印加する動作と、
前記第2のトランジスタのゲートに、第5の電位を印加する動作と、
前記第1のトランジスタのソース又はドレインの他方に第6の電位を印加する動作と、
前記第3のトランジスタのソース又はドレインの他方に第7の電位を印加する動作と、
を有し、
前記第1の電位は負の電位である、
半導体装置の動作方法。

[請求項 17]

請求項16において、
消去動作を有し、
前記消去動作は、
前記第1乃至第3のトランジスタのそれぞれのバックゲートに、前記第1の電位を印加する動作と、
前記第3のトランジスタのゲートに、前記第3のトランジスタがオン状態となる高レベル電位

を印加する動作と、

前記第3のトランジスタのソース又はドレインの他方に、前記第2のトランジスタの前記電荷蓄積層から電子を引き抜くための第8の電位を印加する動作と、

を有する、

半導体装置の動作方法。

[請求項18]

請求項16、又は請求項17において、

前記金属酸化物は、少なくともInを有する、

半導体装置の動作方法。

[請求項19]

請求項16、又は請求項17において、

前記金属酸化物は、Inと、Znと、を有する、

半導体装置の動作方法。

[請求項20]

請求項19において、

前記金属酸化物は、ZnよりもInの割合が多い、

半導体装置の動作方法。

[請求項21]

請求項19において、

前記金属酸化物に含まれている、Inと、Znとの原子数比は、 $In : Zn = 2 : 1$ 、又はその近傍の組成である、

半導体装置の動作方法。

[請求項22]

請求項19において、

前記金属酸化物に含まれている、Inと、Znとの原子数比は、 $In : Zn = 5 : 1$ 、又はその近傍の組成である、

半導体装置の動作方法。

[請求項23]

請求項19において、

前記金属酸化物に含まれている、Inと、Znとの原子数比は、 $In : Zn = 10 : 1$ 、又はその近傍の組成である、

半導体装置の動作方法。

[請求項24]

請求項16、又は請求項17において、

前記金属酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有する、

半導体装置の動作方法。

[請求項25]

請求項24において、

前記元素MはGaであって、

前記金属酸化物に含まれている、Inと、Gaと、Znとの原子数比は、 $In : Ga : Zn =$

5 : 1 : 3、又はその近傍の組成である、
半導体装置の動作方法。

[請求項 26]

請求項 24 において、
前記元素 M は Ga であって、
前記金属酸化物に含まれている、In と、Ga と、Zn との原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ 、又はその近傍の組成である、
半導体装置の動作方法。

図1

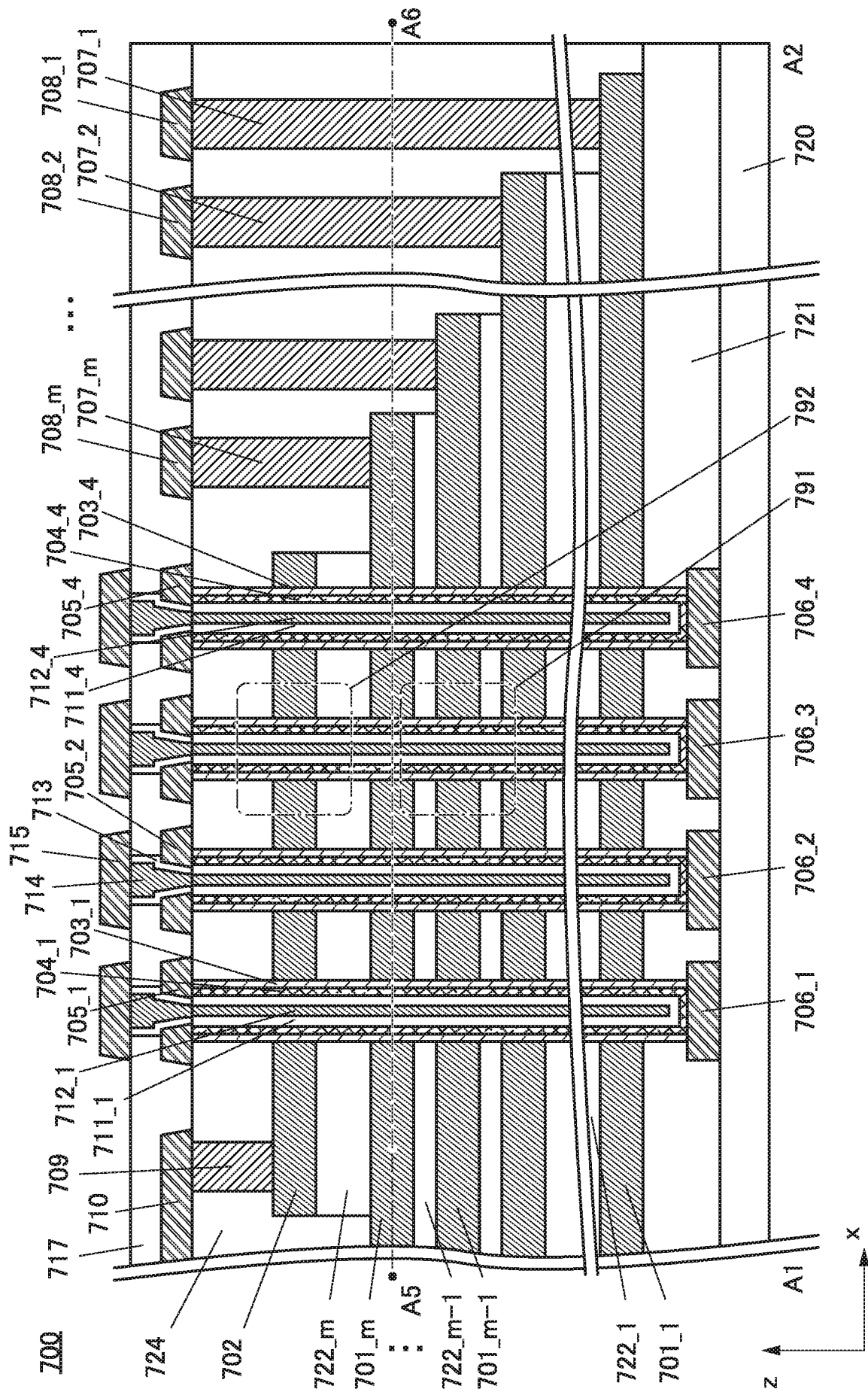


図2A

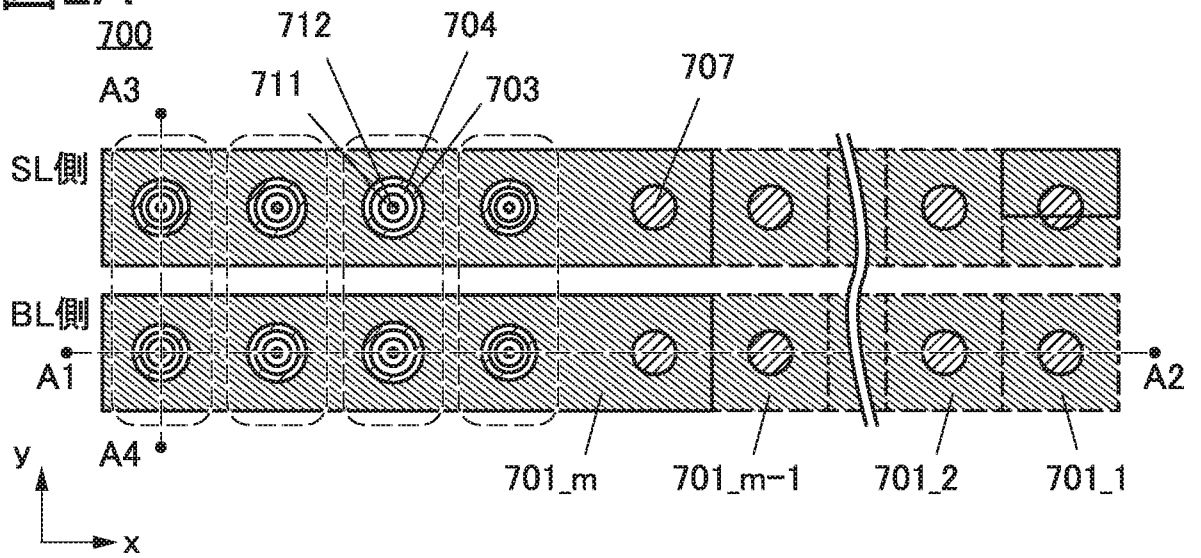


図2B

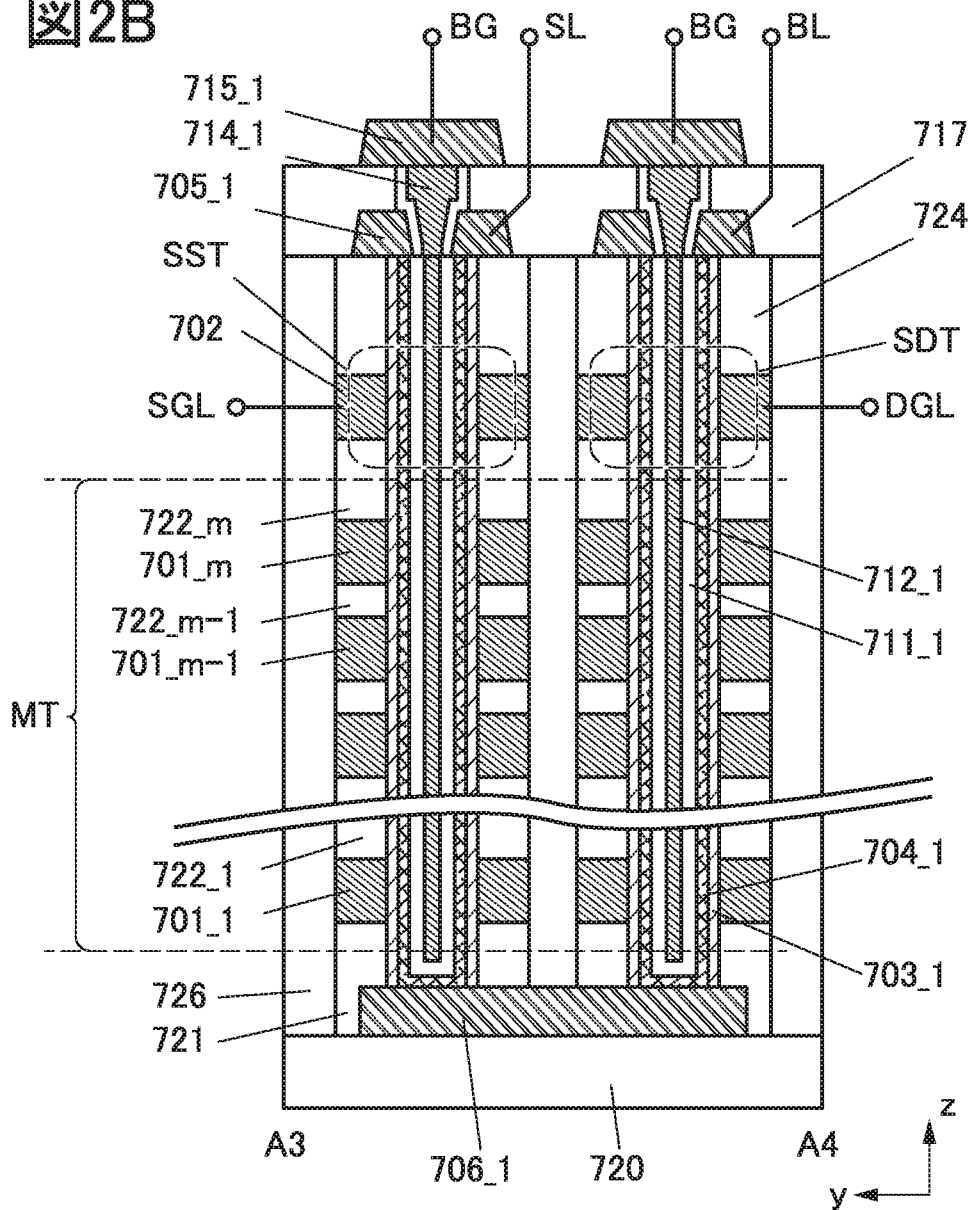


図3A

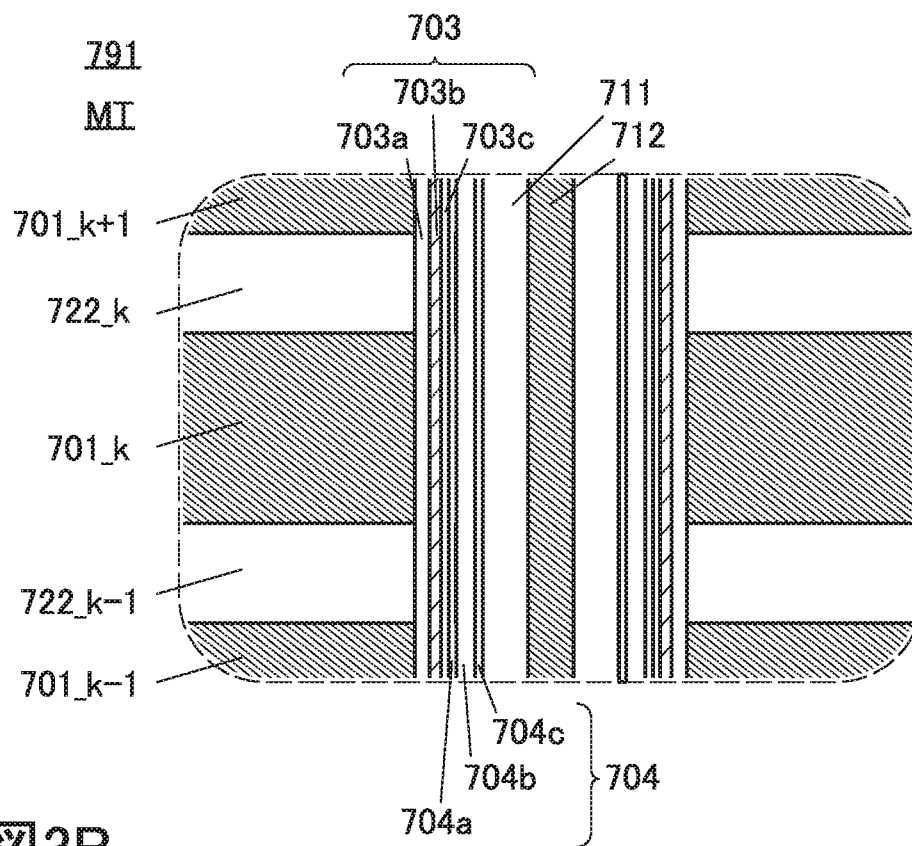


図3B

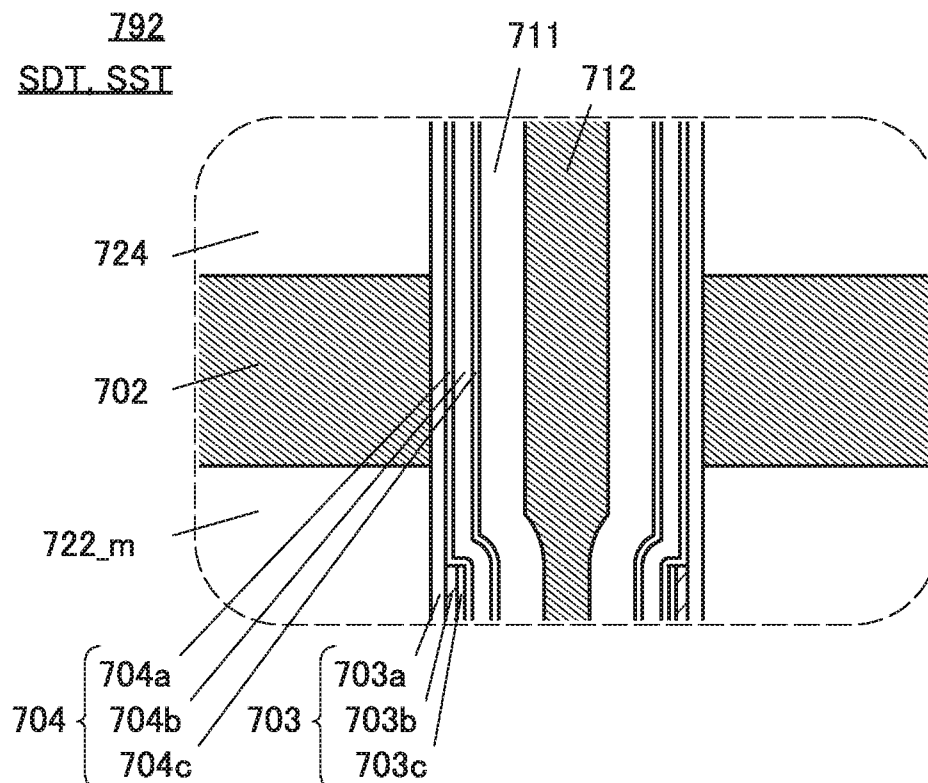


図4

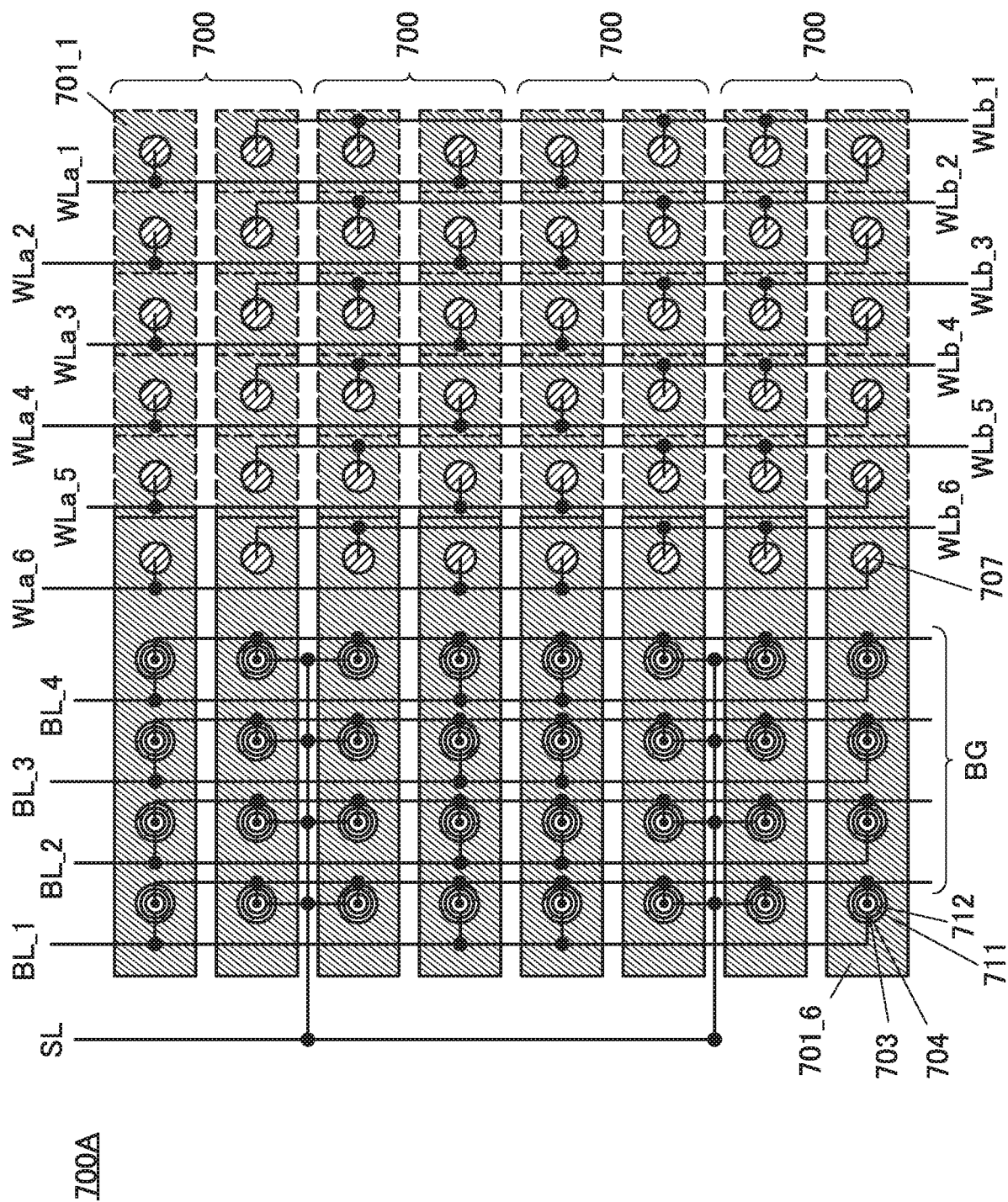


図5

750

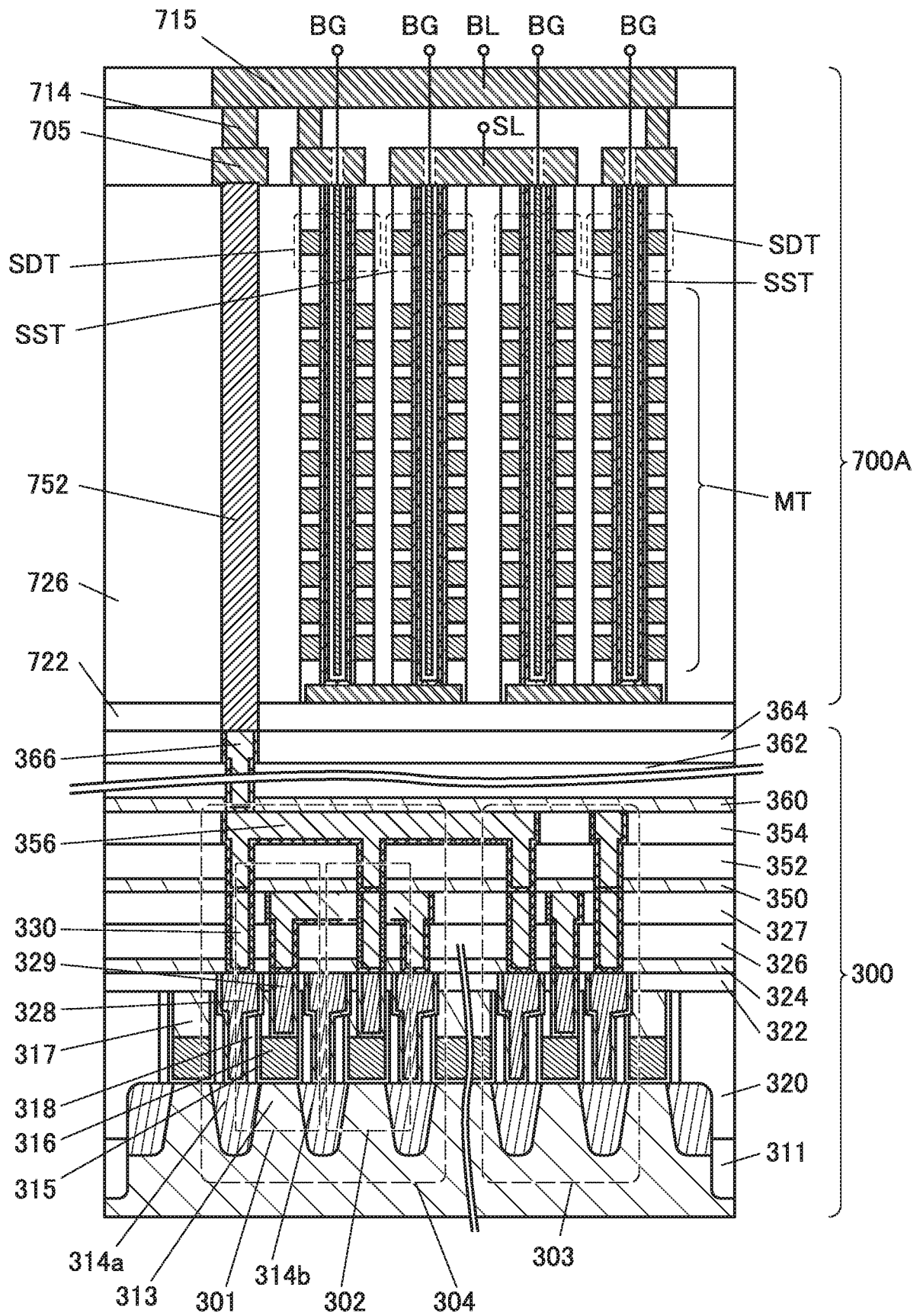


図6

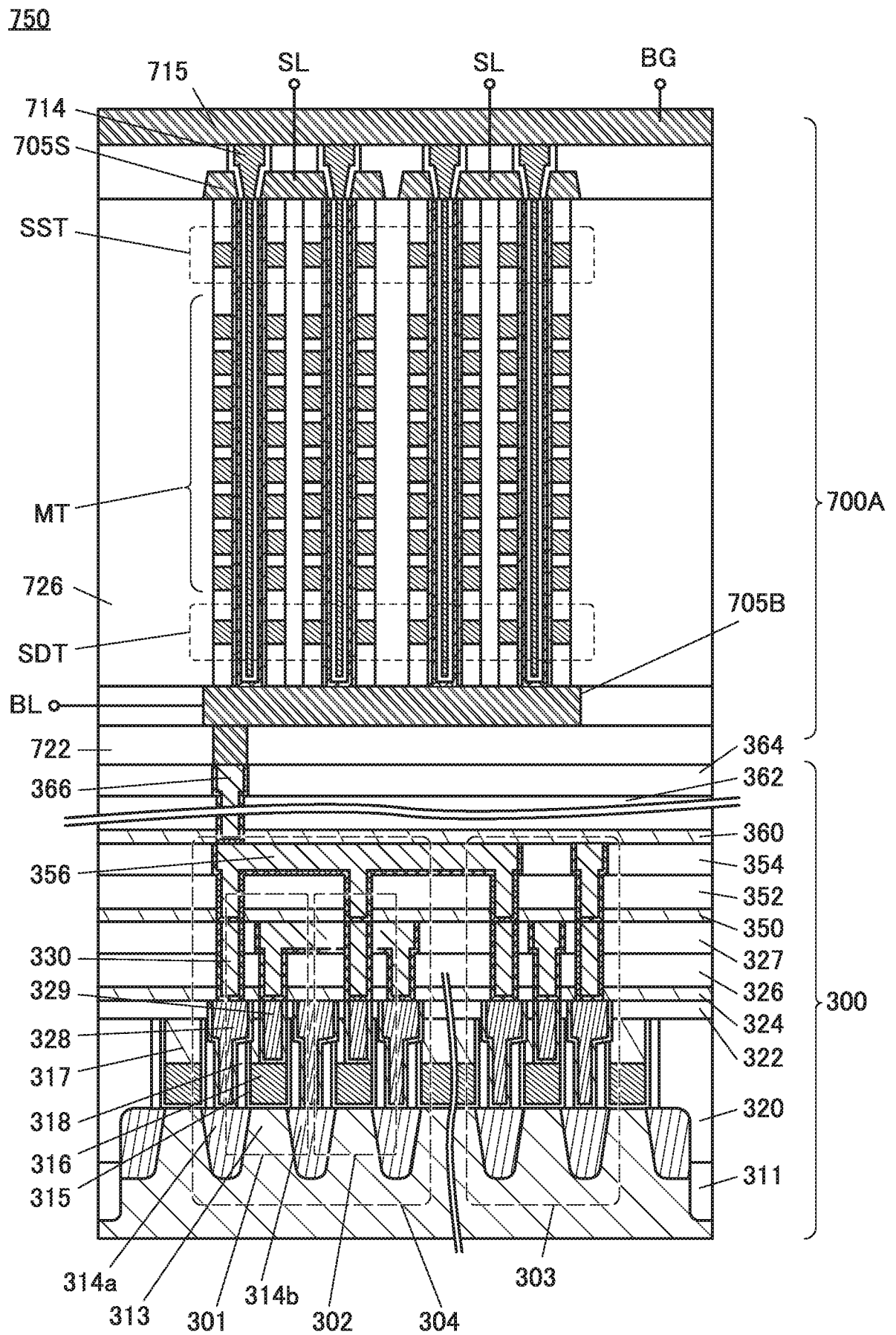


図 7A

Amorphous	Crystalline	Crystal
completely amorphous	▪ CAAC ▪ nc ▪ CAC	▪ single crystal ▪ poly crystal

図 7B

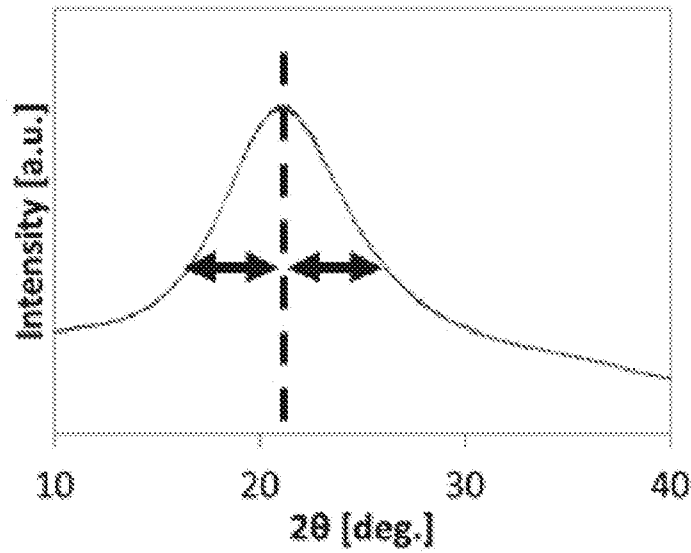
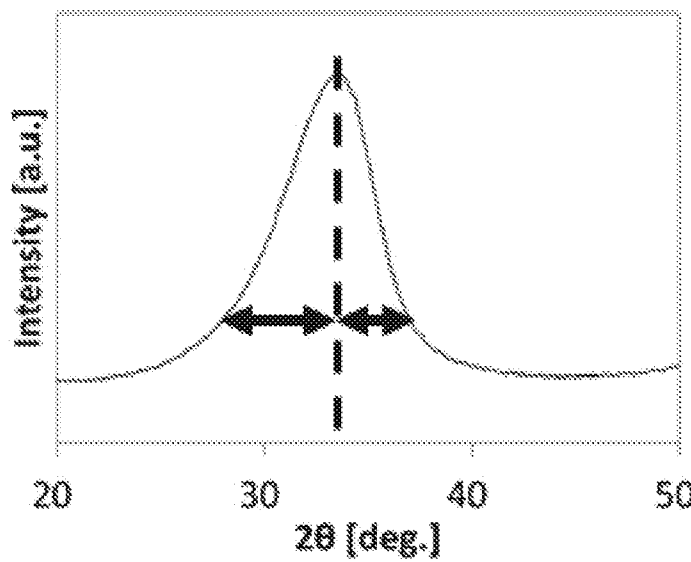


図 7C



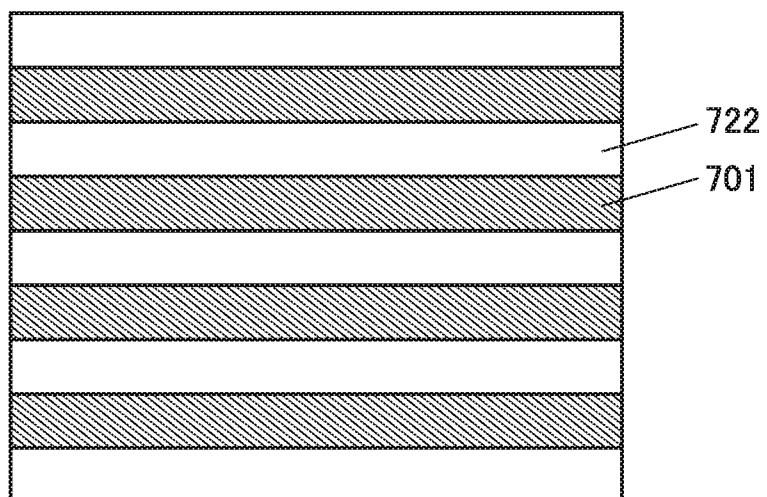


Figure 8B

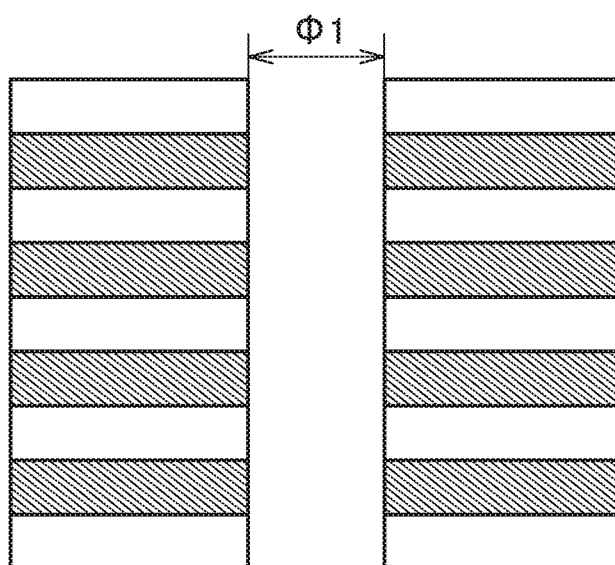


図9A

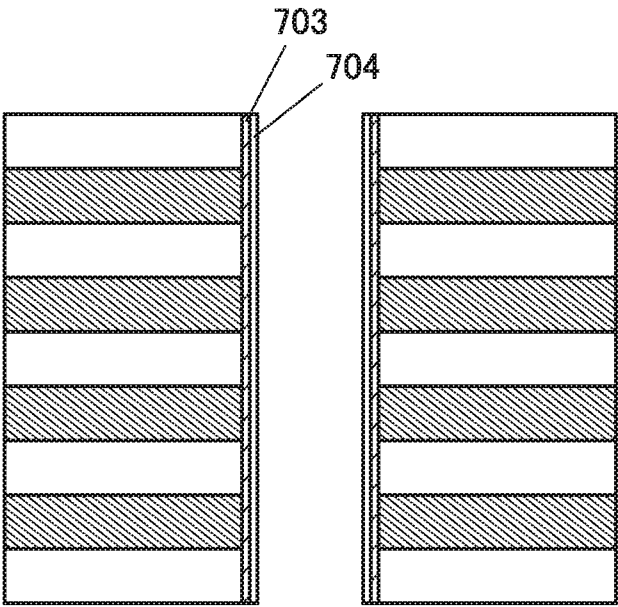


図9B

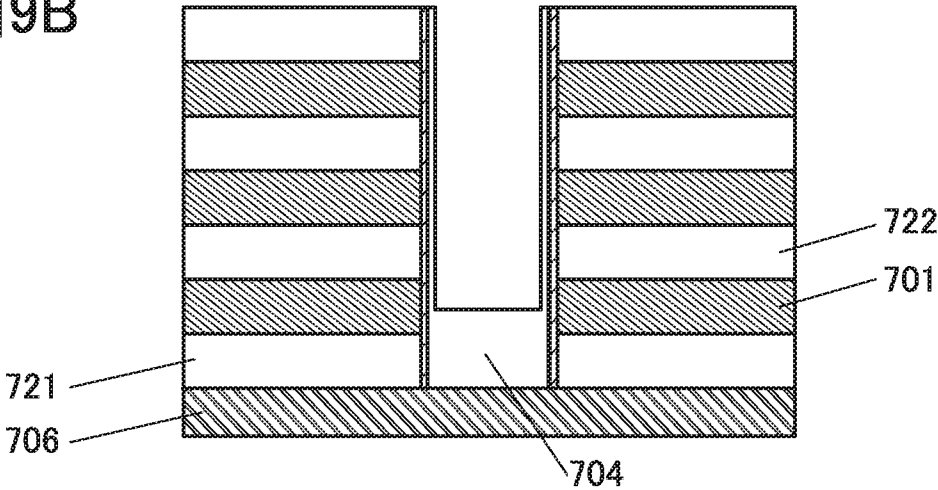
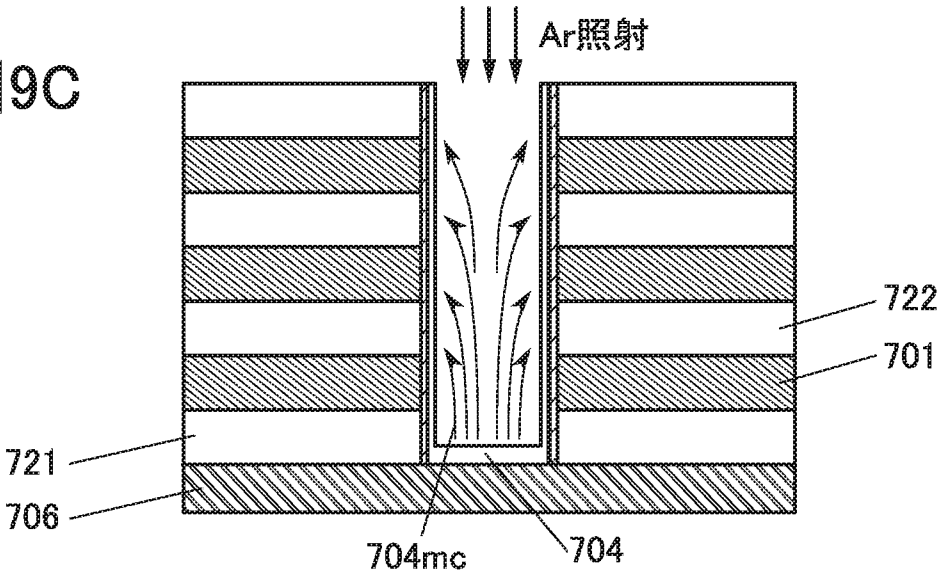
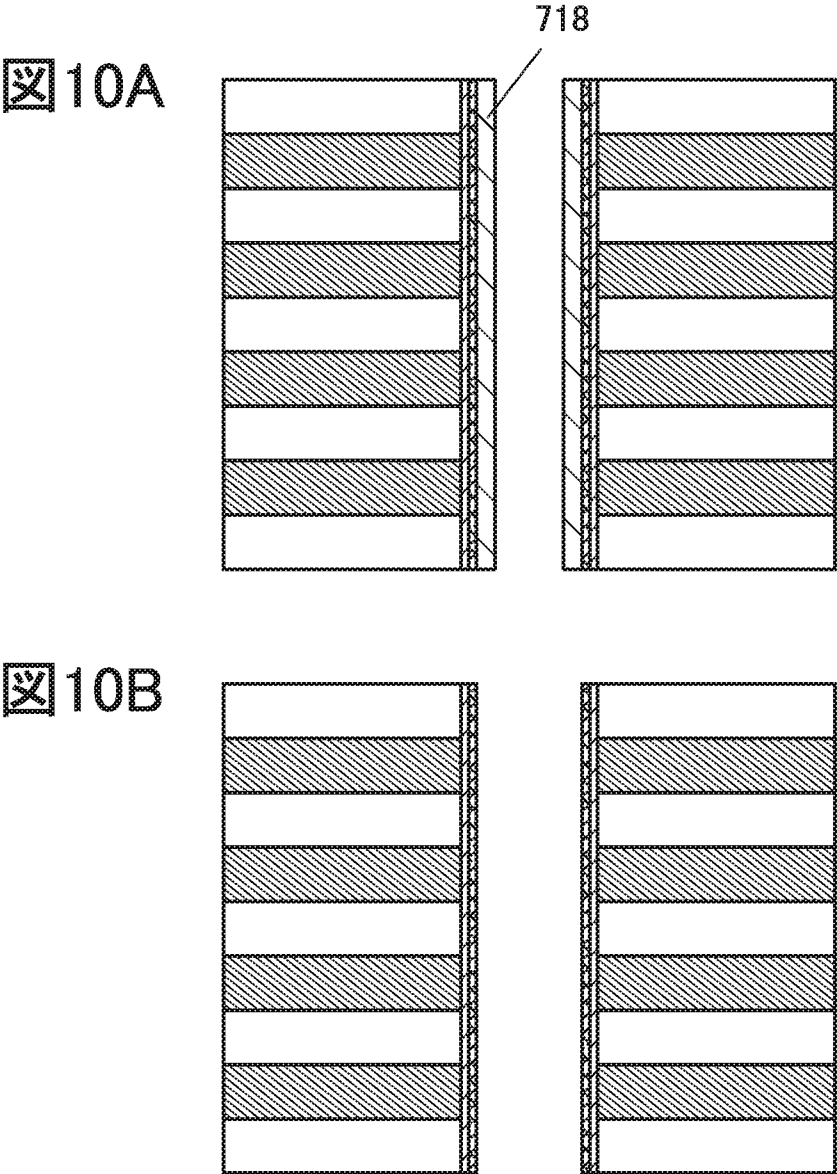


図9C





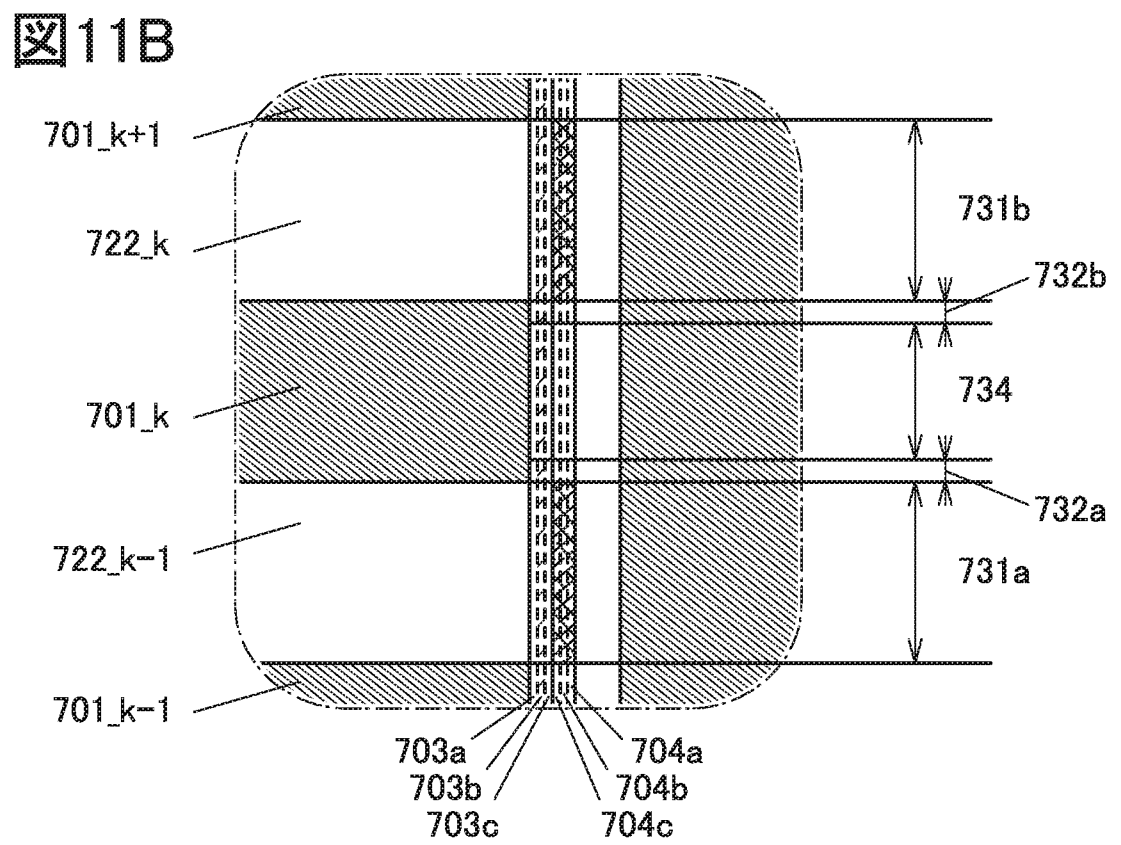
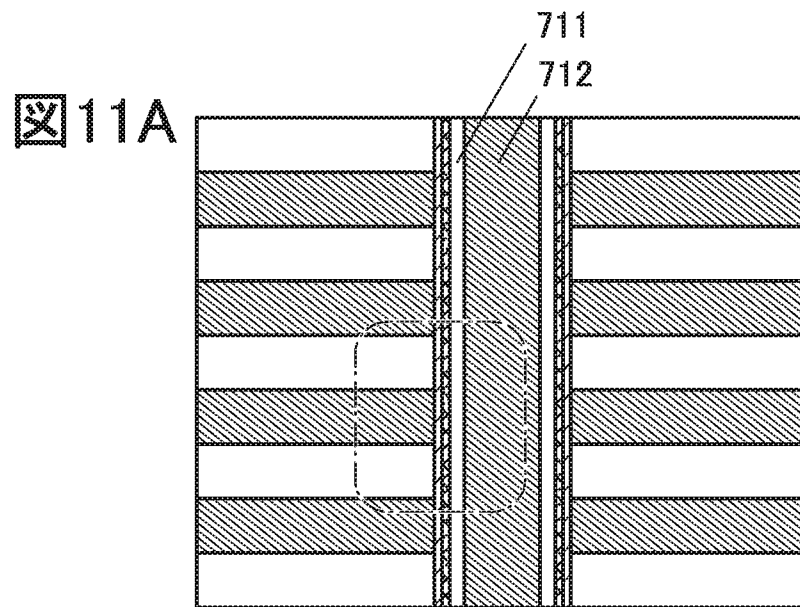
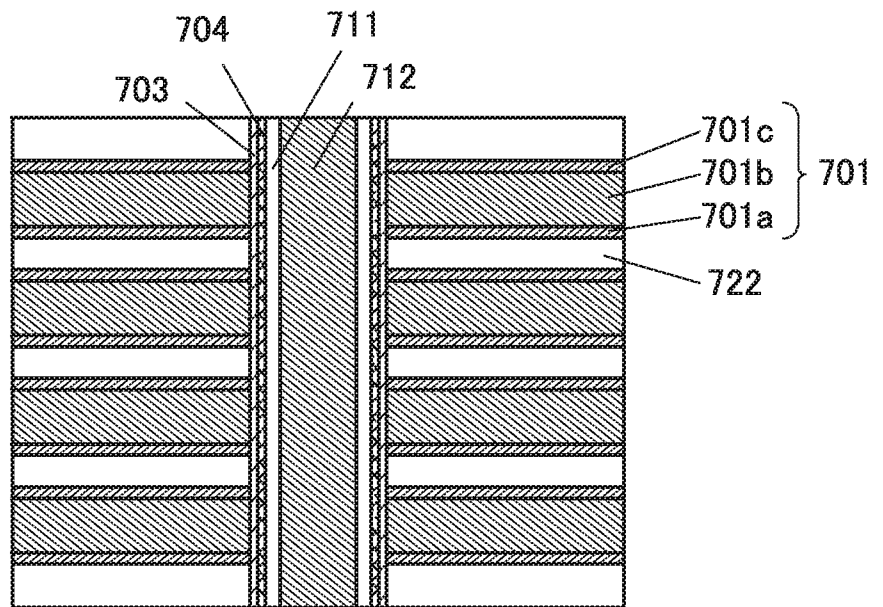


図12



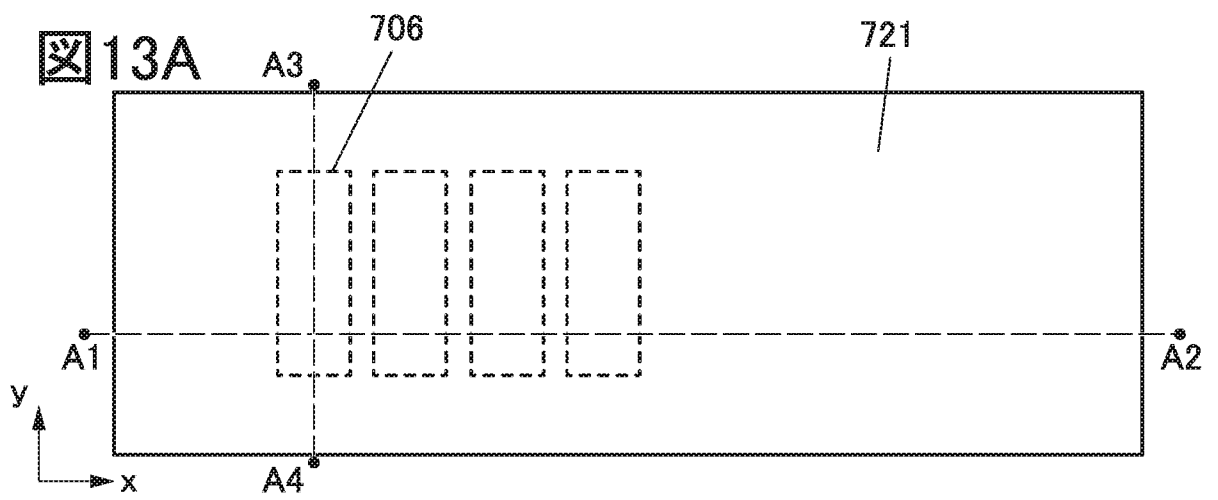


图 13B

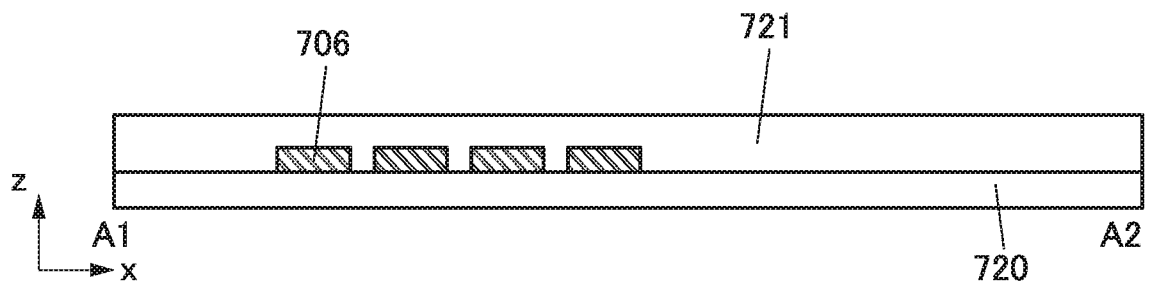
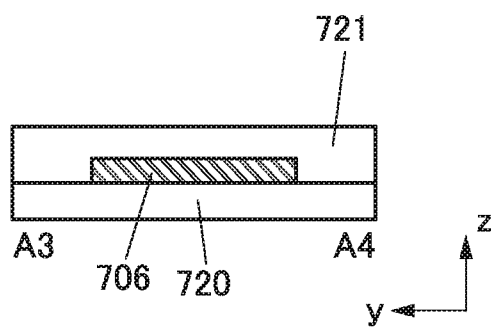
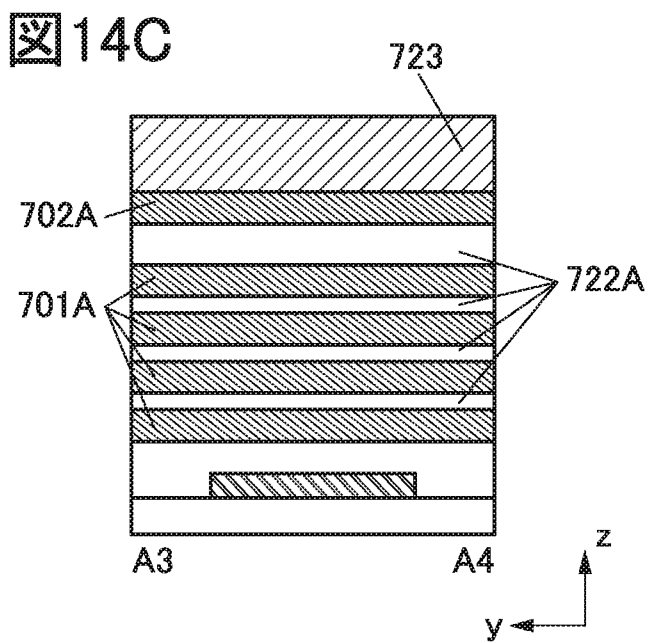
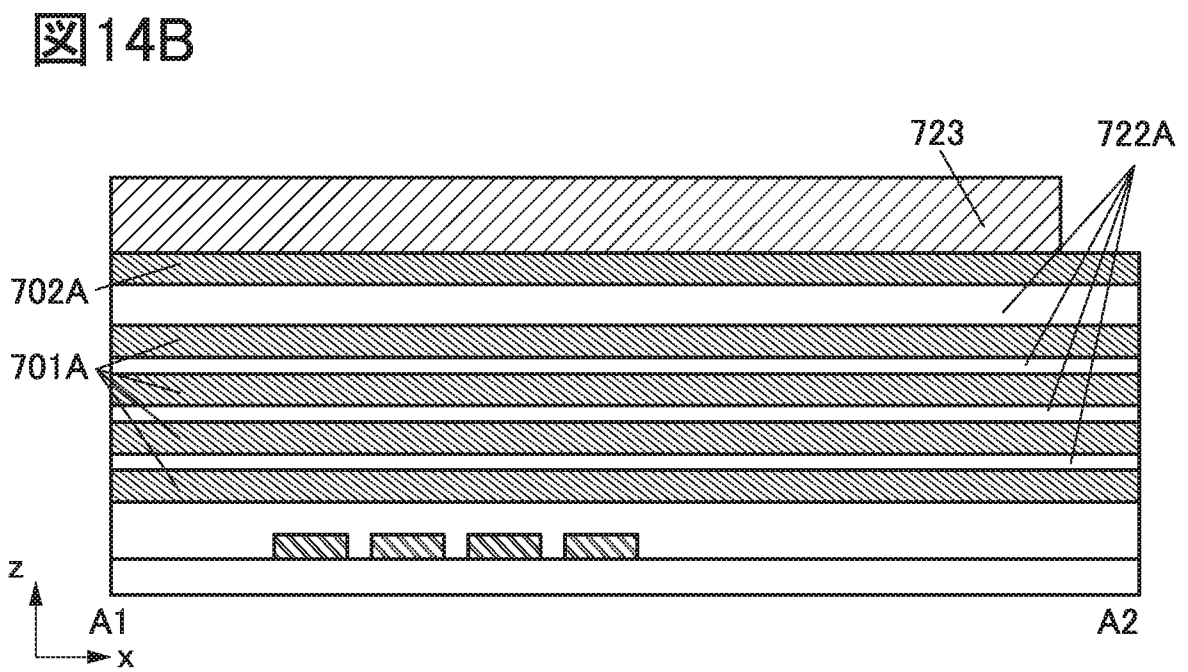
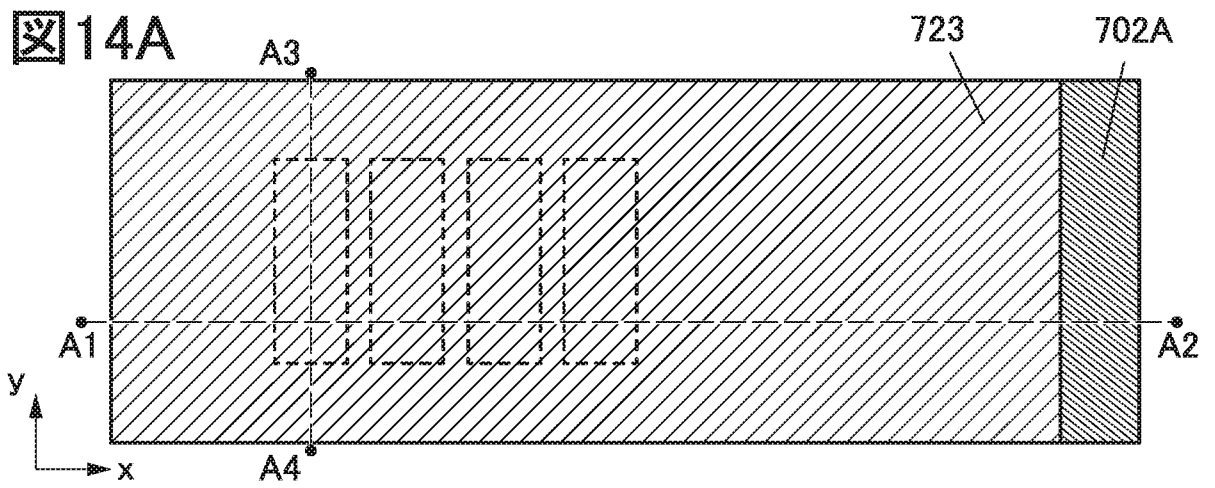
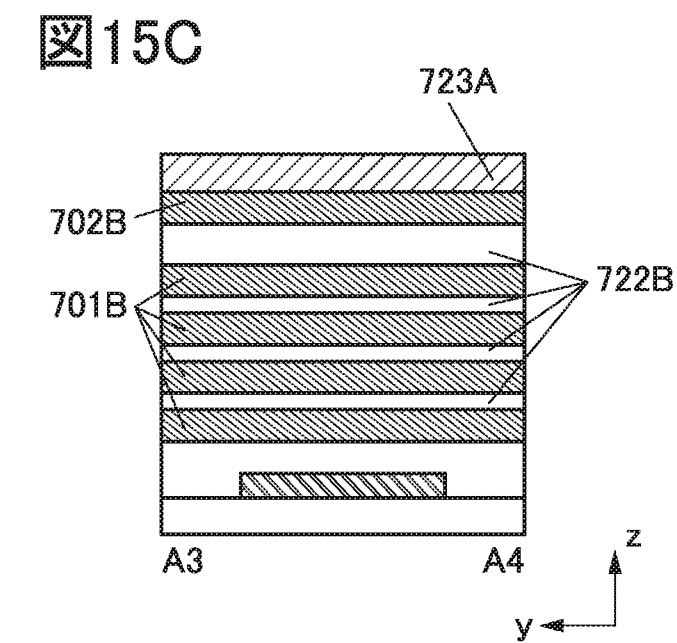
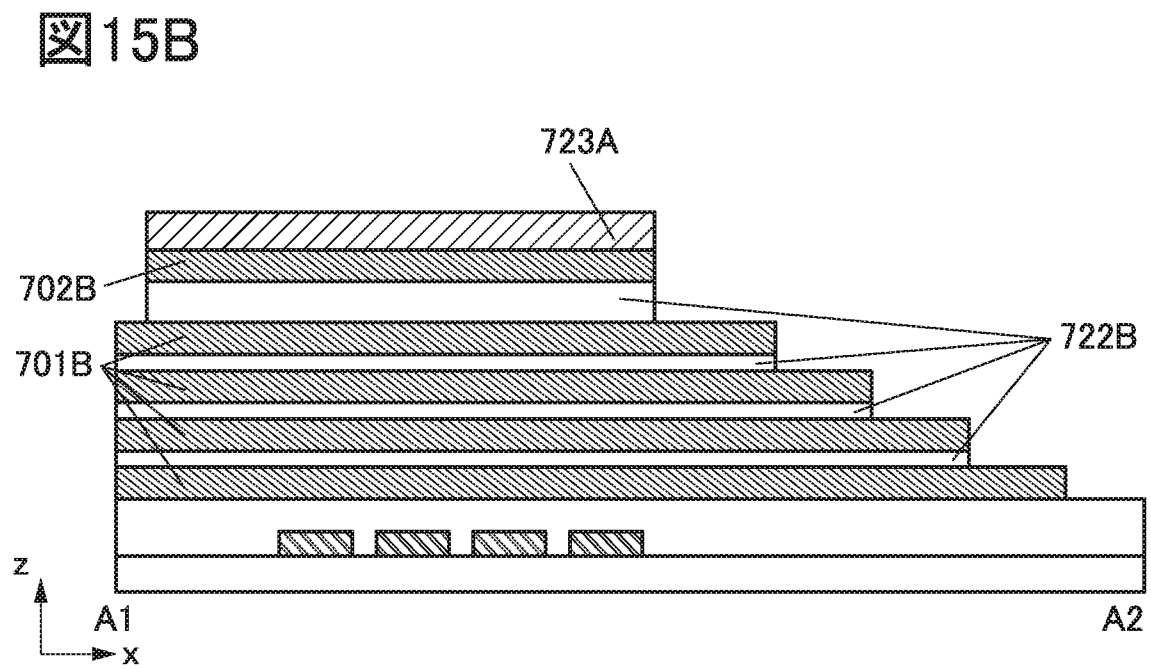
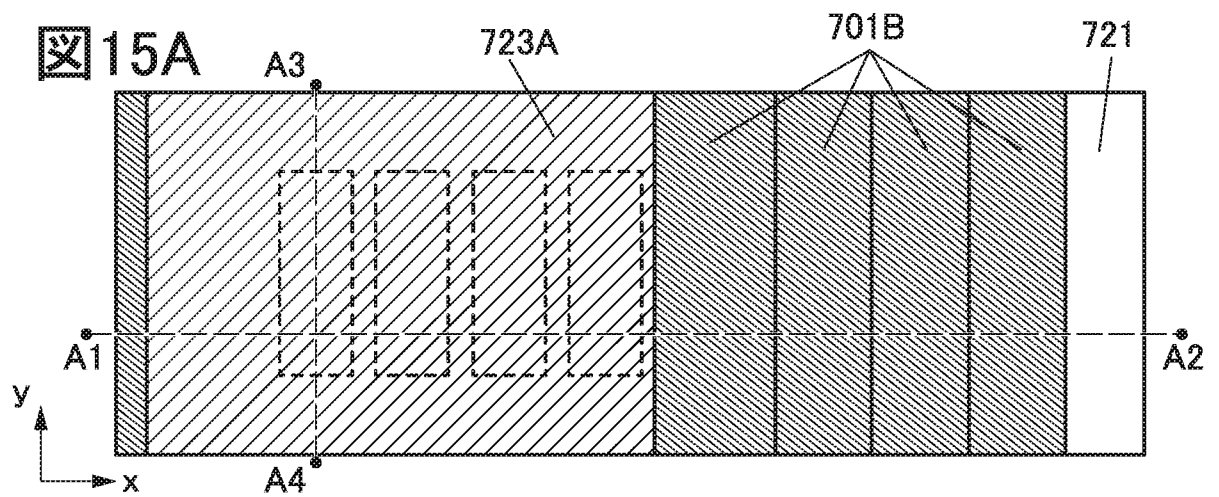
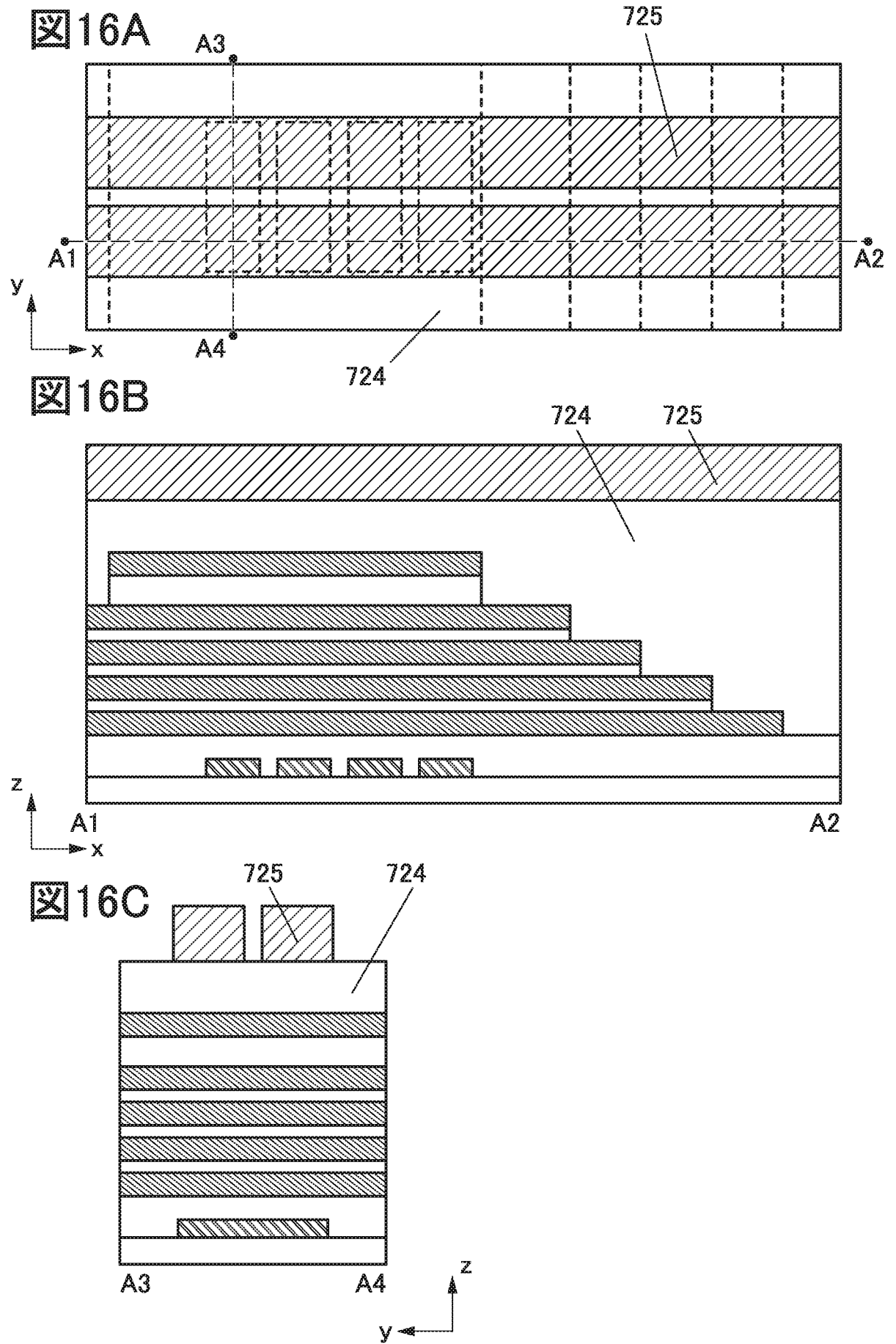


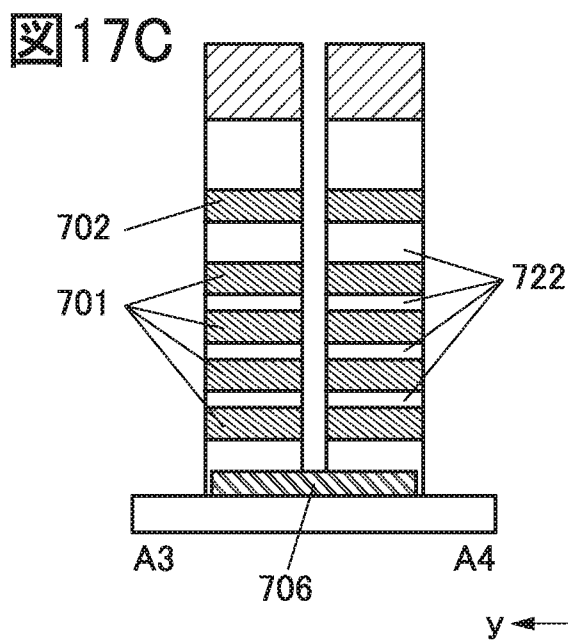
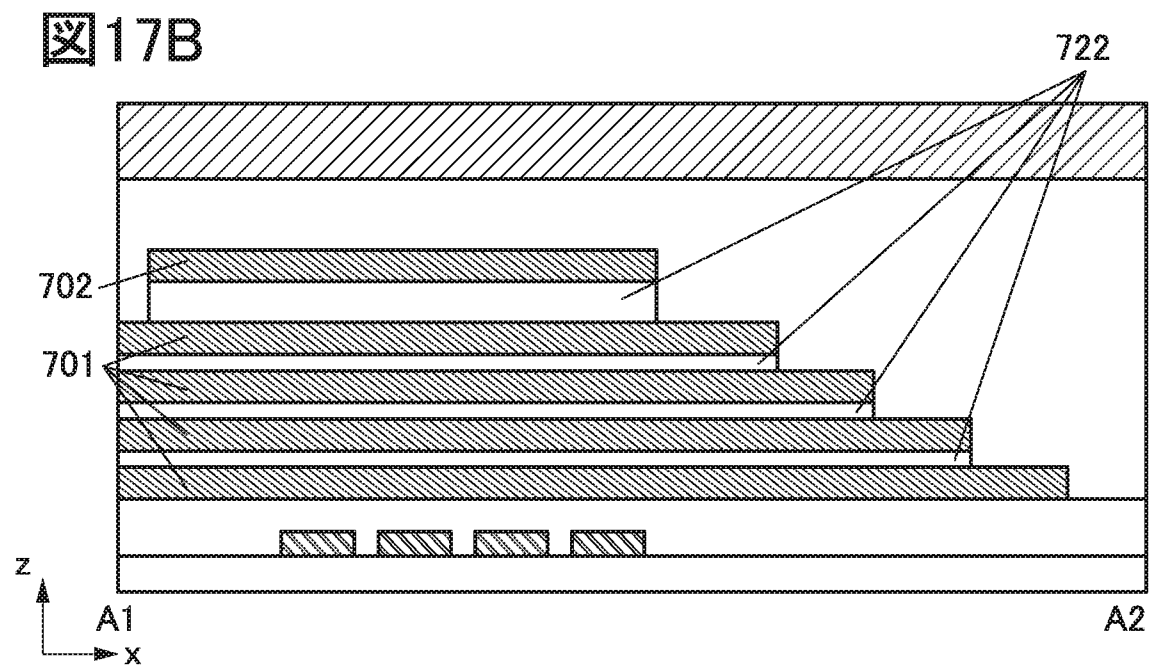
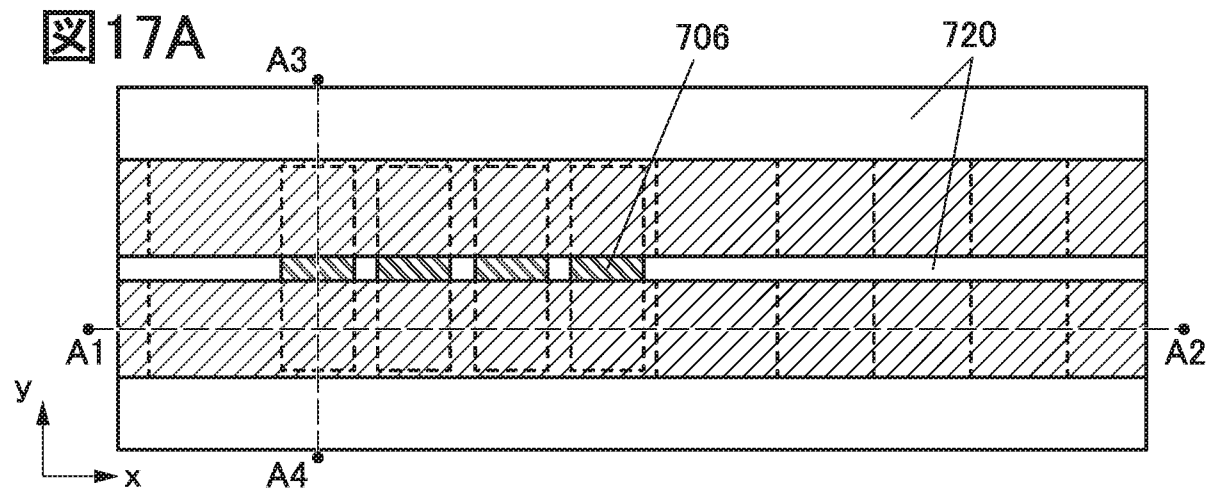
图 13C

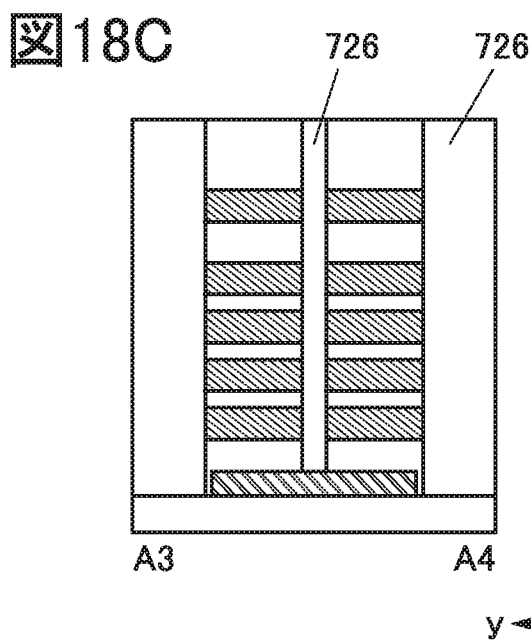
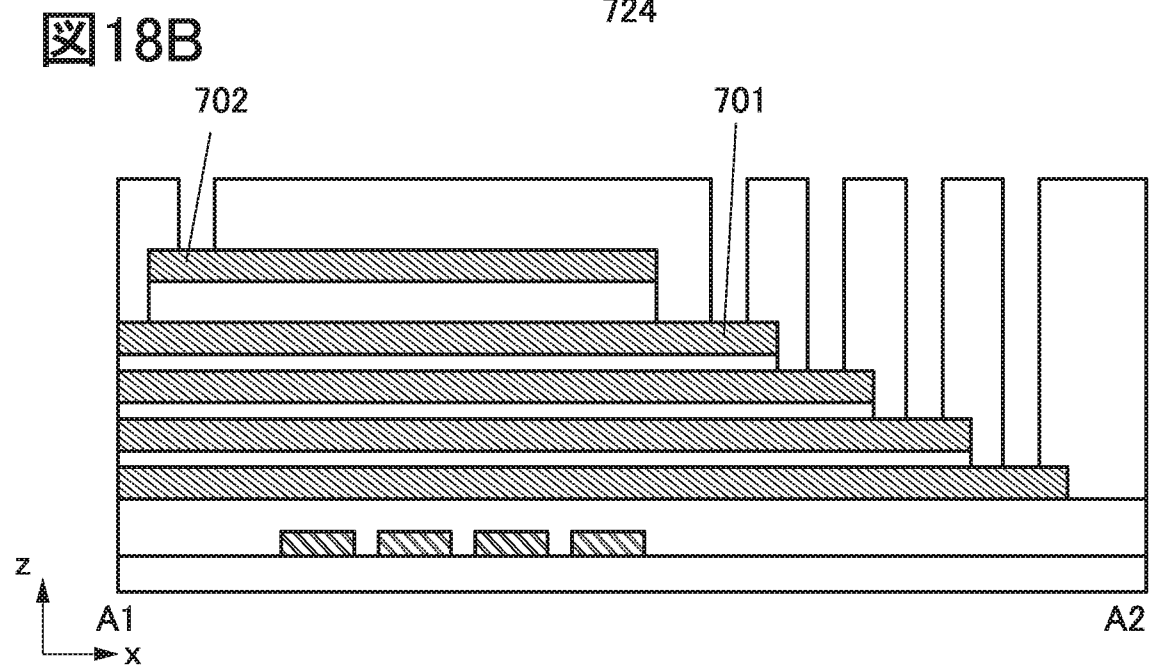
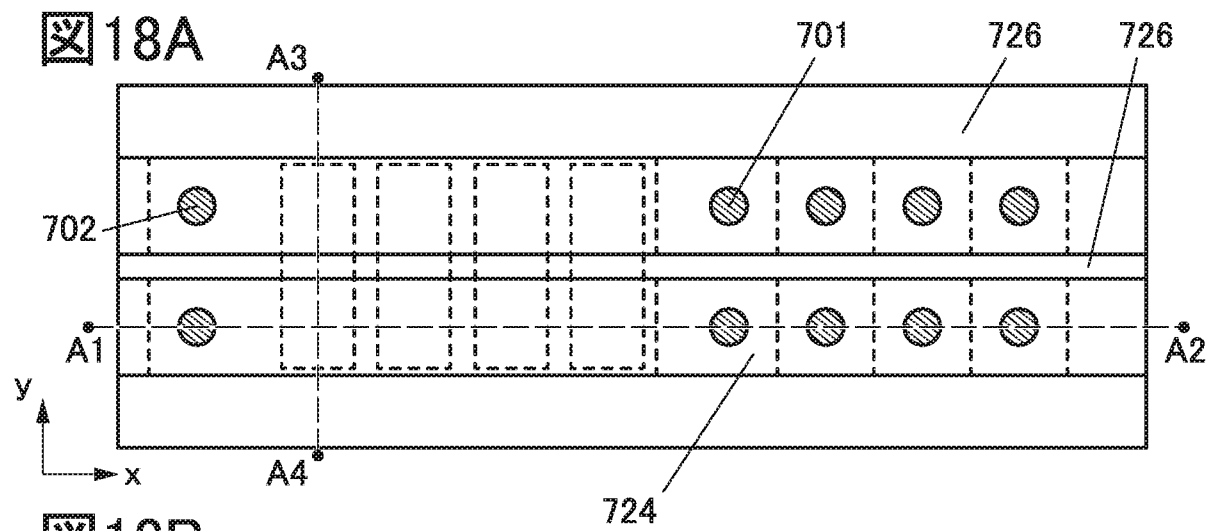


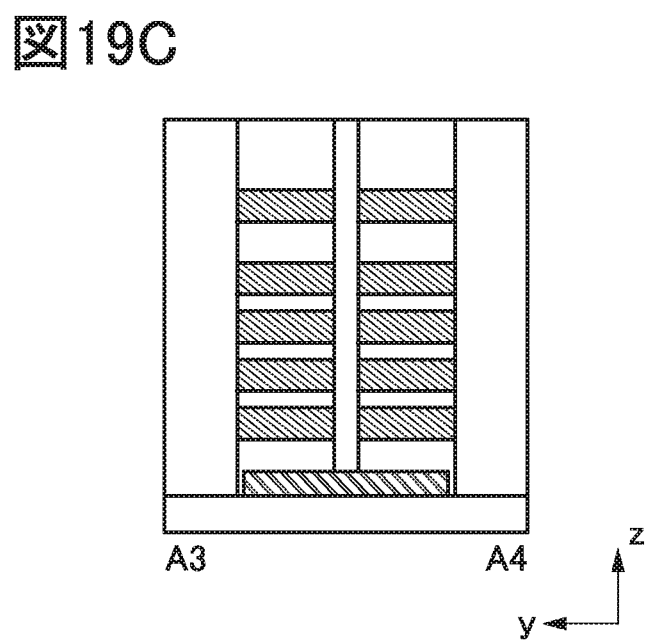
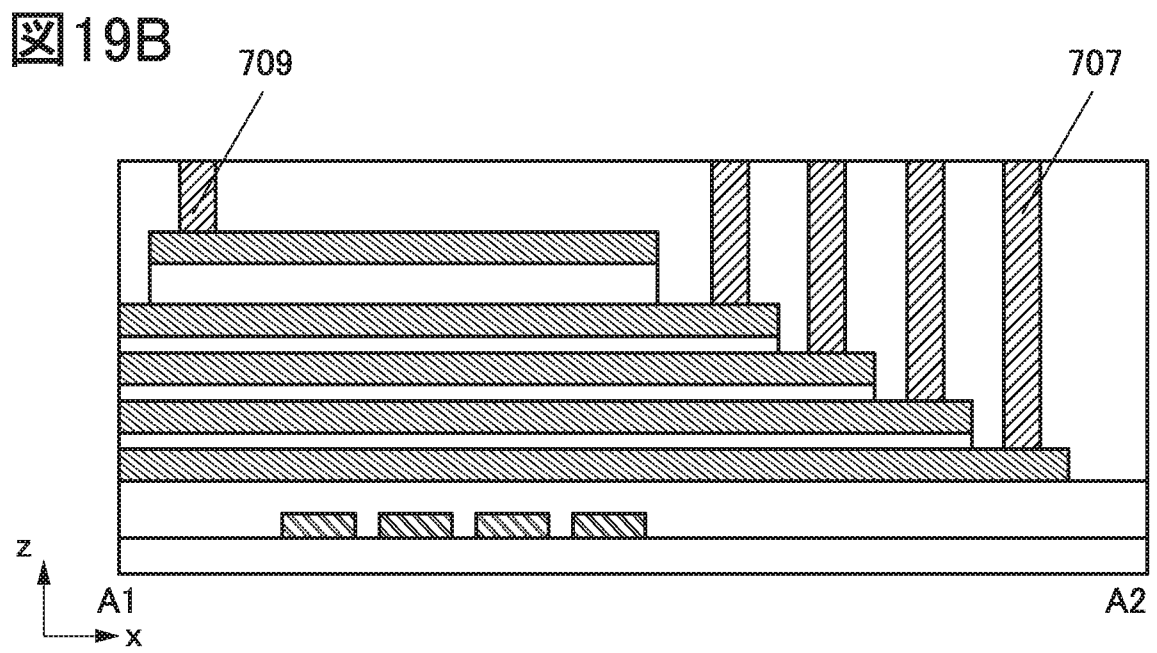
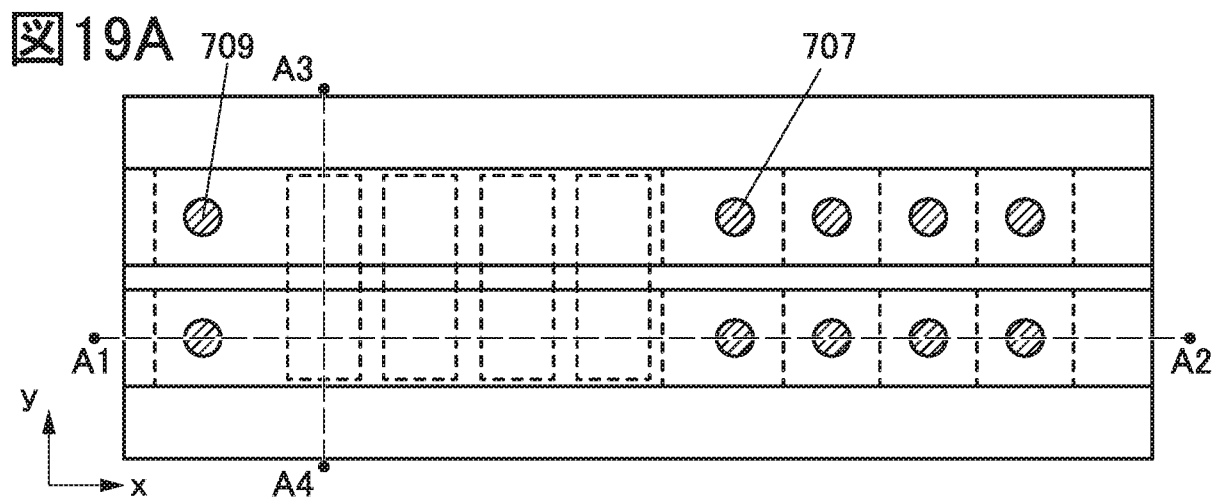


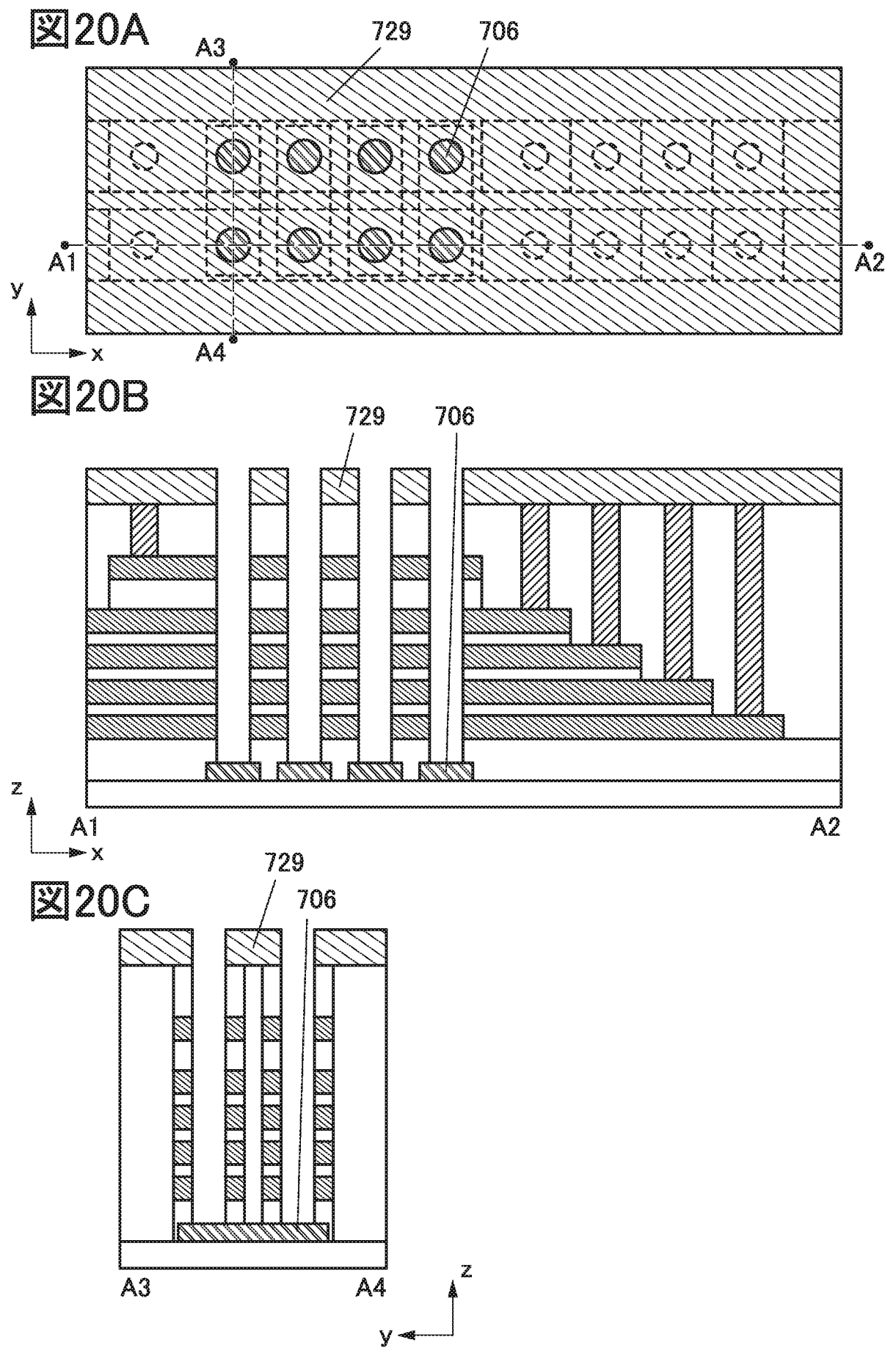




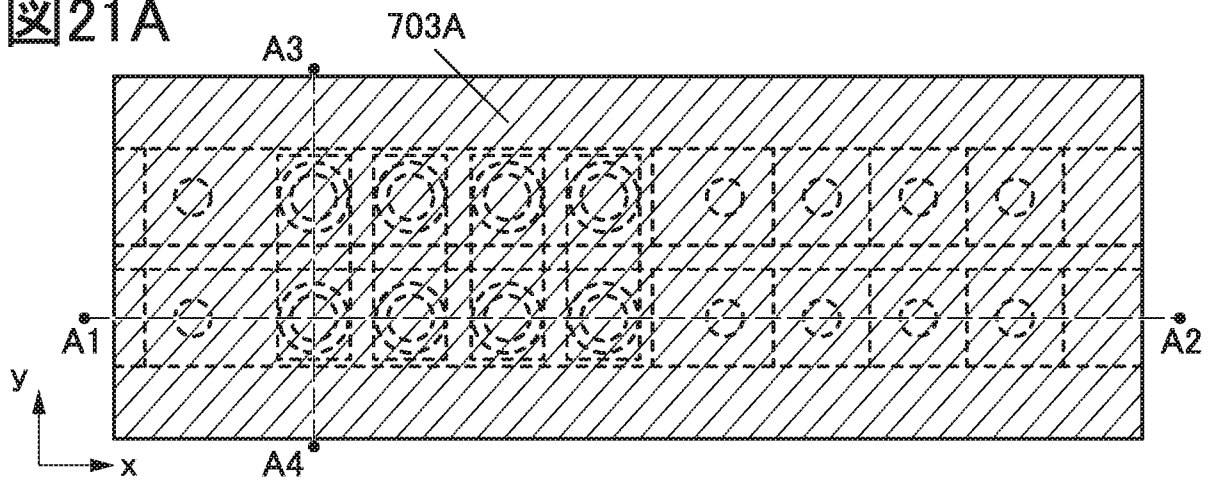




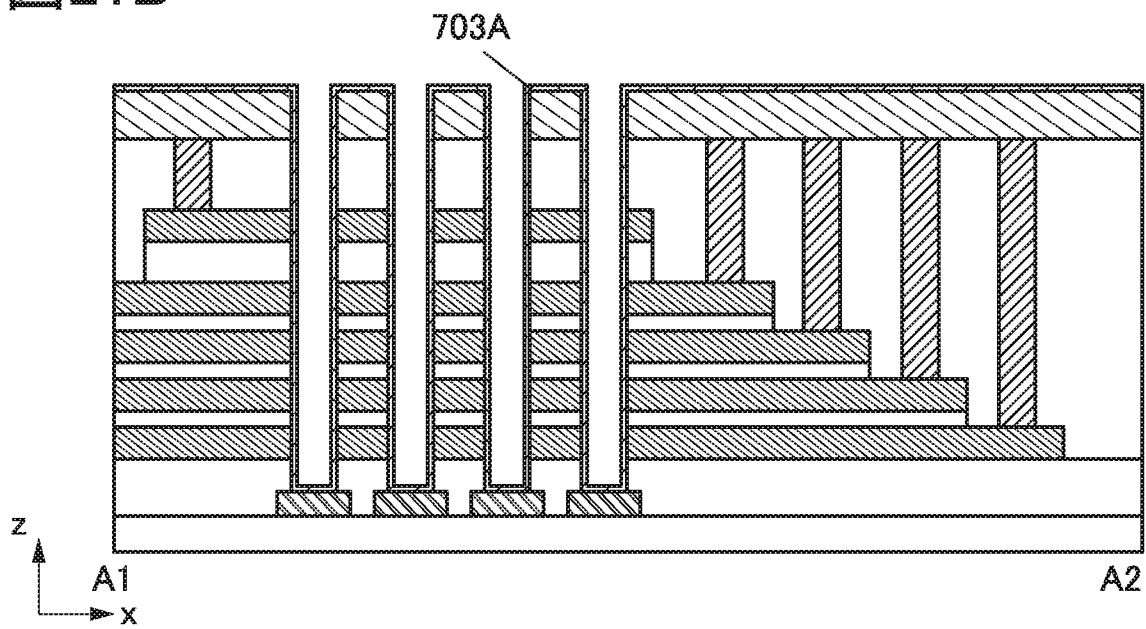




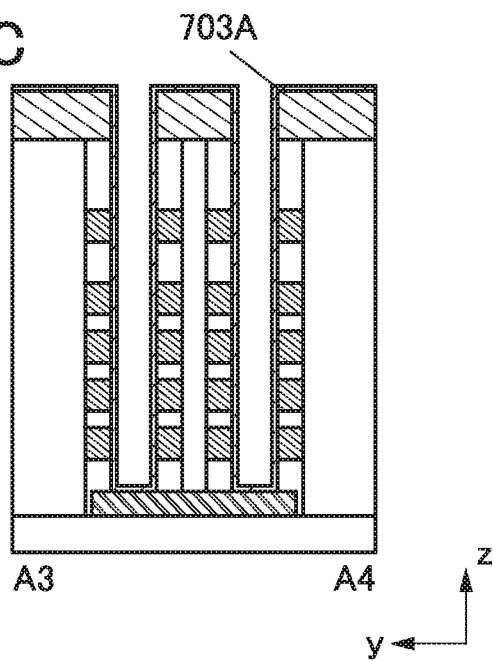
21A

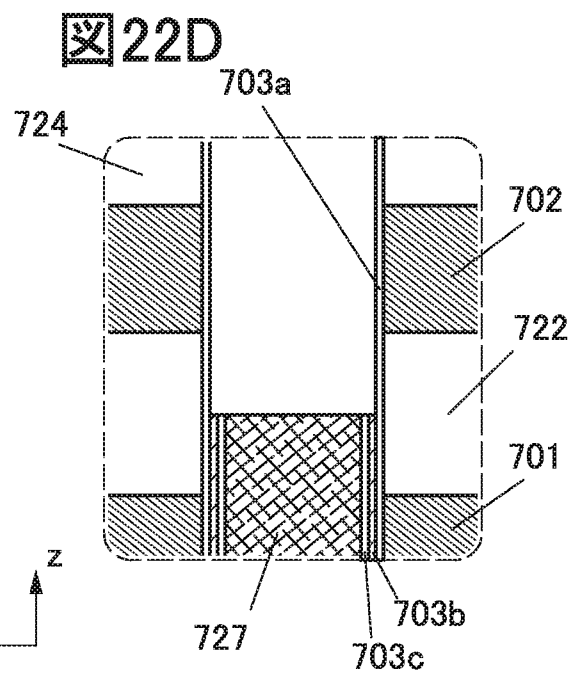
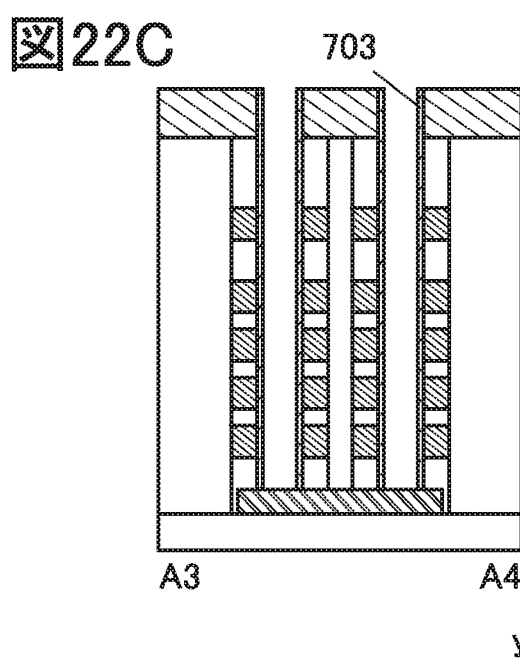
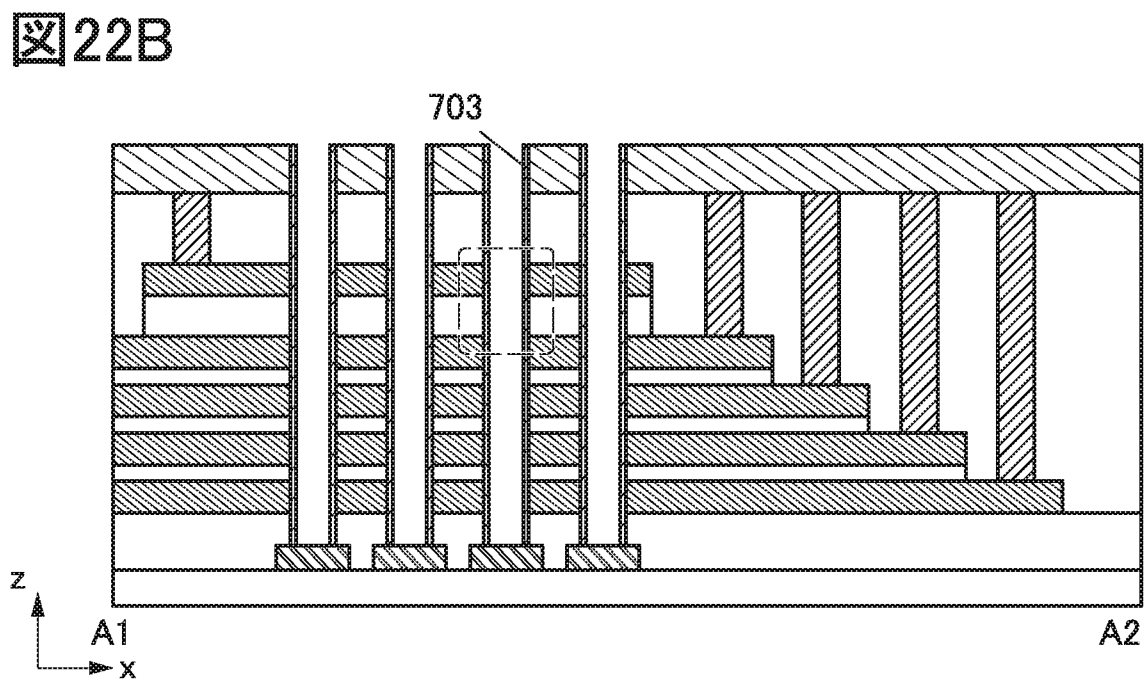
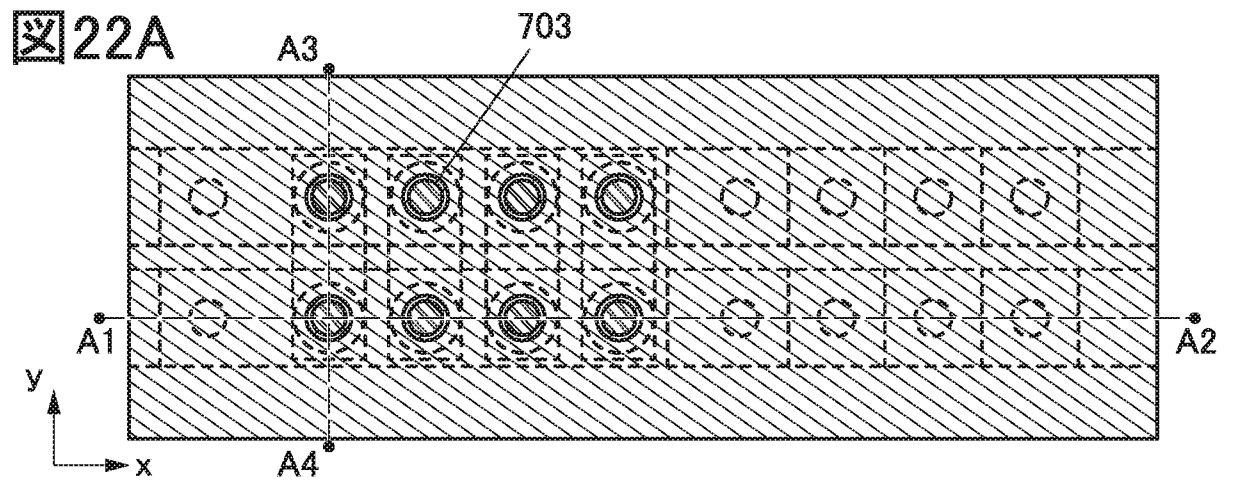


21B



21C





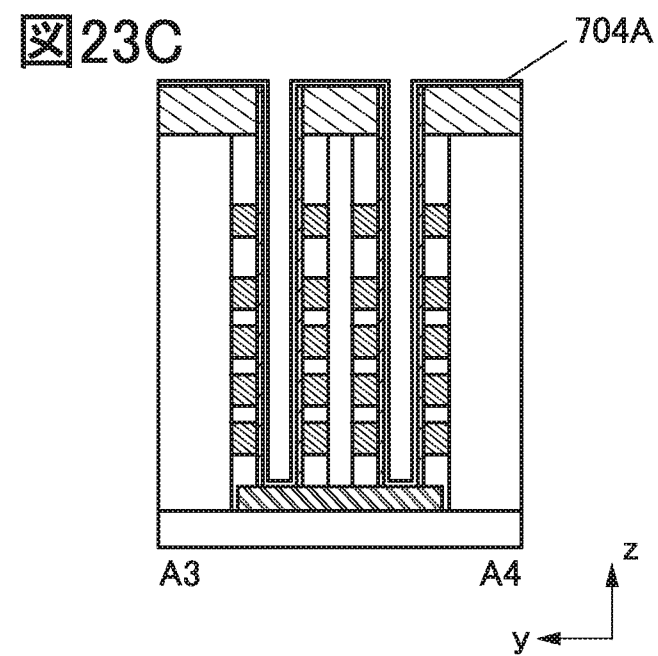
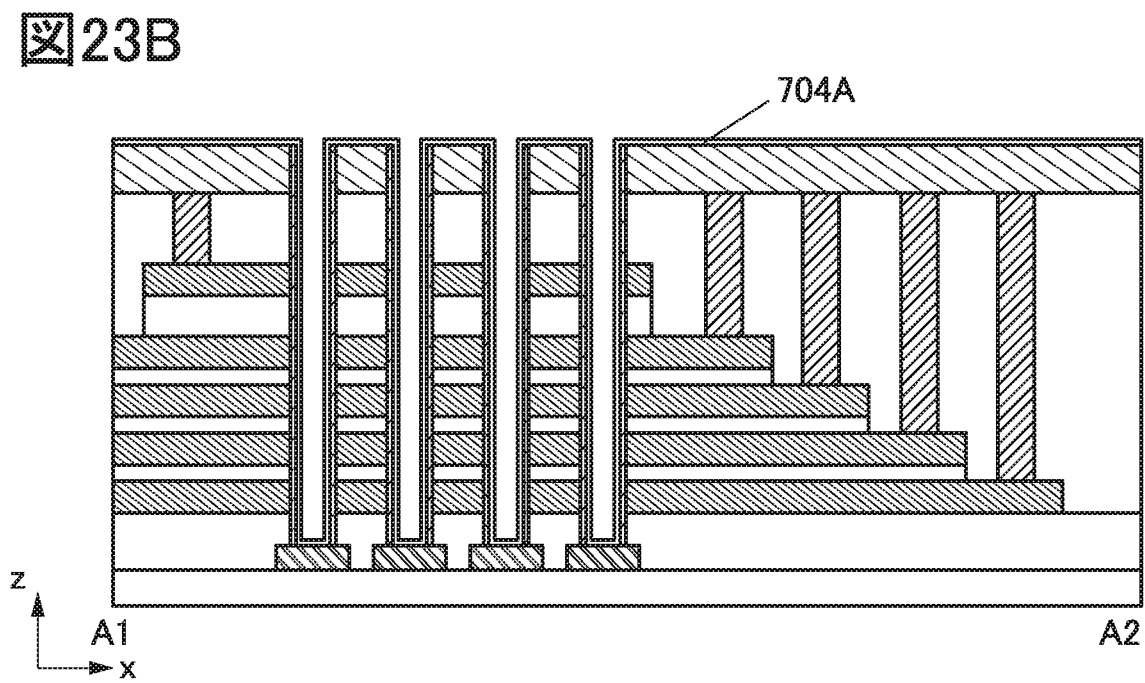
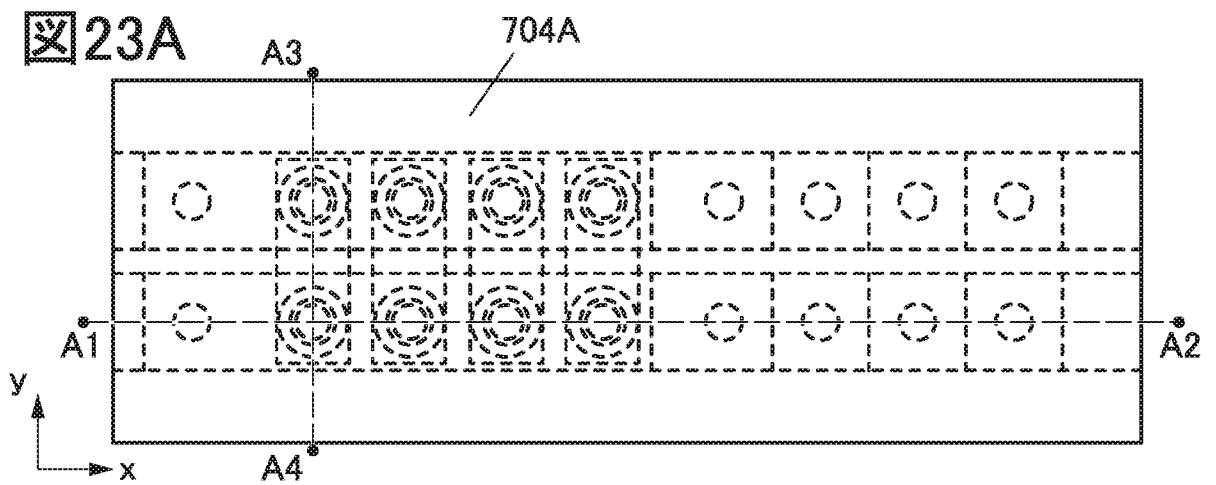


图 24A

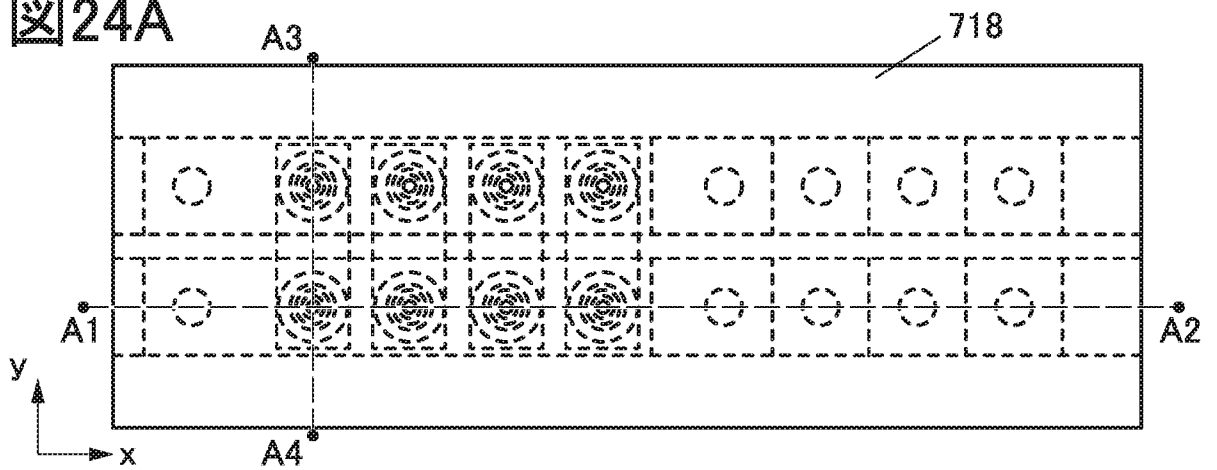


图 24B

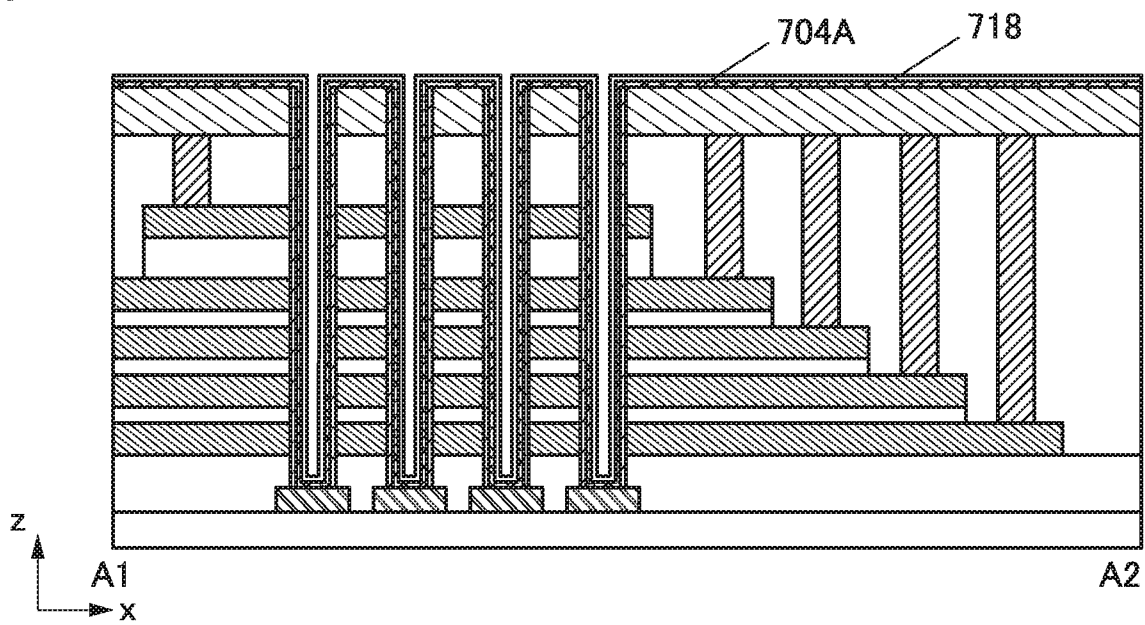


图 24C

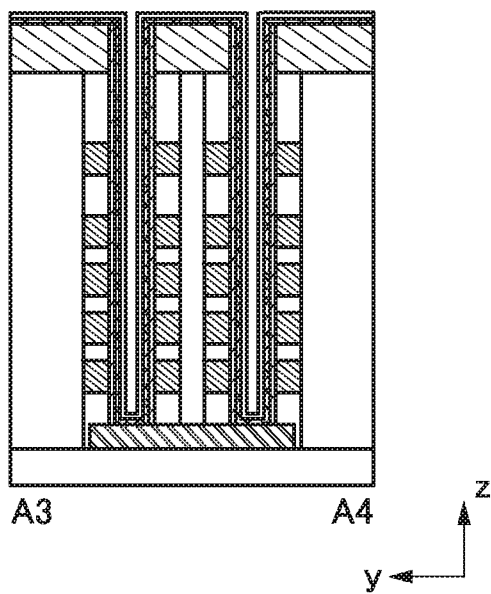


図25A

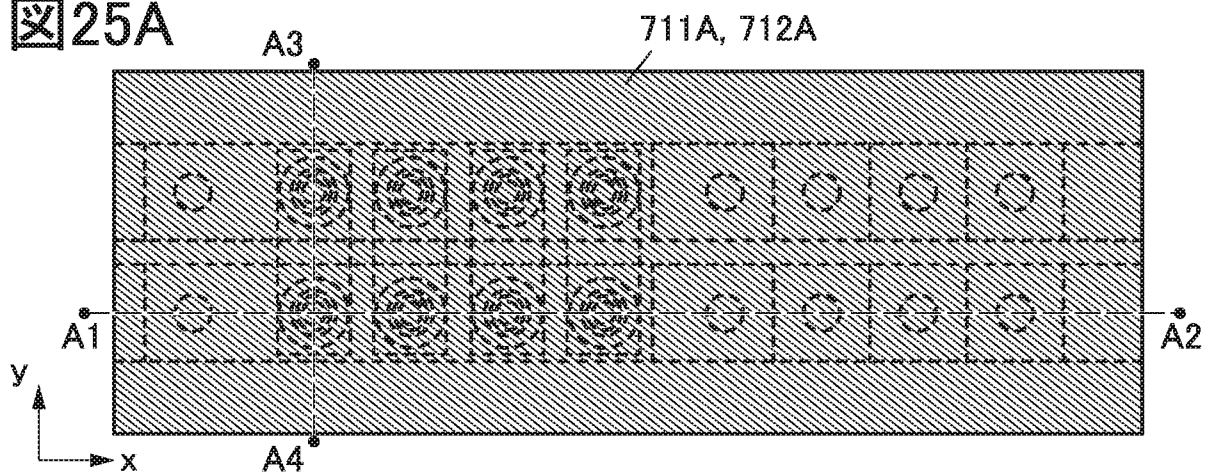


図25B

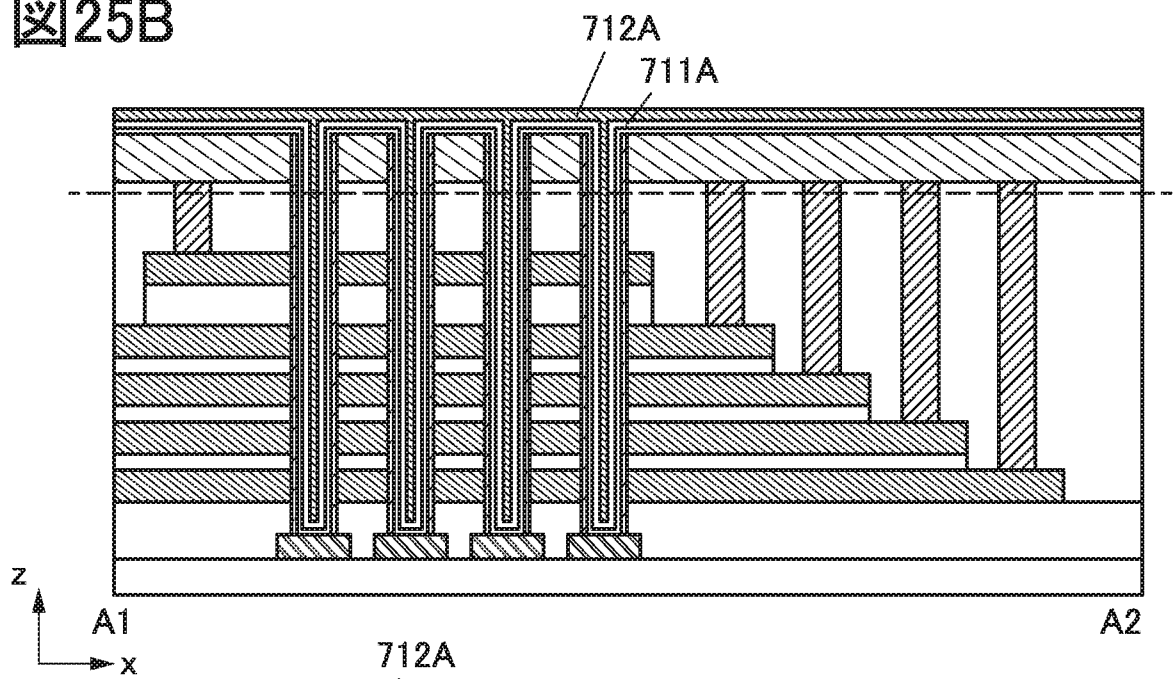


図25C

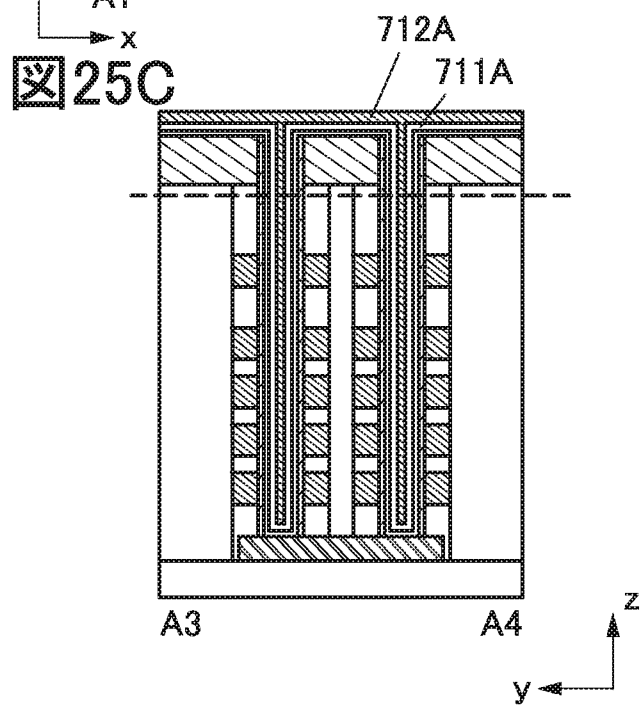


图26A

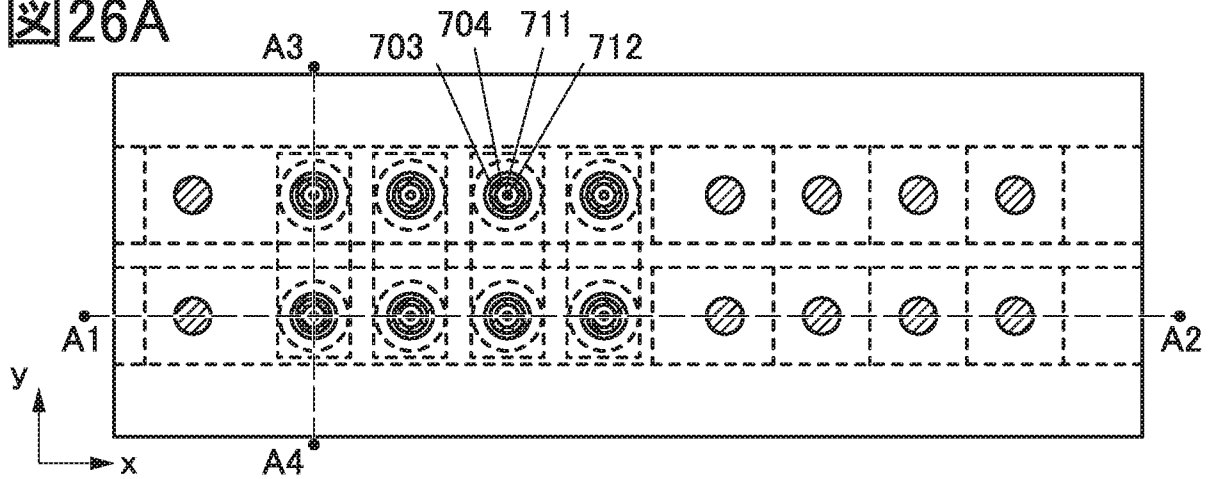


图26B

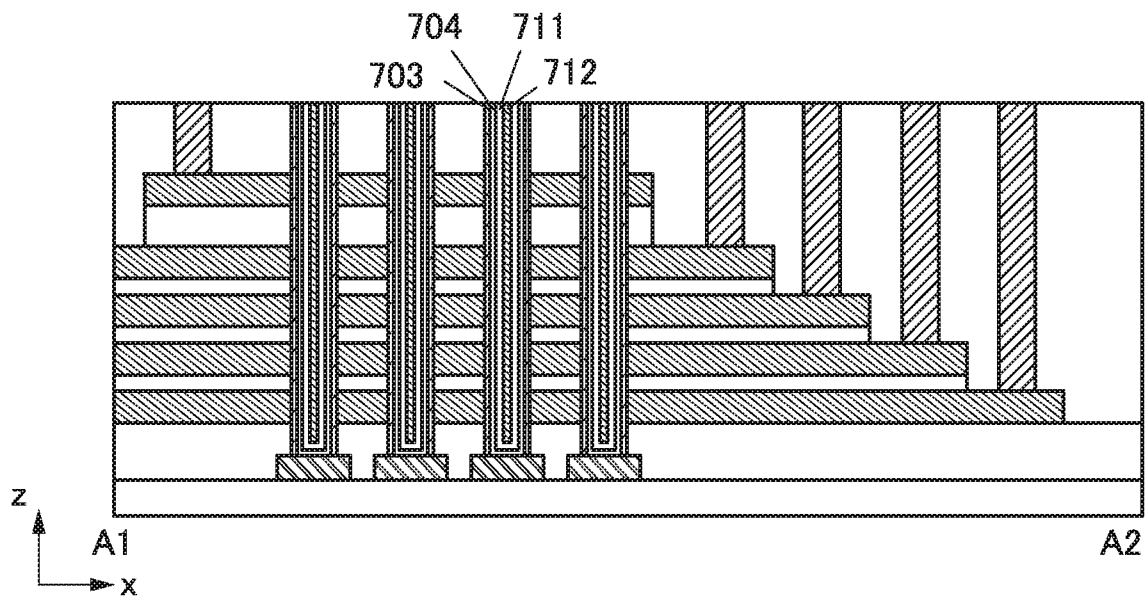
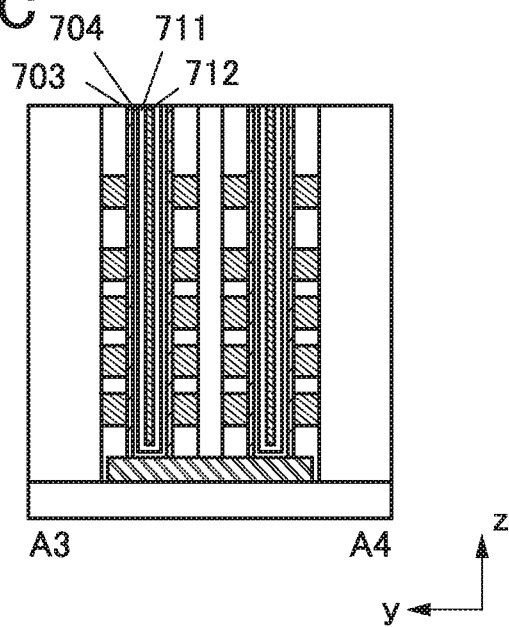
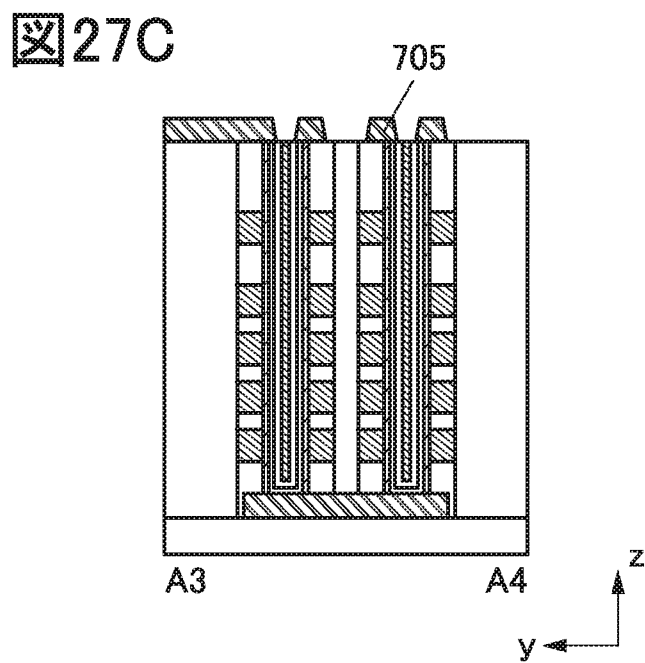
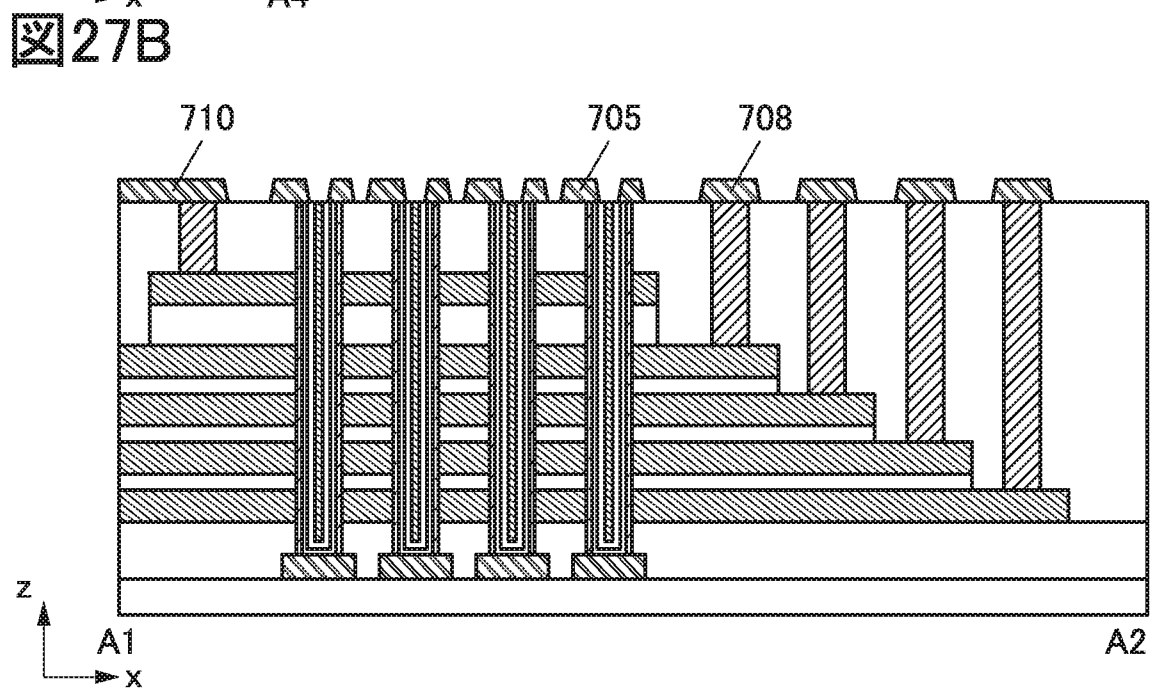
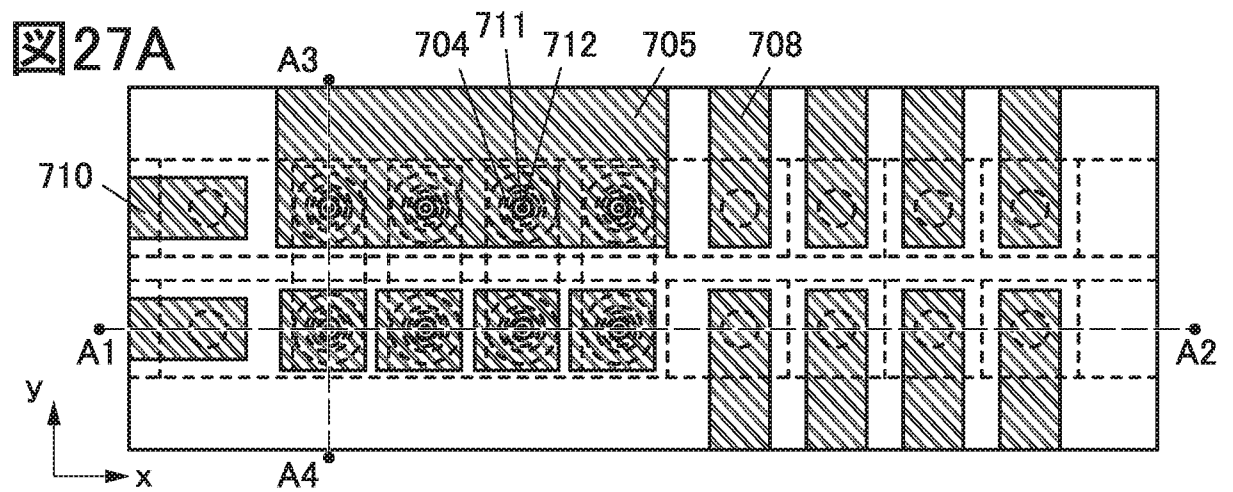
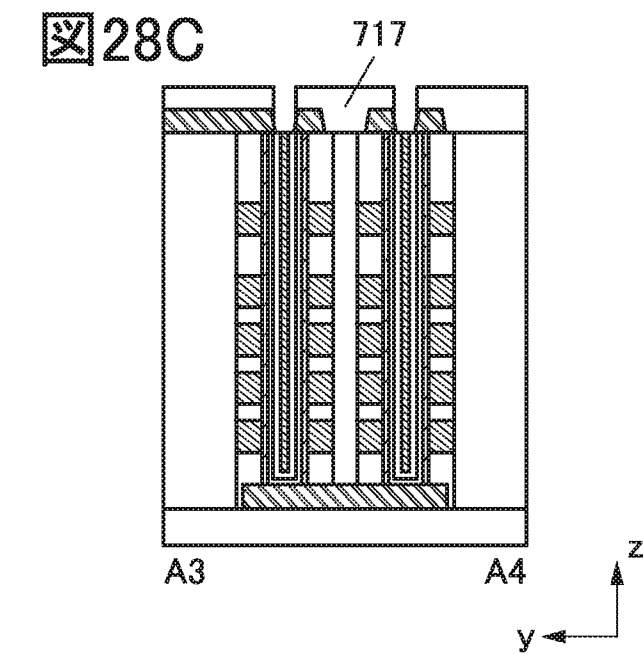
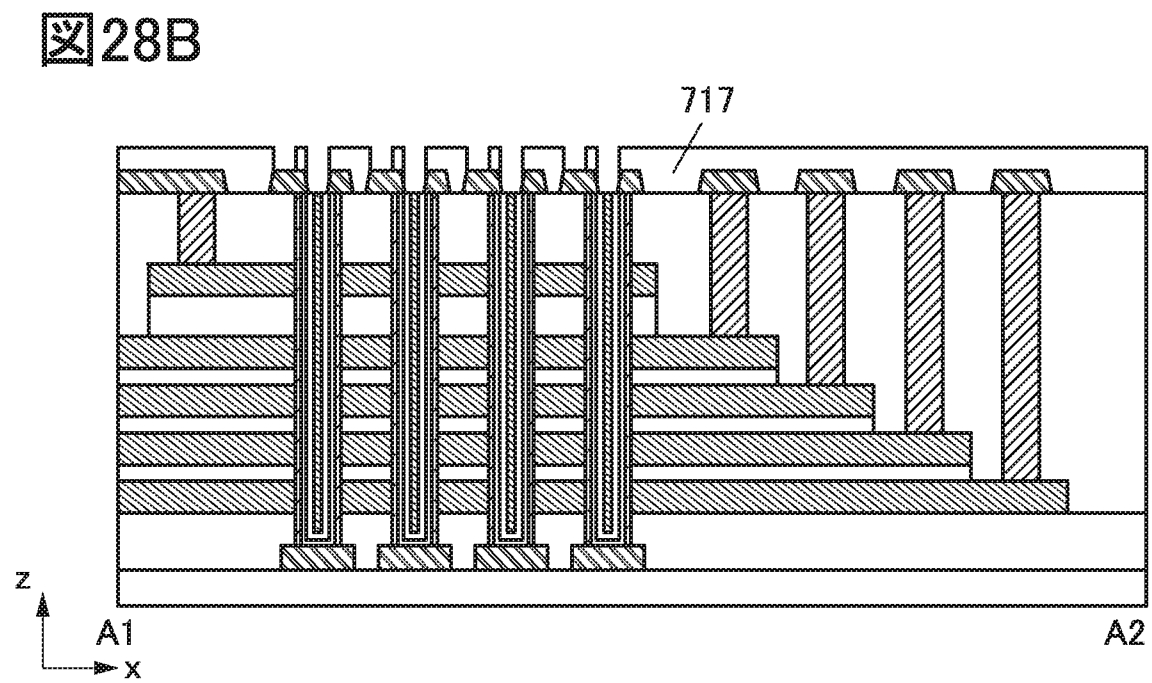
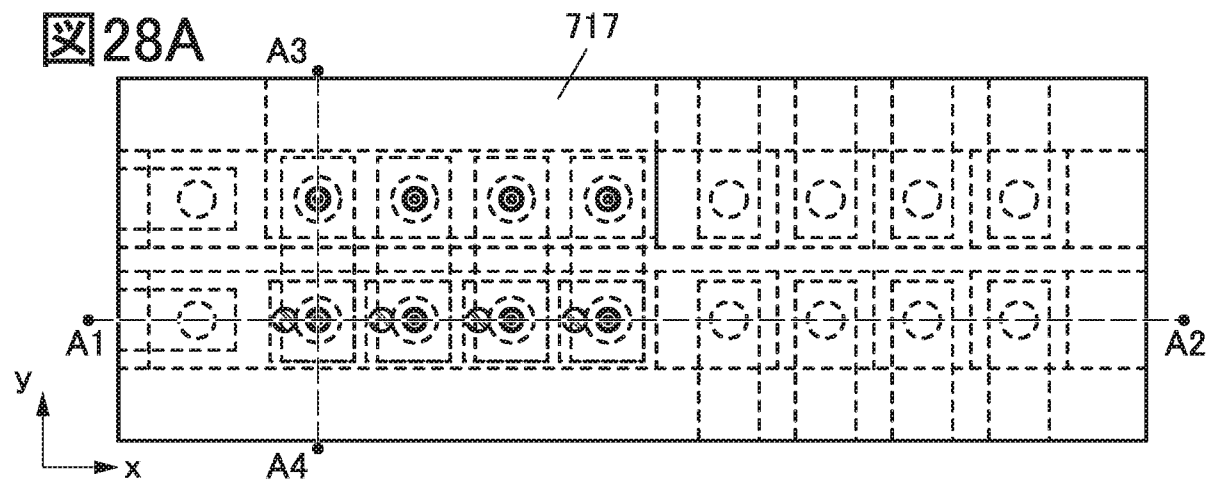


图26C







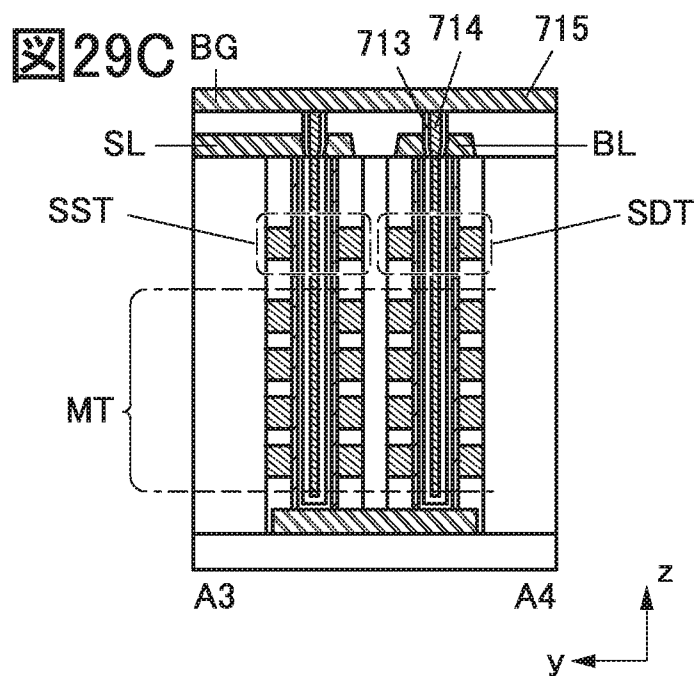
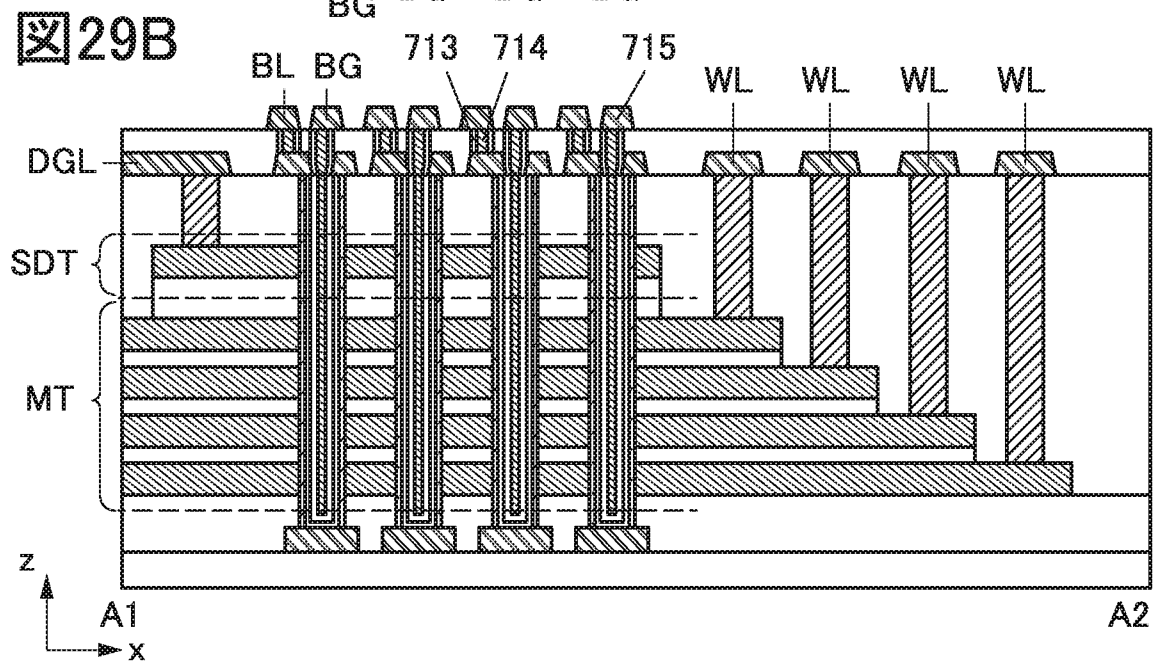
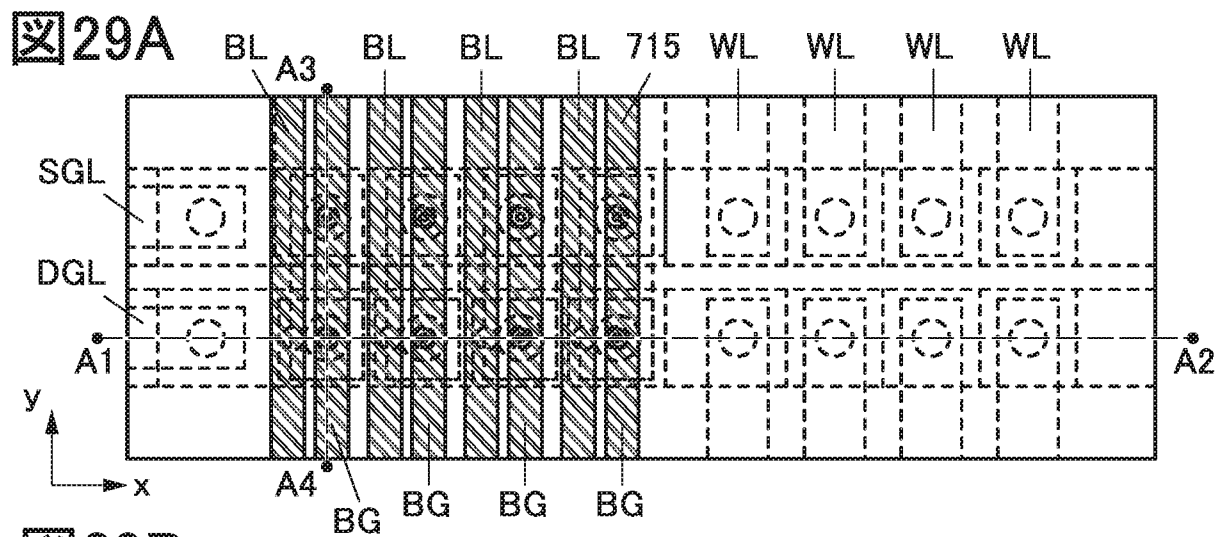


図 30A

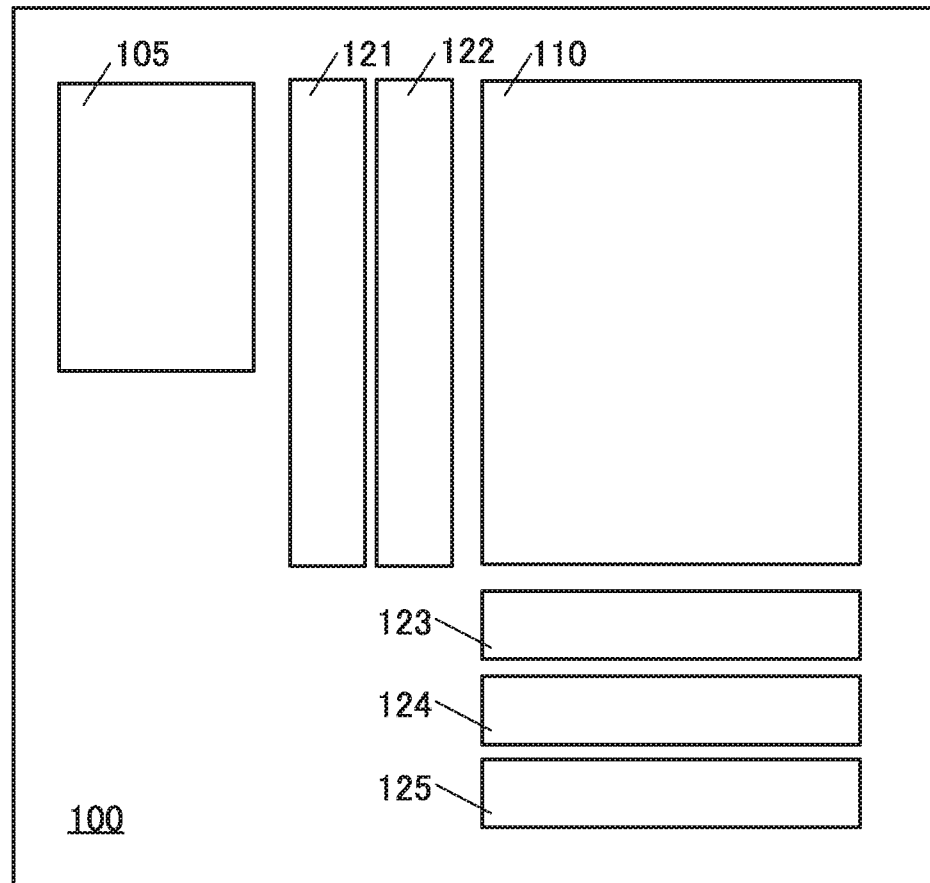


図 30B

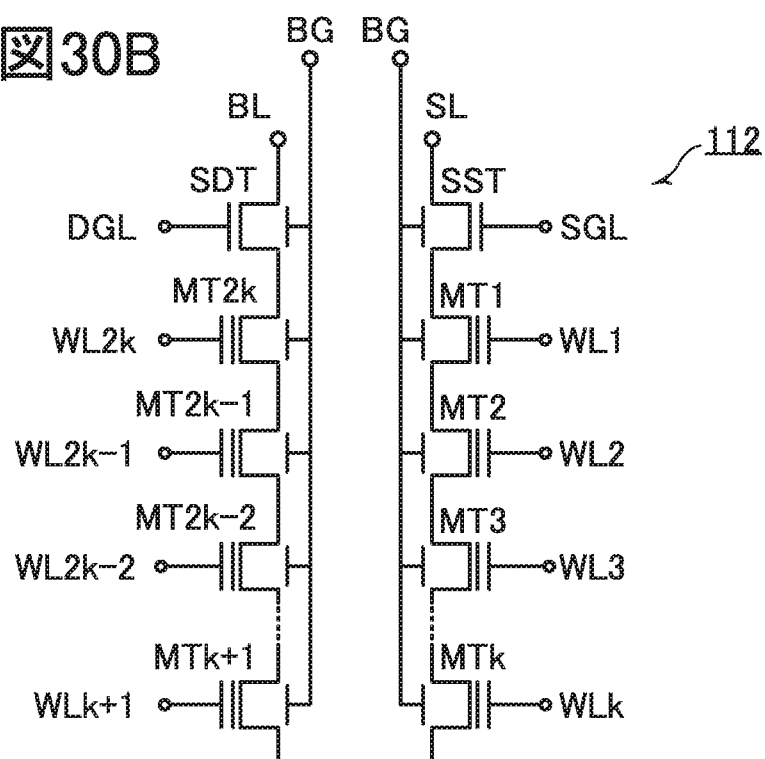


図31

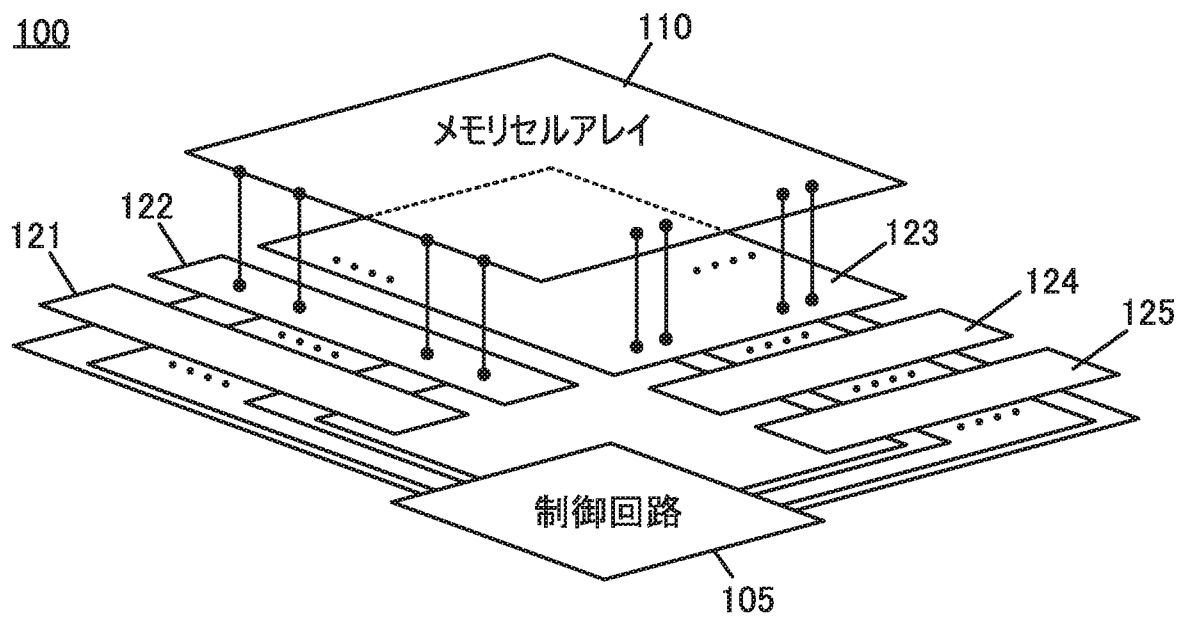
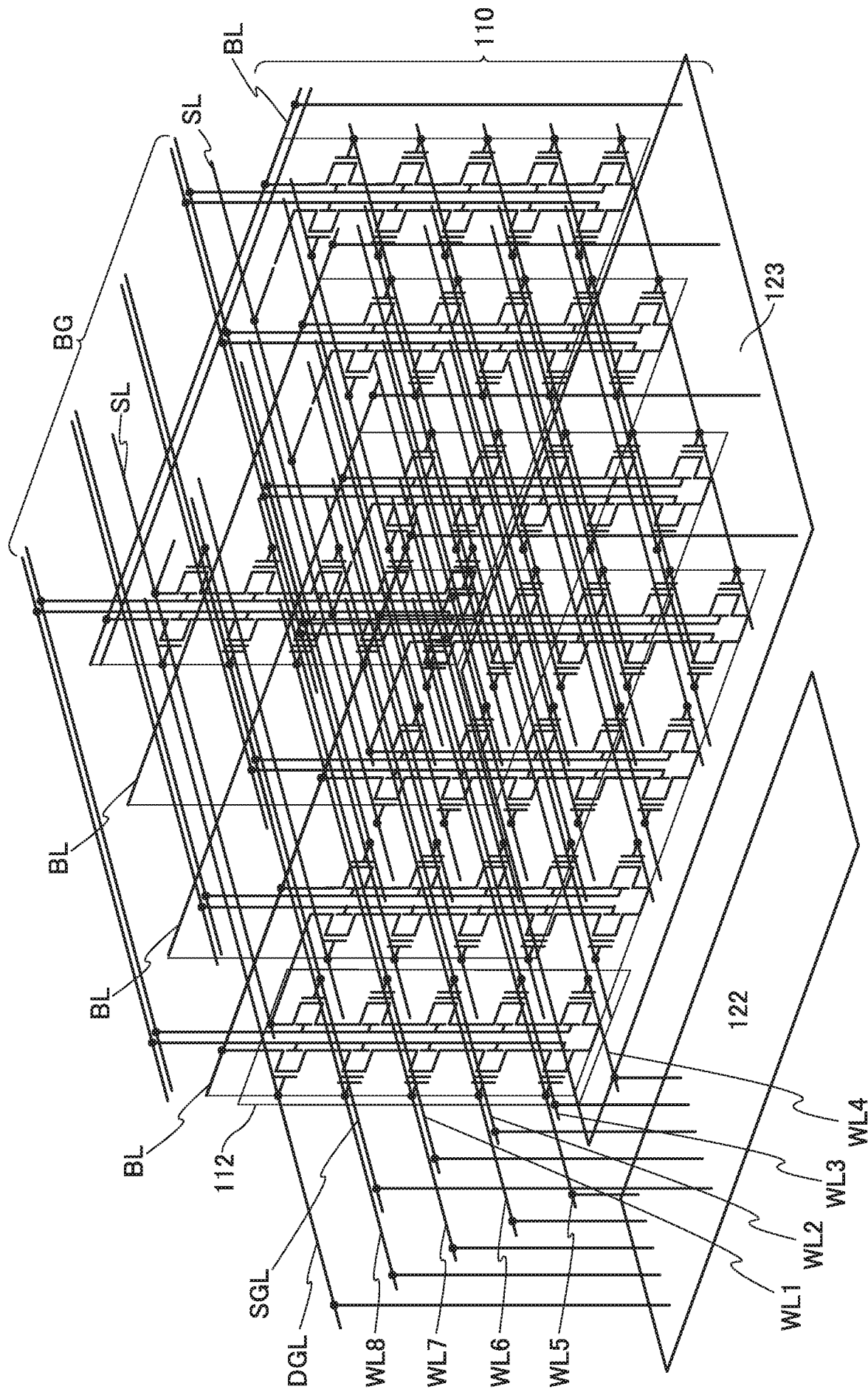


図32



33

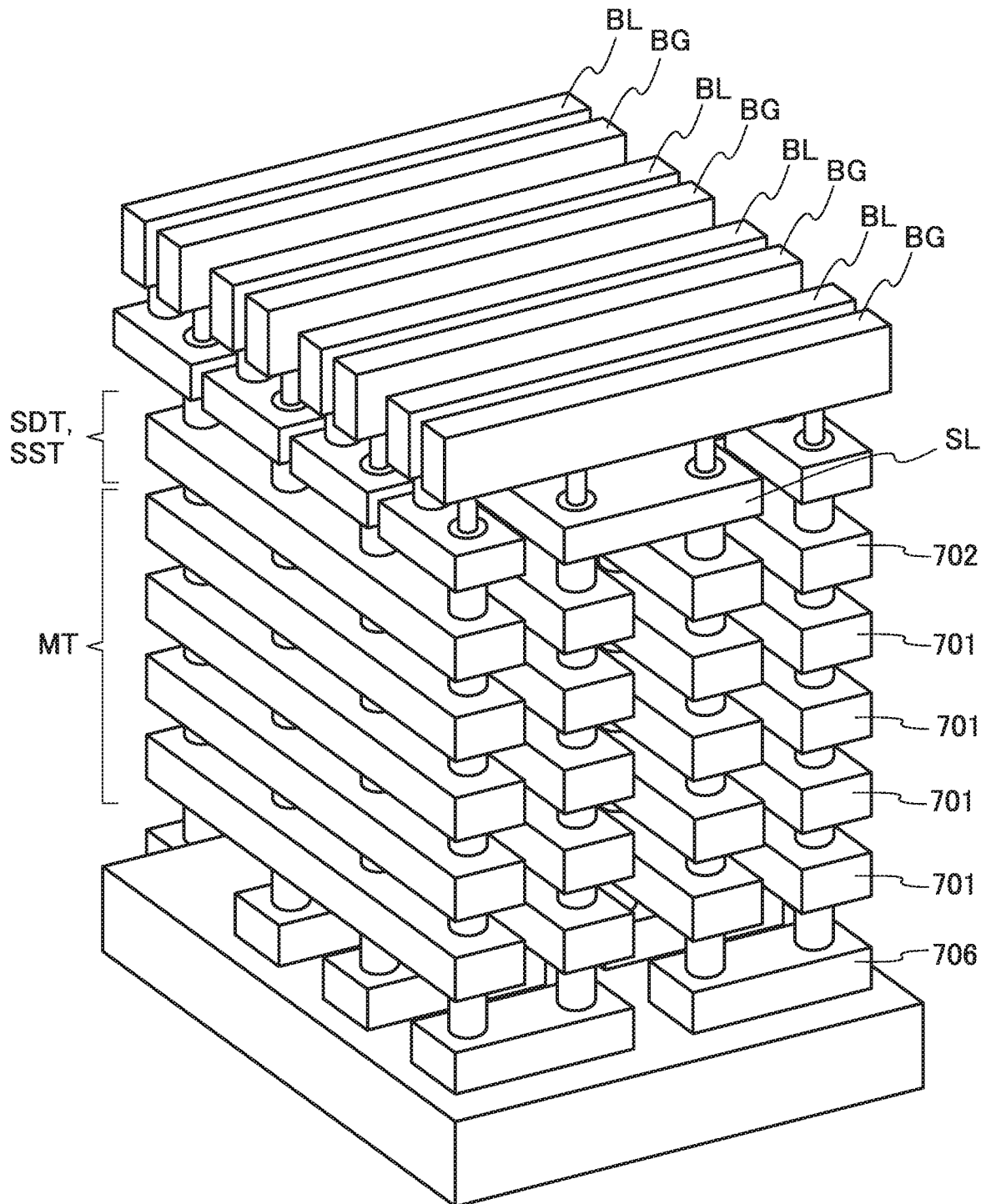
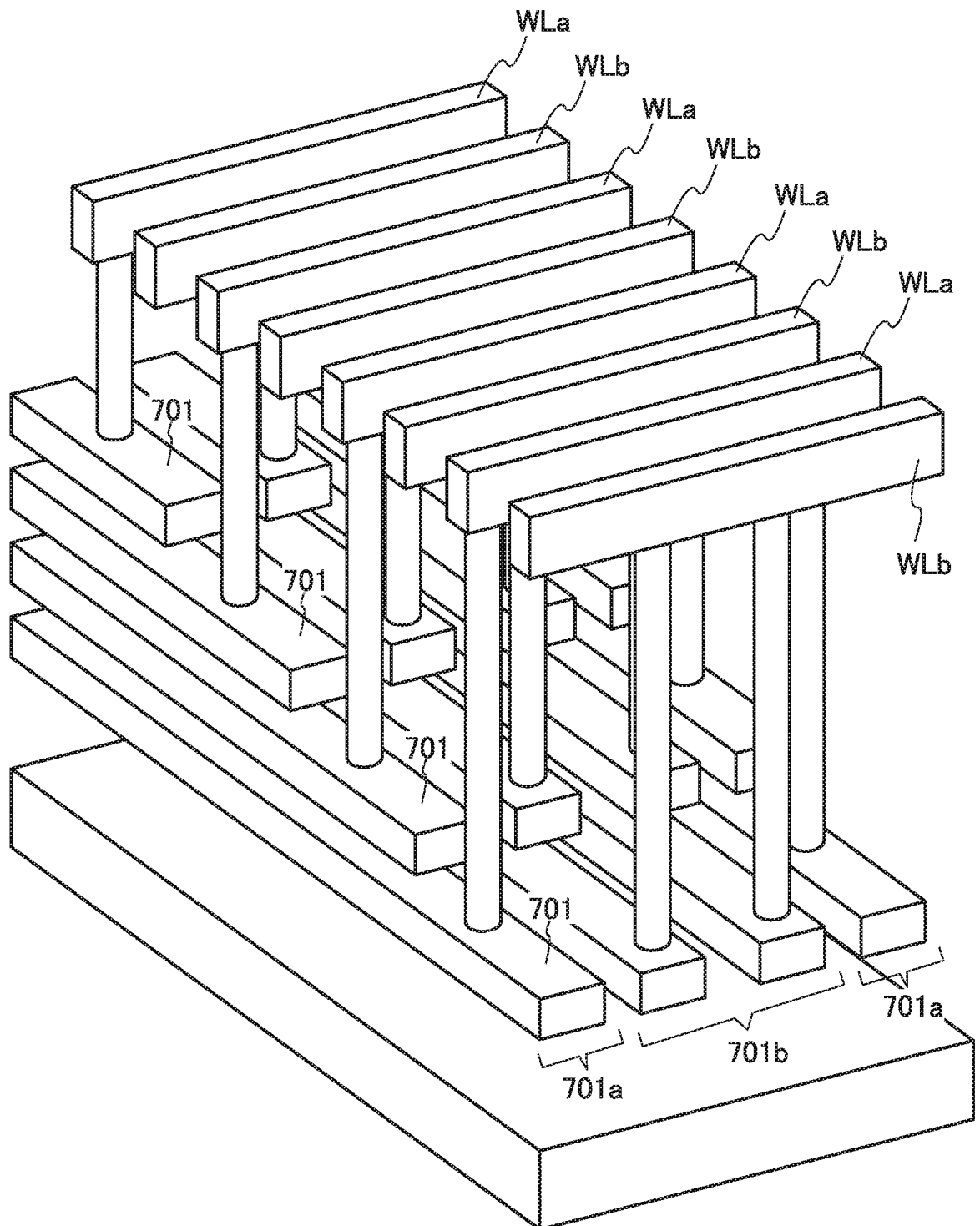


图34



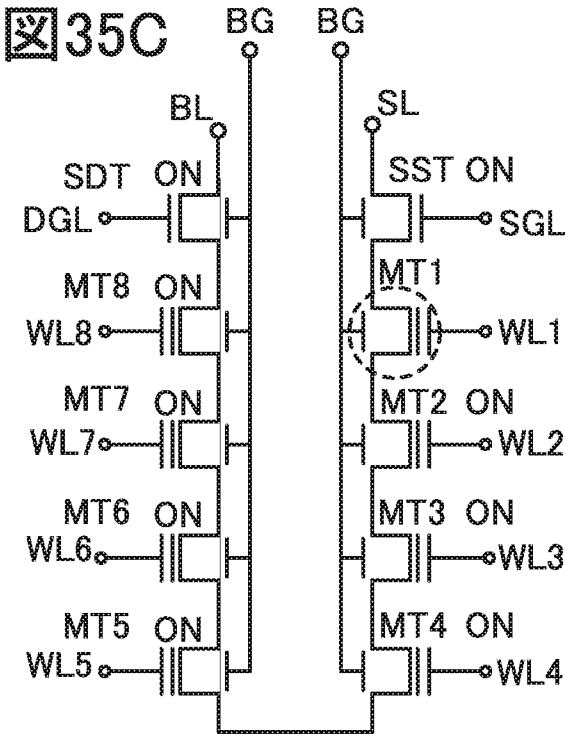
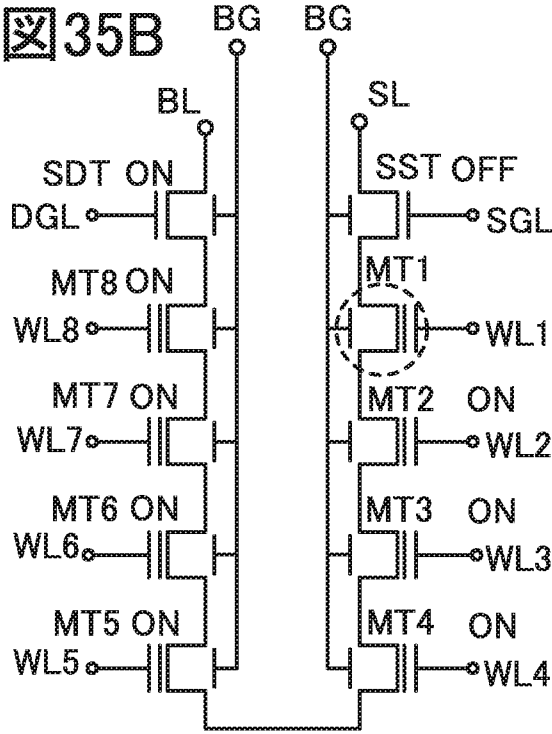
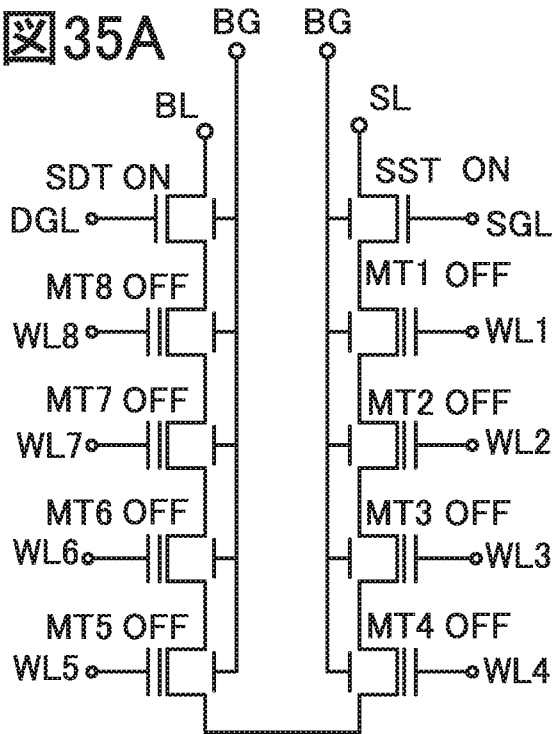


図36A

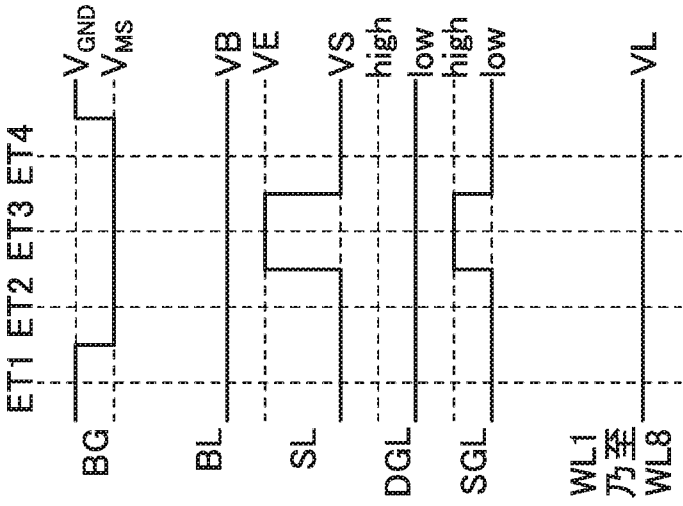


図36B

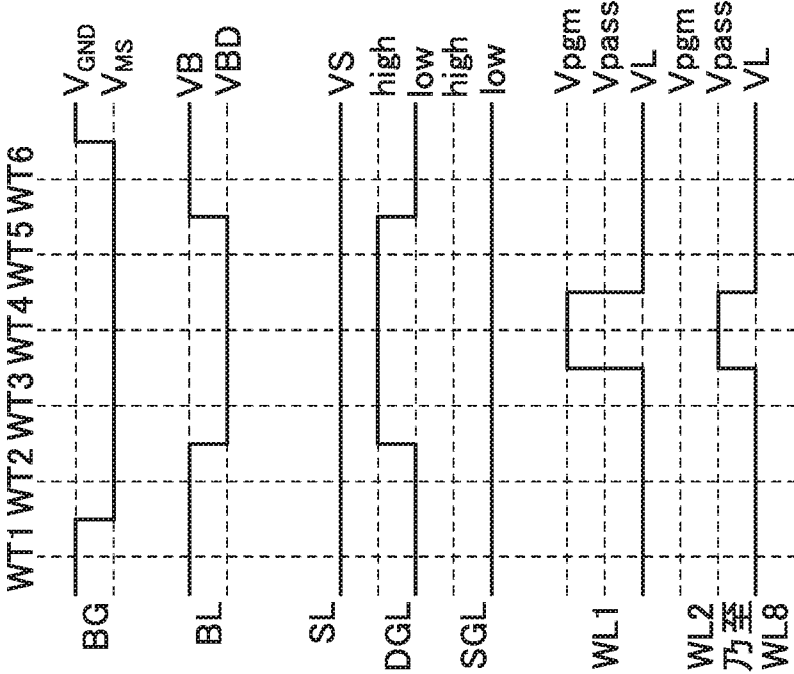


図36C

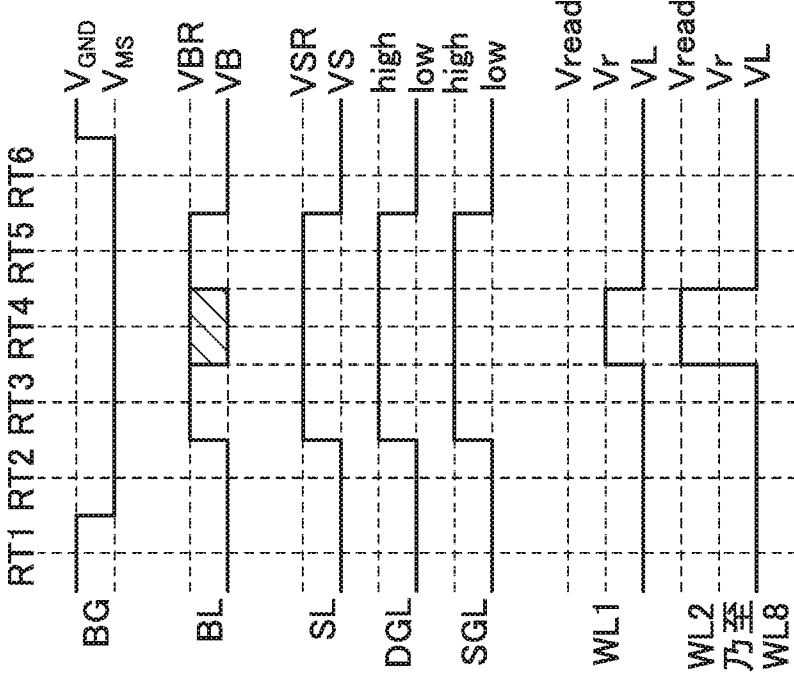


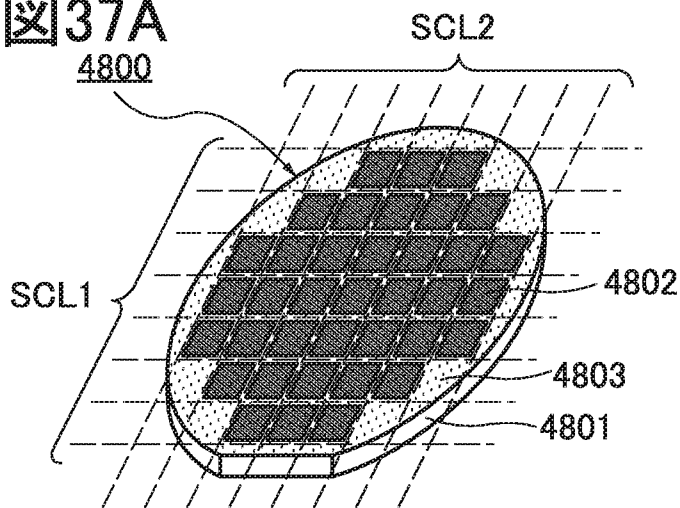
図37A
4800

図37B

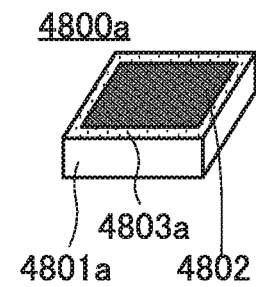


図37C

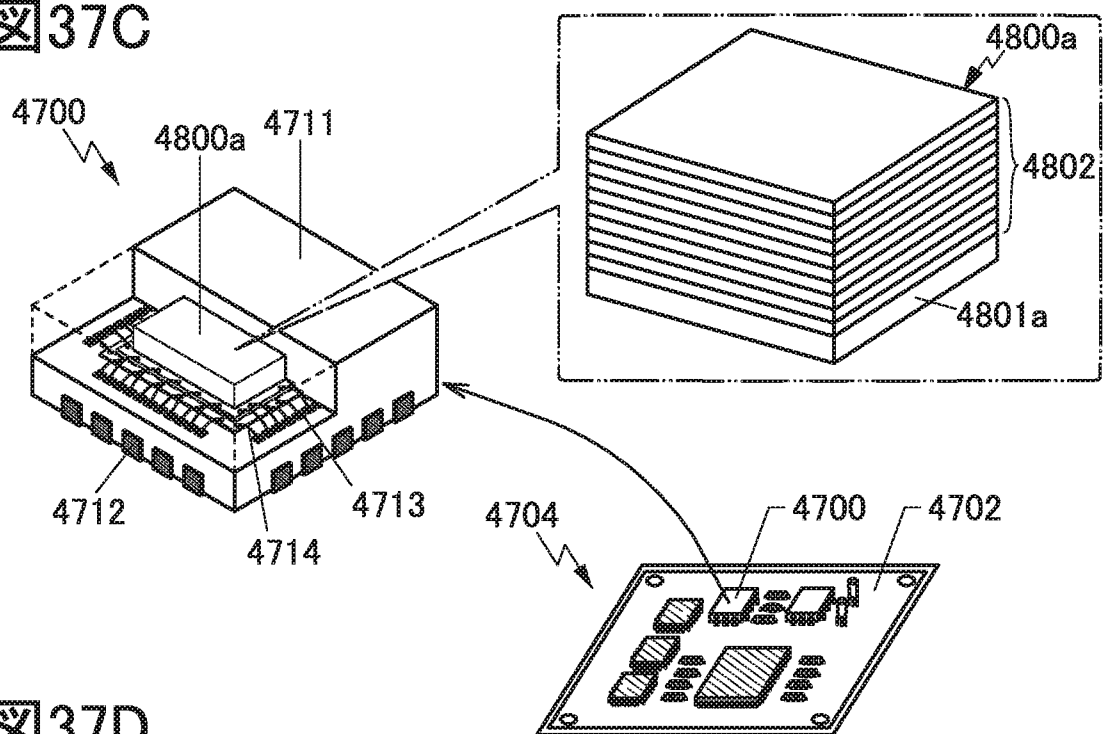
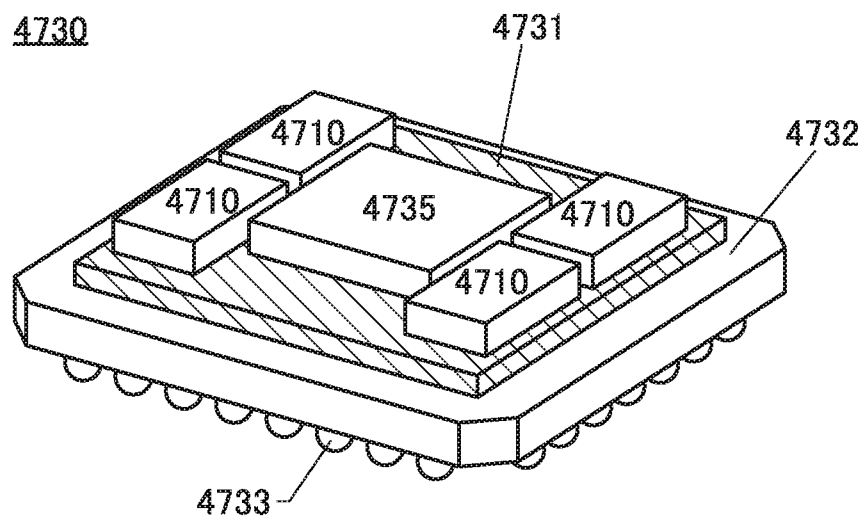
図37D
4730

図38A

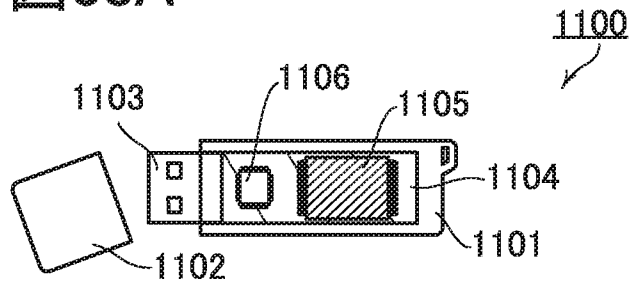


図38B

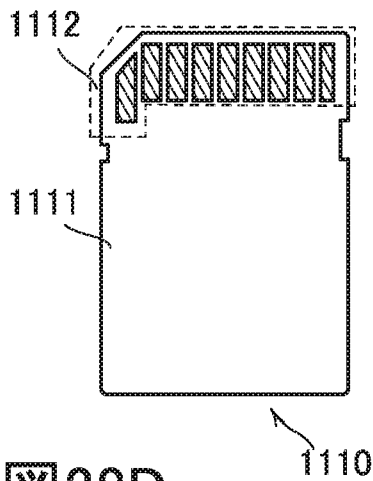


図38C

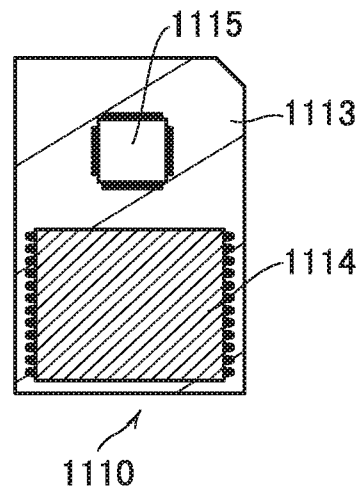


図38D

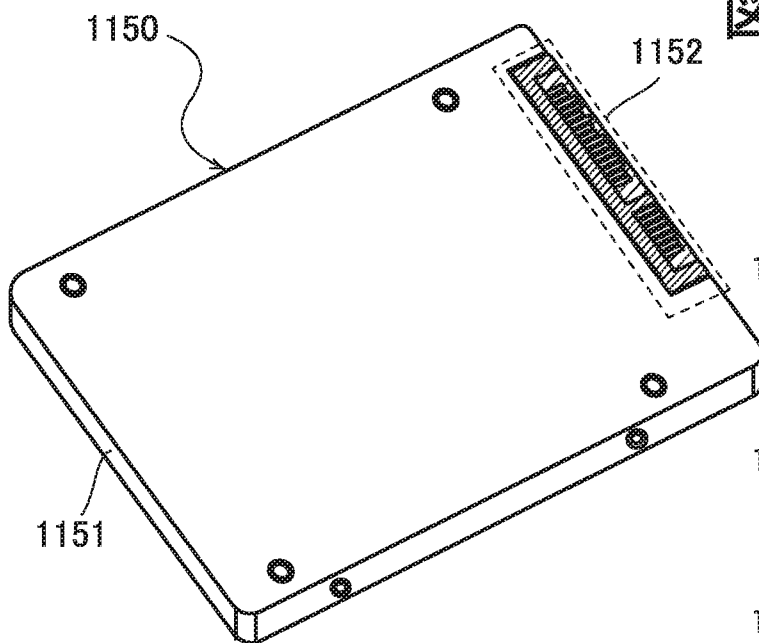


図38E

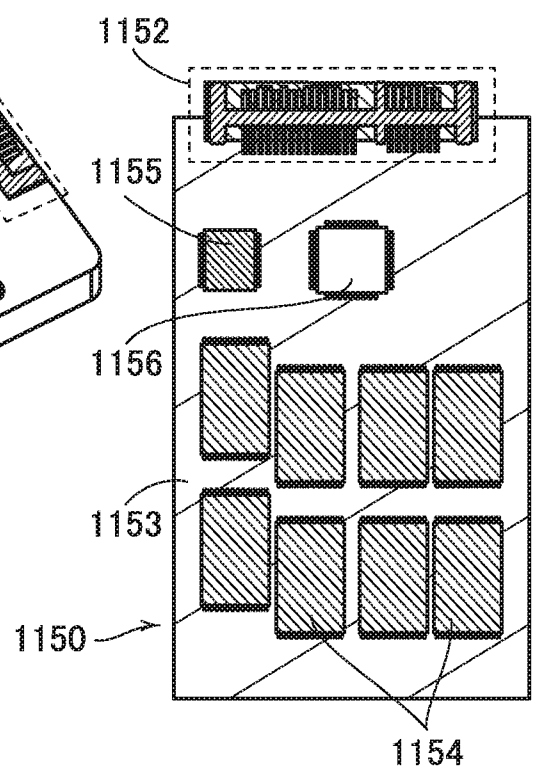


図39

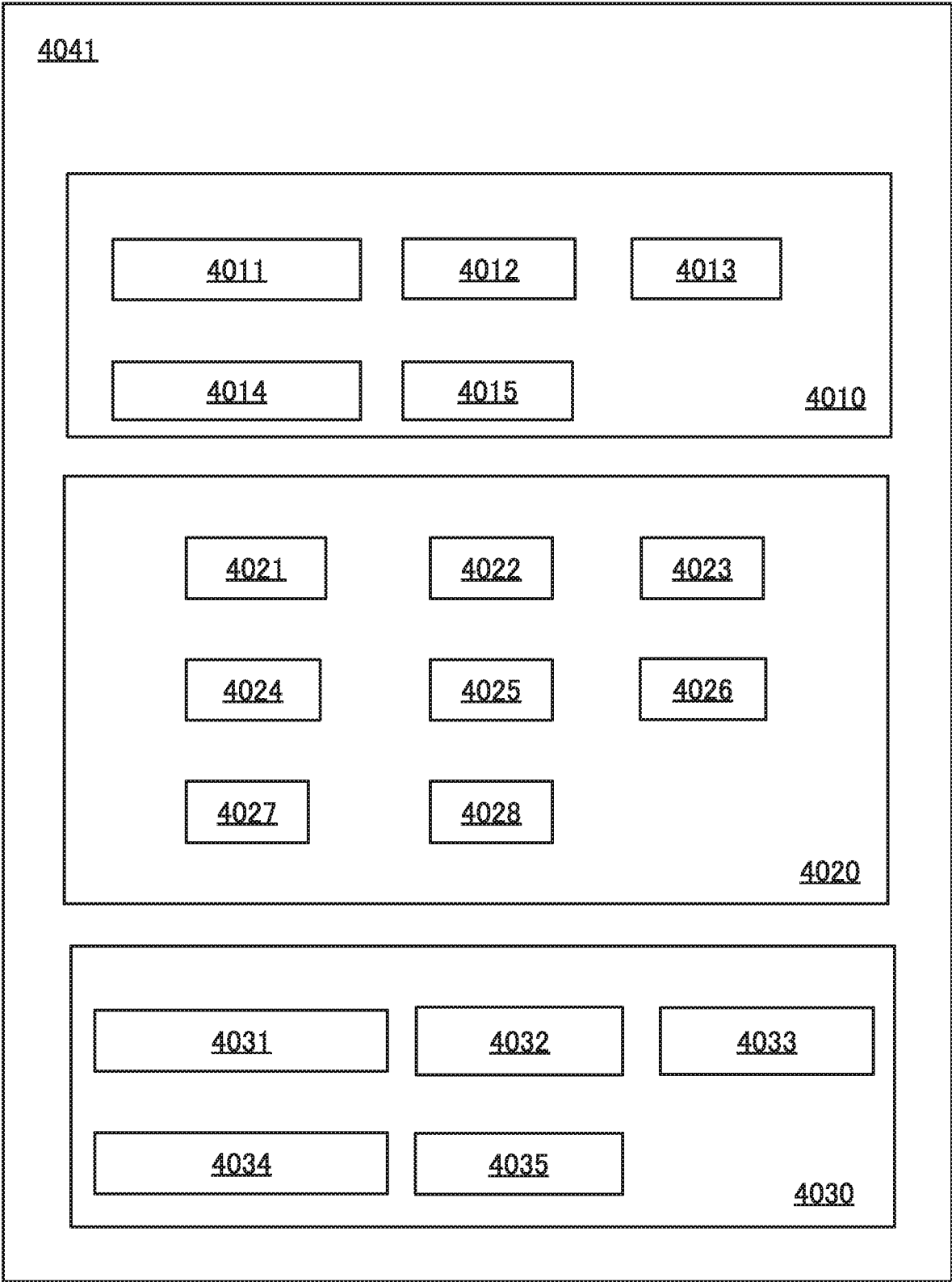


图 40A

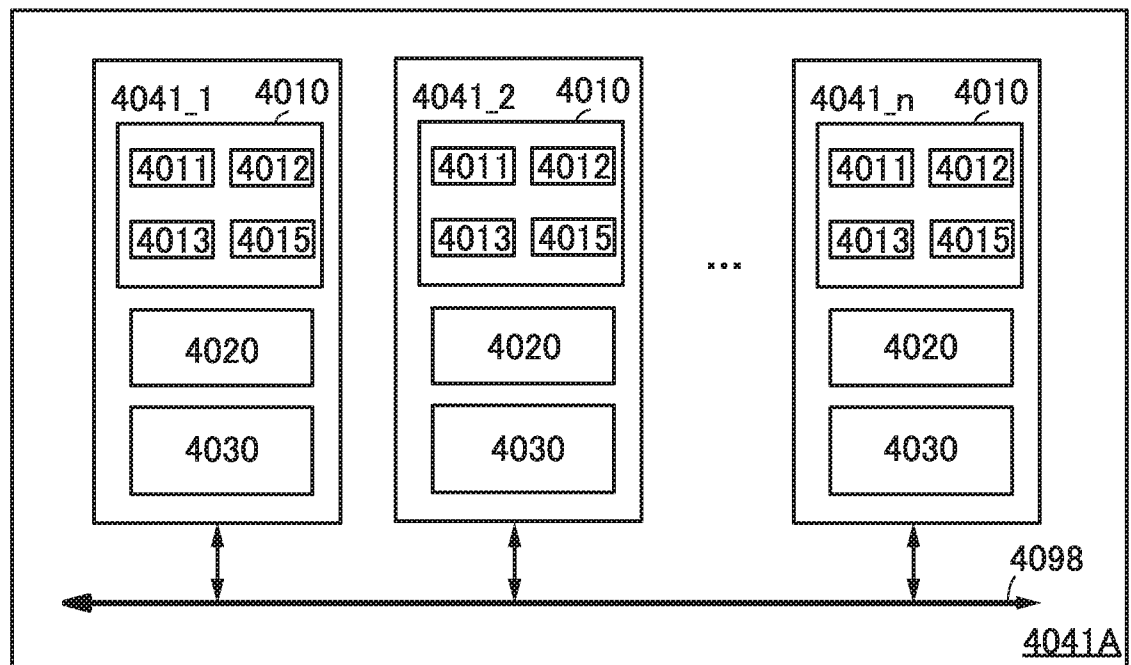
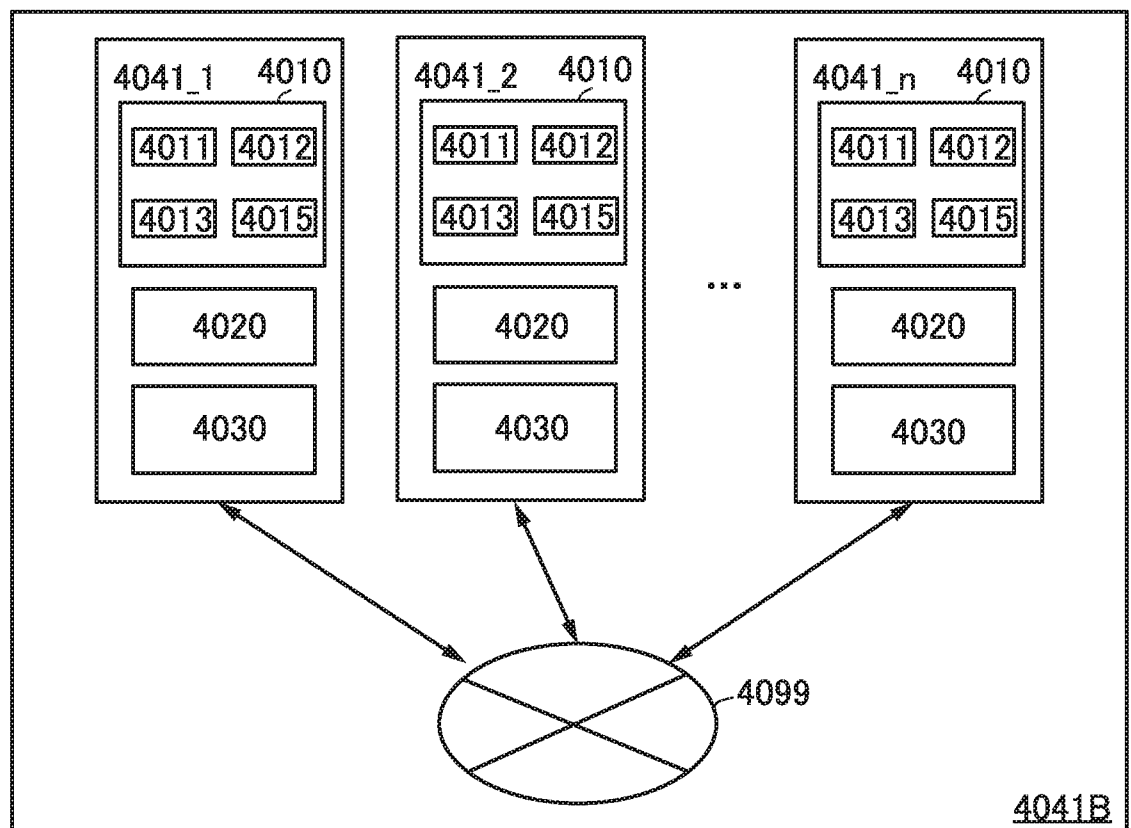


图 40B



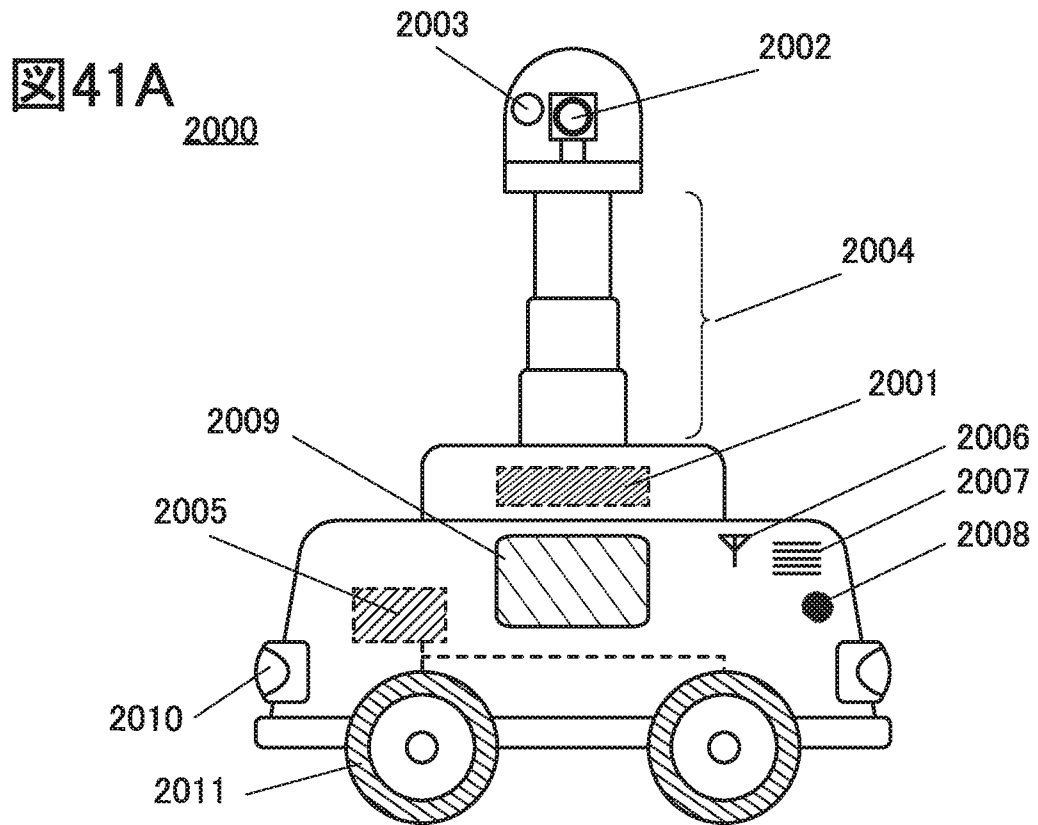
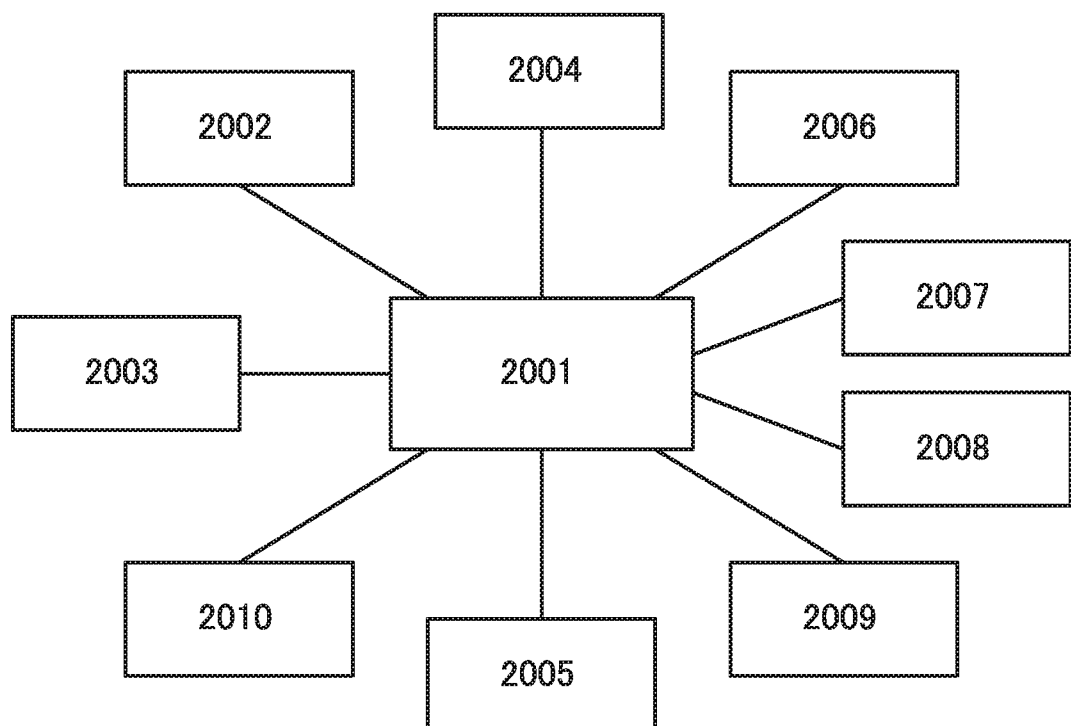
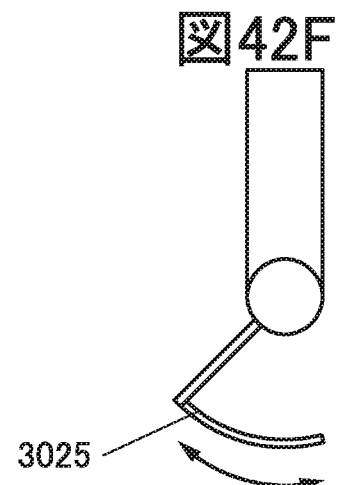
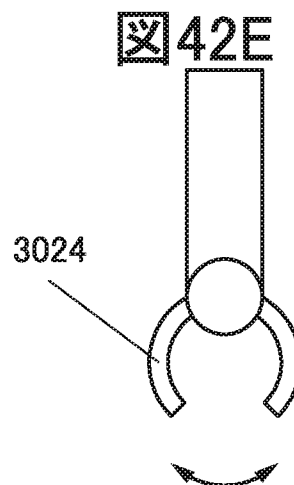
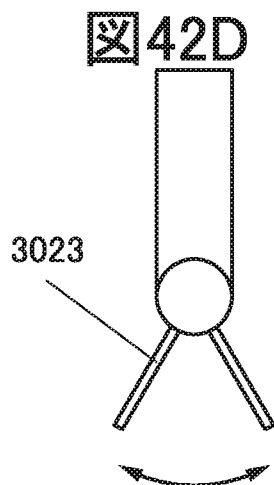
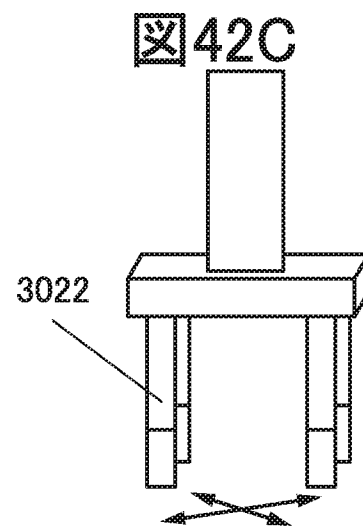
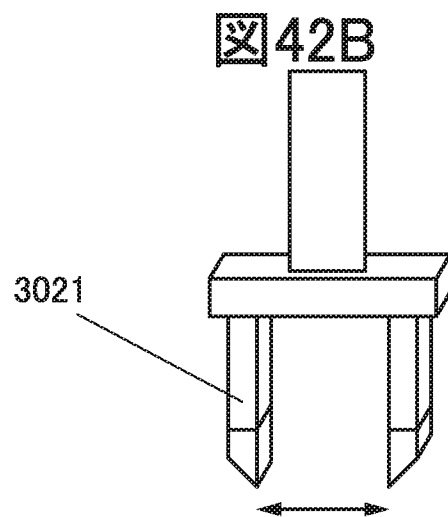
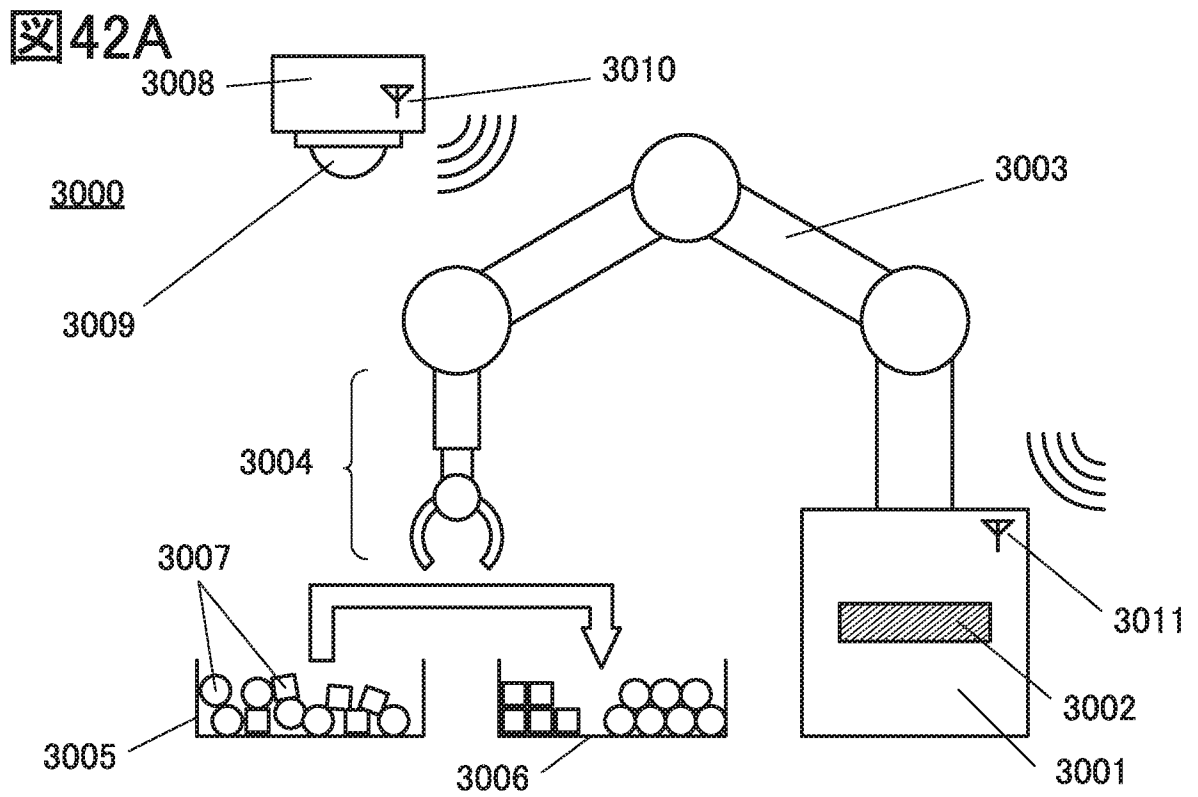


図41B





INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/059962

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L27/11582(2017.01)i, H01L21/336(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i, H01L29/786(2006.01)i FI: H01L27/11582, H01L29/78618B, H01L29/78613B, H01L29/78618C, H01L29/78626A, H01L27/088E, H01L29/78371 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L21/8234, H01L27/088, H01L27/11582, H01L21/336, H01L29/788, H01L29/792, H01L29/786 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-012822 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24.01.2019 (2019-01-24), paragraphs [0057]-[0281], fig. 1-5, 36	1-5, 8-13, 16-20, 24
Y		6, 14, 21-23, 25
A		7, 15, 26
Y	JP 2014-017477 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30.01.2014 (2014-01-30), paragraphs [0040]-[0057], fig. 2	6, 14, 25
Y	JP 2012-069932 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05.04.2012 (2012-04-05), paragraph [0159]	21-23
A	JP 2016-225614 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28.12.2016 (2016-12-28), paragraphs [0034]-[0110], fig. 10	1-26
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19.02.2020		Date of mailing of the international search report 03.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2019/059962

JP 2019-012822 A 24.01.2019 US 2019/0006386 A1
paragraphs [0131]-[0356], fig. 1-5, 36

JP 2014-017477 A 30.01.2014 US 2013/0334523 A1
paragraphs [0058]-[0075], fig. 2
KR 10-2013-0141379 A

JP 2012-069932 A 05.04.2012 US 2012/0051118 A1
paragraph [0178]
WO 2012/026503 A1
TW 201234532 A
CN 103081092 A
KR 10-2013-0107285 A

JP 2016-225614 A 28.12.2016 US 2016/0351576 A1
paragraphs [0052]-[0128], fig. 10

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 27/11582(2017.01)i; H01L 21/336(2006.01)i;
H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i
FI: H01L27/11582; H01L29/78 618B; H01L29/78 613B; H01L29/78 618C; H01L29/78 626A; H01L27/088 E;
H01L29/78 371

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/8234; H01L27/088; H01L27/11582; H01L21/336; H01L29/788; H01L29/792; H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 2 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 2 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 2 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2019-012822 A（株式会社半導体エネルギー研究所） 24.01.2019（2019 - 01 - 24） [0057]-[0281], 図1-5, 36	1-5, 8-13, 16-20, 24
Y		6, 14, 21-23, 25
A		7, 15, 26
Y	JP 2014-017477 A（株式会社半導体エネルギー研究所） 30.01.2014（2014 - 01 - 30） [0040]-[0057], 図2	6, 14, 25
Y	JP 2012-069932 A（株式会社半導体エネルギー研究所） 05.04.2012（2012 - 04 - 05） [0159]	21-23
A	JP 2016-225614 A（株式会社半導体エネルギー研究所） 28.12.2016（2016 - 12 - 28） [0034]-[0110], 図10	1-26

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“G” 同一パテントファミリー文献

国際調査を完了した日

19.02.2020

国際調査報告の発送日

03.03.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

加藤 俊哉 5F 9554

電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2019/059962

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-012822	A	24.01.2019	US	2019/0006386	A1	
				[0131]-[0356], FIGS. 1-5, 36			
JP	2014-017477	A	30.01.2014	US	2013/0334523	A1	
				[0058]-[0075], FIG. 2			
				KR	10-2013-0141379	A	
JP	2012-069932	A	05.04.2012	US	2012/0051118	A1	
				[0178]			
				WO	2012/026503	A1	
				TW	201234532	A	
				CN	103081092	A	
				KR	10-2013-0107285	A	
JP	2016-225614	A	28.12.2016	US	2016/0351576	A1	
				[0052]-[0128], FIG. 10			