



- (51) 국제특허분류:
H01L 33/48 (2010.01) H01L 21/78 (2006.01)
H01L 33/36 (2010.01)
- (21) 국제출원번호: PCT/KR2012/000314
- (22) 국제출원일: 2012년 1월 13일 (13.01.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2011-0008736 2011년 1월 28일 (28.01.2011) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **서울 옵토디바이스주식회사 (SEOUL OPTO DEVICE CO., LTD.)** [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR).
- (72) 발명자: **김**
- (75) 발명자/출원인 (US 에 한하여): **서대웅 (SUH, Dae Woong)** [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR). **이정훈 (LEE, Chung Hoon)** [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR).
- (74) 대리인: **특허법인에이아이피 (AIP PATENT & LAW FIRM)**; 서울 강남구 역삼동 823-14 신원빌딩 8층, 135-933 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

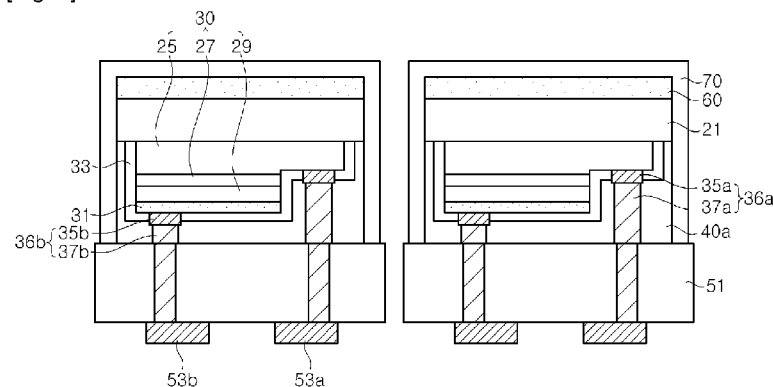
공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: WAFER-LEVEL LIGHT EMITTING DIODE PACKAGE AND METHOD FOR MANUFACTURING THEREOF

(54) 발명의 명칭 : 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법

[Fig. 6]



(57) Abstract: Disclosed are a wafer-level light emitting diode package and a method for manufacturing thereof. The method comprises the following steps: forming a plurality of semiconductor laminated structures on a first substrate; preparing second substrate first lead electrodes and second lead electrodes which are arranged to correspond to a plurality of semiconductor laminated structures; coupling a plurality of semiconductor laminated structures to the second substrate; and partitioning the first and the second substrates to a plurality of packages after coupling the substrates. Therefore, the wafer-level light emitting diode package is provided.

(57) 요약서: 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법이 개시된다. 이 방법은, 제 1 기판 상에 복수의 반도체 적층 구조체를 형성하고, 상기 복수의 반도체 적층 구조체에 대응하도록 정렬된 제 1 리드 전극들 및 제 2 리드 전극들을 갖는 제 2 기판을 준비하고, 상기 복수의 반도체 적층 구조체를 상기 제 2 기판에 결합하고, 상기 결합 후, 상기 제 1 기판 및 상기 제 2 기판을 복수의 패키지로 분할하는 것을 포함한다. 이에 따라, 웨이퍼 레벨 발광 다이오드 패키지가 제공된다.

명세서

발명의 명칭: 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법

기술분야

- [1] 본 발명은 발광 다이오드 패키지 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법에 관한 것이다.

배경기술

- [2] 발광 다이오드는 경박단소화가 가능하고, 에너지 절감과 오랜 기간 동안 수명이 유지되는 장점을 갖는다. 이에 따라, 발광 다이오드는 휴대폰을 비롯한 각종 표시장치의 배면 광원으로 이용되고 있으며, 발광 다이오드를 실장한 발광 다이오드 패키지는 높은 연색성을 갖는 백색광을 구현할 수 있어 형광등과 같은 백색광원을 대체하여 일반조명에 적용되고 있다.
- [3] 종래, 발광 다이오드 패키지는 통상 개별 발광 다이오드 칩을 리드 전극들을 갖는 패키지에 실장하고, 발광 다이오드 칩과 리드 전극들을 본딩 와이어로 연결하고, 발광 다이오드 칩을 봉지재로 봉지함으로써 형성된다.
- [4] 상기 종래 기술에 따른 발광 다이오드 패키지 제조 방법은, 발광 다이오드 칩을 개별적으로 취급하기 때문에, 발광 다이오드 패키지를 대량으로 제작하는데 있어서 시간 및 비용이 많이 들어 생산성이 나쁘다. 더욱이, 발광 다이오드 칩을 실장한 후, 다시 본딩 와이어를 형성하기 때문에, 발광 다이오드 패키지 제조 공정이 복잡하다. 또한, 캐필러리를 이용한 와이어 본딩 공정은 캐필러리를 이동하기 위한 공간을 필요로 하기 때문에 패키지 크기를 소형화하는데 한계로 작용하고 있으며, 와이어의 본딩 불량 또는 단선 등에 의해 패키지 불량을 초래하기 쉽다.
- [5] 최근, 에피층을 성장하기 위한 성장기판의 크기가 2인치에서 4인치 나아가 6인치로 커짐에 따라, 하나의 성장 기판에서 제조되는 발광 다이오드 칩은 수천 개 내지 수만 개에 이르고 있다. 따라서, 이러한 발광 다이오드 칩들을 이용하여 대량으로 신속하게 발광 다이오드 패키지를 제조할 것이 더욱 요구되고 있으나, 상기 종래 기술은 이러한 요구에 부응하기 어렵다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 해결하려는 과제는, 공정을 단순화하여 대량 생산에 적합한 발광 다이오드 패키지 및 그 제조 방법을 제공하는 것이다.
- [7] 본 발명이 해결하려는 또 다른 과제는, 소형화에 적합한 발광 다이오드 패키지 및 그 제조 방법을 제공하는 것이다.
- [8] 본 발명이 해결하려는 또 다른 과제는, 구조적으로 안정한 발광 다이오드

패키지 및 그 제조 방법을 제공하는 것이다.

- [9] 본 발명이 해결하려는 또 다른 과제는, 혼색광 특히 백색광을 구현하기에 적합한 발광 다이오드 패키지 및 그 제조 방법을 제공하는 것이다.

과제 해결 수단

- [10] 본 발명의 일 태양에 따른 발광 다이오드 패키지 제조 방법은, 제1 기판 상에 복수의 반도체 적층 구조체를 형성하되, 상기 각 반도체 적층 구조체는 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 개재된 활성 영역을 포함하고, 상기 복수의 반도체 적층 구조체에 대응하도록 정렬된 제1 리드 전극들 및 제2 리드 전극들을 갖는 제2 기판을 준비하고, 상기 복수의 반도체 적층 구조체를 상기 제2 기판에 결합하고, 상기 결합 후, 상기 제1 기판 및 상기 제2 기판을 복수의 패키지로 분할하는 것을 포함한다.
- [11] 본 발명에 따르면, 복수의 반도체 적층 구조체를 제2 기판에 웨이퍼 레벨에서 결합하기 때문에 칩 본딩 공정을 단순화할 수 있으며 작업시간을 크게 줄일 수 있다.
- [12] 상기 제2 기판은 예컨대, Si, AlN, SiC, 세라믹, 메탈 인쇄회로기판, 메탈 코어 인쇄회로기판, 유기 인쇄회로기판 등일 수 있으나 이에 한정되는 것은 아니다.
- [13] 상기 방법은 상기 각 반도체 적층 구조체의 제1 도전형 반도체층 및 제2 도전형 반도체층 상에 각각 제1 범프 및 제2 범프를 형성하는 것을 더 포함할 수 있다. 상기 제1 범프들 및 제2 범프들을 상기 제1 리드 전극들 및 제2 리드 전극들에 본딩함으로써 상기 복수의 반도체 적층 구조체가 상기 제1 리드 전극들에 결합될 수 있다.
- [14] 몇몇 실시예들에 있어서, 상기 복수의 반도체 적층 구조체를 덮는 언더필을 형성하는 것을 더 포함할 수 있다. 상기 제1 범프들 및 제2 범프들은 상기 언더필을 관통한다. 상기 언더필은 반도체 적층 구조체에서 방출되는 광의 파장변환을 수행하기 위해 형광체를 포함할 수 있다. 또한, 상기 언더필은 제1 기판과 제2 기판 사이의 열팽창 계수 차이를 완화할 수 있으며, 제1 기판과 제2 기판을 결합시키는 것을 도울 수 있다. 이를 위해, 상기 언더필은 열팽창 계수 및/또는 탄성 계수를 조절하기 위한 충진제를 포함할 수 있다.
- [15] 상기 언더필을 형성하는 것은, 상기 제1 기판 상에서 상기 복수의 반도체 적층 구조체를 덮는 반경화(B-stage) 언더필을 형성하고, 상기 제1 및 제2 범프들을 상기 제1 및 제2 리드 전극들에 본딩하는 동안, 상기 반경화 언더필을 경화시키는 것을 포함할 수 있다. 상기 언더필 재료는 상기 제1 기판 상에서 스핀 코트 또는 라미네이션 등의 방법으로 도포될 수 있으며, 그 후 상기 제1 기판 상에서 반경화될 수 있다.
- [16] 한편, 상기 결합 후, 상기 제1 기판의 뒷면을 덮는 파장변환기가 형성될 수 있다. 상기 파장변환기는, 상기 제1 기판을 분할한 후, 상기 제1 기판의 측면을 덮도록

형성될 수도 있다. 나아가, 상기 제1 기판을 분할한 후, 분할 영역 아래의 상기 언더필의 일부가 부분적으로 제거되고, 상기 파장변환기는 또한 상기 언더필이 부분적으로 제거되어 노출된 측면을 덮도록 형성될 수도 있다.

- [17] 한편, 상기 방법은 상기 파장변환기를 덮는 수분 장벽 코팅을 형성하는 것을 더 포함할 수 있다. 상기 수분 장벽 코팅은 물 또는 수분(moisture)을 차단하여 상기 파장변환기를 보호하며, 나아가 반도체 적층 구조체를 보호한다. 상기 수분 장벽 코팅은 수분을 차단할 수 있는 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있으며, 또한 유기 재료층과 무기 재료층을 교대로 적층하여 형성될 수도 있다. 유기 재료층과 무기 재료층을 교대로 적층함으로써 외부에서 유입되는 수분의 침투 경로를 길게 하여 수분이 파장변환기로 침투하는 것을 방지할 수 있다.
- [18] 몇몇 실시예들에 있어서, 상기 파장변환기는 형광체를 함유하는 에폭시 또는 실리콘 수지일 수 있다. 다른 실시예들에 있어서, 상기 파장변환기는 형광체를 함유하는 글래스일 수 있다. 상기 글래스는 접착제를 이용하여 제1 기판 뒷면에 부착되거나 저온 직접 본딩에 의해 상기 제1 기판 뒷면에 부착될 수 있다. 저온 직접 본딩 기술을 이용할 경우, 접착제에 의한 광손실을 방지할 수 있다.
- [19] 몇몇 실시예들에 있어서, 상기 파장변환기는 상기 제1 기판을 분할한 후에 형성될 수 있다. 나아가, 상기 파장변환기는 상기 복수의 반도체 적층 구조체와 상기 제2 기판 사이의 공간을 채울 수 있다. 즉, 상기 파장변환기와 언더필을 동시에 형성할 수 있다.
- [20] 또한, 상기 방법은, 상기 제1 기판의 분할 영역 아래의 상기 파장변환기를 제거하여 패키지 단위로 파장변환기를 분할하고, 분할된 파장변환기를 덮는 수분 장벽 코팅을 형성하는 것을 더 포함할 수 있다.
- [21] 한편, 상기 방법은, 상기 제1 기판 뒷면에 광 추출 효율을 증가시키기 위한 표면 텍스처를 형성하는 것을 더 포함할 수 있다. 표면 텍스처는 습식 식각, 전자빔 리소그래피 또는 나노 임프린트 기술을 이용하여 형성될 수 있다.
- [22] 또한, 상기 제1 기판을 분할할 때, 상기 제1 기판의 측면이 상기 제1 기판의 뒷면의 수직 방향에 대해 경사지도록 분할될 수 있으며, 이에 따라, 광 추출 효율을 더욱 개선할 수 있다.
- [23] 본 발명의 다른 태양에 따른 웨이퍼 레벨 발광 다이오드 패키지는, 기판; 상기 제1 기판의 앞면 상에 배치된 반도체 적층 구조체로서, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 개재된 활성 영역을 갖는 반도체 적층 구조체; 제1 리드 전극 및 제2 리드 전극을 갖는 제2 기판; 상기 반도체 적층 구조체와 상기 제1 및 제2 리드 전극을 전기적으로 연결하는 복수의 커넥터; 및 상기 제1 기판의 뒷면을 덮는 파장변환기를 포함한다.
- [24] 상기 웨이퍼 레벨 발광 다이오드 패키지는, 개별 칩을 실장하는 종래의 발광 다이오드 패키지와 달리, 복수의 반도체 적층 구조체가 형성된 제1 기판을 제2 기판에 실장한 후, 제1 기판과 제2 기판을 분할함으로써 제조된다. 따라서,

웨이퍼 레벨 발광 다이오드 패키지 내의 제1 기판과 제2 기판의 크기가 대체로 유사하여 소형의 발광 다이오드 패키지가 제공될 수 있다.

- [25] 한편, 언더필이 상기 제1 기판과 상기 제2 기판 사이에 위치할 수 있다. 상기 언더필은 반도체 적층 구조체와 상기 제2 기판의 결합력을 보강하여 반도체 적층 구조체가 제2 기판으로부터 분리되는 것을 방지할 수 있다. 나아가, 상기 언더필은 형광체 및 충전제 중 적어도 하나를 포함할 수 있다.
- [26] 또한, 상기 파장변환기는 상기 언더필의 측면 중 적어도 일부를 덮을 수 있다.
- [27] 한편, 수분 장벽 코팅이 상기 파장변환기를 덮을 수 있다. 따라서, 외부에서 수분이 파장변환기 내로 침투하는 것을 방지할 수 있다. 또한, 상기 수분 장벽 코팅은 상기 언더필의 측면을 덮을 수 있다.
- [28] 상기 수분 장벽 코팅은 유기 재료층과 무기 재료층이 교대로 적층된 구조를 가질 수 있다. 이러한 수분 장벽 코팅은 수분의 침투 경로를 증가시켜 수분이 웨이퍼 레벨 발광 다이오드 패키지 내로 침투하는 것을 어렵게 만든다.
- [29] 한편, 상기 파장변환기는 또한 상기 제1 기판과 상기 제2 기판 사이의 공간을 채울 수 있다. 즉, 상기 언더필이 상기 파장변환기와 동일 재료 및 동일 공정으로 형성될 수 있다.
- [30] 몇몇 실시예들에 있어서, 상기 파장변환기는 형광체를 함유하는 글래스일 수 있다. 상기 글래스는 상기 제1 기판의 뒷면에 직접 본딩될 수 있다. 즉, 상기 글래스를 제1 기판에 부착하기 위한 접착제가 생략될 수 있으며, 따라서 접착제를 사용함에 따른 광손실을 방지할 수 있다.
- [31] 한편, 상기 제1 기판의 뒷면은 광 추출 효율을 증가시키기 위한 표면 텍스처를 포함할 수 있으며, 상기 제1 기판의 측면은 상기 제1 기판 뒷면의 수직 방향에 대해 경사질 수 있다.

발명의 효과

- [32] 본 발명에 따르면, 제1 기판 상의 복수의 반도체 적층 구조체를 제2 기판에 웨이퍼 레벨에서 결합하고 제1 기판 및 제2 기판을 분할하여 패키지를 제작하기 때문에 칩 본딩 공정을 단순화할 수 있으며 작업시간을 크게 줄일 수 있다. 더욱이, 웨이퍼 레벨에서 발광 다이오드 패키지를 제조하므로 패키지 소형화에 적합하다. 나아가, 언더필을 이용하여 제1 기판과 제2 기판의 결합력을 향상시킬 수 있어 구조적으로 안정한 발광 다이오드 패키지를 제공할 수 있으며, 수분 방지층을 채택하여 외부로부터 발광 다이오드 패키지 내로 수분이 침투하는 것을 방지할 수 있다.
- [33] 더욱이, 파장변환기를 채택하여 혼색광 특히 백색광을 구현할 수 있으며, 언더필 및/또는 파장변환기를 이용하여 반도체 적층 구조체의 상부면 뿐만 아니라, 측면 및 하부면으로 방출되는 광에 대해서도 파장변환을 수행할 수 있다.

도면의 간단한 설명

- [34] 도 1 내지 도 7은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 단면도들이다.
- [35] 도 8 내지 도 12는 본 발명의 또 다른 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 단면도들이다.
- [36] 도 13 내지 도 16은 본 발명의 또 다른 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 단면도들이다.

발명의 실시를 위한 형태

- [37] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명된 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [38] 도 1 내지 도 7은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 단면도들이다.
- [39] (웨이퍼(20) 준비)
- [40] 도 1을 참조하면, 제1 기판(21) 상에 복수의 반도체 적층 구조체(30)가 형성된 웨이퍼(20)가 준비된다.
- [41] 상기 웨이퍼(20)는, 제1 기판(21) 및 상기 제1 기판 상에 정렬된 복수의 반도체 적층 구조체(30)를 포함하며, 또한, 오믹 콘택층(31), 절연층(33), 제1 전극들(36a), 제2 전극들(36b), 언더필(40a) 및 버퍼층(도시하지 않음)을 포함할 수 있다. 상기 반도체 적층 구조체(30)는, 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)을 포함할 수 있다. 또한, 상기 제1 전극(36a)은 제1 전극 패드(35a)와 제1 범프(37a)를 포함할 수 있으며, 상기 제2 전극(36b)은 제2 전극 패드(35b)와 제2 범프(37b)를 포함할 수 있다.
- [42] 제1 기판(21)은 질화물 반도체층을 성장시킬 수 있는 성장 기판, 예컨대 사파이어, 실리콘 탄화물, 스피넬 등일 수 있다. 상기 제1 기판(21)은 광을 투과시킬 수 있는 투명 기판이다.
- [43] 상기 반도체 적층 구조체(30)는 통상의 발광 다이오드 칩 제조 공정에 의해 제조될 수 있다. 즉, 제1 기판(21) 상에 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)을 포함하는 에피층들을 성장시키고, 이들 에피층들을 패터닝하여 상기 기판(21) 상에 복수의 반도체 적층 구조체(30)가 형성된다. 상기 제1 도전형 반도체층(25)의 일부 영역을 노출시키기 위해 제2 도전형 반도체층(29) 및 활성층(27)이 또한 부분적으로 제거될 수 있다.
- [44] 상기 활성층(27), 상기 제1 및 제2 도전형 반도체층들(25, 29)은 III-N 계열의 화합물 반도체, 예컨대 (Al, Ga, In)N 반도체로 형성될 수 있다. 상기 제1 및 제2

도전형 반도체층들(25, 29)은 각각 단일층 또는 다중층일 수 있다. 예를 들어, 상기 제1 도전형 및/또는 제2 도전형 반도체층(25, 29)은 콘택층과 클레드층을 포함할 수 있으며, 또한 초격자층을 포함할 수 있다. 또한, 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 예컨대, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형일 수 있으나, 이에 한정되는 것은 아니며, 그 반대일 수 있다. 버퍼층은 기판(21)과 제1 도전형 반도체층(25) 사이에서 격자 부정합을 완화하여 반도체층들(25, 27, 29) 내에 발생하는 결함밀도를 감소시킨다.

- [45] 한편, 상기 제2 도전형 반도체층(29) 상에 오믹 콘택층(31)이 형성될 수 있으며, 상기 제1 도전형 반도체층(25) 및 제2 도전형 반도체층(29) 상에 각각 제1 전극 패드(35a) 및 제2 전극 패드(35b)가 형성될 수 있다. 상기 오믹 콘택층(31)은 예컨대, Ni/Au, ITO, IZO, ZnO와 같은 투명 도전층으로 형성될 수 있으나, 이에 한정되는 것은 아니며, 반사 금속층을 포함할 수도 있다. 상기 제1 전극 패드(35a) 및 제2 전극 패드(35b)는 예컨대, Ti, Cu, Ni, Al, Au 또는 Cr을 포함할 수 있으며 이들 중 2개 이상의 물질로 형성될 수도 있다. 상기 제2 전극 패드(35b)는 상기 오믹 콘택층을 통해 제2 도전형 반도체층(29)에 전기적으로 접속할 수 있다. 상기 전극 패드들(35a, 35b)을 형성하기 전에 반도체 적층 구조체들(30)을 덮는 절연층(33)이 또한 형성될 수 있다. 상기 절연층(33)은 예컨대 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있다.
- [46] 나아가, 상기 제1 전극 패드(35a) 및 제2 전극 패드(35b) 상에 각각 제1 범프(37a) 및 제2 범프(37b)가 형성될 수 있다. 상기 제1 범프 및 제2 범프는 복수의 반도체 적층 구조체를 제2 기판(51)의 제1 및 제2 리드 전극들(53a, 53b)에 전기적으로 연결하는 커넥터들이며, 상기 복수의 반도체 적층 구조체를 제2 기판(51)에 구조적으로 결합시킨다.
- [47] 상기 제1 범프(37a) 및 제2 범프(37b)는 Au 또는 솔더로 형성되거나, Ni 또는 Ni 합금과 같은 견고한 금속 물질로 범프를 형성하고 그 위에 Au 또는 솔더를 형성할 수 있다. 또한, 상기 제1 범프(37a) 및 제2 범프(37b)는 와이어 본딩 기술을 이용한 스타드 범프로 형성될 수도 있다.
- [48] 한편, 상기 반도체 적층 구조체(30)들이 형성된 기판(21) 상에 언더필(40a)이 형성될 수 있다. 언더필(40a)은 열경화성 수지 또는 열가소성 수지로 형성될 수 있다. 또한, 상기 언더필(40a)은 형광체 및/또는 충전제를 포함할 수 있다. 상기 형광체는 반도체 적층 구조체(30)의 측면으로 방출되는 광을 파장변환시키기 위해 첨가될 수 있으며, 충전제는 예컨대 언더필(40a)의 열팽창 계수 및 탄성 계수를 조절하기 위해 첨가될 수 있다. 상기 언더필(40a)은 예컨대 스핀 코트 또는 라미네이션 기술을 이용하여 형성될 수 있으며, 예컨대, 스퀴즈를 이용한 스크린 인쇄 기술을 이용하여 형성될 수 있다. 이에 따라, 언더필(40a)은 반도체 적층 구조체(30)들의 측면을 덮고 그 상부면을 덮도록 형성될 수 있으며, 제1 및 제2 범프들(37a, 37b)은 상기 언더필(40a)을 관통하여 외부에 노출될 수 있다.

- [49] 상기 언더필(40a)은 웨이퍼(20) 준비 단계에서 경화될 수 있으나, 이에 한정되는 것은 아니며, 웨이퍼(20) 준비 단계에서 반경화(B-stage) 상태로 잔류할 수 있다. 그 후, 상기 제1 범프(37a) 및 제2 범프(37b)를 제2 기판(21)의 리드 전극들(53a, 53b)에 본딩하는 반경화 언더필이 경화될 수 있다.
- [50] (패키지 멤버(50) 준비)
- [51] 도 2를 참조하면, 패키지 멤버(50)로서, 제1 리드 전극들(53a) 및 제2 리드 전극들(53b)을 갖는 제2 기판(51)이 준비된다.
- [52] 상기 제2 기판(51)은 리드 전극들(53a, 53b)이 인쇄된 인쇄회로기판, 예컨대, 통상의 FR4-PCB와 같은 유기 PCB, 메탈-PCB, 메탈 코어 PCB, 세라믹 기판, Si 기판, AlN 기판 또는 SiC 기판 등일 수 있다.
- [53] 상기 제2 기판(51)이 메탈 PCB와 같이 도전성 기판인 경우, 상기 리드 전극들(53a, 53b)은 절연층(도시하지 않음)에 의해 도전성 기판으로부터 절연될 수 있다.
- [54] 상기 제1 및 제2 리드 전극들(53a, 53b)은 제2 기판(51) 상부에 내부 단자들 또는 패드들을 가질 수 있으며, 그 하부에 외부 전원에 연결하기 위한 외부 단자들을 가질 수 있다. 상기 제1 및 제2 리드 전극들(53a, 53b)은 제2 기판(51)을 관통한다. 상기 제1 및 제2 리드 전극들(53a, 53b)은 상기 제2 기판(51)의 관통홀들을 채울 수 있으나, 이에 한정되는 것은 아니며, 관통홀들의 측면을 따라 형성될 수도 있다.
- [55] (웨이퍼(20)와 패키지 멤버(50)의 결합)
- [56] 도 3을 참조하면, 제1 범프들(37a) 및 제2 범프들(37b)을 제1 리드 전극들(53a) 및 제2 리드 전극들(53b)에 본딩한다. 상기 제1 및 제2 범프들(37a, 37b)은 열압착(thermocompression), 열초음파(thermosonic), 리플로우 등의 본딩 기술을 이용하여 상기 제1 및 제2 리드 전극들(53a, 53b)에 본딩될 수 있다. 상기 본딩을 위해 제2 기판(51) 상에 Au와 같은 금속 패드들을 형성할 수 있으며, 또한, 금속 패드들 상에 솔더 페이스트를 추가로 형성할 수도 있다.
- [57] 한편, 예컨대, 상기 제1 및 제2 범프들(37a, 37b)을 열압착 본딩에 의해 본딩하는 경우, 열압착 본딩 공정의 온도 프로파일을 조절하여 금속 본딩이 진행되는 동안 우선 반경화 상태의 언더필(40a)의 점도가 감소하도록 하여 반경화 언더필(40a)의 유동을 발생시키고, 그 후, 온도를 유지하는 동안 또는 온도를 내리는 동안 상기 반경화 언더필(40a)의 경화가 진행되도록 할 수 있다. 이에 따라, 상기 언더필(40a)이 웨이퍼(20)와 패키지 멤버(50)의 결합을 보장할 수 있다. 더욱이, 상기 언더필(40a)에 충진제를 첨가하여, 언더필(40a)이 상기 웨이퍼(20)와 패키지 멤버(50) 사이의 열팽창 계수 차이를 완충하도록 할 수 있다. 이에 따라, 상기 언더필(40a)에 의해 발광 다이오드 패키지의 구조적 안정성뿐만 아니라 신뢰성을 향상시킬 수 있다.
- [58] 한편, 상기 결합 후, 제1 기판(21)의 뒷면은 그라인딩 등에 의해 부분적으로 제거되어 제1 기판(21)을 얇게 할 수 있다.

[59] (파장 변환기(60) 형성)

[60] 도 4를 참조하면, 상기 결합 공정이 완료된 후, 제1 기판(21)의 뒷면 상에 파장변환기(60)가 형성된다. 상기 파장변환기(60)는 형광체를 코팅하거나, 형광체를 함유하는 수지를 코팅하여 형성할 수 있다. 예컨대, 형광체를 함유하는 수지를 제1 기판(21)에 도포하고 스핀코팅을 이용하여 균일한 두께로 파장변환기(60)를 형성할 수 있다. 이와 달리, 형광체를 함유하는 파장변환기, 예컨대 글래스를 제1 기판(21)에 부착하여 형성할 수도 있다. 상기 글래스는 접착제를 사용하여 제1 기판(21)에 부착될 수 있으나, 접착제를 사용하지 않고 저온 직접 본딩 기술을 이용하여 제1 기판(21)에 부착될 수도 있다.

[61] (분할 공정)

[62] 도 5를 참조하면, 상기 제1 기판(21) 및 제2 기판(51)이 분할된다. 언더필(40a)이 형성된 경우, 상기 언더필(40a)도 함께 분할된다. 상기 제1 기판(21) 및 제2 기판(51)은 스크라이빙 및 브레이킹, 소잉에 의해 분할될 수 있으며, 레이저를 이용하여 분할될 수 있다. 이에 따라, 개별 발광 다이오드 패키지가 완성될 수 있다.

[63] 상기 제1 기판(21) 및 제2 기판(51)은 예컨대 레이저를 이용하여 동일공정에서 함께 분할될 수 있다. 이에 따라, 제1 기판(21)과 제2 기판은 거의 동일한 크기로 형성될 수 있다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 제1 기판(21)을 먼저 분할하고 그 후 별개의 공정에서 제2 기판(51)을 분할할 수도 있다. 이 경우, 도 5에 도시된 바와 같이, 제1 기판(21)의 크기가 제2 기판(51)의 크기보다 약간 더 작게 형성될 수 있다.

[64] 한편, 형광체를 함유하는 파장변환기(60)는 외부에서 침투하는 수지에 의해 형광체 특성이 변형되기 쉽다. 특히, 상기 파장변환기(60)가 실리콘 수지로 형성된 경우, 외부에서 유입되는 수분으로부터 실리콘 수지 및 형광체를 보호할 필요가 있다. 이를 위해, 도 6에 도시된 바와 같이, 수분 장벽 코팅(70)이 파장변환기(60)를 덮도록 형성될 수 있다.

[65] 수분 장벽 코팅(70)은 제1 기판(21)을 분할하기 전, 파장변환기(60)를 덮도록 제1 기판(21) 상부에 형성될 수 있으며, 그 후, 제1 기판(21)과 함께 분할될 수 있다. 또는, 수분 장벽 코팅(70)은 제1 기판(21) 및 언더필(40a)을 분할한 후에 형성되거나, 나아가 제2 기판(51)을 분할한 후에 형성될 수도 있다. 따라서, 수분 장벽 코팅(70)은 파장변환기(60) 및 언더필(40a)의 측면을 덮어 외부에서 수분이 발광 다이오드 패키지 내로 침투하는 것을 방지할 수 있다.

[66] 상기 수분 장벽 코팅(70)은 예컨대, 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다. 또는, 상기 수분 장벽 코팅(70)은 도 7에 도시된 바와 같이, 유기 재료층(71)과 무기 재료층(73)을 교대로 적층하여 형성될 수도 있다. 예컨대, 상기 수분 장벽 코팅(70)은 투명한 폴리머와, 실리콘(Si) 또는 알루미늄(Al) 등 금속의 산화물 또는 질화물을, 예컨대 저온 진공 증착 기술을 이용하여 교대로 적층하여 형성할 수 있다. 이러한 수분 장벽 코팅(70)은 수분의 침투 경로를 길게

- 하여 수분이 파장변환기(60)에 침투하는 것을 방지한다.
- [67] 본 실시예에 따르면, 웨이퍼 레벨에서 복수의 반도체 적층 구조체(30)를 패키지 멤버(50)에 실장하기 때문에, 개별 칩을 실장하는 종래 기술에 비해 제조 공정이 간단하여 제조 비용을 절감할 수 있다. 나아가, 패키지 제작 공정에서 본딩 와이어들을 이용하여 리드 전극들과 반도체 적층 구조체를 전기적으로 연결할 필요가 없으므로, 본딩 와이어의 단선 또는 단락에 따른 패키지 불량 발생을 제거할 수 있다.
- [68] 앞서, 웨이퍼(20)와 패키지 멤버(50)를 결합하기 전에 언더필(40a)이 복수의 반도체 적층 구조체(30)를 덮도록 형성되는 것으로 설명하였으나, 언더필(40a)이 반드시 필요한 것은 아니다. 나아가, 상기 언더필(40a)은 웨이퍼와 패키지 멤버(50)를 결합한 후, 제1 기판(21)과 제2 기판(51)의 사이의 영역으로 언더필 재료를 주입하여 형성될 수도 있다.
- [69] 도 8 내지 도 12는 본 발명의 또 다른 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 단면도들이다.
- [70] 도 8을 참조하면, 본 실시예에 따른 발광 다이오드 패키지 제조 방법은 도 1 내지 도 3을 참조하여 설명한 바와 같이 웨이퍼(20) 및 패키지 멤버(50)가 준비되고 이들이 결합된다. 그 후, 제1 기판(21)의 뒷면에 표면 텍스처(T)가 형성된다. 표면 텍스처(T)는 습식 식각, 전자빔 리소그래피 또는 나노 임프린트 기술을 이용하여 제1 기판(21)을 식각함으로써 형성될 수 있다. 표면 텍스처(T)는 에컨대 수십 nm 내지 수 um의 피치를 갖고 1 이상의 종횡비(aspect ratio)를 갖는 패턴으로 형성될 수 있다. 표면 텍스처(T)는 반도체 적층 구조체(30)에서 방출된 광의 광 추출 효율을 향상시킨다.
- [71] 도 9를 참조하면, 제1 기판(21)이 분할된다. 다이아몬드 블레이드 또는 레이저를 이용하여 단면이 역삼각형 형상이 되도록 분할될 수 있으며, 따라서 도시한 바와 같이, 분할영역에서 제1 기판(21)의 측면이 뒷면의 수직 방향에 대해 경사지게 형성될 수 있다. 제1 기판(21)의 경사진 측면은 반도체 적층 구조체(30)에서 방출되는 광의 추출 효율을 향상시킨다.
- [72] 한편, 상기 분할영역 아래의 언더필(40a)이 부분적으로 제거될 수 있다. 상기 언더필(40a)은 제2 기판(51) 상에 일부가 남도록 제거될 수 있으나, 이에 한정되는 것은 아니며 제2 기판(51) 면이 노출되도록 제거될 수 있다.
- [73] 도 10을 참조하면, 상기 제1 기판(21)을 덮는 파장변환기(60a)가 형성된다. 파장변환기(60a)는 형광체를 함유하는 수지로 형성될 수 있다. 상기 파장변환기(60a)는 제1 기판(21)의 뒷면 및 측면을 덮으며, 또한, 상기 분할 영역 내에 노출된 언더필(40a)의 측면을 덮는다.
- [74] 도 11을 참조하면, 제2 기판(51)이 분할되어 개별 발광 다이오드 패키지가 완성된다. 상기 분할 영역 아래의 파장변환기(60a) 및 잔류하는 언더필(40a)도 함께 분할될 수 있다.
- [75] 도 12를 참조하면, 도 6을 참조하여 설명한 바와 같이, 파장변환기(60a)로

수분이 침투하는 것을 방지하기 위해 수분 장벽 코팅(70)이 추가로 형성될 수 있다. 예컨대, 상기 분할 영역 아래의 파장변환기(60a) 및 잔류하는 언더필(40a)을 먼저 제거하고, 수분 장벽 코팅(70)이 형성될 수 있다. 수분 장벽 코팅(70)은 제2 기관(51)을 분할하기 전 또는 후에 형성될 수 있다.

[76] 본 실시예에 따르면, 제1 기관(21)의 뒷면에 표면 텍스처(T)를 형성함으로써 광추출 효율을 향상시킬 수 있으며, 또한, 제1 기관(21)의 측면이 경사지도록 제1 기관(21)을 분할함으로써 광추출 효율을 더욱 향상시킬 수 있다. 상기 표면 텍스처(T)를 형성하고 경사진 측면을 형성하는 기술은 본 실시예에 한정되지 않고 다른 실시예들에도 동일하게 적용될 수 있다.

[77] 한편, 본 실시예에 있어서, 제1 기관(21) 및 언더필(40a)을 부분적으로 제거한 후에 파장변환기(60a)를 형성함으로써 반도체 적층 구조체(30)의 측면을 덮는 파장변환기(60a)를 형성할 수 있다.

[78] 도 13 내지 도 16은 본 발명의 또 다른 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 단면도들이다.

[79] 도 13을 참조하면, 앞서, 도 8 및 도 9를 참조하여 설명한 바와 같이, 웨이퍼(20)와 패키지 멤버(50)가 결합된 후, 제1 기관(21)의 뒷면에 표면 텍스처(T)가 형성되고 제1 기관(21)의 측면이 경사지게 분할된다. 다만, 본 실시예에 있어서는, 앞의 실시예들과 달리, 언더필(40a)을 웨이퍼(20) 준비 단계에서 형성하는 공정이 생략되어 있다.

[80] 도 14를 참조하면, 분할된 제1 기관(21)을 덮는 파장변환기(60b)가 형성된다. 파장변환기(60b)는 또한 제1 기관(21)과 제2 기관(51) 사이의 영역을 채울 수 있다. 즉, 파장변환기(60b)를 이용하여 언더필(40a)이 함께 형성될 수 있다. 상기 파장변환기(60b)는 형광체를 함유하는 수지를 이용하여 형성될 수 있으며, 또한 스핀코팅을 이용하여 제1 기관(21) 상에 균일한 두께로 형성될 수 있다.

[81] 도 15를 참조하면, 제2 기관(51)이 분할되어 개별 발광 다이오드 패키지가 완성된다. 제1 기관(21)의 분할 영역 내의 파장변환기(60b)도 함께 분할될 수 있다.

[82] 도 16을 참조하면, 도 6을 참조하여 설명한 바와 같이, 파장변환기(60b)로 수분이 침투하는 것을 방지하기 위해 수분 장벽 코팅(70)이 추가로 형성될 수 있다. 예컨대, 상기 분할 영역 아래의 파장변환기(60b)를 먼저 제거하고, 파장변환기(60b)를 덮는 수분 장벽 코팅(70)이 형성될 수 있다. 수분 장벽 코팅(70)은 제2 기관(51)을 분할하기 전 또는 후에 형성될 수 있다.

[83] 앞서, 다양한 실시예들에 대해 설명하였지만, 특정 실시예에 한정되어 설명된 구성요소는 본 발명의 사상을 변경하지 않는 범위 내에서 다른 실시예들에 적용될 수 있다는 것을 이해할 필요가 있다. 또한, 본 발명은 앞서 설명한 실시예들에 한정되는 것은 아니며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변형 및 변경이 가능하다.

청구범위

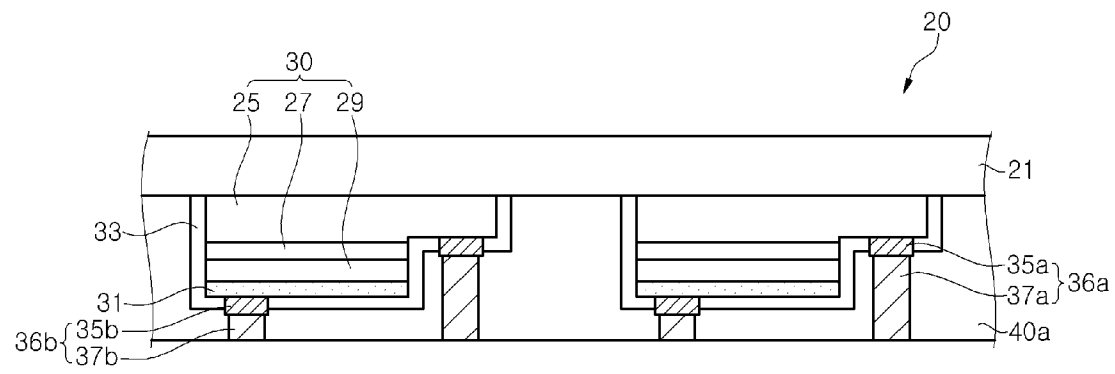
- [청구항 1] 제1 기판 상에 복수의 반도체 적층 구조체를 형성하되, 상기 각 반도체 적층 구조체는 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 제2 도전형 반도체층 사이에 개재된 활성 영역을 포함하고, 상기 복수의 반도체 적층 구조체에 대응하도록 정렬된 제1 리드 전극들 및 제2 리드 전극들을 갖는 제2 기판을 준비하고, 상기 복수의 반도체 적층 구조체를 상기 제2 기판에 결합하고, 상기 결합 후, 상기 제1 기판 및 상기 제2 기판을 복수의 패키지로 분할하는 것을 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 2] 청구항 1에 있어서, 상기 각 반도체 적층 구조체의 제1 도전형 반도체층 및 제2 도전형 반도체층 상에 각각 제1 범프 및 제2 범프를 형성하는 것을 더 포함하고, 상기 제1 범프들 및 제2 범프들을 상기 제1 리드 전극들 및 제2 리드 전극들에 본딩함으로써 상기 복수의 반도체 적층 구조체가 상기 제1 리드 전극들에 결합되는 발광 다이오드 패키지 제조 방법.
- [청구항 3] 청구항 2에 있어서, 상기 복수의 반도체 적층 구조체를 덮는 언더필을 형성하는 것을 더 포함하되, 상기 제1 범프들 및 제2 범프들은 상기 언더필을 관통하는 발광 다이오드 패키지 제조 방법.
- [청구항 4] 청구항 3에 있어서, 상기 언더필은 형광체 및 충전제 중 적어도 하나를 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 5] 청구항 3에 있어서, 상기 언더필을 형성하는 것은, 상기 제1 기판 상에서 상기 복수의 반도체 적층 구조체를 덮는 반경화 언더필을 형성하고, 상기 제1 및 제2 범프들을 상기 제1 및 제2 리드 전극들에 본딩하는 동안, 상기 반경화 언더필을 경화시키는 것을 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 6] 청구항 3에 있어서, 상기 결합 후, 상기 제1 기판의 뒷면을 덮는 파장변환기를 형성하는 것을 더 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 7] 청구항 6에 있어서, 상기 파장변환기는, 상기 제1 기판을 분할한 후, 상기 제1 기판의

- 측면을 덮도록 형성되는 발광 다이오드 패키지 제조 방법.
- [청구항 8] 청구항 7에 있어서,
상기 제1 기판을 분할한 후, 분할 영역 아래의 상기 언더필의 일부를 부분적으로 제거하는 것을 더 포함하고,
상기 파장변환기는 또한 상기 언더필이 부분적으로 제거되어 노출된 측면을 덮도록 형성되는 발광 다이오드 패키지 제조 방법.
- [청구항 9] 청구항 8에 있어서,
상기 파장변환기를 덮는 수분 장벽 코팅을 형성하는 것을 더 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 10] 청구항 9에 있어서,
상기 수분 장벽 코팅은 상기 파장변환기를 패키지 내에 매립하도록 형성되는 발광 다이오드 패키지 제조 방법.
- [청구항 11] 청구항 1에 있어서,
상기 결합 후, 상기 제1 기판의 뒷면을 덮는 파장변환기를 형성하는 것을 더 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 12] 청구항 11에 있어서,
상기 파장변환기는 형광체를 함유하는 글래스인 발광 다이오드 패키지 제조 방법.
- [청구항 13] 청구항 12에 있어서,
상기 글래스는 저온 직접 본딩에 의해 상기 기판 상에 부착된 발광 다이오드 패키지 제조 방법.
- [청구항 14] 청구항 11에 있어서,
상기 파장변환기를 덮는 수분 장벽 코팅을 형성하는 것을 더 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 15] 청구항 14에 있어서,
상기 수분 장벽 코팅은 유기 재료층과 무기 재료층을 교대로 적층하여 형성된 발광 다이오드 패키지 제조 방법.
- [청구항 16] 청구항 11에 있어서,
상기 파장변환기는 상기 제1 기판을 분할한 후에 형성되는 발광 다이오드 패키지 제조 방법.
- [청구항 17] 청구항 16에 있어서,
상기 파장변환기는 상기 복수의 반도체 적층 구조체와 상기 제2 기판 사이의 공간을 채우는 발광 다이오드 패키지 제조 방법.
- [청구항 18] 청구항 17에 있어서,
상기 제1 기판의 분할 영역 아래의 상기 파장변환기를 제거하여 패키지 단위로 파장변환기를 분할하고,
분할된 파장변환기를 덮는 수분 장벽 코팅을 형성하는 것을 더 포함하는 발광 다이오드 패키지 제조 방법.

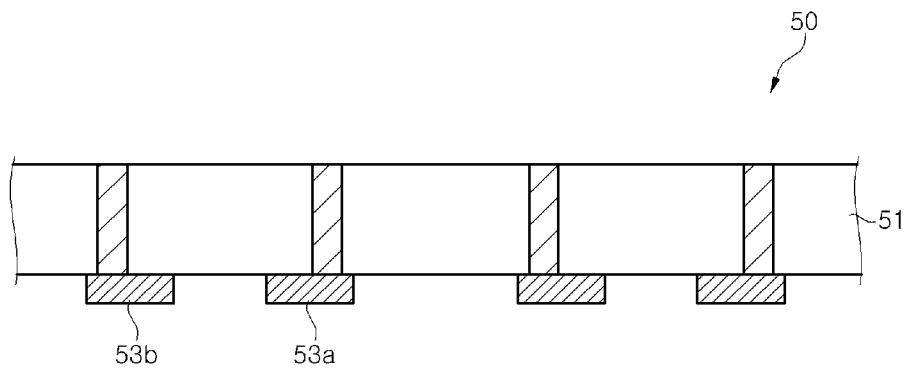
- [청구항 19] 청구항 1에 있어서,
상기 제1 기판 뒷면에 광 추출 효율을 증가시키기 위한 표면 텍스처를 형성하는 것을 더 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 20] 청구항 1에 있어서,
상기 제1 기판을 분할할 때, 상기 제1 기판의 측면이 상기 제1 기판의 뒷면의 수직 방향에 대해 경사지도록 분할되는 발광 다이오드 패키지 제조 방법.
- [청구항 21] 제1 기판;
상기 제1 기판의 앞면 상에 배치된 반도체 적층 구조체로서, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 개재된 활성 영역을 갖는 반도체 적층 구조체;
제1 리드 전극 및 제2 리드 전극을 갖는 제2 기판;
상기 반도체 적층 구조체와 상기 제1 및 제2 리드 전극을 전기적으로 연결하는 복수의 커넥터; 및
상기 제1 기판의 뒷면을 덮는 파장변환기를 포함하는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 22] 청구항 21에 있어서,
상기 제1 기판과 상기 제2 기판 사이에 위치하는 언더필을 더 포함하는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 23] 청구항 22에 있어서,
상기 언더필은 형광체 및 충전제 중 적어도 하나를 포함하는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 24] 청구항 22에 있어서,
상기 파장변환기는 상기 언더필의 측면 중 적어도 일부를 덮는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 25] 청구항 24에 있어서,
상기 파장변환기를 덮는 수분 장벽 코팅을 더 포함하는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 26] 청구항 25에 있어서,
상기 수분 장벽 코팅은 상기 언더필의 측면을 덮는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 27] 청구항 21에 있어서,
상기 파장변환기를 덮는 수분 장벽 코팅을 더 포함하는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 28] 청구항 27에 있어서,
상기 수분 장벽 코팅은 유기 재료층과 무기 재료층이 교대로

- 적층된 구조를 갖는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 29] 청구항 27에 있어서,
상기 과장변환기는 상기 제1 기판과 상기 제2 기판 사이의 공간을 채우는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 30] 청구항 21에 있어서,
상기 과장변환기는 형광체를 함유하는 글래스인 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 31] 청구항 30에 있어서,
상기 글래스는 상기 제1 기판의 뒷면에 직접 본딩된 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 32] 청구항 21에 있어서,
상기 제1 기판의 뒷면은 광 추출 효율을 증가시키기 위한 표면 텍스처를 포함하는 웨이퍼 레벨 발광 다이오드 패키지.
- [청구항 33] 청구항 21에 있어서,
상기 제1 기판의 측면은 상기 제1 기판 뒷면의 수직 방향에 대해 경사진 웨이퍼 레벨 발광 다이오드 패키지.

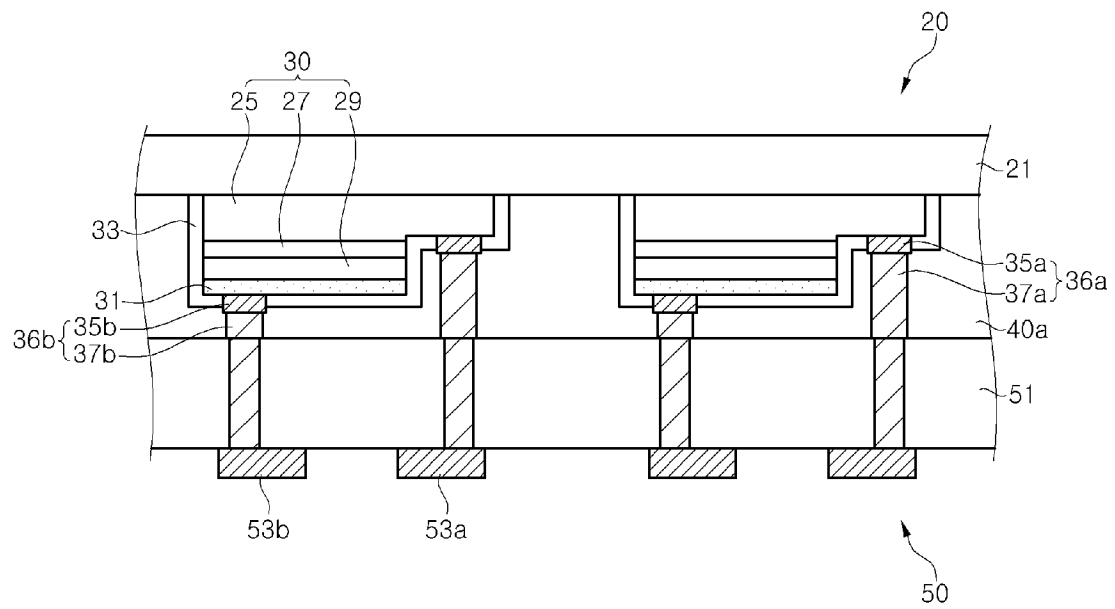
[Fig. 1]



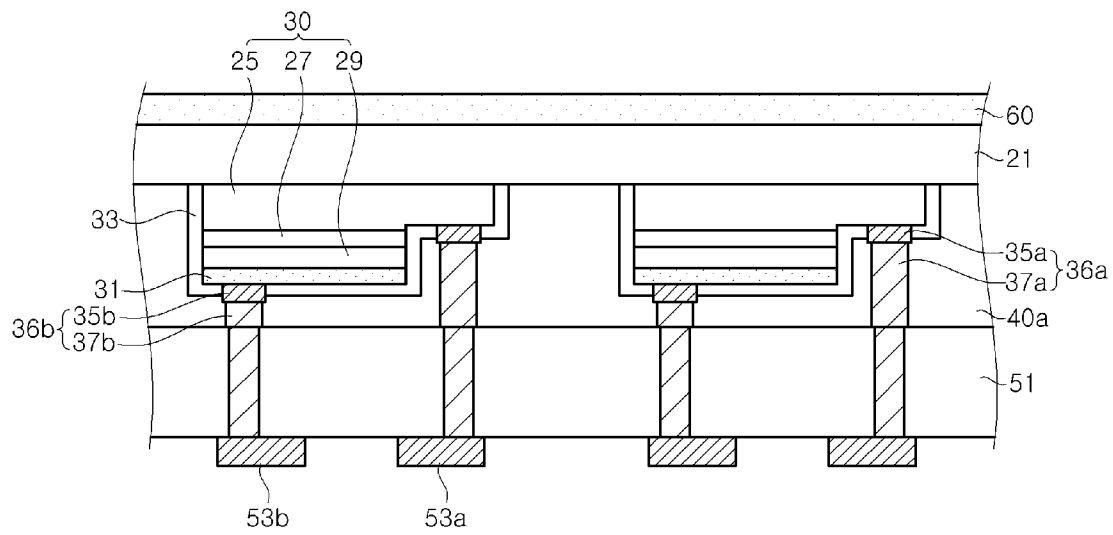
[Fig. 2]



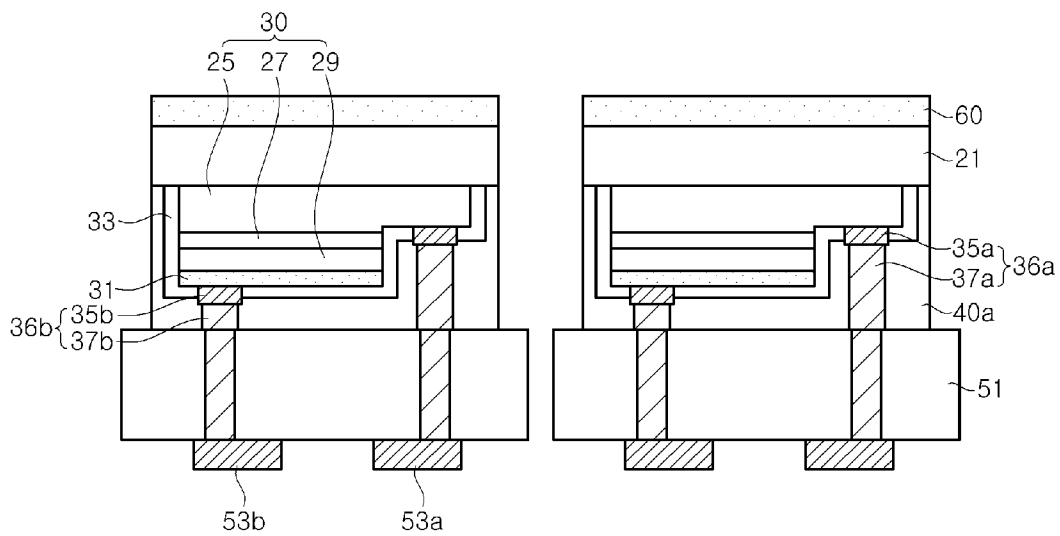
[Fig. 3]



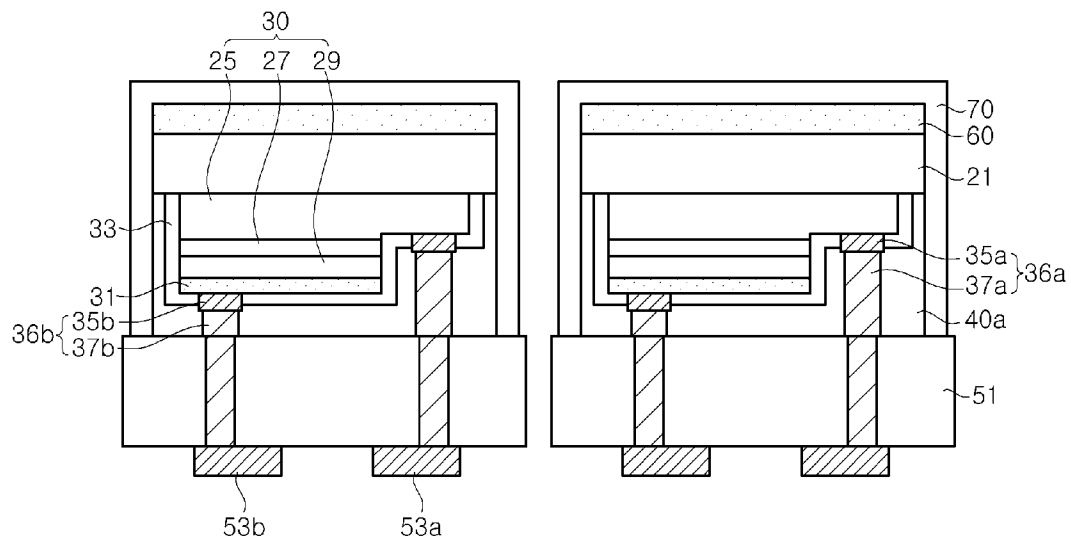
[Fig. 4]



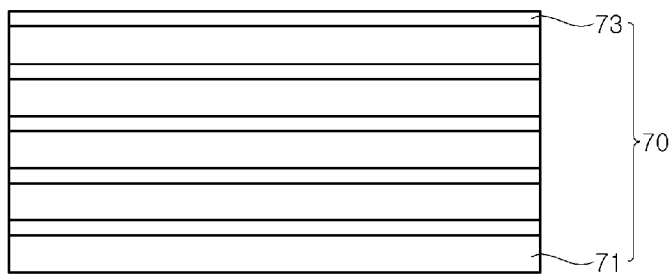
[Fig. 5]



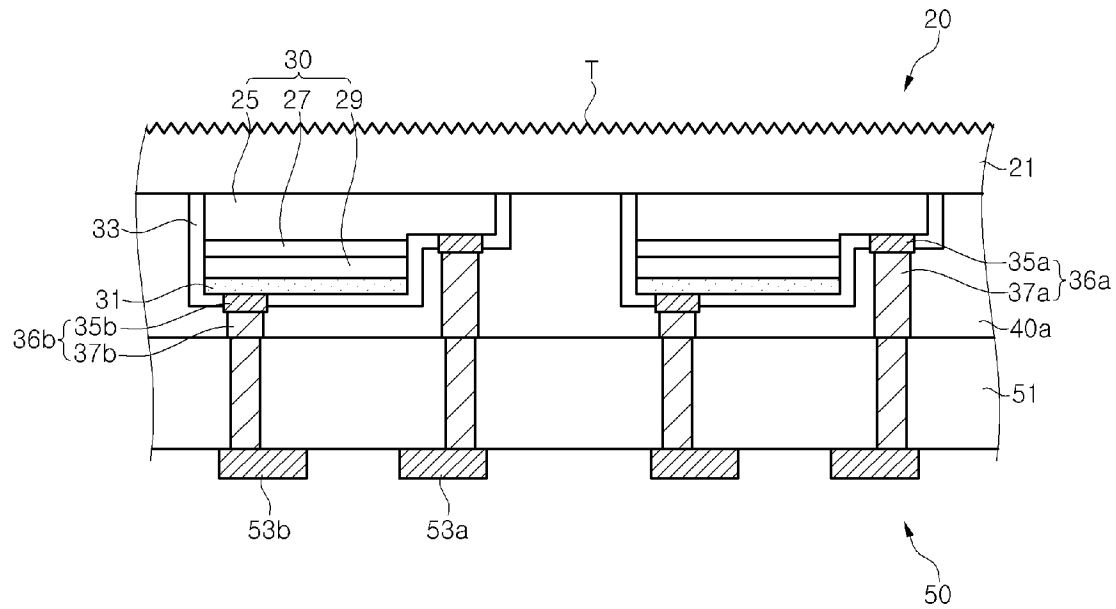
[Fig. 6]



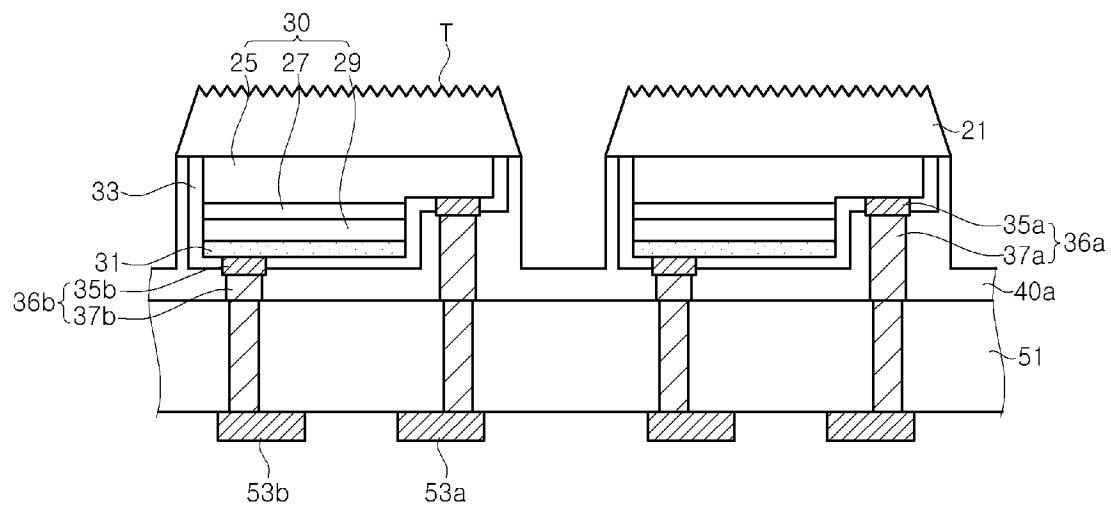
[Fig. 7]



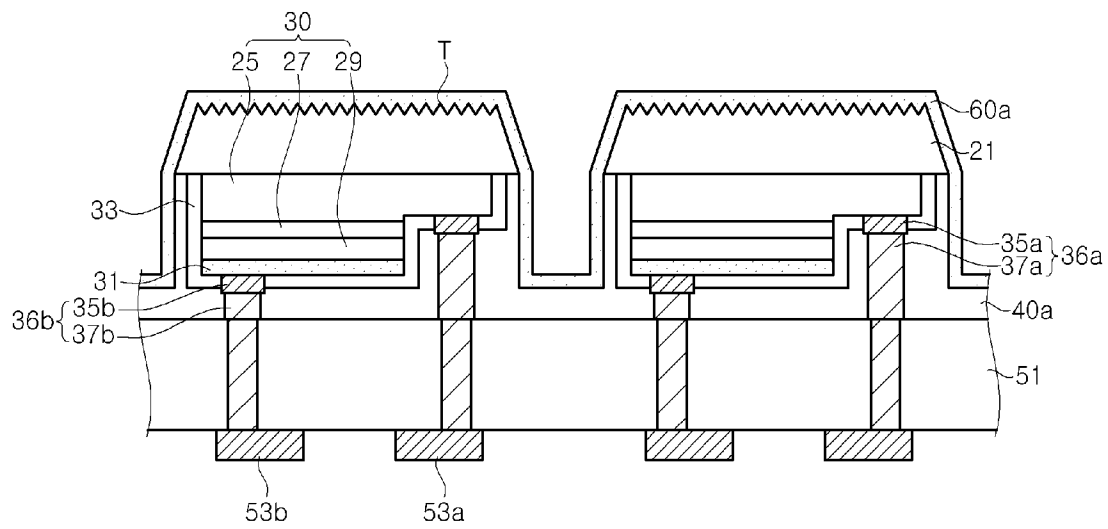
[Fig. 8]



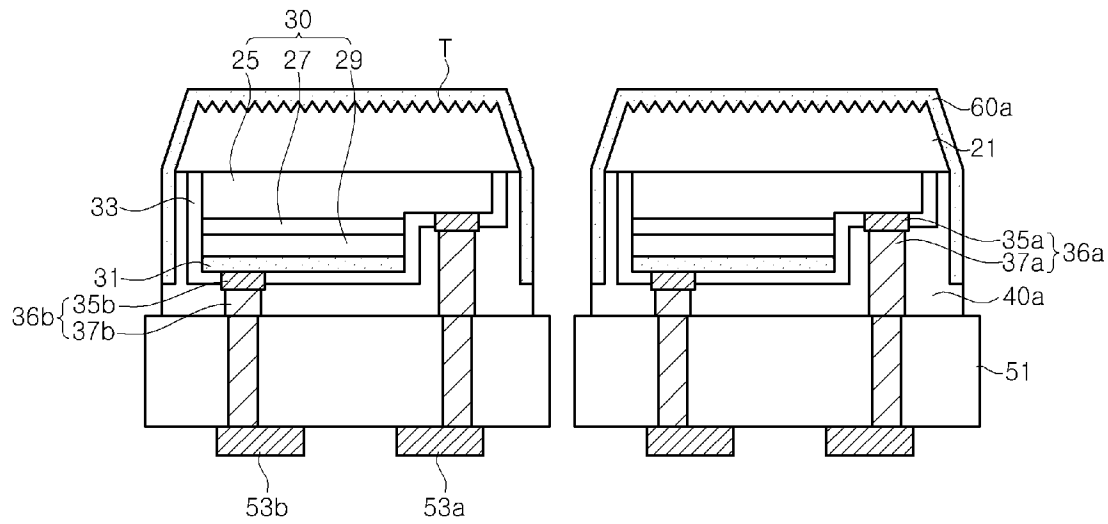
[Fig. 9]



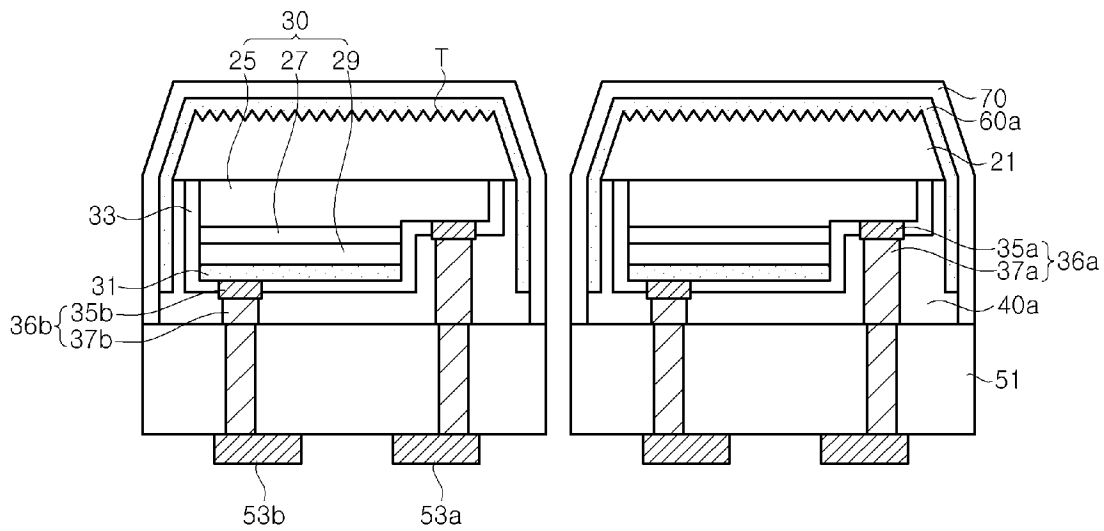
[Fig. 10]



[Fig. 11]



[Fig. 12]



[Fig. 16]

