



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월23일
(11) 등록번호 10-1084957
(24) 등록일자 2011년11월14일

(51) Int. Cl.

H01L 21/768 (2006.01)

(21) 출원번호 10-2004-0023990
(22) 출원일자 2004년04월08일
심사청구일자 2008년12월18일
(65) 공개번호 10-2004-0089496
(43) 공개일자 2004년10월21일

(30) 우선권주장

60/462,504 2003년04월10일 미국(US)
10/675,258 2003년09월30일 미국(US)

(56) 선행기술조사문헌

KR1020010051538 A
KR1020010090777 A
KR1020020059851 A

전체 청구항 수 : 총 10 항

(73) 특허권자

에이저 시스템즈 인크

미합중국 펜실베니아 18109 알렌타운 노스이스트
아메리칸 파크웨이 1110

(72) 발명자

강승에이치.

미국 펜실베니아 18062 마운지브룩필드서클413
크렙스풀랜드파.

미국 펜실베니아 18103 알렌타운더블유. 사우스스트리
트2711

(뒷면에 계속)

(74) 대리인

장훈

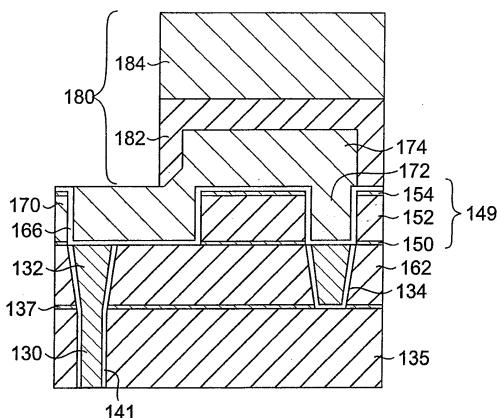
심사관 : 홍종선

(54) 구리 기술 상호연결 구조를 사용하는 집적 회로 디바이스의 알루미늄 패드 파워 버스 및 신호 루팅

(57) 요 약

본 발명은 파워 버스 상호연결 구조(power bus interconnect structure)가 알루미늄 패드 또는 접촉층에 형성되는 집적 회로 디바이스 구조체 및 그 구조체의 제조 방법에 관한 것이다. 하위 상호연결 레벨들을 상호연결하는 상호연결 구조는 상기 알루미늄 패드층에 형성될 수도 있다.

대 표 도 - 도11



(72) 발명자

스타이너커트조지

미국펜실베니아18051포겔스빌블라섬하이츠7922

아유카와마이클씨.

미국펜실베니아18092지온스빌하비스트레인4846

머천트사일레시만신

미국펜실베니아18031

브레이니스빌아파트먼트케이201모씨로드1063

특허청구의 범위

청구항 1

집적 회로 디바이스에 있어서,

반도체 기판 위에 있는 금속화 상호연결 시스템(metallization interconnect system)으로서, 상기 금속화 상호연결 시스템은 유전체층 내에 위치한 적어도 제 1 및 제 2 상호연결 피처(interconnect feature)를 포함하는, 상기 금속화 상호연결 시스템;

상기 금속화 상호연결 시스템 위에 위치한 파워 버스로서, 상기 파워 버스는 상기 제 1 상호연결 피처와 접촉하고 상기 집적 회로 디바이스 외부에 연결을 위해 구성된 제 1 접촉 패드 영역, 및 상기 제 2 상호연결 피처와 접촉하는 제 2 영역을 포함하는, 상기 파워 버스; 및

상기 제 1 접촉 패드 영역의 적어도 일부를 노출하고 상기 제 2 영역을 보호하도록 상기 파워 버스의 적어도 일부 위에 있는 패시베이션층을 포함하는, 집적 회로 디바이스.

청구항 2

제 1 항에 있어서,

상기 제 1 접촉 패드 영역의 상부 표면의 평면은 상기 제 2 영역의 상부 표면의 평면과 동일 평면이 아닌, 집적 회로 디바이스.

청구항 3

제 2 항에 있어서,

상기 제 2 영역의 평면은 상기 제 1 접촉 패드 영역의 평면 위에 있는, 집적 회로 디바이스.

청구항 4

제 1 항에 있어서,

상기 제 1 접촉 패드 영역은 직접 부착된 보드 와이어에 의해 상기 디바이스 외부에 연결을 위해 구성되는, 집적 회로 디바이스.

청구항 5

제 1 항에 있어서,

상기 제 1 접촉 패드 영역은 직접 부착된 솔더 범프(solder bump)에 의해 상기 디바이스 외부에 연결을 위해 구성되는, 집적 회로 디바이스.

청구항 6

제 1 항에 있어서,

상기 파워 버스는 알루미늄 및 구리의 합금을 포함하는, 집적 회로 디바이스.

청구항 7

제 6 항에 있어서,

상기 금속화 상호연결 시스템은 구리를 포함하고, 상기 제 1 접촉 패드 영역은 상기 제 1 상호연결 피처에 접촉하고, 상기 제 2 영역은 상기 제 2 상호연결 피처에 접촉하는 영역들에서 상기 금속화 상호연결 시스템과 상기 파워 버스 사이에 위치한 배리어 재료를 포함하는, 집적 회로 디바이스.

청구항 8

제 1 항에 있어서,

상기 금속화 상호연결 시스템은 서브-수평 도전성 러너들(sub horizontal conductive runners) 및 상위 및 하

위 도전성 러너들을 상호연결하는 수직 도전성 비아들을 포함하는, 집적 회로 디바이스.

청구항 9

집적 회로 디바이스를 형성하는 공정에 있어서,

반도체 기판 위에 있는 금속화 상호연결 시스템을 제공하는 단계로서, 상기 금속화 상호연결 시스템은 유전체층 내에 위치한 적어도 제 1 및 제 2 상호연결 피처를 포함하는, 상기 금속화 상호연결 시스템을 제공하는 단계;

상기 금속화 상호연결 시스템 위에 파워 버스를 형성하는 단계로서, 상기 파워 버스는 상기 제 1 상호연결 피처와 접촉하고 상기 집적 회로 디바이스 외부에 연결을 위해 구성된 제 1 접촉 패드 영역, 및 상기 제 2 상호연결 피처와 접촉하는 제 2 영역을 포함하는, 상기 파워 버스를 형성하는 단계; 및

상기 제 1 접촉 패드 영역의 적어도 일부를 노출하고 상기 제 2 영역을 보호하도록 상기 파워 버스의 적어도 일부 위에 있는 패시베이션층을 생성하는 단계를 포함하는, 집적 회로 디바이스 형성 공정.

청구항 10

제 9 항에 있어서,

상기 제 1 접촉 패드 영역의 상부 표면의 평면은 상기 제 2 영역의 상부 표면의 평면과 동일 평면이 아닌, 집적 회로 디바이스 형성 공정.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 특허출원은 2003년 4월 10일자로 출원된 발명의 명칭이 구리 기술에서의 알루미늄 패드 파워 버스(Aluminum Pad Power Bus in a Copper Technology)인 미국 특허 가출원 제60/462,504호의 장점을 청구한다.
- [0021] 통상적으로, 집적 회로(또는 칩)는 실리콘 기판과, 그 기판 내부의 도핑된 구역에 형성된 트랜지스터와 같은 반도체 디바이스를 포함한다. 상기 반도체 기판의 상위(상측)에 병렬-형태의 층들로 형성된 상호연결 구조(interconnect structure)는 디바이스들 사이에 전기 접속을 제공하여 전기 회로를 형성한다. 통상적으로, 일반적인 집적 회로에서 상기 디바이스들을 상호연결하기 위해서는 몇개(예를 들어, 6개 내지 9개)의 상호연결층들[각각 "M" 또는 금속화층(metallization layer)으로서 인용됨]이 필요하다. 상부 상호연결층은 상기 집적 회로 디바이스들을 패키지 구조체의 핀들 또는 리드선들과 같은 오프(off)-칩 외부 접점들에 상호연결하는 도전성 소자들(예를 들어, 본드 와이어 또는 솔더 볼)의 부착 지점으로서 기능하는 복수의 패드를 포함한다.
- [0022] 종래의 상호연결 시스템은 복수의 실질적으로 수직한 도전성 비아들(vias) 또는 플러그들 및 실질적으로 수평 도전성 상호연결층들을 포함하며, 수직하게 인접하는 두 개의 상호연결층 사이에는 유전체층이 배치된다. 상위 레벨의 도전성 비아들은 수직하게 인접하는 두 개의 상호연결층들을 상호연결한다. 제 1 또는 최하위 레벨의 도전성 비아들은 하위(하층)의 반도체 디바이스 구역을 상위의 상호연결층에 상호연결한다. 상기 상호연결 구조는 종래의 금속 증착, 포토리소그래픽 마스킹, 패터닝 및 에칭 기술을 사용하여 형성된다.
- [0023] 집적 회로 디바이스 및 상호연결 구조가 수축하고, 디바이스들이 높은 주파수의 아날로그 신호 및 높은 통신 속도의 디지털 신호를 전달할 때, 상호연결 구조는 불리하게도 신호 전파 시간을 더욱 지연시킬 수 있다. 또한, 디바이스들은 복잡성의 증가 및 기능성의 추가로 인해, 보다 많은 수의 상호연결 구조 또는 층들을 필요로 할 수 있다. 하지만, 종래의 상호연결 금속화 재료, 예를 들어 알루미늄은 신호 속도를 엄격하게 제한한다. 또한, 알루미늄 상호연결 구조와 디바이스 실리콘 구역들 사이의 접촉 저항은, 특히 회로 디바이스 및 상호연결 구조의 수가 증가함에 따라, 전체 회로 저항을 현저하게 증가시킨다. 마지막으로, 상호연결 라인의 폭이 수축하면, 개구들 또는 윈도우들에 도전성 재료를 증착하여 높은 종횡비(즉, 개구 직경에 대한 개구 깊이의 비율)의 도전성 비아들을 형성하는 것은 매우 곤란하다.
- [0024] 알루미늄 상호연결 구조의 공지된 단점들을 감안하여, 상호연결 재료로서 구리가 선택되고 있다. 구리는, 알루미늄보다 뛰어난 도전체(저항이 3.1 micro-ohm cm 인 알루미늄에 비해, 구리는 저항이 1.7 micro-ohm cm 임)이며, 일렉트로마이그레이션(알루미늄 상호연결부를 통과하는 전류에 의해 형성된 전기장 및 열적 구배로 인해 알루미늄 상호연결 구조가 얇아지다가 결국에는 분리될 수 있는 현상)에 덜 민감하고, 저온(그에 의해, 미리 형성된 도편트 프로파일에 미치는 해로운 영향이 회피됨)에서 증착될 수 있으며, 높은 종횡비의 분야에서 사용하기에 적합하다.

[0025] 집적 회로 디바이스의 구리 상호연결 구조를 형성하기 위한 한가지 기술로서는 다마신(damascene) 공정을 들 수 있다. 통상적으로, 구리 다마신 공정은 상호연결층 또는 금속화층의 도전성 수평 상호연결부[금속 러너(metal runner)로서 인용됨]와 도전성 수직 비아부를 일체로 형성한다. 구리 다마신 구조를 형성하기 위해, 홀 또는 윈도우가 유전체층에 형성되고, 이어서 금속 러너의 위에 트렌치가 형성된다. 후속 금속 증착 단계에서 개구 및 트렌치가 채워지고, 실질적으로 수직한 도전성 비아 및 실질적으로 수평 도전성 러너를 포함하는 완전한 금 속층이 형성된다. 최종적으로 화학적/기계적 연마 단계에서, 증착된 금속은 인접하는 유전체층 표면에 대해 평 탄화된다.

[0026] 다양한 제조 단계들 중에 종래의 듀얼 다마신 공정의 일예는 도 1a 내지 도 1c에서 단면도로 도시된다. 도 1a에 도시된 바와 같이, 하위 레벨 상호연결부(12)상에는 유전체층(10)이 증착 또는 형성된다. 유전체층(10) 위에 형성된 포토레지스트층(16)은 내부에 개구(18)를 형성하기 위해 종래의 기술에 따라 패터닝 및 에칭된다. 이방성 에칭 공정에 의해, 개구(18)를 통해 상기 유전체층(10)에서 비아 홀 또는 윈도우(20)가 에칭된다. 포토레지스트층(16)은 제거되어 포토레지스트층(30)(도 1b 참조)으로 대체된 후에, 트렌치 패턴(32)을 형성하도록 패터닝 및 에칭된다. 이방성 에칭 공정은 트렌치(34)(도면에 대해 수직하게 연장됨)를 형성하는 동시에, 개구(18)를 하위 레벨 상호연결부(12)의 상부면(36)까지 연장시킨다. 홀 또는 윈도우(20)는 상부면(36)상에서 정지 하여 상기 하위 레벨 상호연결부(12)를 노출시키도록 형성되거나(도 1b 참조), 선택적으로 상기 하위 레벨 상호연결부(12) 내로 부분적으로 연장하도록 과도하게 에칭될 수 있다.

[0027] 도 1c에 도시된 바와 같이, 홀(20) 및 트렌치(34)는 구리와 같은 적절한 도전성 재료(40)로 동시에 채워진다. 표준 공정 기술에 따르면, 먼저 구리 기저층(seed layer)이 증착되고, 이어서 구리가 도금되어 홀(20) 및 트렌 치(34)가 채워지게 된다. 따라서, 재료(40)는 하위 레벨 상호연결부(12)와 접촉하는 도전성 트렌치(42) 및 도 전성 비아(44)를 형성한다. 또한, 재료(40)가 구리를 포함하면, 탄탈륨층 및/또는 탄탈륨-니트라이드층(또는 다른 내화 재료들 및 그들의 질화물)과 같은 배리어층이 구리 증착 이전에 홀(20) 및 트렌치(34)에 증착된다. 상기 배리어층 또는 배리어층들은 구리가 유전체층(10) 주위의 재료로 확산하는 것을 방지한다. 마지막으로, 증착 이후에, 유전체층(10)의 표면은 화학적/기계적 연마(CMP)와 같이 본 기술분야에 공지되어 있는 기술을 사 용하여 필드 구역(48)으로부터 과잉의 금속(40)을 제거하도록 평탄화된다.

[0028] 집적 회로 디바이스에 대한 종래의 듀얼 다마신 공정의 다른 예는 도 2a 내지 도 2c에 도시된다. 도 2a에 도시된 바와 같이, 제 1 에칭 정지층(60), 제 1 유전체층(62), 제 2 에칭 정지층(64), 제 2 유전체층(66) 및 에칭 마스크(68)를 포함하는 다수의 재료층들이 하위 레벨 상호연결부(58)상에 형성된다. 에칭 마스크(68)는 패터닝 및 에칭되어 내부에 개구(70)를 형성한다. 에칭 마스크 패턴을 사용하여, 제 1 이방성 에칭 공정은 제 2 에칭 정지층(64)을 통해 제 1 에칭 정지층(60)까지 아래로 연장되는 비아 개구(72)를 상기 제 2 유전체층(66)에 형성 한다. 에칭 공정은 에칭액이 에칭 정지층(60)에 도달할 때 종료된다. 에칭 마스크(68)는 제거되고, 에칭 마스크(78)(도 2b 참조)가 제 2 유전체층(66) 위에 배치되어 상기 개구(70)보다 측방향으로 큰 개구(79)를 형성하도록 마스킹된다. 제 2 이방성 에칭 공정은 제 2 유전체층(66)에서 트렌치(80)를 에칭한다. 동시에, 비아 개 구(72)는 에칭 정지층(60)을 통해 에칭함으로써 아래로 연장되고, 아래에 위치된 하위 레벨 상호연결부(58)에 이르게 된다. 이러한 기술에 따르면, 제 1 에칭액이 제 2 에칭액보다는 에칭 정지층(60)에 대한 선택도가 좋다. 다마신 공정을 완성하기 위해, 마스크(78)가 제거되고, 트렌치(80) 및 비아 개구(72)는 하위 상호연결부(58)와 접촉하는 도전성 러너(88) 및 도전성 비아(90)를 형성하는 적절한 도전성 금속으로 동시에 채워진다(도 2c 참조). 과잉의 도전성 재료는 본 기술분야에 공지된 CMP와 같은 기술을 사용하여 제 2 유전체층(66)의 필드 구역 표면(92)으로부터 제거된다.

[0029] 반도체 소자들간의 신호 전달에 더불어, 알루미늄 또는 구리로 제조된 상기 상호연결 구조는 파워 버스 구조를 통해 다양한 디바이스 소자들에 전력을 공급하기 위해 필요하다. 대부분의 집적 회로에서, 파워 버스는 수직 도전성 비아 및 수평 상호연결층을 포함하는 부가적인 상호연결층으로서 형성된다. 통상적으로, 파워 버스는 상위 레벨의 상호연결 구조를 형성한다. 불리하게도, 부가적인 파워 버스 상호연결층은 모두 제조 비용 증가의 요인이 되는 마스크 단계들, 마스크 층들 및 공정 단계들의 수를 증가시킨다. 또한, 이러한 부가적인 공정 단계들은 공정 결함을 발생시키기 때문에 디바이스 수율을 저하시킬 수 있다.

[0030] 파워 버스는 상기 신호 상호연결 구조에 비해 상대적으로 높은 전류를 통전하기 때문에, 일반적으로 파워 버스 상호연결층은 신호 상호연결층보다 큰 폭, 두께 및 피치를 갖는다. 또한, 파워 버스는 인접하는 디바이스들 및 상호연결 구조의 성능을 저하시킬 수 있는 기생 용량(parasitic capacitance) 및 소음원이기도 하다. 이러한 영향을 제한하기 위해, 파워 버스는 다른 디바이스 구조체들로부터 절연될 수 있지만, 그러한 절연 구조는 중요

한 디바이스 영역을 소모하게 된다.

발명이 이루고자 하는 기술적 과제

[0031] 집적 회로 디바이스는 반도체 기판층 위에 형성된 멀티레벨 상호연결 금속화 시스템(multilevel interconnect metallization system)을 포함하고, 상기 금속화 시스템은 본드 패드 레벨(bond pad level)과 상기 본드 패드 레벨의 하위의 하나 이상의 상호연결 레벨들을 포함한다. 본드 패드 레벨은 상기 디바이스 외부로의 접속부로 각각 구성되는 복수의 접촉 패드와 패드들 중 하나 이상으로부터 하위 상호연결 레벨들 중 하나 이상까지 전력을 전달하도록 구성된 상호연결부를 포함한다.

발명의 구성 및 작용

[0032] 본 발명은 첨부도면과 함께 취해지는 하기의 상세한 설명으로부터 보다 용이하게 이해될 것이며 그 장점 및 용도도 보다 분명해질 것이다.

[0033] 일반적으로, 다양하게 기술된 디바이스의 특징부들은 실체으로 도시되지는 않았으며, 본 발명에 관련된 특징부가 강조하여 도시되었다. 도면 및 명세서 전반에 걸쳐 유사 참조번호는 유사 소자들을 지시한다.

[0034] 본 발명에 따른 집적 회로 디바이스의 특정한 알루미늄 패드 파워 버스 또는 신호 루팅 기술을 상세하게 설명하게 전에, 근본적으로 본 발명이 소자들 및 방법 단계들의 신규하고 비-자명한 조합을 포함한다는 점에 유의해야 한다. 따라서, 이러한 소자들 및 단계들은 도면들에서는 종래의 소자들 및 단계들로 표현되며, 도면은 당업자에게는 자명한 구조적인 상세가 본원의 이점을 갖는 상세한 설명을 불명료하게 만들지 않도록 본 발명에 속하는 특징적인 상세만을 도시한다.

[0035] 제조 이후에, 집적 회로는 첨 부착 구역을 포함하는 패키지 구조체와 집적 회로를 외부 구성요소들에 접속시키는 외부에 배치된 복수의 패키지 리드선에 부착된다. 패키지 리드선은 박형의 약한 상호연결 구조에 직접적으로 접속될 수 없기 때문에, 알루미늄 패드층 또는 본드 패드층으로서 인용되는 첨의 최종 또는 상부 금속화층은 본드 패드와 패키지 리드선의 내부 배치 접점 사이에 접속된 도전성 리드선 또는 와이어[통상적으로 골드(gold) 또는 그 합금으로 형성됨]를 통해 패키지 리드선에 접속하도록 복수의 본드 또는 접촉 패드를 포함한다.

[0036] 본드 패드들은 집적 회로의 상부면에, 통상적으로 탄탈륨-니트라이드, 탄탈륨 또는 티타늄 니트라이드인 금속 배리어층에 이어서, 알루미늄층을 증착함으로써 형성된다. 알루미늄층은 종래의 마스킹, 패터닝, 및 에칭 단계에 의해 알루미늄 본드 패드를 한정한다. 일실시예에서, 포토리소그래픽 공정 도중에 알루미늄 반사를 감소시키기 위해 알루미늄층 위에는 반사방지(antireflective) 코팅층이 배치된다. 반사방지 코팅층의 재료는 티타늄-니트라이드 또는 실리콘 옥시니트라이드를 포함한다. 본드 패드들은 하위의 도전성 비아들을 통해 하나 이상의 하위 상호연결 구조 또는 회로 소자들에 접속된다. 상술한 다마신 공정 등에 의해 상호연결 구조가 구리로 형성되는 디바이스들에 대해서는, 골드 와이어는 구리 본드 패드에는 잘 부착되지 않는 것으로 공지되어 있기 때문에, 본드 패드들은 종래의 알루미늄으로 형성된다.

[0037] 도 3은 패키지 리드선(102)들을 포함하는 디바이스 패키지(100)를 도시한다. 집적 회로(104)는 다이 부착 영역(106) 내에 부착된다. 본드 패드(110)들은 집적 회로(104)의 상부면(112)상에 형성되고, 골드 와이어(114)들에 의해 패키지 리드선(102)들에 접속된다. 일반적으로 본드 패드(110)들은 길이 및 폭이 각각 약 40 내지 80 미크론과 약 50 내지 150 미크론 사이에서 변한다. 정사각형 본드 패드들이 일반적이지만, 직사각형 본드 패드의 사용도 본 기술분야에 공지되어 있다.

[0038] 플립-첨 또는 범프 본딩으로서 인용되는, 공지된 다른 패키지 구조체에 있어서, 도 3의 본드 와이어(114)들은 본드 패드(110)들에 형성된 증착된 솔더 범프(120)들로 대체된다. 도 4a 참조. 도 4b의 패키지(122)에 대한 접속은 상응하는 패키지 리드선에 차례로 접속되는 패키지(122)상의 수용 패드(124)들에 집적 회로(104)를 플립하고 범프(120)들을 납땜함으로써 달성된다. 도 4b의 예에서, 패키지 리드선들은 본 기술분야에 공지된 바와 같이, 볼(126)을 볼 그리드 어레이(ball grid array) 형태로 포함한다.

[0039] 본드 패드(110)들이 형성된 금속화층에서는, 패키지 리드선(102)들이 집적 회로(104)에 대해 본드 와이어(114)들에 의해 접속되는지 또는 솔더 범프(120)들에 의해 접속되는지가 필요하다. 본 발명의 기술에 따르면, 알루미늄 패드층은 본드 또는 접촉 패드들과 파워 버스 또는 신호 루팅 상호연결 구조를 포함하고, 이를 통해 집적 회로 디바이스의 소자들에 전력이 분배되거나, 집적 회로에서 신호들이 경로 선택된다. 본드 패드(110)들을 형성하기 위해서는 항상 알루미늄 패드층이 필요하기 때문에, 본 발명에 의해 제조 공정에는 부가적인 공정 단계,

마스크 단계 또는 금속화 레벨들은 추가되지 않는다. 반대로, 하나의 금속화 레벨은 삭제될 수 있다. 듀얼 패시베이션 스택은 종래에 본드 패드들의 알루미늄 중착 이전에 구리 상호연결 구조 위로 형성되기 때문에, 본 발명은 구리 기술(즉, 다마신 상호연결 구조)과 함께 사용하기에 특히 적합하다. 따라서, 제 1 듀얼 패시베이션 스택은 하위(하층)의 상부 레벨 상호연결 구조와 알루미늄 패드층에 형성된 상위(상층)의 파워 버스 사이에 유효 결연 유전체를 형성한다.

[0040] 도 5는 집적 회로 디바이스의 종래의 상호연결 금속화 구조의 단면도로서, 6 레벨의 금속 상호연결 구조의 상부 금속화 레벨 5 및 6 만을 도시한다. 본 예에서, 상호연결 구조는 구리 듀얼 다마신 상호연결 구조를 포함한다. 당업자라면, 본 발명의 기술이 6 레벨의 상호연결 구조 이외의 상호연결 구조를 갖는 집적 회로 디바이스에도 적용될 수 있다는 것을 이해할 것이다.

[0041] 듀얼 다마신 공정에 따르면, 레벨 5 도전성 비아(130) 및 레벨 5 도전성 러너(132, 134)는 각각 유전체층(135, 136)에 미리 형성된 비아 개구 및 트렌치 내에 동시에 형성된다. 도전성 비아(130) 및 레벨 5 도전성 러너(132, 134)는 종래의 듀얼 다마신 공정에 따라 비아 개구 및 트렌치들의 개별적인 형성을 돋는 애칭 정지층(137)에 의해 분리될 수 있다. 그러나, 애칭 정지층(137)은 듀얼 다마신 소자로서 기능하지는 않는다. 도전성 비아(130)는 도 5에는 도시되지 않은 하위 상호연결 구조 또는 회로 소자에 접속된다. 유전체 배리어층(140) (예를 들어, 실리콘 니트라이드, 실리콘 카바이드 또는 그들의 조합을 포함하는 재료)은 레벨 5 도전성 러너(132, 134)의 노출된 상부면 및 유전체층(136) 위에 놓인다. 유전체 배리어층(140)은 다음 레벨의 도전성 비아의 제조를 위해 애칭 정지부로서 작용하며, 도전성 러너(132, 134)로부터 유전체층(136) 내로의 구리의 표면 상호확산(surface interdiffusion)을 방지하기 위한 확산 배리어로서 기능한다. 부가의 배리어층(141)은 유전체 재료 내로의 측방향 구리 확산을 방지하기 위해 다양한 형상의 구리를 둘러싼다.

[0042] 유전체층(144)에 형성된 레벨 6 도전성 비아(142)들은 하위의 레벨 5 도전성 러너(132, 134)와 전기접촉한다. 유전체 배리어층(140)과 동일하게 기능하는 유전체 배리어층(145)은 유전체층(144) 위에 놓인다. 파워 버스(146)는 유전체층(144) 위의 옥사이드층(148)에 형성된다. 상술한 듀얼 다마신 공정에 따르면, 도전성 비아(142)들 및 파워 버스(146)는 미리 형성된 비아 개구들 및 트렌치들 내에 동시에 형성된다. 레벨 6 도전성 러너(132, 134)에 비해 파워 버스(146)에 필요한 단면적이 더욱 크다는 점에 유의해야 한다. 이는 파워 버스(146)가 도전성 러너(132, 134)에 의해 운반된 저전류 신호보다 높은 전류를 운반하는 경우에 바람직하다.

[0043] 실리콘 니트라이드층(150), 옥사이드층(152) 및 실리콘 니트라이드층(154)을 포함하는 제 1 패시베이션 스택(149)은 파워 버스(146) 위에 형성된다. 제 1 패시베이션 스택(149)은 상술한 듀얼 패시베이션 구성의 제 1 층을 형성한다. 파워 버스(146)의 하위 구리를 노출시키기 위해 종래의 리소그래피 및 플라즈마 애칭 공정에 의해 제 1 패시베이션 스택(149)에는 개구들이 형성된다. 예를 들어, 탄탈륨, 티타늄 니트라이드 또는 탄탈륨 니트라이드를 포함하는 도전성 배리어층(155)은 제 1 패시베이션 스택(149) 내의 개구들을 통해 노출된 파워 버스(146)의 구역들 위에 형성된다. 도전성 배리어층(155)은 파워 버스(146)로부터의 구리와 알루미늄 패드들로부터의 알루미늄의 혼합을 방지한다. 알루미늄층(보다 통상적으로는 알루미늄-구리 합금)은 배리어층(155) 위로 중착된 후에, 마스킹, 패터닝 및 애칭되어, 개구 내부에서 알루미늄 패드(156)를 형성하며 도전성 배리어층(155)을 통해 하위 파워 버스(146)와 접촉하는 블랭킷(blanket)이다.

[0044] 알루미늄 패드(156)의 형성 이후에, 집적 회로 디바이스는 옥사이드층(160) 및 상위 실리콘 니트라이드층(161)을 포함하는 제 2 패시베이션 스택(158)에 의해 다시 패시베이션 처리된다.

[0045] 상술한 바와 같이, 알루미늄 패드는 하위 구리 상호연결 구조와 도 3의 본드 와이어(114)들 또는 도 4의 금속 범프(120)들 사이의 접속 지점으로서 기능한다. 골드 본드 와이어 또는 솔더 볼파의 적절한 부착을 보증하기 위해, 부가의 하부-본드 또는 하부-볼/범프 야금층 및/또는 재료가 알루미늄 패드(156)의 위 및/또는 아래에 필요할 수 있다는 점은 본 기술분야에 공지되어 있다. 조립체가 완성되고 패키지된 칩이 작동 회로 내로 삽입되면, 알루미늄 패드(156)는 파워 버스(146)를 통해 집적 회로 디바이스의 소자들에 전력을 운반한다.

[0046] 도 5에 도시된 다양한 층들의 두께(실척이 아님)는 본 기술분야에서는 통상적인 것이며, 다양한 재료층을 형성하는 기술도 또한 공지되어 있다.

[0047] 도 5는 상호연결 구조의 구역만을 도시하고, 집적 회로 디바이스(도시되지 않음)의 다른 위치들에서, 알루미늄 패드(156)와 유사한 알루미늄 패드들은 패키지 리드선들에서 하위 구조에 신호를 전달하거나 하위 구조에서 패키지 리드선들에 신호를 공급하기 위한 하위의 도전성 러너 또는 도전성 비아들에 접속된다.

[0048] 다마신 상호연결 구조의 최상부 상호연결 레벨만을 도시하는 도 6은 본 발명의 기술에 따라 집적 회로 디바이스

의 상호연결 금속화 구조를 형성하기 위한 공정 단계들을 도시하는 일련의 단면도를 개시하는 도면이다. 도전성 비아(130)는 유전체층(135)에 형성되며 도 6에는 도시되지 않은 하위 상호연결 구조 또는 회로 소자에 접속된다. 도전성 러너(132, 134)는 유전체층(162)에 형성된다. 일실시예에서, 유전체층(162)은 실리콘 디옥사이드를 포함한다. 도 6 내지 도 11에 도시된 다양한 유전체층의 재료는 본 기술분야에 공지된 하기의 다른 적절한 재료들, 즉 플루오로-실리케이트 글래스(FSG), 옥사이드, 플루오르-도핑된 TEOS(테트라에틸 오르소실리케이트), 저-유전율 재료, 및 유기-실리케이트 글래스(OSG) 중 임의의 것을 포함할 수 있다. 또한, 도시 및 설명된 다양한 배리어층의 재료는 실리콘 카바이드, 실리콘 니트라이드, 인-도핑된 옥사이드 및 본 기술분야에 공지된 다른 재료들을 포함할 수 있다.

[0049] 도 7에 도시된 바와 같이, 제 1 패시베이션 스택(149)[실리콘 니트라이드층(150), 옥사이드층(152) 및 실리콘 니트라이드층(154)을 포함]은 도전성 러너(132, 134) 및 유전체층(162) 위에 형성된다. 개구(163, 165)는 종래의 리소그래피 및 유전체 에칭 기술에 의해 제 1 패시베이션 스택(149)을 통해 한정 및 형성된다.

[0050] 도전성 배리어층(166)은 노출된 표면 위에 형성된다. 통상적으로 탄탈륨-니트라이드를 포함하는 배리어층(166)은 하위의 재료와 그 위에 형성되는 알루미늄 사이에서 접착층으로서 기능한다. 또한, 탄탈륨-니트라이드는 알루미늄 상호연결 구조에서 발생되는 공지된 전자이동 효과를 감소시키고 상위의 알루미늄 및 하위의 구리 사이에 확산 배리어를 제공한다.

[0051] 알루미늄-구리 합금층(168)(또는 임의의 실시예에서는, 알루미늄-실리콘-구리 합금층)은 도 8에 도시된 바와 같이 증착된 블랭킷으로서 개구(163, 165)를 채운다. 알루미늄 패드(170)는 알루미늄층(168)상에서 수행된 패터닝, 마스킹 및 에칭 단계에 의해 개구(163) 내에 형성된다. 도 9 참조. 도전성 비아(172)는 개구(165) 내에 형성되어 러너(134)와 도전 접촉한다.

[0052] 알루미늄 패드(170)를 형성하기 위해 사용된 것과 동일한 마스킹, 패터닝 및 에칭 단계들은 알루미늄층(168)에 파워 버스(174)를 형성한다. 또한, 파워 버스(174)를 형성하는 단계 중에, 알루미늄-구리 합금층(168)에는 신호 루팅 상호연결부들이 형성된다. 신호 상호연결부들은 도 9에는 도시되지 않지만, 도 9에 도시되지 않은 기판의 다른 구역들에 위치된다.

[0053] 상위 패시베이션 스택(180)은 도 10에 도시된 바와 같이 형성된 옥사이드층(182) 및 실리콘 니트라이드층(184)을 포함한다. 알루미늄 패드(170)에 접근하기 위해 패시베이션 스택(180)에는 공지된 기술에 의해 개구들이 형성된다(도 10 또는 도 11에 도시되지 않은 다른 개구는 신호 루팅 상호연결부에 접근하기 위해 형성됨). 최종적인 구조는 도 11을 참조한다. 접적 회로 디바이스는 패키지와 알루미늄 패드(170)의 와이어 본딩 또는 범프 본딩을 패키지 리드선에 부착할 수 있는 상태로 된다.

[0054] 본 발명에 의해 기술된 바와 같이 알루미늄 패드층에 파워 버스(174)를 형성하게 되면, 하나의 금속화층(즉, 본 발명의 기술이 구리 다마신 공정에 적용될 때의 구리층)과, 부가적인 공정 단계들 및 마스크에 대한 필요성이 제거된다. 도 5에 도시된 종래의 실시예는 금속화층, 즉 도 11에 도시된 바와 같은 본 발명에 따른 구조에서는 존재하지 않는 도전성 비아(142)를 포함하는 금속화층을 포함한다.

[0055] 현재의 접적 회로는 약 1 미크론 이상의 두께를 갖는 알루미늄 패드들로 제조된다. 이러한 두께는 전류를 전달하기에 충분한 두께이며, 그에 따라 형성된 알루미늄 패드층 내의 파워 버스(174)는 본 발명의 제조 공정 단계들에 적절하고 용이하게 적용된다. 종래기술에 따른 알루미늄 패드들을 패터닝하기 위해 생성된 마스크는 최소한의 초과 비용으로 파워 버스 상호연결 구조용 패턴을 포함하도록 변형될 수 있다.

[0056] 도 12는 종래의 접적 회로 구역에서 그 표면 위에 및 아래에 임의의 상호연결 구조를 도시하는 예시적인 평면도이다. 알루미늄 패드(190, 192)는 하위의(즉, 1 레벨 아래의) 금속화 레벨 도전성 러너(194, 196)에 각각 수직 도전성 비아(198, 200)를 통해 접속된다. 도전성 러너(194, 196)는 도 5의 파워 버스(146)를 나타낼 수 있다. 도전성 러너(194, 196) 아래의 상호연결 레벨에 배치된 도전성 러너(204)[도 5의 도전성 러너(132, 134)를 나타냄]는 도전성 비아(206)를 통해 도전성 러너(196)에 접속되며, 또한 도전성 비아(208)를 통해 부가적인 하위 상호연결 구조 및 소자들에 접속된다.

[0057] 도 13은 본 발명의 기술에 따라 구성된 디바이스의 표면 위에 및 아래에 임의의 상호연결 구조를 도시하는 접적 회로 디바이스의 구역을 도시하는 예시적인 평면도이다. 당업자에 의해 이해될 수 있는 본 발명의 기술은, "n"이 상부 금속화 레벨을 나타내며 하위 레벨들은 n차 레벨, 예를 들어 n-1 또는 n-2 레벨로서 인용되는 경우에, 임의 수의 금속 상호연결층을 갖는 접적 회로 디바이스 구조에 적용될 수 있다.

[0058] 알루미늄 패드(220)는 수직 도전성 비아(226, 224)를 통해 하위의 n-1 레벨 도전성 러너(222, 223)에 접속하기

위한 파워 버스(221)(금속화 레벨 "n", 즉 최상부 레벨에 형성됨)의 일체부위를 형성한다. 알루미늄 패드(220)가 상술된 바와 같은 패키지 리드선들을 통해 전력원에 접속되면, 파워 버스(221)[도 6의 파워 버스(174)를 나타낼 수 있음]는 집적 회로에 걸쳐 연속적인 전력 분배를 위해 하위 도전성 러너들(도 13에는 도시되지 않음)에 차례로 접속되는 도전성 러너(222, 223)에 전력을 전달 또는 분배한다. 파워 버스(221)가 단지 예시적인 목적으로서 n-1 금속화 레벨에만 접속되는 것으로 도시되었지만, 하위 금속화 레벨에의 접속은 연속적인 수직 도전성 비아들을 통해 이루어질 수 있다.

[0059] 계속해서, 도 13을 참조하면, 알루미늄 패드(228)는 수직 도전성 비아들(232, 234 및 236)을 통해 하위의 n-1 레벨 도전성 러너(230)에 차례로 접속되는 상호연결 구조(229)의 일체부위를 형성한다. n-1 레벨 도전성 러너(230)는 도전성 비아(240)를 통해 n-2 레벨 도전성 러너(238)에 접속된다. 일실시예에서, 알루미늄 패드(228)는 집적 회로로의 신호를 패키지 리드선들을 통해 수신할 수 있으며, 알루미늄 패드(228)에 접속된 다양한 상호 연결 구조를 통해 적절한 디바이스 소자들에 신호를 공급한다.

[0060] n-레벨 도전성 러너(244)는 알루미늄 패드(245)의 일체부위를 형성하고, 하위의 도전성 러너(250)(n-i 레벨, 여기서 i = 1 내지 n-1)에 접속되는 도전성 비아(247, 248)에 접속된다.

[0061] 본 발명의 제 2 실시예에 따르면, 알루미늄 패드층은 하위의 구리층들을 위한 상호연결 구조를 제공하고, 여기서 상호연결 구조는 패드에 접속되지는 않는다. 예를 들어, 도 13의 디바이스 평면도에 도시된 바와 같이, 도전성 러너(280, 282)(예를 들어, 모두 n-1 레벨에 배치됨)는 도전성 비아(286, 288)를 통해 상호연결 구조(284)(알루미늄 패드층 n에 형성됨)에 접속된다. 다른 예에서, 도전성 러너(250)와 도전성 러너(292)(예를 들어, 모두 n-1 레벨에 배치됨)는 도전성 비아(298, 296)를 통해 알루미늄 패드층(n)에 형성된 상호연결 구조(294)에 의해 접속된다. 따라서, 상술한 바와 같이 파워 버스 상호연결 구조를 제공하는 것에 더불어, 하위 구리층들의 상호연결 구조[예를 들어, 상호연결 구조(274)]도 알루미늄 패드층에 형성될 수 있다. 결과적으로, 하위의 상호연결층은 알루미늄 패드층을 상호연결 기능을 제공하도록 사용함으로써 제거될 수 있다.

[0062] 본 발명이 바람직한 실시예들을 참조로 기술되었지만, 본 발명의 범위로부터 일탈함이 없이 다양한 변형이 이루어질 수 있으며 등가의 소자들이 변형의 소자들로 대체될 수 있다는 것을 당업자라면 이해할 것이다. 또한, 본 발명의 범위는 본원에서 설명하는 다양한 실시예들로부터 소자들의 임의의 조합을 포함한다. 또한, 본 발명의 본질적인 범위로부터 일탈함이 없이 그 기술에 적합한 특정한 상황에 적용되도록 변형이 취해질 수 있다. 그러므로, 본 발명은 본 발명을 수행하기 위해 고려된 최상의 방식으로서 기술된 특정한 실시예에 제한되는 것은 아니며, 특히 청구범위 내에 속하는 모든 실시예들을 포함하는 것이다.

발명의 효과

[0063] 본 발명은 파워 버스 상호연결 구조가 알루미늄 패드 또는 접촉층에 형성되는 집적 회로 디바이스 구조체 및 그 구조체의 제조 방법을 제공하며, 하위 상호연결 레벨들을 상호연결하는 상호연결 구조는 알루미늄 패드층에 형성될 수도 있다.

도면의 간단한 설명

[0001] 도 1a 내지 도 1c 및 도 2a 내지 도 2c는 동일 평면을 따라 취해진 종래의 듀얼 다마신 구조의 단면도.

[0002] 도 3은 본 발명의 기술에 따라 구성된 집적 회로 디바이스용 패키지의 절개 사시도.

[0003] 도 4a 및 도 4b는 종래의 플립-칩(flip-chip) 집적 회로 디바이스 구조체의 사시도.

[0004] 도 5는 파워 버스를 포함하는 종래의 상호연결 구조를 공통 평면을 따라 취한 단면도.

[0005] 도 6 내지 도 11은 본 발명의 기술에 따라, 파워 버스를 포함하는 상호연결 구조의 제조시의 연속 처리 단계들을 도시하는 공통 평면을 따라 취해진 단면도.

[0006] 도 12는 집적 회로 디바이스의 종래의 상호연결 구조의 평면도.

[0007] 도 13은 본 발명의 기술에 따라 구성된 상호연결 구조의 평면도.

[0008] *도면의 주요 부분에 대한 부호의 설명*

[0009] 100 : 디바이스 패키지

102 : 패키지 리드선

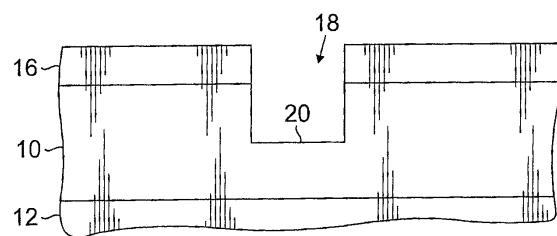
[0010] 104 : 집적 회로

106 : 다이 부착 영역

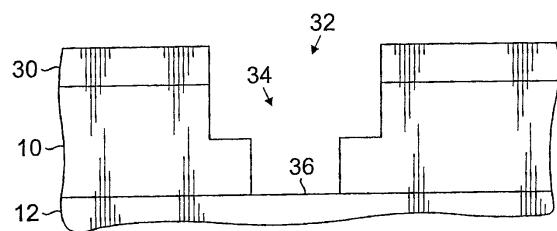
[0011]	110 : 본드 패드	112 : 상부면
[0012]	114 : 본드 와이어	130 : 레벨 5 도전성 비아
[0013]	132, 134 : 레벨 5 도전성 러너	135, 136 : 유전체층
[0014]	137 : 애칭 정지층	140, 145 : 유전체 배리어층
[0015]	141 : 배리어층	142 : 레벨 6 도전성 비아
[0016]	144 : 유전체층	145, 152, 160 : 옥사이드층
[0017]	146 : 파워 버스	149 : 제 1 패시베이션 스택
[0018]	150, 154, 161 : 실리콘 니트라이드층	155 : 도전성 배리어층
[0019]	156 : 알루미늄 패드	158 : 제 2 패시베이션 스택

도면

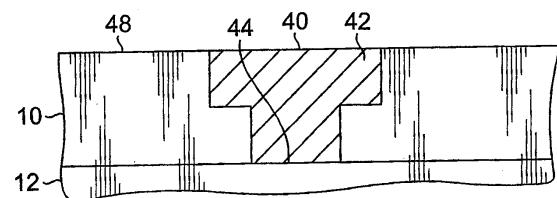
도면1a



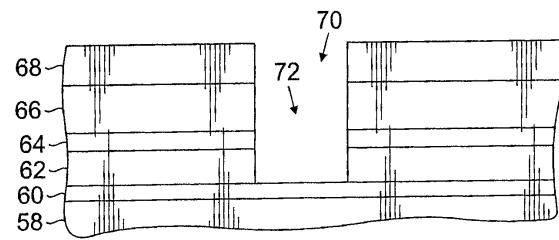
도면1b



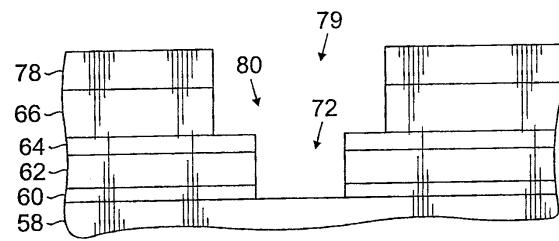
도면1c



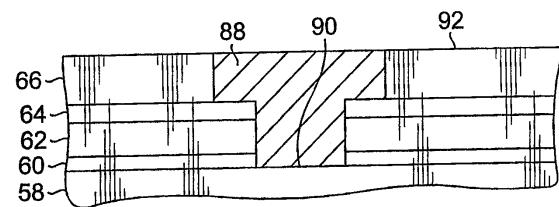
도면2a



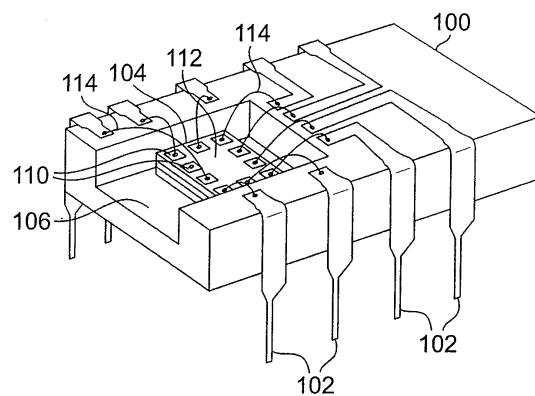
도면2b



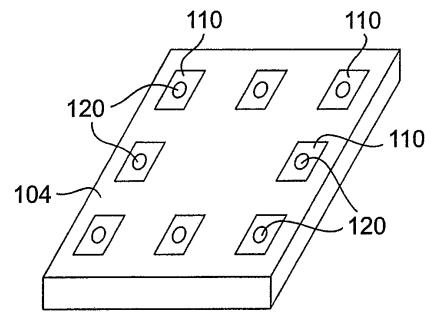
도면2c



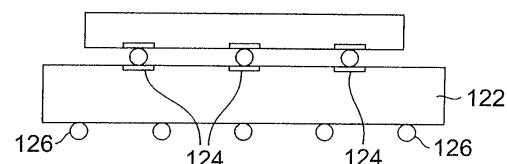
도면3



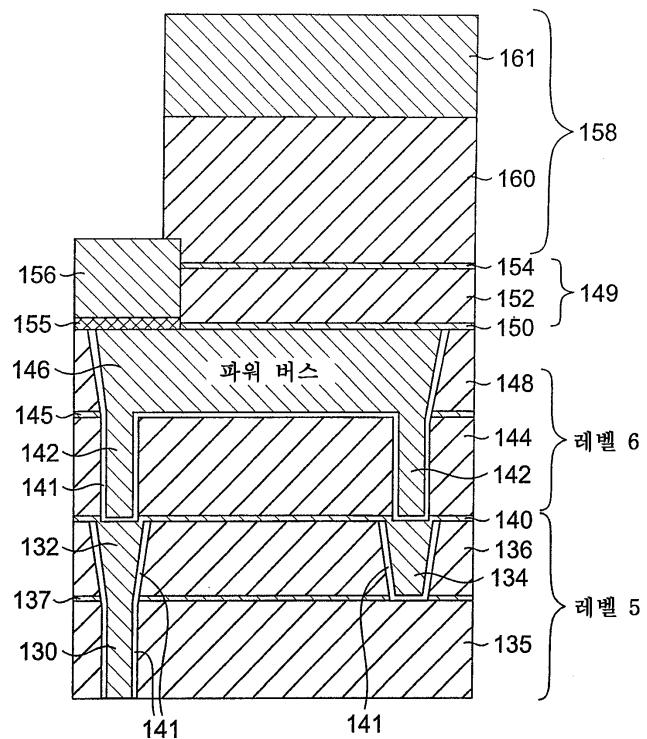
도면4a



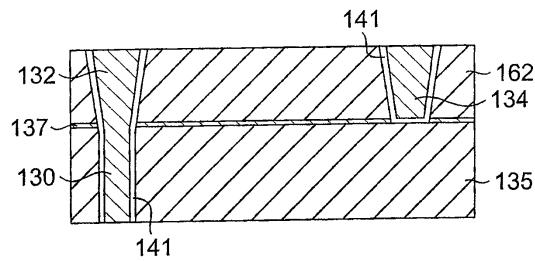
도면4b



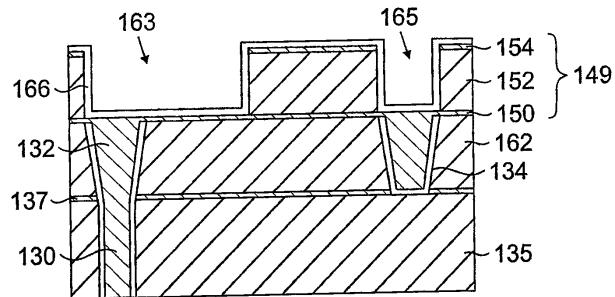
도면5



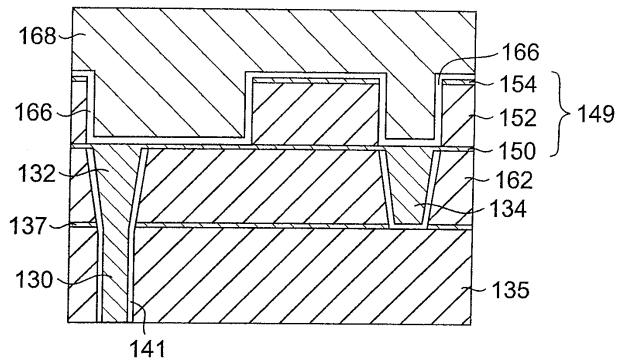
도면6



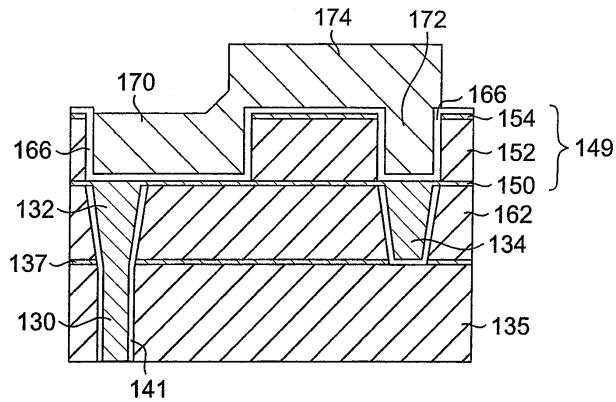
도면7



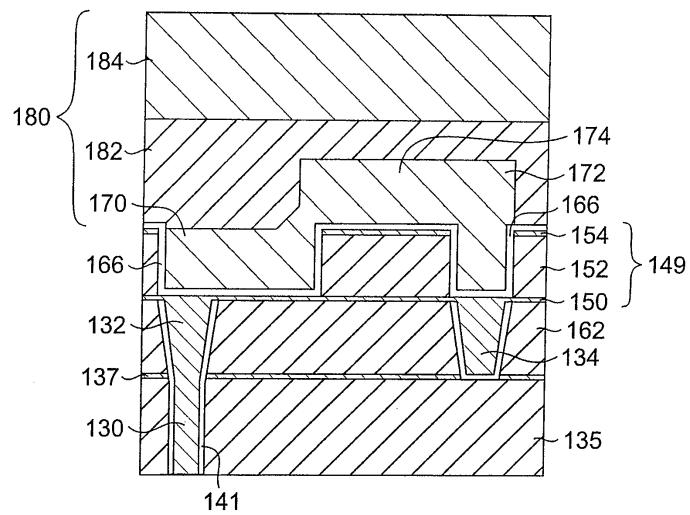
도면8



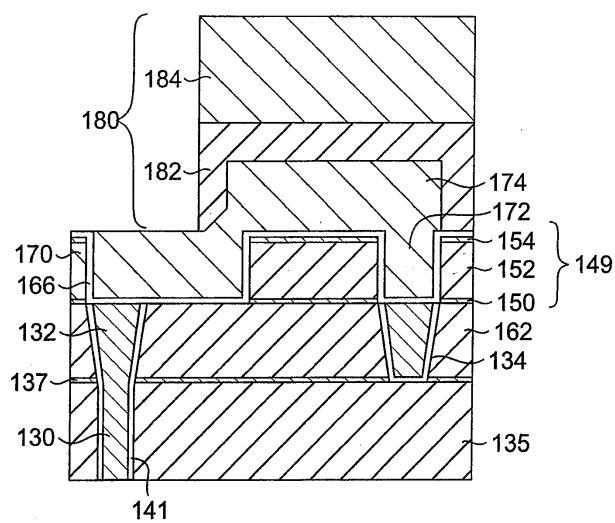
도면9



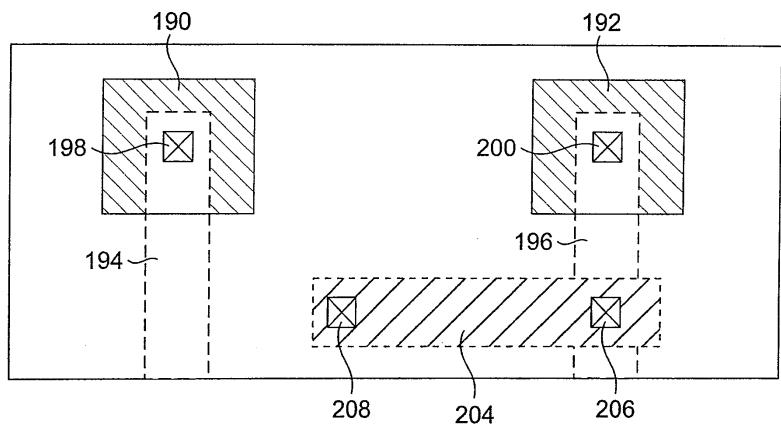
도면10



도면11



도면12



도면13

