

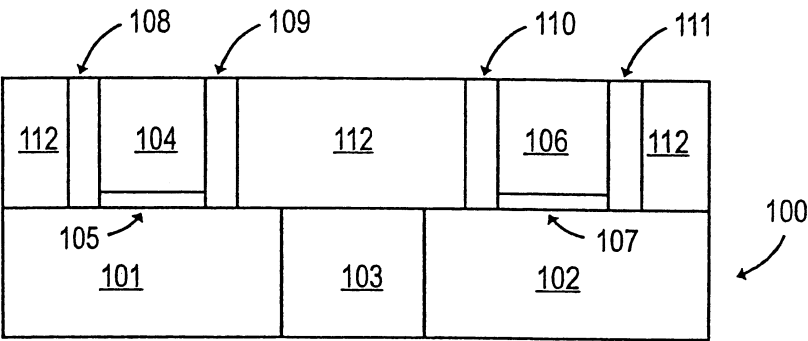


圖 1A

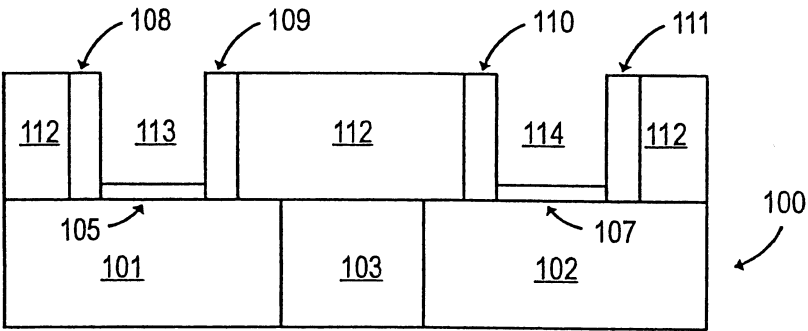


圖 1B

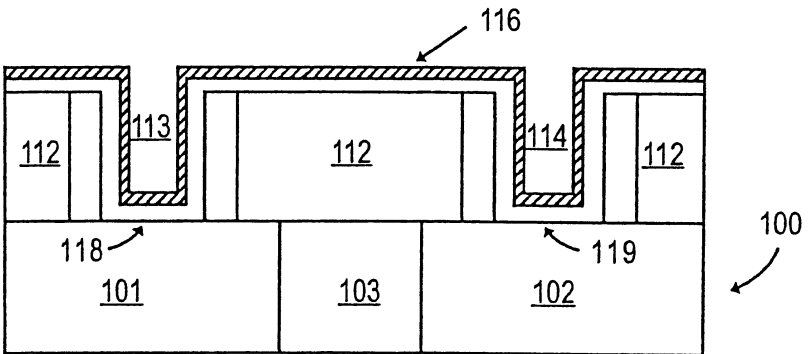


圖 1C

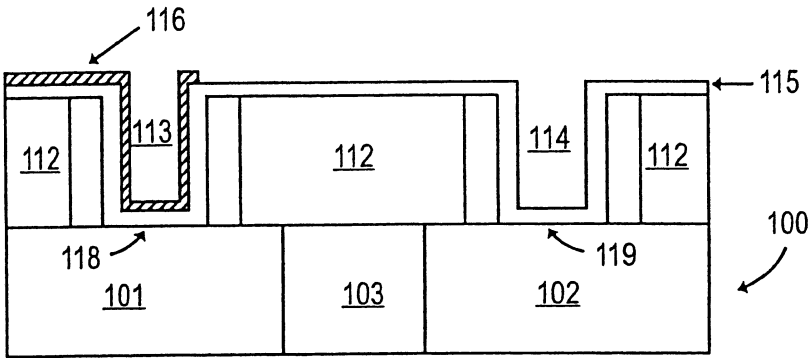


圖 1D

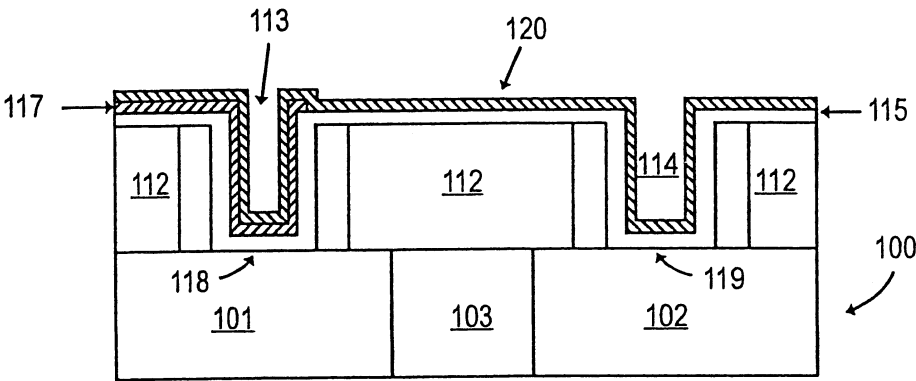


圖 1E

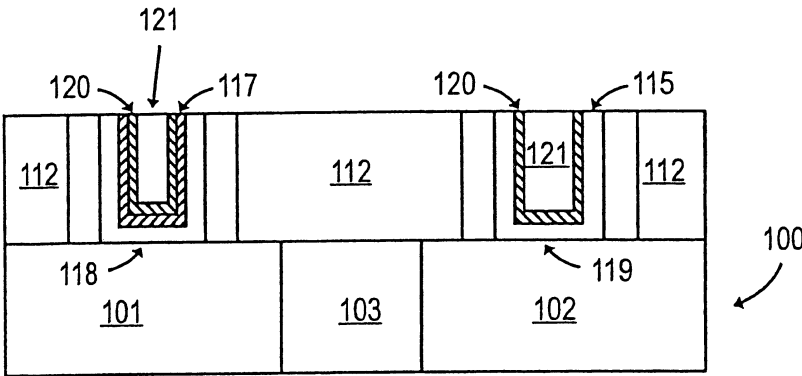


圖 1F

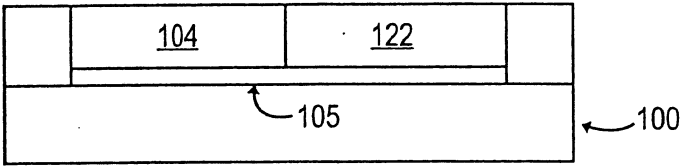


圖 2A

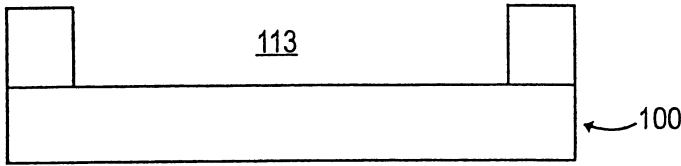


圖 2B

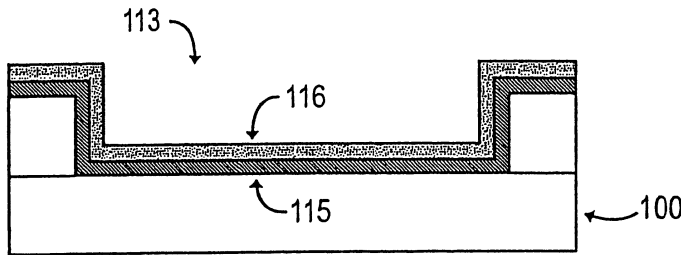


圖 2C

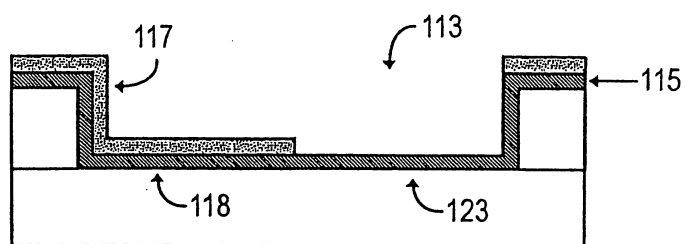


圖 2D

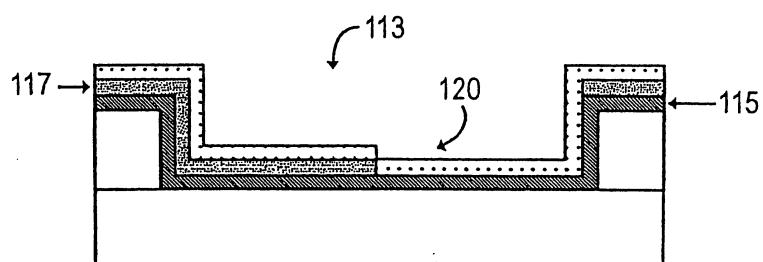


圖 2E

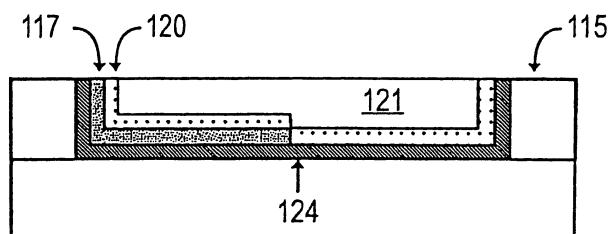


圖 2F

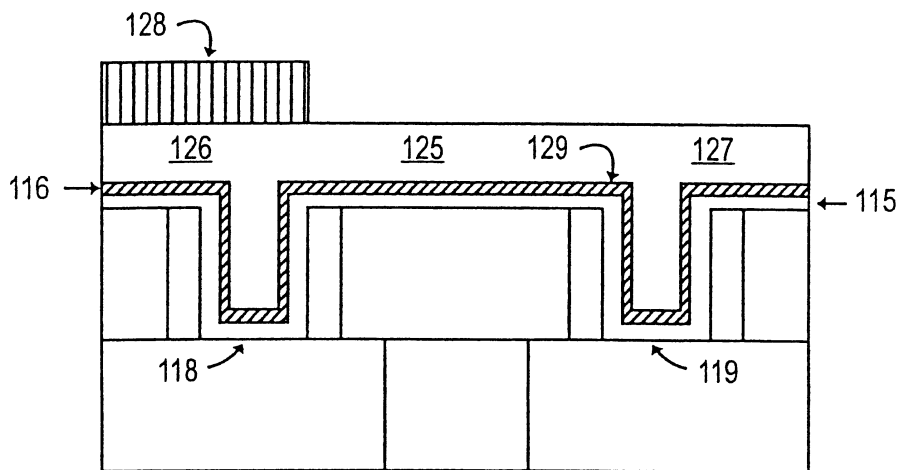


圖 3A

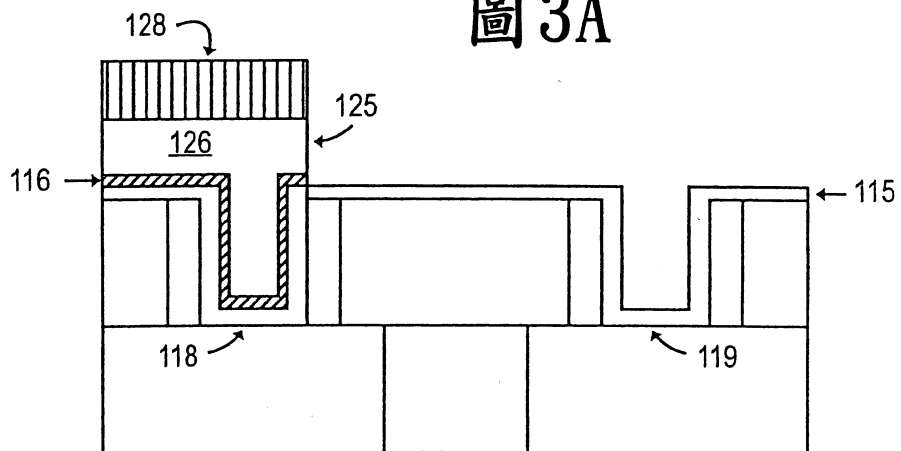


圖 3B

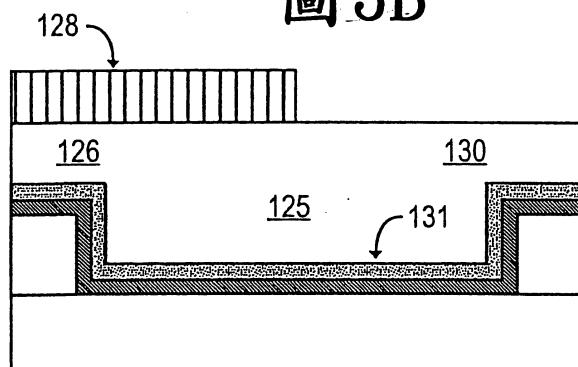


圖 4A

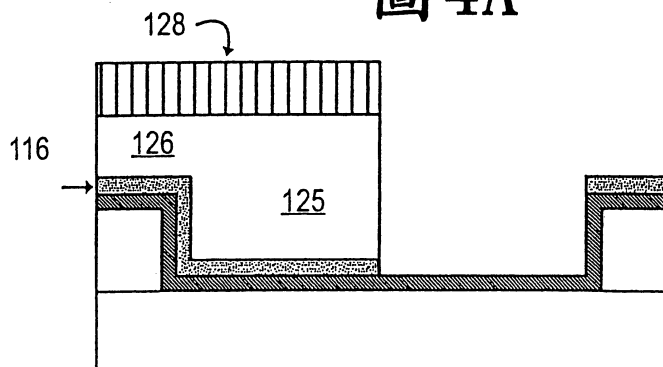


圖 4B

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94110535

※申請日期：94 年 04 月 01 日

※IPC 分類：H01L 29/78 (2006.01)

一、發明名稱：

(中) 具有高K閘極介電層和金屬閘極電極的半導體裝置的製造方法

(英) A method for making a semiconductor device having a high-k gate dielectric layer and a metal gate electrode

二、申請人：(共 1 人)

1. 姓 名：(中) 英特爾股份有限公司
(英) INTEL CORPORATION

代表人：(中) 1. 大衛 賽門
(英) 1. SIMON, DAVID

地 址：(中) 美國加州聖大克拉瑞密遜學院路二二〇〇號
(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

三、發明人：(共 9 人)

1. 姓 名：(中) 賈斯丁 布雷斯科
(英) BRASK, JUSTIN

國 籍：(中) 加拿大
(英) CANADA

2. 姓 名：(中) 傑克 卡瓦李耶羅
(英) KAVALIEROS, JACK

國 籍：(中) 美國
(英) U.S.A.

3. 姓 名：(中) 馬克 杜西
(英) DOCZY, MARK

國 籍：(中) 美國
(英) U.S.A.

4. 姓 名：(中) 烏戴 沙

國 籍：(英) SHAH, UDAY
(中) 尼泊爾
(英) NEPAL

5. 姓 名：(中) 克里斯 巴恩斯
(英) BARNS, CHRIS
國 籍：(中) 美國
(英) U.S.A.

6. 姓 名：(中) 馬修 梅茲
(英) METZ, MATTHEW
國 籍：(中) 美國
(英) U.S.A.

7. 姓 名：(中) 蘇門 戴塔
(英) DATTA, SUMAN
國 籍：(中) 印度
(英) INDIA

8. 姓 名：(中) 安娜麗莎 柯柏拉尼
(英) CAPPELLANI, ANNALISA
國 籍：(中) 義大利
(英) ITALY

9. 姓 名：(中) 羅伯特 趙
(英) CHAU, ROBERT
國 籍：(中) 美國
(英) U.S.A.

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2004/04/20 ; 10/828,958 ☒ 有主張優先權

國 籍：(英) SHAH, UDAY
(中) 尼泊爾
(英) NEPAL

5. 姓 名：(中) 克里斯 巴恩斯
(英) BARNS, CHRIS
國 籍：(中) 美國
(英) U.S.A.

6. 姓 名：(中) 馬修 梅茲
(英) METZ, MATTHEW
國 籍：(中) 美國
(英) U.S.A.

7. 姓 名：(中) 蘇門 戴塔
(英) DATTA, SUMAN
國 籍：(中) 印度
(英) INDIA

8. 姓 名：(中) 安娜麗莎 柯柏拉尼
(英) CAPPELLANI, ANNALISA
國 籍：(中) 義大利
(英) ITALY

9. 姓 名：(中) 羅伯特 趙
(英) CHAU, ROBERT
國 籍：(中) 美國
(英) U.S.A.

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2004/04/20 ; 10/828,958 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於一種半導體裝置的製造方法，特別是，包括金屬閘極電極的半導體裝置的製造方法。

【先前技術】

以二氧化矽製成的具有非常薄閘極介電的 MOS 場效電晶體可能會有無法接受的閘極漏電流。以固定高 k 介電材料形成閘極介電以取代以二氧化矽形成可降低閘極漏電。但是因為此一介電可能無法和多晶矽相容，因此需要使用在包括高 k 閘極介電的裝置中的金屬閘極電極。

當製造包括金屬閘極電極的 CMOS 裝置時，可使用一替代閘極方法以從不同金屬形成閘極電極。在此方法中，由一對間隔器所包夾的第一多晶矽層受移除以產生介於間隔器間的溝槽。該溝槽受填充以第一金屬。而後移除第二多晶矽層，和以與第一金屬不同的第二金屬取代。由於此方法

需要多重蝕刻，沉積，和拋光步驟，高產能的半導體裝置製造者極無意願使用此方法。

可使用除去方法而非應用替代閘極方法以形成一金屬閘極電極在高 k 閘極介電層上。在此一方法中，藉由沉積一金屬層在介電層上，掩模該金屬層，和而後移除金屬層的未覆蓋部份和介電層的下層部份，一金屬閘極電極形成在一高 k 閘極介電層上。但是，不幸的是，所獲得的高 k

(2)

閘極介電層的曝露側壁會使此層易於受到側向氧化，因此會負面的影響該層的物理和電特性。

因此，於此需要一改進的半導體裝置的製造方法，該半導體裝置包括一高 k 閘極介電層和一金屬閘極電極。於此需要之方法可適於高產能製造。本發明的方法正可提供上述所需的方法。

【發明內容】

以下說明一種半導體裝置的製造方法。該方法包含形成第一介電層在一基板上，而後形成一溝槽在第一介電層內。在形成第二介電層在該基板上後，第一金屬層形成在第二介電層的第一部份上，但不在第二介電層的第二部份上。而後，第二金屬層形成在第一金屬層上和在第一介電層的第二部份上。

【實施方式】

在下述的說明中，所敘述的多數細節乃用以提供對本發明的徹底瞭解。但是，明顯的，對於熟悉此項技藝的人士而言，本發明可以和於此所說明不同的各種方式實施。因此，本發明並不限於下述所說明之細節。

圖 1A-1F 表示當實施本發明的方法的一實施例時可形成的構造的橫截面圖。圖 1A 表示當製造一 CMOS 裝置時可形成的中間構造。該構造包括基板 100 的第一部份 101 和第二部份 102。隔離區 103 分離第一部份 101 和第二部

(3)

份 102。第一多晶矽層 104 形成在介電層 105 上，和第二多晶矽層 106 形成在介電層 107 上。第一多晶矽層 104 由一對側壁間隔器 108、109 所包夾，和第二多晶矽層 106 由一對側壁間隔器 110、111 所包夾。介電體 112 位在側壁間隔器旁。

基板 100 可包含一塊矽或絕緣體上矽次構造。替代的，基板 100 可包含其它材料，其可或不與矽結合，例如鍺，銻化銮，碲化鉛，砷化銮，磷化銮，砷化鎵，或銻化鎵。雖然於此說明可用以形成基板 100 的數個材料例，但是可當成半導體裝置可建立於其上的任何材料皆屬本發明之精神和範疇。

隔離區 103 可包含二氧化矽或其它可分離電晶體主動區的材料。介電層 105、107 各可包含二氧化矽或其它可隔離基板和其它物質的材料。第一和第二多晶矽層 104、106 最好具有介於約 100 和約 2000Å 間的厚度，且更好介於約 500 和約 1600Å 間。這些層可摻雜或未摻雜相似的物質。替代的，一層可受摻雜，而另一層未摻雜，或一層可摻雜 n 型(例如，以砷，磷，或其它 n 型材料)，而另一層摻雜 p 型(例如，以硼或其它 p 型材料)。間隔器 108，109，110，111 最好包含氮化矽，而介電體 112 可包含二氧化矽，或低 k 材料。介電體 112 可受摻雜以磷，硼，或其它元素，和可使用高密度電漿沉積法形成。

對於熟悉此項技藝的人士而言，明顯的，可使用習知的處理步驟，材料，和設備以產生圖 1A 的構造。如圖所

(4)

示，介電體 112 可經由習知的化學機械拋光(CMP)而回拋光，以曝露第一和第二多晶矽層 104、106。雖然圖中未示出，圖 1A 的構造可包括許多可使用習知方法形成的其它特徵(例如，氮化矽蝕刻停止層，源極和汲極區，和一或多個緩衝層)。

當使用習知離子植入和退火處理形成源極和汲極區時，需要形成一硬掩模在多晶矽層 104、106 上，和一蝕刻停止層在硬掩模上，以在源極和汲極區受覆蓋以矽化物時保護層 104、106。此硬掩模包含氮化矽，和此蝕刻停止層可包含當應用適當的蝕刻處理時可以實質比移除氮化矽更慢的速率移除的材料。此種蝕刻停止層可由例如矽，氧化物(例如，二氧化矽或二氧化鉛)，或碳化物(例如碳化矽)製成。

當介電層 112 受拋光時，此一蝕刻停止層和氮化矽硬掩模可從層 104、106 表面拋光，此即為在此處理之階段中這些層的作用。圖 1A 表示已預先形成在層 104、106 上的任何硬掩模或蝕刻停止層已從這些層表面移除的構造。當使用離子植入處理以形成源極和汲極區時，層 104、106 可和源極和汲極區受植入同時受到摻雜。在此一處理中，第一多晶矽層 104 可為摻雜 n 型，而第二多晶矽層 106 可為摻雜 p 型，或反之亦然。

在形成圖 1A 的構造後，第一和第二多晶矽層 104、106 受到移除。在一較佳實施例中，這些層應用濕蝕刻移除。此濕蝕刻處理可包含曝露層 104、106 至含氫氧化物

(5)

源的水溶液一段充分的時間且在充足的溫度下，以實質的移除所有這些層。氫氧化物源可包含在除離子水中介於約 2 和約 30%體積百分比的氫氧化胺或四氫基氫氧化胺，例如四甲基氫氧化胺(TMAH)。

藉由將 n 型多晶矽層曝露至一溶液可將其移除，該溶液保持在約 15℃ 和約 90℃ 間的溫度(最好為低於約 40℃)，且包含在除離子水中介於約 2 和約 30%體積百分比的氫氧化胺。在此曝露步驟中，其最好持續至少一分鐘，且可應用介於約 10KHz 和約 2000KHz 頻率間的聲波能量，並以介於約 1 和約 10 瓦/cm² 間散佈。例如，約 1350Å 厚的 n 型多晶矽層可藉由將其曝露至包含在除離子水中約 15%體積百分比的氫氧化胺溶液，在 25℃ 下，約 30 分鐘，並應用約 1000KHz 的聲波能量以約 5 瓦/cm² 散佈，而可將其移除。

替代的，藉由將 n 型多晶矽層曝露至一溶液至少一分鐘可將其移除，該溶液保持在約 60℃ 和約 90℃ 間的溫度，且包含在除離子水中介於約 20 和約 30%體積百分比的 TMAH，並應用聲波能量。實質的，約 1350Å 厚的所有此種 n 型多晶矽層可藉由將其曝露至包含在除離子水中約 25%體積百分比的 TMAH 溶液，在約 80℃ 下，約 2 分鐘，並應用約 1000KHz 的聲波能量以約 5 瓦/cm² 散佈，而可將其移除。

藉由將 p 型多晶矽層曝露至一溶液一段充分的時間和充足的溫度(例如介於約 60℃ 和約 90℃ 間的溫度)並應用

(6)

聲波能量，可將其移除，該溶液包含在除離子水中介於約 20 和約 30%體積百分比的 TMAH。熟悉此項技藝的人士可知必須使用以移除第一和第二多晶矽層 104、106 的特殊濕蝕刻處理會依照這些層之一、兩者、或全無受到摻雜，例如一層受摻雜為 n 型和另一為 p 型，而改變。

例如，如果層 104 受摻雜為 n 型和層 106 受摻雜為 p 型時，需要首先應用氫氧化胺基濕蝕刻處理以移除 n 型層，而後應用 TMAH 基濕蝕刻處理以移除 p 型層。替代的，亦可以適當的 TMAH 基濕蝕刻處理以同時移除層 104、106。

在移除第一和第二多晶矽層 104、106 後，曝露出介電層 105、107。在此實施例中，層 105、107 受到移除。當介電層包含二氧化矽時，可使用對二氧化矽有選擇性的蝕刻處理以將層 105、107 移除。此一蝕刻處理可包含將層 105、107 曝露至在除離子水中包括約 1%HF 的溶液。層 105、107 曝露的時間必須有所限制，此乃由於用以移除這些層的蝕刻處理亦會移除部份的介電層 112。在考量上述之說明，如果使用 1%HF 基溶液以移除層 105、107 時，此裝置最好曝露至該溶液少於約 60 秒，且最好約 30 秒或更少。如圖 1B 所示，移除介電層 105、107 而留下溝槽 113、114 分別在位於側壁間隔器 108、109 間和側壁間隔器 110、111 間的介電層 112 內。

在移除介電層 105、107 後，形成介電層 115 在基板 100 上。較佳的，介電層 115 包含一高 k 閘極介電層。可

(7)

使用以製造此一高 k 閘極介電層的部份材料包括：氧化鉛，矽鉛氧化物，氧化鏷，氧化銨，矽銨氧化物，氧化鉍，氧化鈦，鉬鉍鈦氧化物，鉬鈦氧化物，鉍鈦氧化物，氧化釷，氧化鋁，鉛鉍鉍氧化物，和鉛鋅鉍酸鹽。較佳的為氧化鉛，氧化銨，和氧化鋁。雖然於此說明可使用以形成高 k 閘極介電層的部份材料例，該層亦可以其它材料製成。

高 k 閘極介電層可使用習知沉積法形成在基板 100 上。習知沉積法例如習知化學蒸氣沉積 (CVD)，低壓 CVD，或物理蒸氣沉積 (PVD) 法。較佳的，可使用習知原子層 CVD 法。在此一處理中，一金屬氧化物先驅物 (例如一金屬氯化物) 和蒸氣可以選擇流率饋入 CVD 反應器中，而後在一選擇的溫度和壓力下操作以產生一原子的平滑介面在基板 100 和高 k 閘極介電層 115 間。此 CVD 反應器必須操作足夠長時間以形成具有所需厚度的層。在大部份應用中，高 k 閘極介電層 115 必須小於約 $60\text{\AA}$ 厚，且最好介於約 $5\text{\AA}$ 和約 $40\text{\AA}$ 厚間。

如圖 1C 所示，當使用一原子層 CVD 法以形成高 k 閘極介電層 115 時，該層除了形成在溝槽底部上外，亦會形成在溝槽 113、114 側上。如果高 k 閘極介電層 115 包含氧化物時，根據使用以製造該高 k 閘極介電層 115 的處理，該高 k 閘極介電層 115 可顯示氧的空間在任意表面側和不可接受的雜質位準。在層 115 沉積後，最好從層 115 移除雜質，和將該層氧化以產生具有近乎理想金屬：氧化

(8)

學量的層。

爲了從該層移除雜質和增加該層的氧含量，可應用濕化學處理至高 k 閘極介電層 115。此一濕化學處理可包含使高 k 閘極介電層 115 曝露至一包含過氧化氫的溶液充足的時間和足夠的溫度，以從高 k 閘極介電層 115 移除雜質和增加高 k 閘極介電層 115 的氧含量。高 k 閘極介電層 115 所曝露之適當時間和溫度係決定於高 k 閘極介電層 115 之所需厚度和其它性質。

當高 k 閘極介電層 115 曝露至過氧化氫基溶液時，可使用含介於約 2% 和約 30% 過氧化氫體積百分比的水溶液。曝露步驟需發生在約 15°C 至約 40°C 間至少約 1 分鐘。在一特別較佳實施例中，高 k 閘極介電層 115 在約 25°C 之溫度下，曝露至含約 6.7% H_2O_2 體積百分比的水溶液約 10 分鐘。在此曝露步驟中，可應用介於約 10KHz 和約 2000KHz 頻率間的聲波能量，並以介於約 1 和約 10 瓦/cm² 間的能量散佈。在一較佳實施例中，可應用約 1000KHz 頻率的聲波能量，並以約 5 瓦/cm² 散佈。

雖然圖 1C 未顯示，於此可形成一帽層在高 k 閘極介電層 115 上，該帽層不超過約 5 個單層厚。此一帽層可藉由濺鍍 1 至 5 個矽或其它材料的單層在高 k 閘極介電層 115 表面上而形成。而後，此帽層可以例如使用一電漿增強化學蒸氣沉積處理或含氧化劑的溶液而氧化，以形成一帽介電氧化物。

雖然在部份實施例中，需要形成一帽層在高 k 閘極介

(9)

電層 115 上，但是，在所示實施例中，金屬層 116 直接形成在層 115 上以產生圖 1C 所示的構造。金屬層 116 可包含任何導電材料，藉此，一金屬閘極電極可從此導電材料衍生出，且可使用已知 PVD 或 CVD 法形成在高 k 閘極介電層 115 上。可使用以形成金屬層 116 的 n 型材料之例包括：鉛，銨，鈦，鉭，鋁，和包括這些元素的金屬碳化物，如碳化鈦，碳化銨，碳化鉭，碳化鉛，和碳化鋁。可使用以形成 p 型金屬之例包括：鈮，鈹，鉑，鈷，鎳，和導電金屬氧化物、例如氧化鈮。雖然於此說明可使用數個材料例以形成金屬層，但是這些層亦可由許多其它材料製造。

金屬層 116 必須足夠厚以確保形成在其上的任何材料不會顯著的影響其功函數。較佳的，金屬層 116 介於約 25Å 和約 300Å 厚間，且更好介於約 25Å 和約 200Å 厚間。當金屬層 116 包含 n 型材料時，層 116 最好具有介於約 3.9eV 和約 4.2eV 間的功函數。當金屬層 116 包含 p 型材料時，層 116 最好具有介於約 4.9eV 和約 5.2eV 間的功函數。

在形成金屬層 116 在高 k 閘極介電層 115 上後，掩模部份的金屬層 116。而後移除金屬層 116 的曝露部份，隨後藉由移除任何掩模材料，以產生圖 1D 所示的構造。在該構造中，第一金屬層 117 形成在高 k 閘極介電層 115 的第一部份 118 上，因此，第一金屬層 117 覆蓋高 k 閘極介電層 115 的第一部份 118，但是不覆蓋高 k 閘極介電層

(10)

115 的第二部份 119。雖然可應用習知技藝至金屬層 116 的掩模部份，而後移除該層的曝露部份，但是，如下所述，較佳的是使用旋塗玻璃(SOG)材料當成掩模材料。

在此實施例中，第二金屬層 120 而後沉積在第一金屬層 117 和高 k 閘極介電層 115 的第二部份 119 上，而產生如圖 1E 所示的構造。如果第一金屬層 117 包含 n 型金屬，例如上述所舉出的 n 型金屬之一時，則第二金屬層 120 最好包含 p 型金屬，例如上述所舉出的 p 型金屬之一。相反的，如果第一金屬層 117 包含一 p 型金屬，則第二金屬層 120 最好包含 n 型金屬。

第二金屬層 120 可使用習知 PVD 或 CVD 法形成在高 k 閘極介電層 115 和第一金屬層 117 上，其厚度最好介於約 25Å 和約 300Å 間，且更好介於約 25Å 和約 200Å 間。如果第二金屬層 120 包含 N 型材料時，層 120 最好具有介於約 3.9eV 和約 4.2eV 間的功函數。如果第二金屬層 120 包含 p 型材料時，層 120 最好具有介於約 4.9eV 和約 5.2eV 間的功函數。

在此實施例中，在沉積第二金屬層 120 在層 117 和 115 上後，溝槽 113、114 的剩餘部份受填充以可輕易拋光的材料，例如，鎢、鋁、鈦、或氮化鈦。此一溝槽填充金屬，例如金屬 121，可使用習知金屬沉積法沉積在整個裝置上。而後，此溝槽填充金屬可受回拋光，以使其只填充溝槽 113、114，如圖 1F 所示。

在移除溝槽填充金屬 121 後，除了填充溝槽 113、

(11)

114 處，可使用任何習知沉積處理而沉積一帽介電層(未顯示)在所獲得的構造上。在沉積此一帽介電層後之用以完成裝置的處理步驟，例如，形成裝置的接點，金屬互接，和鈍化層，對於熟悉此項技藝的人士而言是已知的，因此不再贅述。

圖 2A-2F 表示當執行圖 1A-1F 之實施例以產生包括一 P/N 接面的裝置時，可形成的構造的橫截面。此一裝置可，例如，包含一 SRAM，其可使用在處理顯影工作上。圖 2A-2F 表示方向垂直於圖 1A-1F 所示橫截面平面的構造。亦即，圖 2A-2F 表示當裝置從圖 1A-1F 位置旋轉 90° 時所獲得的橫截面。圖 2A-2F 對應於在圖 1A-1F 所示之溝槽 113 內的構造。

在此實施例中，圖 2A 顯示形成在介電層 105 上的多晶矽層 104、122，和介電層 105 形成在基板 100 上。此構造可使用上述的材料和處理步驟而產生。雖然此實施例顯示兩多晶矽層，其可受到不同的摻雜，但是，在一替代實施例中，亦可形成一單一多晶矽層在介電層 105 上。

在形成圖 2A 的構造後，使用上述的處理步驟以移除多晶矽層 104、122 和介電層 105，以產生溝槽 113，如圖 2B 所示。而後，溝槽 113 受塗覆以高 k 閘極介電層 115 和金屬層 116 以產生圖 2C 所示的構造。因為先前已說明形成這些層的處理步驟和材料，因此不再贅述。

而後，掩模部份的金屬層 116，和而後移除該層的曝露部份(隨後移除掩模材料)，以產生圖 2D 所示的構造。

(12)

在此構造中，第一金屬層 117 形成在高 k 閘極介電層 115 的第一部份 118 上，因此，第一金屬層 117 覆蓋高 k 閘極介電層 115 的第一部份 118，但不覆蓋高 k 閘極介電層 115 的第二部份 123。

而後，第二金屬層 120 形成在高 k 閘極介電層 115 和第一金屬層 117 上，如圖 2E 所示。溝槽 113 的剩餘部份而後填充以可輕易受到拋光的材料(例如溝槽填充金屬 121)。除了填充溝槽 113 處外，此溝槽填充金屬受到移除，如圖 2F 所示。可使用習知 CMP 操作以回拋光此溝槽填充金屬。由於熟悉此項技藝的人士皆已知用以完成裝置的後續步驟，因此不再贅述。

在圖 2A-2F 所示的實施例中，第一金屬層形成在高 k 閘極介電層的第一部份上，而後形成第二金屬層在第一金屬層上和高 k 閘極介電層的第二部份上。這些金屬層具有不同的導電型式。如果第一金屬層 117 為 n 型，則第二金屬層 120 為 p 型。如果第一金屬層 117 為 p 型，則第二金屬層 120 為 n 型。在所獲得的裝置中，P/N 接面位在第一金屬層 117 和第二金屬層 120 相會處。

在具有圖 2F 之構造的裝置中，一相鄰溝槽(例如圖 1A-1F 之溝槽 114，在圖 2F 中未顯示)可具有反相導向的 P/N 接面。在此相鄰溝槽中，第二金屬層 120 可在圖 2F 所示的第一金屬層 117 接觸介電層處接觸高 k 閘極介電層 115，而第一金屬層 117 可在圖 2F 所示的第二金屬層 120 接觸介電層處接觸高 k 閘極介電層 115。

(13)

雖然圖 2A-2F 之實施例顯示用以形成具有 P/N 接面的構造的方法，但是其它實施例可形成不包括 P/N 接面的裝置。例如，在其它裝置中，第一金屬層 117 和第二金屬層 120 的結合，如圖 1F 所示，可沿著其整體寬度塗覆溝槽 113，而第二金屬層 120，如圖 1F 所示，沿其整體寬度塗覆溝槽 114。因此，本發明的方法並不限於形成具有 P/N 接面的裝置。

圖 3A-3B 表示當執行本發明的第二實施例的方法時可形成的構造的橫截面圖。在此第二實施例中，在蝕刻金屬層之前，使用 SOG 材料以掩模一金屬層。如圖 3A 所示，SOG 層 125 可形成在金屬層 116 上。SOG 層 125 的第一部份 126 覆蓋高 k 閘極介電層 115 的第一部份 118，而 SOG 層 125 的第二部份 127 覆蓋高 k 閘極介電層 115 的第二部份 119。掩模 128(例如，光抗蝕劑的圖型層)覆蓋 SOG 層 125 的第一部份 126。SOG 層 125 可沉積在金屬層 116 上，和掩模 128 可使用熟悉此項技藝的人士所明顯知悉的習知方法產生。

而後移除 SOG 層 125 的第二部份 127，而保留 SOG 層 125 的第一部份 126。可使用習知 SOG 蝕刻法以移除第二部份 127。此移除步驟曝露了金屬層 116 的部份 129。而後移除金屬層 116 的曝露部份 129，如圖 3B 所示。在移除曝露部份 129，掩模 128，和 SOG 層 125 的第一部份 126 後，所獲得的構造相似如圖 1D 所示。可使用習知處理步驟以移除曝露部份 129，掩模 128，和 SOG 層 125 的

(14)

第一部份 126。

在本發明的方法中，應用 SOG 材料當成掩模材料至少有利於下列理由。此一 SOG 材料可填充窄溝槽，而其它材料，例如，光抗蝕劑卻無法適當的填充。此外，習知用以移除 SOG 材料的蝕刻法可有效的移除此種材料，而不會移除下層金屬層的重要部份。

圖 4A-4B 表示當執行圖 3A-3B 的實施例以產生包括 P/N 接面的裝置時可形成的構造的橫截面圖。圖 4A-4B 和圖 3A-3B 具有如同圖 2A-2F 相對於圖 1A-1F 的相似方位。如圖 4A 所示，SOG 層 125 可形成在金屬層 116 上。掩模 128 覆蓋 SOG 層 125 的第一部份 126。而後，移除 SOG 層 125 的第二部份 130，而保留 SOG 層 125 的第一部份 126，以曝露金屬層 116 的部份 131。而後，移除曝露部份 131，如圖 4B 所示。在移除金屬層 116 的曝露部份 131，掩模 128，和 SOG 層 125 的第一部份 126 後，第二金屬層，如同圖 2E 的第二金屬層 120，可沉積在金屬層 116 的剩餘部份上和高 k 閘極介電層的相鄰曝露部份上，以產生和圖 2E 之構造相似的構造。雖然圖 4A-4B 顯示本發明的實施例，其中使用 SOG 掩模層以形成具有 P/N 接面的裝置，但是，此實施例並不限於形成具有 P/N 接面的裝置。

雖然不包括在上述實施例中，但是在形成第一金屬層前，一下層金屬可形成在高 k 閘極介電層上。此下層金屬可包含任何上述所列舉的金屬，且可使用任何前述處理步

(15)

驟形成，並具有約和高 k 閘極介電層相同的厚度。此下層金屬可包含和使用以製造第一和第二金屬層不同的材料，或可包含和使用以製造第一金屬層或第二金屬層相同的材料。

如上所述，本發明的方法可致能 CMOS 裝置之生產，該 CMOS 裝置包括具有適當功函數一高 k 閘極介電層和金屬閘極電極以用於 NMOS 和 PMOS 電晶體。相較於其它型式的取代閘極方法，此方法在整合習知半導體製造方法時較無負擔。因為此方法形成高 k 閘極介電層在一溝槽內，因此可免除或至少顯著的降低該層的不必要側向氧化。雖然上述實施例提供用以形成具有高 k 閘極介電層和金屬閘極電極的 CMOS 裝置的方法例，但是，本發明並不限於這些特殊實施例。

雖然前述說明已特別敘述可使用在本發明中的特定步驟和材料，對於熟悉此項技藝的人士而言於此仍可達成各種改變和替換，但是這些改變和替換仍屬本發明之精神和範疇。因此，本發明之精神和範疇應由下述申請專利範圍界定之。

【圖式簡單說明】

圖 1A-1F 表示當實施本發明的方法的一實施例時可形成的構造的橫截面圖。

圖 2A-2F 表示當實施圖 1A-1F 的實施例以產生包括一 P/N 接面在一溝槽內的裝置時可形成的構造的橫截面

(16)

圖。

圖 3A-3B 表示當實施本發明的方法的第二實施例時可形成的構造的橫截面圖。

圖 4A-4B 表示當實施圖 3A-3B 的實施例以產生包括一 P/N 接面在一溝槽內的裝置時可形成的構造的橫截面圖。

圖中所示的特徵並未以實際尺寸繪製。

【主要元件符號說明】

100	基板
101	第一部份
102	第二部份
103	隔離區
104	第一多晶矽層
105	介電層
106	第二多晶矽層
107	介電層
108	側壁間隔器
109	側壁間隔器
110	側壁間隔器
111	側壁間隔器
112	介電體
113	溝槽
114	溝槽

(17)

115	介電層
116	金屬層
117	第一金屬層
118	第一部份
119	第二部份
120	第二金屬層
121	溝槽充填金屬
122	多晶矽層
123	第二部份
124	P/N 接面
125	SOG 層
126	第一部份
127	第二部份
128	掩模
129	已曝露部份
130	第二部份
131	曝露部份

五、中文發明摘要

發明之名稱：具有高 K 閘極介電層和金屬閘極電極的
半導體裝置的製造方法

本發明係關於一種半導體裝置的製造方法。該方法包含形成第一介電層在一基板上，而後形成一溝槽在第一介電層內。在形成第二介電層在該基板上後，該第一金屬層形成在溝槽內，在第二介電層的第一部份上。而後，第二金屬層形成在第一金屬層上和在第一介電層的第二部份上。

六、英文發明摘要

發明之名稱：

**A METHOD FOR MAKING A SEMICONDUCTOR
DEVICE HAVING A HIGH-K GATE DIELECTRIC
LAYER AND A METAL GATE ELECTRODE**

A method for making a semiconductor device is described. That method comprises forming a first dielectric layer on a substrate, then forming a trench within the first dielectric layer. After forming a second dielectric layer on the substrate, a first metal layer is formed within the trench on a first part of the second dielectric layer. A second metal layer is then formed on the first metal layer and on a second part of the second dielectric layer.

(1)

十、申請專利範圍

1.一種半導體裝置的製造方法，包含：

形成一多晶矽結構在一基板上；

形成一硬掩模在該多晶矽結構上；

形成一對源極/汲極區在該基板中且在該多晶矽結構兩側的任一側；

形成一矽化物區在該對源極/汲極區中，其中該硬掩模防止一矽化物區形成在該多晶矽結構中；

形成第一介電層在該基板上方且在該多晶矽結構兩側的任一側；

藉由移除該掩模層和該多晶矽結構而形成一溝槽在該第一介電層內；

形成第二介電層在該基板上方，該第二介電層具有第一部份形成在該溝槽的底部上和第二部份；

形成第一金屬層在第二介電層的第一部份上，該第一金屬層覆蓋第二介電層的第一部份，但不覆蓋第二介電層的第二部份；和

形成第二金屬層在第一金屬層上和在第一介電層的第二部份上，該第二金屬層覆蓋第一金屬層和覆蓋第二介電層的第二部份。

2.如申請專利範圍第 1 項的半導體裝置的製造方法，其中該第二介電層包含一高 k 閘極介電層。

3.如申請專利範圍第 2 項的半導體裝置的製造方法，其中該高 k 閘極介電層包含選自由氧化鉛，矽鉛氧化物，

(2)

氧化鏷，氧化銦，矽銦氧化物，氧化鉭，氧化鈦，鋇銦鈦氧化物，鋇鈦氧化物，銦鈦氧化物，氧化釷，氧化鋁，鉛銦鉭氧化物，和鉛銦銦酸鹽所組成之群之一材料。

4.如申請專利範圍第 1 項的半導體裝置的製造方法，其中該第一金屬層包含選自由鉛，銦，鈦，鉭，鋁，和金屬碳化物所組成之群之一材料，和第二金屬層包含選自由鈦，鈹，鉑，鈷，鎳，和導電金屬氧化物所組成之群之一材料。

5.如申請專利範圍第 1 項的半導體裝置的製造方法，其中該第一金屬層包含選自由鈦，鈹，鉑，鈷，鎳，和導電金屬氧化物所組成之群之一材料，和該第二金屬層包含選自由鉛，銦，鈦，鉭，鋁，和金屬碳化物所組成之群之一材料。

6.如申請專利範圍第 1 項的半導體裝置的製造方法，其中第一和第二金屬層各具有介於約 25 和約 300Å 間的厚度，第一金屬層具有一功函數介於約 3.9eV 和約 4.2eV 間，和第二金屬層具有一功函數介於約 4.9eV 和約 5.2eV 間。

7.如申請專利範圍第 1 項的半導體裝置的製造方法，其中第一和第二金屬層各具有介於約 25 和約 300Å 間的厚度，第一金屬層具有一功函數介於約 4.9eV 和約 5.2eV 間，和第二金屬層具有一功函數介於約 3.9eV 和約 4.2eV 間。

8.如申請專利範圍第 1 項的半導體裝置的製造方法，

(3)

進一步包含形成一填充金屬在溝槽內和在第二金屬層上。

9.如申請專利範圍第 1 項的半導體裝置的製造方法，進一步包含在形成第一金屬層之前，形成一下層金屬在第二介電層上。

10.如申請專利範圍第 1 項的半導體裝置的製造方法，進一步包含藉由形成一金屬層在第二介電層的第一和第二部份上，而後從介電層的第二部份移除該金屬層，以形成第一金屬層在第二介電層的第一部份上。

11.如申請專利範圍第 10 項的半導體裝置的製造方法，其中第一金屬層形成在第二介電層的第一部份上係藉由：

形成一金屬層在第二介電層的第一和第二部份上；

形成一旋塗玻璃層在該金屬層上，旋塗玻璃層的第一部份覆蓋第二介電層的第一部份，和旋塗玻璃層的第二部份覆蓋第二介電層的第二部份；

移除旋塗玻璃層的第二部份並保留旋塗玻璃層的第一部份，以曝露部份金屬層；

移除金屬層的曝露部份以產生覆蓋第二介電層的第一部份但不覆蓋第二介電層的第二部份的第一金屬層；而後

移除旋塗玻璃層的第一部份。

12.如申請專利範圍第 1 項的半導體裝置的製造方法，其中該硬掩模包含氮化矽。

13.一種半導體裝置的製造方法，包含：

(4)

形成一介電層在一基板上；

形成一溝槽在該介電層內；

形成第一金屬層在該溝槽底部上；

形成一旋塗玻璃層在該溝槽底部上的該第一金屬層上；

移除一部份該旋塗玻璃層，以使在該溝槽底部上的該第一金屬層的第一部份被覆蓋，並曝露在該溝槽中的該第一金屬層的第二部份；

從該溝槽底部移除該第一金屬層的該第二部份，以曝露一部份該溝槽底部；

移除覆蓋在該溝槽中的該第一金屬層的該第一部份之該旋塗玻璃層的部份，以曝露在該溝槽底部上的該第一金屬層的第一部份；

形成第二金屬層，該第二金屬層覆蓋該溝槽底部的該部份和在該溝槽底部上的該第一金屬層的該第一部份，其中該第二金屬層包含不同於該第一金屬層的材料。

14.如申請專利範圍第 13 項的半導體裝置的製造方法，其中該半導體裝置包含一 P/N 接面，該 P/N 接面位於形成在該第一金屬層和該第二金屬層在該溝槽底部相會處的垂直介面上。

15.如申請專利範圍第 13 項的半導體裝置的製造方法，進一步包含：

形成一填充金屬在該溝槽內和在該第二金屬層上，其中該填充金屬包含選自由鎢，鋁，鈦，和氮化鈦所組成之

(5)

群之一材料，且其中該填充金屬隨後被回拋光。

16.如申請專利範圍第 13 項的半導體裝置的製造方法，進一步包含：

形成一高 k 閘極介電層在該溝槽底部上且直接在該基板上方，其中該高 k 閘極介電層包含選自由氧化鉛，矽鉛氧化物，氧化鏷，氧化鋯，矽鋯氧化物，氧化鉭，氧化鈦，鋇鋇鈦氧化物，鋇鈦氧化物，鋇鈦氧化物，氧化釔，氧化鋁，鉛銦鉭氧化物，和鉛鋅鋇酸鹽所組成之群之一材料。

17.如申請專利範圍第 16 項的半導體裝置的製造方法，其中該第一金屬層形成於從該高 k 閘極介電層移除雜質和增加該高 k 閘極介電層的氧含量之後，其中從該高 k 閘極介電層移除雜質和增加該高 k 閘極介電層的氧含量包含將該高 k 閘極介電層曝露於約 15°C 至約 40°C 間之含有介於約 2%和約 30%過氧化氫體積百分比的水溶液至少約 1 分鐘。

18.如申請專利範圍第 13 項的半導體裝置的製造方法，其中該第一金屬層具有一功函數介於約 3.9eV 和約 4.2eV 間並包含選自由鉛，鋯，鈦，鉭，鋁，和金屬碳化物所組成之群之一材料，且該第二金屬層具有一功函數介於約 4.9eV 和約 5.2eV 間並包含選自由鈳，鈹，鉑，鈷，鎳，和導電金屬氧化物所組成之群之一材料。

19.如申請專利範圍第 13 項的半導體裝置的製造方法，其中該第一金屬層具有一功函數介於約 4.9eV 和約

(6)

5.2 eV 間並包含選自由鈥，鈮，鉑，鈷，鎳，和導電金屬氧化物所組成之群之一材料，且該第二金屬層具有一功函數介於約 3.9 eV 和約 4.2 eV 間並包含選自由鉛，銦，鈦，鉭，鋁，和金屬碳化物所組成之群之一材料。

七、指定代表圖：

(一)、本案指定代表圖為：第(1 a)圖

(二)、本代表圖之元件符號簡單說明：

100	基板
101	第一部份
102	第二部份
103	隔離區
104	第一多晶矽層
105	介電層
106	第二多晶矽層
107	介電層
108	側壁間隔器
109	側壁間隔器
110	側壁間隔器
111	側壁間隔器
112	介電體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無