

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3836859号

(P3836859)

(45) 発行日 平成18年10月25日(2006.10.25)

(24) 登録日 平成18年8月4日(2006.8.4)

(51) Int. Cl.	F I
H03M 13/19 (2006.01)	H03M 13/19
G06F 11/10 (2006.01)	G06F 11/10 33OP
H04L 1/00 (2006.01)	H04L 1/00 B

請求項の数 33 (全 80 頁)

(21) 出願番号	特願2004-562622 (P2004-562622)	(73) 特許権者	598011983
(86) (22) 出願日	平成15年7月3日(2003.7.3)		ヒューズ・エレクトロニクス・コーポレーション
(65) 公表番号	特表2005-520468 (P2005-520468A)		アメリカ合衆国、カリフォルニア州 90245、エル・セグンド、イー・インペリアル・ハイウェイ 2250
(43) 公表日	平成17年7月7日(2005.7.7)	(74) 代理人	100058479
(86) 国際出願番号	PCT/US2003/021073		弁理士 鈴江 武彦
(87) 国際公開番号	W02004/006442	(74) 代理人	100091351
(87) 国際公開日	平成16年1月15日(2004.1.15)		弁理士 河野 哲
審査請求日	平成16年3月15日(2004.3.15)	(74) 代理人	100088683
(31) 優先権主張番号	60/393,457		弁理士 中村 誠
(32) 優先日	平成14年7月3日(2002.7.3)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
(31) 優先権主張番号	60/398,760		
(32) 優先日	平成14年7月26日(2002.7.26)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 構成されたパリティチェックマトリックスを使用する低密度パリティチェック (LDPC) コードの符号化

(57) 【特許請求の範囲】

【請求項1】

低密度パリティチェック (LDPC) コードの構成されたパリティチェックマトリックスを表す情報を記憶したメモリにアクセスし、その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第1の列内における1の値の発生を表し、行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算にしたがって導出され、

パリティチェックマトリックスを表す記憶された情報に基づいてLDPCコード化された信号を出力するステップを含んでいる符号化方法。

【請求項2】

予め定められた演算は、

各グループの第1の列に関して循環シフトを行い、

LDPCコードのコードレートに依存するある定数を各グループの第1の列に加算するステップの1つを特定する請求項1記載の方法。

【請求項3】

パリティビットは順次決定され、

パリティチェックマトリックスの*i*番目の行の中の*j*番目のエントリが1である場合に、(*i*-1)番目のパリティビットおよび*j*番目の情報ビットを追加することにより*i*番目のパリティビットを決定するステップをさらに含んでいる請求項1記載の方法。

【請求項4】

10

20

パリティビット累算装置をゼロに初期化し、

パリティチェックマトリックスの (jM) 番目の列の中の i 番目のエントリが 1 である場合、 i 番目のパリティビット累算装置の中の M の情報ビットの j 番目のグループの中の第 1 の情報ビットを累算し、ここで $j = 0, 1, 2, 3, \dots, k_{ldpc}/M - 1$ であり、

パリティビット累算装置の中の j 番目のグループの残りの $(M - 1)$ の情報ビット $m = jM + 1, jM + 2, jM + 3, \dots, (j + 1)M - 1$ を $\{x + m \bmod M \times q\} \bmod (n_{ldpc} - k_{ldpc})$ にしたがって累算し、 x はそのグループの中の第 1 のビット jM に対応したパリティビット累算装置のアドレスを示し、 q はコードレート依存定数であり、

全ての情報ビットが使い尽くされた後、

10

【数 1】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1,$$

にしたがって演算を $i = 1$ からスタートして行うステップをさらに含んでおり、 $p_i, i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ の最終的な内容はパリティビット p_i に等しい請求項 1 記載の方法。

【請求項 5】

$M = 360$ である請求項 4 記載の方法。

20

【請求項 6】

コード依存定数 q は、コードレート $2/3, 5/6, 1/2, 3/4, 4/5, 3/5, 8/9$ および $9/10$ に対してそれぞれ $60, 30, 90, 45, 36, 72, 20$ および 18 である請求項 4 記載の方法。

【請求項 7】

8-PSK (位相シフトキーイング)、16-QAM (直交振幅変調)、QPSK (直交位相シフトキーイング)、16-APSK (振幅位相シフトキーイング) および 32-APSK の 1 つを含む信号コンステレーションにしたがって LDPC コード化された信号を変調するステップをさらに含んでいる請求項 1 記載の方法。

【請求項 8】

30

Bose Chaudhuri Hocquenghem (BCH) コードにしたがって入力信号を符号化するステップをさらに含んでおり、入力信号に対応した出力 LDPC コード化された信号は、外部 BCH コードおよび内部 LDPC コードを有するコードを表している請求項 1 記載の方法。

【請求項 9】

冗長 BCH ビットの数 $n_{BCH} - k_{BCH} = 16 * t$ であり、ここで t は BCH コードのエラー補正能力を表している請求項 8 記載の方法。

【請求項 10】

BCH コードのエラー補正能力は、レート $1/2, 3/4, 4/5, 3/5$ の LDPC コードと連結して使用されたときには 12 ビットであり、レート $2/3$ および $5/6$ の LDPC コードと連結して使用されたときには 10 ビットであり、レート $8/9$ および $9/10$ の LDPC コードと連結して使用されたときには 8 ビットである請求項 8 記載の方法。

40

【請求項 11】

パリティチェックマトリックスの列インデックス $j * 360$ ($j = 0, 1, 2, 3, \dots, k_{ldpc}/360 - 1$) 中の 1 の行インデックスは、以下の表 A 乃至 H の 1 つにしたがって j 番目の行において与えられる：

【表 1】

表 A

パリティビット累算装置のアドレス(レート2/3)															
0	10491	16043	506	12826	8065	8226	2767	240	18673	9279	10579	20928			
1	17819	8313	6433	6224	5120	5824	12812	17187	9940	13447	13825	18483			
2	17957	6024	8681	18628	12794	5915	14576	10970	12064	20437	4455	7151			
3	19777	6183	9972	14536	8182	17749	11341	5556	4379	17434	15477	18532			
4	4651	19689	1608	659	16707	14335	6143	3058	14618	17894	20684	5306			
5	9778	2552	12096	12369	15198	16890	4851	3109	1700	18725	1997	15882			
6	486	6111	13743	11537	5591	7433	15227	14145	1483	3887	17431	12430			
7	20647	14311	11734	4180	8110	5525	12141	15761	18661	18441	10569	8192			
8	3791	14759	15264	19918	10132	9062	10010	12786	10675	9682	19246	5454			
9	19525	9485	7777	19999	8378	9209	3163	20232	6690	16518	716	7353			
10	4588	6709	20202	10905	915	4317	11073	13576	16433	368	3508	21171			
11	14072	4033	19959	12608	631	19494	14160	8249	10223	21504	12395	4322			
12	13800	14161													
13	2948	9647													
14	14693	16027													
15	20506	11082													
16	1143	9020													
17	13501	4014													
18	1548	2190													
19	12216	21556													
20	2095	19897													
21	4189	7958													
22	15940	10048													
23	515	12614													
24	8501	8450													
25	17595	16784													
26	5913	8495													

10

20

30

【表 2】

27 16394 10423
28 7409 6981
29 6678 15939
30 20344 12987
31 2510 14588
32 17918 6655
33 6703 19451
34 496 4217
35 7290 5766
36 10521 8925
37 20379 11905
38 4090 5838
39 19082 17040
40 20233 12352
41 19365 19546
42 6249 19030
43 11037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 5217
50 11087 3319
51 18892 4356
52 7894 3898
53 5963 4360
54 7346 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 6687 1864
59 20564 5216
0 18226 17207
1 9380 8266
2 7073 3065
3 18252 13437
4 9161 15642
5 10714 10153
6 11585 9078
7 5359 9418
8 9024 9515
9 1206 16354
10 14994 1102
11 9375 20796
12 15964 6027
13 14789 6452
14 8002 18591
15 14742 14089
16 253 3045

10

20

30

40

【表 3】

17	1274	19286
18	14777	2044
19	13920	9900
20	452	7374
21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16668
57	4771	6722
58	5695	7960
59	3589	14630

10

20

30

40

表 B

パリティビット累算装置のアドレス(レート5/6)
0 4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723

【表 4】

1	2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2	10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3	9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4	2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5	3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6	3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7	6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8	10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9	3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10	8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11	8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12	7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13	7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14	3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15	6304 7621
16	6498 9209
17	7293 6786
18	5950 1708
19	8521 1793
20	6174 7854
21	9773 1190
22	9517 10268
23	2181 9349
24	1949 5560
25	1556 555
26	8600 3827
27	5072 1057
28	7928 3542
29	3226 3762
0	7045 2420
1	9645 2641
2	2774 2452
3	5331 2031
4	9400 7503
5	1850 2338
6	10456 9774
7	1692 9276
8	10037 4038
9	3964 338
10	2640 5087
11	858 3473
12	5582 5683
13	9523 916
14	4107 1559
15	4506 3491
16	8191 4182
17	10192 6157
18	5668 3305
19	3449 1540
20	4766 2697

10

20

30

40

【表 5】

21 4069 6675	
22 1117 1016	
23 5619 3085	
24 8483 8400	
25 8255 394	
26 6338 5042	
27 6174 5119	10
28 7203 1989	
29 1781 5174	
0 1464 3559	
1 3376 4214	
2 7238 67	
3 10595 8831	
4 1221 6513	
5 5300 4652	
6 1429 9749	
7 7878 5131	
8 4435 10284	
9 6331 5507	20
10 6662 4941	
11 9614 10238	
12 8400 8025	
13 9156 5630	
14 7067 8878	
15 9027 3415	
16 1690 3866	
17 2854 8469	
18 6206 630	
19 363 5453	
20 4125 7008	
21 1612 6702	30
22 9069 9226	
23 5767 4060	
24 3743 9237	
25 7018 5572	
26 8892 4536	
27 853 6064	
28 8069 5893	
29 2051 2885	
0 10691 3153	
1 3602 4055	
2 328 1717	
3 2219 9299	40
4 1939 7898	
5 617 206	
6 8544 1374	
7 10676 3240	
8 6672 9489	
9 3170 7457	
10 7868 5731	

【表 6】

11 6121 10732	
12 4843 9132	
13 580 9591	
14 6267 9290	
15 3009 2268	
16 195 2419	
17 8016 1557	10
18 1516 9195	
19 8062 9064	
20 2095 8968	
21 753 7326	
22 6291 3833	
23 2614 7844	
24 2303 646	
25 2075 611	
26 4687 362	
27 8684 9940	
28 4830 2065	
29 7038 1363	20
0 1769 7837	
1 3801 1689	
2 10070 2359	
3 3667 9918	
4 1914 6920	
5 4244 5669	
6 10245 7821	
7 7648 3944	
8 3310 5488	
9 6346 9666	
10 7088 6122	
11 1291 7827	30
12 10592 8945	
13 3609 7120	
14 9168 9112	
15 6203 8052	
16 3330 2895	
17 4264 10563	
18 10556 6496	
19 8807 7645	
20 1999 4530	
21 9202 6818	
22 3403 1734	
23 2106 9023	40
24 6881 3883	
25 3895 2171	
26 4062 6424	
27 3755 9536	
28 4683 2131	
29 7347 8027	

【表 7】

表 C

パリティビット累算装置のアドレス(レート1/2)															
54	9318	14392	27561	26909	10219	2534	8597								
55	7263	4635	2530	28130	3033	23830	3651								
56	24731	23583	26036	17299	5750	792	9169								
57	5811	26154	18653	11551	15447	13685	16264								
58	12610	11347	28768	2792	3174	29371	12997								
59	16789	16018	21449	6165	21202	15850	3186								
60	31016	21449	17618	6213	12166	8334	18212								
61	22836	14213	11327	5896	718	11727	9308								
62	2091	24941	29966	23634	9013	15587	5444								
63	22207	3983	16904	28534	21415	27524	25912								
64	25687	4501	22193	14665	14798	16158	5491								
65	4520	17094	23397	4264	22370	16941	21526								
66	10490	6182	32370	9597	30841	25954	2762								
67	22120	22865	29870	15147	13668	14955	19235								
68	6689	18408	18346	9918	25746	5443	20645								
69	29982	12529	13858	4746	30370	10023	24828								
70	1262	28032	29888	13063	24033	21951	7863								
71	6594	29642	31451	14831	9509	9335	31552								
72	1358	6454	16633	20354	24598	624	5265								
73	19529	295	18011	3080	13364	8032	15323								
74	11981	1510	7960	21462	9129	11370	25741								
75	9276	29656	4543	30699	20646	21921	28050								
76	15975	25634	5520	31119	13715	21949	19605								
77	18688	4608	31755	30165	13103	10706	29224								
78	21514	23117	12245	26035	31656	25631	30699								
79	9674	24966	31285	29908	17042	24588	31857								
80	21856	27777	29919	27000	14897	11409	7122								
81	29773	23310	263	4877	28622	20545	22092								
82	15605	5651	21864	3967	14419	22757	15896								
83	30145	1759	10139	29223	26086	10556	5098								
84	18815	16575	2936	24457	26738	6030	505								
85	30326	22298	27562	20131	26390	6247	24791								
86	928	29246	21246	12400	15311	32309	18608								
87	20314	6025	26689	16302	2296	3244	19613								
88	6237	11943	22851	15642	23857	15112	20947								
89	26403	25168	19038	18384	8882	12719	7093								
0	14567	24965													
1	3908	100													
2	10279	240													
3	24102	764													
4	12383	4173													
5	13861	15918													
6	21327	1046													
7	5288	14579													
8	28158	8069													

10

20

30

40

【表 8】

9	16583	11098
10	16681	28363
11	13980	24725
12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221
32	31683	17783
33	29694	9345
34	12280	26611
35	6526	26122
36	26165	11241
37	7666	26962
38	16290	8480
39	11774	10120
40	30051	30426
41	1335	15424
42	6865	17742
43	31779	12489
44	32120	21001
45	14508	6996
46	979	25024
47	4554	21896
48	7989	21777
49	4972	20661
50	6612	2730
51	12742	4418
52	29194	595
53	19267	20113

10

20

30

40

【表 9】

表 D

パリティビット累算装置のアドレス(レート3/4)															
0	6385	7901	14611	13389	11200	3252	5243	2504	2722	821	7374				
1	11359	2698	357	13824	12772	7244	6752	15310	852	2001	11417				
2	7862	7977	6321	13612	12197	14449	15137	13860	1708	6399	13444				
3	1560	11804	6975	13292	3646	3812	8772	7306	5795	14327	7866				
4	7626	11407	14599	9689	1628	2113	10809	9283	1230	15241	4870				
5	1610	5699	15876	9446	12515	1400	6303	5411	14181	13925	7358				
6	4059	8836	3405	7853	7992	15336	5970	10368	10278	9675	4651				
7	4441	3963	9153	2109	12683	7459	12030	12221	629	15212	406				
8	6007	8411	5771	3497	543	14202	875	9186	6235	13908	3563				
9	3232	6625	4795	546	9781	2071	7312	3399	7250	4932	12652				
10	8820	10088	11090	7069	6585	13134	10158	7183	488	7455	9238				
11	1903	10818	119	215	7558	11046	10615	11545	14784	7961	15619				
12	3655	8736	4917	15874	5129	2134	15944	14768	7150	2692	1469				
13	8316	3820	505	8923	6757	806	7957	4216	15589	13244	2622				
14	14463	4852	15733	3041	11193	12860	13673	8152	6551	15108	8758				
15	3149	11981													
16	13416	6906													
17	13098	13352													
18	2009	14460													
19	7207	4314													
20	3312	3945													
21	4418	6248													
22	2669	13975													
23	7571	9023													
24	14172	2967													
25	7271	7138													
26	6135	13670													
27	7490	14559													
28	8657	2466													
29	8599	12834													
30	3470	3152													
31	13917	4365													
32	6024	13730													
33	10973	14182													
34	2464	13167													
35	5281	15049													
36	1103	1849													
37	2058	1069													
38	9654	6095													
39	14311	7667													
40	15617	8146													
41	4588	11218													
42	13660	6243													
43	8578	7874													
44	11741	2686													
0	1022	1264													
1	12604	9965													
2	8217	2707													
3	3156	11793													

10

20

30

40

【表 1 0】

4 354 1514	
5 6978 14058	
6 7922 16079	
7 15087 12138	
8 5053 6470	
9 12687 14932	
10 15458 1763	10
11 8121 1721	
12 12431 549	
13 4129 7091	
14 1426 8415	
15 9783 7604	
16 6295 11329	
17 1409 12061	
18 8065 9087	
19 2918 8438	
20 1293 14115	
21 3922 13851	20
22 3851 4000	
23 5865 1768	
24 2655 14957	
25 5565 6332	
26 4303 12631	
27 11653 12236	
28 16025 7632	
29 4655 14128	
30 9584 13123	
31 13987 9597	
32 15409 12110	
33 8754 15490	30
34 7416 15325	
35 2909 15549	
36 2995 8257	
37 9406 4791	
38 11111 4854	
39 2812 8521	
40 8476 14717	
41 7820 15360	
42 1179 7939	
43 2357 8678	
44 7703 6216	
0 3477 7067	40
1 3931 13845	
2 7675 12899	
3 1754 8187	
4 7785 1400	
5 9213 5891	
6 2494 7703	
7 2576 7902	
8 4821 15682	

【表 1 1】

9	10426 11935
10	1810 904
11	11332 9264
12	11312 3570
13	14916 2650
14	7679 7842
15	6089 13084
16	3938 2751
17	8509 4648
18	12204 8917
19	5749 12443
20	12613 4431
21	1344 4014
22	8488 13850
23	1730 14896
24	14942 7126
25	14983 8863
26	6578 8564
27	4947 396
28	297 12805
29	13878 6692
30	11857 11186
31	14395 11493
32	16145 12251
33	13462 7428
34	14526 13119
35	2535 11243
36	6465 12690
37	6872 9334
38	15371 14023
39	8101 10187
40	11963 4848
41	15125 6119
42	8051 14465
43	11139 5167
44	2883 14521

10

20

30

表 E

パリティビット累算装置のアドレス(レート4/5)	
0	149 11212 5575 6360 12559 8108 8505 408 10026 12828
1	5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2	8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3	2699 4304 8350 712 2841 3250 4731 10105 517 7516
4	12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5	6828 7107 2127 3724 5743 11040 10756 4073 1011 3422

40

【表 1 2】

6	11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7	4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8	8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9	3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10	1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11	11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12	7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13	4418 1467 2490 5841 817 11453 533 11217 11962 5251
14	1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15	11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16	6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17	12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18	10155 4210
19	1010 10483
20	8900 10250
21	10243 12278
22	7070 4397
23	12271 3887
24	11980 6836
25	9514 4356
26	7137 10281
27	11881 2526
28	1969 11477
29	3044 10921
30	2236 8724
31	9104 6340
32	7342 8582
33	11675 10405
34	6467 12775
35	3186 12198
0	9621 11445
1	7486 5611
2	4319 4879
3	2196 344
4	7527 6650
5	10693 2440
6	6755 2706
7	5144 5998
8	11043 8033
9	4846 4435
10	4157 9228
11	12270 6562
12	11954 7592
13	7420 2592
14	8810 9636
15	689 5430
16	920 1304
17	1253 11934
18	9559 6016
19	312 7589

10

20

30

40

【表 1 3】

20 4439 4197	
21 4002 9555	
22 12232 7779	
23 1494 8782	
24 10749 3969	
25 4368 3479	
26 6316 5342	10
27 2455 3493	
28 12157 7405	
29 6598 11495	
30 11805 4455	
31 9625 2090	
32 4731 2321	
33 3578 2608	
34 8504 1849	
35 4027 1151	
0 5647 4935	
1 4219 1870	
2 10968 8054	20
3 6970 5447	
4 3217 5638	
5 8972 669	
6 5618 12472	
7 1457 1280	
8 8868 3883	
9 8866 1224	
10 8371 5972	
11 266 4405	
12 3706 3244	
13 6039 5844	
14 7200 3283	30
15 1502 11282	
16 12318 2202	
17 4523 965	
18 9587 7011	
19 2552 2051	
20 12045 10306	
21 11070 5104	
22 6627 6906	
23 9889 2121	
24 829 9701	
25 2201 1819	
26 6689 12925	40
27 2139 8757	
28 12004 5948	
29 8704 3191	
30 8171 10933	
31 6297 7116	
32 616 7146	
33 5142 9761	

【表 1 4】

34 10377 8138
35 7616 5811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597
14 1450 112
15 7965 8478
16 8945 7397
17 6590 8316
18 6838 9011
19 6174 9410
20 255 113
21 6197 5835
22 12902 3844
23 4377 3505
24 5478 8672
25 4453 2132
26 9724 1380
27 12131 11526
28 12323 9511
29 8231 1752
30 497 9022
31 9288 3080
32 2481 7515
33 2696 268
34 4023 12341
35 7108 5553

10

20

30

40

表 F

パリティビット累算装置のアドレス(レート3/5)															
22422	10282	11626	19997	11161	2922	3122	99	5625	17064	8270	179				
25087	16218	17015	828	20041	25656	4186	11629	22599	17305	22515	6463				
11049	22853	25706	14388	5500	19245	8732	2177	13555	11346	17265	3069				

【表 15】

16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761
3 12299 7828
4 15048 13362
5 18444 24640
6 20775 19175
7 18970 10971
8 5329 19982
9 11296 18655
10 15046 20659
11 7300 22140
12 22029 14477
13 11129 742
14 13254 13813
15 19234 13273
16 6079 21122

10

20

30

40

【表 1 6】

17	22782	5828
18	19775	4247
19	1660	19413
20	4403	3649
21	13371	25851
22	22770	21784
23	10757	14131
24	16071	21617
25	6393	3725
26	597	19968
27	5743	8084
28	6770	9548
29	4285	17542
30	13568	22599
31	1786	4617
32	23238	11648
33	19627	2030
34	13601	13458
35	13740	17328
36	25012	13944
37	22513	6687
38	4934	12587
39	21197	5133
40	22705	6938
41	7534	24633
42	24400	12797
43	21911	25712
44	12039	1140
45	24306	1021
46	14012	20747
47	11265	15219
48	4670	15531
49	9417	14359
50	2415	6504
51	24964	24690
52	14443	8816
53	6926	1291
54	6209	20806
55	13915	4079
56	24410	13196
57	13505	6117
58	9869	8220
59	1570	6044
60	25780	17387
61	20671	24913
62	24558	20591
63	12402	3702
64	8314	1357
65	20071	14616
66	17014	3688

10

20

30

40

【表 17】

67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769

10

表 G

パリティビット累算装置のアドレス(レート8/9)	
0 6235 2848 3222	
1 5800 3492 5348	
2 2757 927 90	
3 6961 4516 4739	
4 1172 3237 6264	
5 1927 2425 3683	
6 3714 6309 2495	
7 3070 6342 7154	
8 2428 613 3761	
9 2906 264 5927	
10 1716 1950 4273	
11 4613 6179 3491	
12 4865 3286 6005	
13 1343 5923 3529	
14 4589 4035 2132	
15 1579 3920 6737	
16 1644 1191 5998	
17 1482 2381 4620	
18 6791 6014 6596	
19 2738 5918 3786	
0 5156 6166	
1 1504 4356	
2 130 1904	
3 6027 3187	
4 6718 759	
5 6240 2870	
6 2343 1311	
7 1039 5465	
8 6617 2513	
9 1588 5222	
10 6561 535	
11 4765 2054	
12 5966 6892	
13 1969 3869	
14 3571 2420	
15 4632 981	
16 3215 4163	
17 973 3117	

20

30

40

【表 18】

18 3802 6198	
19 3794 3948	
0 3196 6126	
1 573 1909	
2 850 4034	
3 5622 1601	
4 6005 524	10
5 5251 5783	
6 172 2032	
7 1875 2475	
8 497 1291	
9 2566 3430	
10 1249 740	
11 2944 1948	
12 6528 2899	
13 2243 3616	
14 867 3733	
15 1374 4702	
16 4698 2285	20
17 4760 3917	
18 1859 4058	
19 6141 3527	
0 2148 5066	
1 1306 145	
2 2319 871	
3 3463 1061	
4 5554 6647	
5 5837 339	
6 5821 4932	
7 6356 4756	
8 3930 418	30
9 211 3094	
10 1007 4928	
11 3584 1235	
12 6982 2869	
13 1612 1013	
14 953 4964	
15 4555 4410	
16 4925 4842	
17 5778 600	
18 6509 2417	
19 1260 4903	
0 3369 3031	40
1 3557 3224	
2 3028 583	
3 3258 440	
4 6226 6655	
5 4895 1094	
6 1481 6847	
7 4433 1932	

【表 19】

8 2107 1649
9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1796
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 7092 6184
19 6764 7127
0 6358 1951
1 3117 6960
2 2710 7062
3 1133 3604
4 3694 657
5 1355 110
6 3329 6736
7 2505 3407
8 2462 4806
9 4216 214
10 5348 5619
11 6627 6243
12 2644 5073
13 4212 5088
14 3463 3889
15 5306 478
16 4320 6121
17 3961 1125

10

20

30

40

【表 20】

18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284
19 1696 1459

10

20

表 H

パリティビット累算装置のアドレス(レート9/10)		
0	5611	2563 2900
1	5220	3143 4813
2	2481	834 81
3	6265	4064 4265
4	1055	2914 5638
5	1734	2182 3315
6	3342	5678 2246
7	2185	552 3385
8	2615	236 5334
9	1546	1755 3846
10	4154	5561 3142
11	4382	2957 5400
12	1209	5329 3179
13	1421	3528 6063
14	1480	1072 5398
15	3843	1777 4369
16	1334	2145 4163
17	2368	5055 260
0	6118	5405
1	2994	4370

30

40

【表 2 1】

2 3405 1669	
3 4640 5550	
4 1354 3921	
5 117 1713	
6 5425 2866	
7 6047 683	
8 5616 2582	
9 2108 1179	
10 933 4921	
11 5953 2261	
12 1430 4699	
13 5905 480	
14 4289 1846	
15 5374 6208	
16 1775 3476	
17 3216 2178	
0 4165 884	
1 2896 3744	
2 874 2801	
3 3423 5579	
4 3404 3552	
5 2876 5515	
6 516 1719	
7 765 3631	
8 5059 1441	
9 5629 598	
10 5405 473	
11 4724 5210	
12 155 1832	
13 1689 2229	
14 449 1164	
15 2308 3088	
16 1122 669	
17 2268 5758	
0 5878 2609	
1 782 3359	
2 1231 4231	
3 4225 2052	
4 4286 3517	
5 5531 3184	
6 1935 4560	
7 1174 131	
8 3115 956	
9 3129 1088	
10 5238 4440	
11 5722 4280	
12 3540 375	
13 191 2782	
14 906 4432	
15 3225 1111	

10

20

30

40

【表 2 2】

16 6296 2583	
17 1457 903	
0 855 4475	
1 4097 3970	
2 4433 4361	
3 5198 541	
4 1146 4426	10
5 3202 2902	
6 2724 525	
7 1083 4124	
8 2326 6003	
9 5605 5990	
10 4376 1579	
11 4407 984	
12 1332 6163	
13 5359 3975	
14 1907 1854	
15 3601 5748	
16 6056 3266	20
17 3322 4085	
0 1768 3244	
1 2149 144	
2 1589 4291	
3 5154 1252	
4 1855 5939	
5 4820 2706	
6 1475 3360	
7 4266 693	
8 4156 2018	
9 2103 752	
10 3710 3853	30
11 5123 931	
12 6146 3323	
13 1939 5002	
14 5140 1437	
15 1263 293	
16 5949 4665	
17 4548 6380	
0 3171 4690	
1 5204 2114	
2 6384 5565	
3 5722 1757	
4 2805 6264	40
5 1202 2616	
6 1018 3244	
7 4018 5289	
8 2257 3067	
9 2483 3073	
10 1196 5329	
11 649 3918	

【表 2 3】

12 3791 4581	
13 5028 3803	
14 3119 3506	
15 4779 431	
16 3888 5510	
17 4387 4084	
0 5836 1692	10
1 5126 1078	
2 5721 6165	
3 3540 2499	
4 2225 6348	
5 1044 1484	
6 6323 4042	
7 1313 5603	
8 1303 3496	
9 3516 3639	
10 5161 2293	
11 4682 3845	20
12 3045 643	
13 2818 2616	
14 3267 649	
15 6236 593	
16 646 2948	
17 4213 1442	
0 5779 1596	
1 2403 1237	
2 2217 1514	
3 5609 716	
4 5155 3858	
5 1517 1312	30
6 2554 3158	
7 5280 2643	
8 4990 1353	
9 5648 1170	
10 1152 4366	
11 3561 5368	
12 3581 1411	
13 5647 4661	
14 1542 5401	
15 5078 2687	
16 316 1755	
17 3392 1991	40

請求項 1 記載の方法。

【請求項 1 2】

パリティチェックマトリックスのその他の列インデックス m ($m \bmod 360 \neq 0$ および $m < k_{ldpc}$) 中の 1 の行インデックスは $\{x+m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$ によって与えられ、ここでレート $2/3$ の LDPC コードに対しては $q=60$ であり、レート $5/6$ の LDPC コードに対しては $q=30$ であり、レート $1/2$ の LDPC コードに対しては $q=90$ であり、レート $3/4$ の LDPC コードに対しては $q=45$ であり、レート $4/5$ の LDPC コードに対しては $q=36$ であり、レート $3/5$ の LDPC コードに対しては $q=72$ であり、レート $8/9$ の LDPC コードに対しては $q=20$ であり、レート $9/10$ の LDPC コードに対しては $q=18$ であり、 x は表 A 乃至 G の j 番目の行におけるエントリを示し、ここで $j = \text{int} \{m/360\}$ であり、 $\text{int} \{ \cdot \}$ は整数関数を示し、列インデックス $m = k_{ldpc} + j$ ($j = 0, 1, 2, \dots, n_{ldpc} - k_{ldpc} - 2$) 中の 1 の行インデックスは j および $j+1$ によって与えられ、パリティチェックマトリックスの列インデックス $n_{ldpc} - 1$ 中の 1 の行インデックスは $n_{ldpc} - k_{ldpc} - 1$ によって与えられる請求項 11 記載の方法。

10

【請求項 13】

符号化命令が実行されたときに、それが 1 以上のプロセッサに請求項 1 記載の方法を行わせるように構成されている命令を有しているコンピュータ読出し可能な媒体。

【請求項 14】

低密度パリティチェック (LDPC) コードの構成されたパリティチェックマトリックスを表す情報を記憶したメモリ (1605, 1607) を備えており、その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第 1 の列内における 1 の値の発生を表し、行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算にしたがって導出され、

20

LDPC コード化された信号を出力するためにパリティチェックマトリックスを表す記憶された情報を検索する手段を備えている LDPC コードを生成するエンコーダ。

【請求項 15】

予め定められた演算は、各グループの第 1 の列に関する循環シフトおよび各グループの第 1 の列へのある定数の加算の 1 つを特定し、定数は LDPC コードのコードレートに依存している請求項 14 記載のエンコーダ。

【請求項 16】

i 番目のパリティビットは、パリティチェックマトリックスの i 番目の行の中の j 番目のエントリが 1 である場合、 $(i-1)$ 番目のパリティビットおよび j 番目の情報ビットを追加することにより決定される請求項 14 記載のエンコーダ。

30

【請求項 17】

パリティビット累算装置はゼロに初期化され、 M の情報ビットの j 番目のグループの中の第 1 の情報ビットは、パリティチェックマトリックスの (jM) 番目の列の中の i 番目のエントリが 1 である場合に累算され、ここで $j = 0, 1, 2, 3, \dots, k_{ldpc}/M - 1$ であり、 j 番目のグループの残りの $(M-1)$ の情報ビット $m = jM+1, jM+2, jM+3, \dots, (j+1)M-1$ は、パリティチェック累算装置において $\{x+m \bmod M \times q\} \bmod (n_{ldpc} - k_{ldpc})$ にしたがって累算され、 x はそのグループの中の第 1 のビット jM に対応したパリティビット累算装置のアドレスを示し、 q はコードレート依存定数であり、全ての情報ビットが使い尽くされた後、 $i = 1$ からスタートする演算が

40

【数 2】

$$p_i = p_i \oplus p_{i-1}, \quad i=1, 2, \dots, n_{ldpc} - k_{ldpc} - 1,$$

にしたがって行われ、 p_i , $i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ の最終的な内容はパリティビット p_i に等しい請求項 14 記載のエンコーダ。

【請求項 18】

$M = 360$ である請求項 17 記載のエンコーダ。

【請求項 19】

50

コード依存定数 q は、コードレート $2/3$, $5/6$, $1/2$, $3/4$, $4/5$, $3/5$, $8/9$ および $9/10$ に対してそれぞれ 60 , 30 , 90 , 45 , 36 , 72 , 20 および 18 である請求項 14 記載のエンコーダ。

【請求項 20】

LDP C コード化された信号は、 8-PSK (位相シフトキーイング)、 16-QAM (直交振幅変調)、 $QPSK$ (直交位相シフトキーイング)、 16-APSK (振幅位相シフトキーイング) および 32-APSK の 1 つを含む信号コンステレーションにしたがって変調される請求項 11 記載のエンコーダ。

【請求項 21】

さらに、Bose Chaudhuri Hocquenghem (BCH) コードにしたがって入力信号を符号化するように構成された BCH エンコーダを備えており、入力信号に対応した出力 LDP C コード化された信号は、外部 BCH コードおよび内部 LDP C コードを有するコードを表している請求項 14 記載のエンコーダ。 10

【請求項 22】

冗長 BCH ビットの数 $n_{\text{BCH}} - k_{\text{BCH}} = 16 * t$ であり、ここで t は BCH コードのエラー補正能力を表している請求項 21 記載のエンコーダ。

【請求項 23】

BCH コードのエラー補正能力は、レート $1/2$, $3/4$, $4/5$, $3/5$ の LDP C コードと連結して使用されたときには 12 ビットであり、レート $2/3$ および $5/6$ の LDP C コードと連結して使用されたときには 10 ビットであり、レート $8/9$ および $9/10$ の LDP C コードと連結して使用されたときには 8 ビットである請求項 21 記載のエンコーダ。 20

【請求項 24】

低密度パリティチェック (LDP C) コードの構成されたパリティチェックマトリックスを表す情報を記憶したメモリ (1605, 1607) を備えており、その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第 1 の列内における 1 の値の発生を表し、行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算にしたがって導出され、

メモリ (1605, 1607) 中に記憶された情報にアクセスして LDP C コード化された信号を出力するように構成された LDP C エンコーダ (203) を備えている LDP C コード化を使用する送信機。 30

【請求項 25】

予め定められた演算は、各グループの第 1 の列に関する循環シフトおよび各グループの第 1 の列へのある定数の加算の 1 つを特定し、定数は LDP C コードのコードレートに依存している請求項 24 記載の送信機。

【請求項 26】

i 番目のパリティビットは、パリティチェックマトリックスの i 番目の行の中の j 番目のエントリが 1 である場合、 $(i - 1)$ 番目のパリティビットおよび j 番目の情報ビットを追加することにより決定される請求項 24 記載の送信機。

【請求項 27】

パリティビット累算装置はゼロに初期化され、 M の情報ビットの j 番目のグループの中の第 1 の情報ビットは、パリティチェックマトリックスの (jM) 番目の列の中の i 番目のエントリが 1 である場合に累算され、ここで $j = 0, 1, 2, 3, \dots, k_{\text{ldpc}}/M - 1$ であり、 j 番目のグループの残りの $(M - 1)$ の情報ビット $m = jM + 1, jM + 2, jM + 3, \dots, (j + 1)M - 1$ は、パリティチェック累算装置において $\{x + m \bmod M * q\} \bmod (n_{\text{ldpc}} - k_{\text{ldpc}})$ にしたがって累算され、 x はそのグループの中の第 1 のビット jM に対応したパリティビット累算装置のアドレスを示し、 q はコードレート依存定数であり、全ての情報ビットが使い尽くされた後、 $i = 1$ からスタートする演算が 40

【数 3】

$$p_i = p_i \oplus p_{i-1}, \quad i=1,2,\dots,n_{ldpc}-k_{ldpc}-1,$$

にしたがって行われ、 p_i , $i=0, 1, \dots, n_{ldpc}-k_{ldpc}-1$ の最終的な内容はパリ
ティビット p_i に等しい請求項 24 記載の送信機。

【請求項 28】

$M=360$ である請求項 27 記載の送信機。

【請求項 29】

コード依存定数 q は、コードレート $2/3$, $5/6$, $1/2$, $3/4$, $4/5$, $3/5$ 10
, $8/9$ および $9/10$ に対してそれぞれ 60 , 30 , 90 , 45 , 36 , 72 , 20 お
よび 18 である請求項 24 記載の送信機。

【請求項 30】

LDPC コード化された信号は、 $8-PSK$ (位相シフトキーイング)、 $16-QAM$
(直交振幅変調)、 $QPSK$ (直交位相シフトキーイング)、 $16-APSK$ (振幅位相
シフトキーイング) および $32-APSK$ の 1 つを含む信号コンステレーションにしたが
って変調される請求項 24 記載の送信機。

【請求項 31】

さらに、Bose Chaudhuri Hocquenghem (BCH) コードに
にしたがって入力信号を符号化するように構成された BCH 送信機を備えており、入力信号 20
に対応した出力 LDPC コード化された信号は、外部 BCH コードおよび内部 LDPC コ
ードを有するコードを表している請求項 24 記載の送信機。

【請求項 32】

冗長 BCH ビットの数 $n_{BCH}-k_{BCH}=16 \times t$ であり、ここで t は BCH コードのエ
ラー補正能力を表している請求項 31 記載の送信機。

【請求項 33】

BCH コードのエラー補正能力は、レート $1/2$, $3/4$, $4/5$, $3/5$ の LDPC
コードと連結して使用されたときには 12 ビットであり、レート $2/3$ および $5/6$ の L
DPC コードと連結して使用されたときには 10 ビットであり、レート $8/9$ および $9/$
 10 の LDPC コードと連結して使用されたときには 8 ビットである請求項 31 記載の送 30
信機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は通信システムに関し、とくに、コード化されたシステムに関する。

【背景技術】

【0002】

本出願は以下の暫定的な特許出願明細書に関連しており、35 U. S. C § 119 (e) の下にそれらの権利を有している：米国特許出願第 60/393,457 号明細書 (2002 年 7 月 3 日出願)、米国特許出願第 60/398,760 号明細書 (2002 年 7 月 26 日出願)、米 40
国特許出願第 60/403,812 号明細書 (2002 年 8 月 15 日出願)、米国特許出願第 60/421,505 号明細書 (2002 年 10 月 25 日出願)、米国特許出願第 60/421,999 号明細書 (2002 年 10 月 29 日出願)、米国特許出願第 60/423,710 号明細書 (2002 年 11 月 4 日出願)、米国特許出願第 60/440,199 号明細書 (2003 年 1 月 15 日出願)、米国特許出願第 60/447,641 号明細書 (2003 年 2 月 14 日出願)、米国特許出願第 60/456,220 号明細書 (2003 年 3 月 20 日出願)、2003 年 5 月 9 日に
出願された米国特許出願明細書 (“Description LDPC and BCH Encoders,”)、2003 年 6 月 24 日に
出願された米国特許出願明細書 (“Description LDPC and BCH Encoders,”) (Attorney Docket:PD-203044)、2003 年 6 月 24 日に
出願された米国特許出願明細書 (“Description LDP C and BCH Encoders,”) (Attorney Docket:PD-203059)。なお、これらは全てこの明細 50

書において参考文献とされている。

【0003】

通信システムは、雑音の多い通信チャンネルによる通信の信頼性の高さを保証するためにコード化を使用する。これらの通信チャンネルは、ある信号対雑音比（SNR）におけるシンボル当りのビットで表されることのできる固定された容量を示し、理論上の上限（シャノン限界として知られている）を規定する。その結果、コード化設計は、このシャノン限界に近いレートの達成をめざしている。シャノン限界に近いコードのこのような1つのクラスは、低密度パリティチェック（LDPC）コードである。

【発明の開示】

【発明が解決しようとする課題】

10

【0004】

伝統的に、LDPCコードは、そのいくつかの欠点のためにそれ程広くは配備されていない。1つの欠点は、LDPCコード化技術が非常に複雑なことである。LDPCコードをそのジェネレータマトリックスを使用して符号化するには、非常に大きい非スパースマトリックスを記憶する必要がある。さらに、LDPCコードは、効率的である大きいブロックを必要とし、その結果、LDPCコードのパリティチェックマトリックスがスパースでも、これらのマトリックスの記憶には問題がある。

【0005】

構成の観点からは、いくつかの難題に直面する。たとえば、記憶は、LDPCコードが実際に広く普及していない重要な理由である。また、LDPCコード構成における主要な問題は、デコーダ中のいくつかの処理エンジン（ノード）の間における接続ネットワークをどのようにして達成するかである。さらに、復号プロセスにおける計算負荷、とくに、チェックノード動作には問題がある。

20

【0006】

したがって、簡単な符号化および復号プロセスを使用するLDPC通信システムが必要とされている。高度な複雑さを伴わずにLDPCコードを使用して高いデータレートを効率的にサポートすることもまた必要とされている。LDPCエンコーダおよびデコーダの性能を改善する必要もある。LDPCコード化を実施するために記憶要求を最小にすることもまた必要とされている。さらに、LDPCデコーダ内の処理ノードの間の通信を簡単化する方式もまた必要とされている。

30

【課題を解決するための手段】

【0007】

これらおよびその他の必要性は、構成された低密度パリティチェック（LDPC）コードを符号化する方法が提供される本発明によって解決される。LDPCコードの構造は、パリティチェックマトリックスの一部分を下方の三角となるように制限し、および、またはデコーダのビットノードとチェックノードとの間の通信が簡単化されるように別の要求を満足することによって提供される。構成されたパリティチェックマトリックスを表す情報を記憶するメモリがアクセスされる。その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第1の列内における1の値の発生を表す。行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算（たとえば、論理桁送り、加法等）にしたがって導出される。LDPCコード化された信号は、パリティチェックマトリックスを表す記憶された情報に基づいて出力される。本発明の1実施形態によると、Bose Chaudhuri Hocquenghem（BCH）エンコーダは、BCHコードを使用して入力信号を符号化するために送信機によって使用され、入力信号に対応した出力LDPCコード化された信号は、外部BCHコードおよび内部LDPCコードを有するコードを表している。さらに、周期的冗長検査（CRC）コードにしたがって入力信号を符号化するためにCRCエンコーダが提供される。この方法の利点は、LDPCコードの適切な符号化および復号を行うことにある。

40

【0008】

50

本発明の1実施形態の1つの特徴によると、ある1つの符号化方法が開示されている。この方法は、低密度パリティチェック（LDPC）コードの構成されたパリティチェックマトリックスを表す情報を記憶したメモリにアクセスするステップを含んでいる。その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第1の列内における1の値の発生を表している。行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算にしたがって導出される。この方法はまた、パリティチェックマトリックスを表す記憶された情報に基づいてLDPCコード化された信号を出力するステップを含んでいる。

【0009】

本発明の1実施形態の別の特徴によると、低密度パリティチェック（LDPC）コードを生成するエンコーダが開示されている。このエンコーダは、LDPCコードの構成されたパリティチェックマトリックスを表す情報を記憶したメモリを備えている。この情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第1の列内における1の値の発生を表している。行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算にしたがって導出される。このエンコーダはまた、LDPCコード化された信号を出力するためにパリティチェックマトリックスを表す記憶された情報を検索する手段を備えている。

【0010】

本発明の1実施形態の別の特徴によると、低密度パリティチェック（LDPC）コード化を使用する送信機が開示されている。この送信機は、LDPCコードの構成されたパリティチェックマトリックスを表す情報を記憶したメモリを備え、その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第1の列内における1の値の発生を表す。行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算にしたがって導出される。この送信機はまた、メモリからの記憶された情報にアクセスしてLDPCコード化された信号を出力するように構成されたLDPCエンコーダを備えている。

【0011】

本発明のさらに別のアспект、特徴および利点は、本発明を実施するために考えられた最良のモードを含む多数の特定の実施形態および構成を単に例示することにより以下の詳細な説明から容易に明らかになるであろう。本発明はまた別の異なった実施形態が可能であり、そのいくつかの詳細は種々の明白な点において本発明の技術的範囲を逸脱することなく修正されることができる。したがって、その図面および説明は何等発明の技術的範囲に制限を課すものではなく、本質的に例示とみなされるものである。

【発明を実施するための最良の形態】

【0012】

本発明は、添付図面の図において発明の技術的範囲を制限するものではなく単なる例示として示されている。なお、図面において、同じ参照符号は類似した構成要素を示している。

低密度パリティチェック（LDPC）コードを効率的に復号するためのシステム、方法およびソフトウェアを説明する。以下の説明において、多くの特定の詳細は本発明を完全に理解するために説明の目的で記載されている。しかしながら、本発明はこれらの特定の詳細なしで、あるいは等価の構成により実現可能であることは当業者に明らかである。他の例において、よく知られている構造および装置は、本発明をいたずらに不明瞭にすることを避けるためにブロック図の形態で示されている。

【0013】

図1は、低密度パリティチェック（LDPC）コードを使用するように構成された本発明の1実施形態による通信システムの概略図である。デジタル通信システム100は、受信機105に対して通信チャンネル103を横切って信号波形を発生する送信機101を備えている。このディスクリットな通信システム100において、送信機101は可能なメッセージの離散セットを生成するメッセージソースを有しており、その可能なメッセージのそれぞれが対

10

20

30

40

50

応した信号波形を有している。これらの信号波形は通信チャンネル103により減衰され、あるいはそうでなければ変更される。雑音チャンネル103に関するこの問題を克服するためにLDPCコードが使用される。

【0014】

送信機101により発生されたLDPCコードは、パフォーマンス損失を招くことなく高速構成を可能にする。送信機101から出力されたこれらの構成されたLDPCコードは、変調方式（たとえば、8-PSK）のためにすでにチャンネルエラーを受け易くなっているビットノードに対して少数のチェックノードを割当ててことを避ける。

【0015】

このようなLDPCコードは対応可能な復号アルゴリズム（ターボコードとは異なり）を有しており、それは加算、比較およびテーブルルックアップのような単純な動作を都合よく含んでいる。さらに、注意深く設計されたLDPCコードは、エラーフロアの兆候を示さない。

【0016】

本発明の1実施形態によると、送信機101は受信機105と通信するために、比較的簡単な符号化技術を使用してパリティチェックマトリックス（復号中効率的なメモリアクセスを容易にする）に基づいてLDPCコードを発生する。送信機101は、ブロック長が十分に大きければ、連結されたターボ+RS（リード・ソロモン）コードをしのぐことができるLDPCコードを使用する。

【0017】

図2Aおよび2Bは、図1の送信機内に配備された例示的なLDPCエンコーダの概略図である。図2Aに見られるように、送信機200は、情報ソース201からの入力を受取って、受信機105におけるエラー補正処理に適した高度に冗長なコード化されたストリームを出力するLDPCエンコーダ203を備えている。情報ソース201は、ディスクリットなアルファベットXからk個の信号を発生する。LDPCコードはパリティチェックマトリックスにより特定される。他方において、LDPCコードを符号化するには、一般に、ジェネレータマトリックスを特定する必要がある。たとえ、ガウスの消去法を使用してパリティチェックマトリックスからジェネレータマトリックスを得ることが可能であっても、結果的に得られるマトリックスはもはやスパースではなく、大きいジェネレータマトリックスを記憶することは複雑である可能性が高い。

【0018】

エンコーダ203は、構造がパリティチェックマトリックスになるようにすることによってパリティチェックマトリックスだけを利用する簡単な符号化技術を使用してアルファベットYから変調装置205に信号を発生する。とくに、パリティチェックマトリックスには、このマトリックスのある部分を三角であるように制約することによりある制限が課せられる。このようなパリティチェックマトリックスの構成は、以下図6においてさらに詳細に説明される。このような制限の結果、パフォーマンス損失は無視できる程度のものとなり、したがってこれは魅力的なトレードオフである。

【0019】

変調装置205はエンコーダ203からの符号化されたメッセージを、送信アンテナ207に送られる信号波形にマップし、この送信アンテナ207は通信チャンネル103によりこれらの波形を放射する。送信アンテナ207からの送信は、以下に説明するように受信機に伝播する。

【0020】

図2BはBose Chaudhuri Hocquenghem (BCH) エンコーダおよび周期的冗長検査 (CRC) エンコーダにより使用される本発明の1実施形態によるLDPCエンコーダを示している。このシナリオでは、CRCエンコーダ209およびBCHエンコーダ211と共にLDPCエンコーダ203により発生されたコードは、連結された外部BCHコードおよび内部低密度パリティチェック (LDPC) コードを有する。さらに、周期的冗長検査 (CRC) コードを使用してエラー検出が行われる。例示的な実施形

10

20

30

40

50

態において、CRCエンコーダ209はジェネレータ多項式 $(x^5 + x^4 + x^3 + x^2 + 1)(x^2 + x + 1)(x + 1)$ により8ビットCRCコードを使用して符号化する。

【0021】

LDPCEンコーダ203は、

【数4】

$$k_{ldpc}, \quad i = (i_0, i_1, \dots, i_{k_{ldpc}-1})$$

【0022】

のサイズの情報ブロックを、

【数5】

$$n_{ldpc}, \quad c = (i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$$

【0023】

のサイズのコードワードに系統的に符号化する。コードワードの送信は所定の順序で i_0 からスタートし、

【数6】

$$p_{n_{ldpc}-k_{ldpc}-1}$$

【0024】

で終了する。以下の表1には、LDPCEンコードパラメータ (n_{ldpc}, k_{ldpc}) が示されている。

【表24】

表 1

LDPCコードパラメータ (n_{ldpc}, k_{ldpc})		
コードレート	LDPCコード化されていないブロック長 k_{ldpc}	LDPCコード化されたブロック長 n_{ldpc}
1/2	32400	64800
2/3	43200	64800
3/4	48600	64800
4/5	51840	64800
5/6	54000	64800
3/5	38880	64800
8/9	57600	64800
9/10	58320	64800

【0025】

LDPCEンコーダ203のタスクは、 k_{ldpc} の情報ビット：

10

20

30

40

【数 7】

$$(i_0, i_1, \dots, i_{k_{ldpc}-1})$$

【0026】

のあらゆるブロックに対する $n_{ldpc} - k_{ldpc}$ のパリティビット：

【数 8】

$$(p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$$

10

【0027】

を決定することである。その手順は次のとおりである。最初に、パリティビットが初期化される；

【数 9】

$$p_0 = p_1 = p_2 = \dots = p_{n_{ldpc}-k_{ldpc}-1} = 0$$

【0028】

表 3 乃至 10 の第 1 の行において指定されたパリティビットアドレスで第 1 の情報ビット i_0 が累算される。たとえば、レート 2/3（表 3）に対する結果は次のようになる：

【数 10】

$$\begin{aligned} p_0 &= p_0 \oplus i_0 \\ p_{10491} &= p_{10491} \oplus i_0 \\ p_{16043} &= p_{16043} \oplus i_0 \\ p_{506} &= p_{506} \oplus i_0 \\ p_{12826} &= p_{12826} \oplus i_0 \\ p_{8065} &= p_{8065} \oplus i_0 \\ p_{8226} &= p_{8226} \oplus i_0 \\ p_{2767} &= p_{2767} \oplus i_0 \\ p_{240} &= p_{240} \oplus i_0 \\ p_{18673} &= p_{18673} \oplus i_0 \\ p_{9279} &= p_{9279} \oplus i_0 \\ p_{10579} &= p_{10579} \oplus i_0 \\ p_{20928} &= p_{20928} \oplus i_0 \end{aligned}$$

30

40

【0029】

（全ての加算は GF(2) 内のものである。）

【0030】

その後、次の 359 個の情報ビット i_m , $m = 1, 2, \dots, 359$ については、これらのビットはパリティビットアドレス $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$ で累算され、ここで x は第 1 のビット i_0 に対応したパリティビット累算装置のアドレスを示し、 q は表 2 において特定されたコードレート依存定数を示している。この例を続けると、レート 2/3 に対して $q = 60$ である。例示すると、情報ビット i_1 に対して、以下の演算が行われる：

50

【数 1 1】

$$\begin{aligned}
p_{60} &= p_{60} \oplus i_1 \\
p_{10551} &= p_{10551} \oplus i_1 \\
p_{16103} &= p_{16103} \oplus i_1 \\
p_{566} &= p_{566} \oplus i_1 \\
p_{12886} &= p_{12886} \oplus i_1 \\
p_{8125} &= p_{8125} \oplus i_1 \\
p_{8286} &= p_{8286} \oplus i_1 \\
p_{2827} &= p_{2827} \oplus i_1 \\
p_{300} &= p_{300} \oplus i_1 \\
p_{18733} &= p_{18733} \oplus i_1 \\
p_{9339} &= p_{9339} \oplus i_1 \\
p_{10639} &= p_{10639} \oplus i_1 \\
p_{20988} &= p_{20988} \oplus i_1
\end{aligned}$$

10

【0 0 3 1】

3 6 1 番目の情報ビット i_{360} に関しては、パリティビット累算装置のアドレスは表 3 乃至 1 0 の第 2 の行中に与えられる。同様に、後続する 3 5 9 個の情報ビット i_m , $m = 3 6 1, 3 6 2, \dots, 7 1 9$ に対するパリティビット累算装置のアドレスは公式 $\{x + m \bmod 3 6 0 \times q\} \bmod (n_{ldpc} - k_{ldpc})$ を使用して得られ、ここで x は情報ビット i_{360} 、すなわち、表 3 乃至 1 0 の第 2 の行の中のエントリに対応したパリティビット累算装置のアドレスを示している。同様に、3 6 0 の新しい情報ビットのグループ毎に、パリティビット累算装置のアドレスを見出すために表 3 乃至 1 0 からの新しい行が使用される。

20

【0 0 3 2】

全ての情報ビットが使い尽くされた後、最後のパリティビットは次のように得られる。最初に、以下の演算が $i = 1$ からスタートして行われる：

30

【数 1 2】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

【0 0 3 3】

p_i , $i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ の最後の内容はパリティビット p_i に等しい。

【表 2 5】

表 2

コードレート	q
2/3	60
5/6	30
1/2	90
3/4	45
4/5	36
3/5	72
8/9	20
9/10	18

10

20

表 3

パリティビット累算装置のアドレス(レート2/3)										
0	10491	16043	506	12826	8065	8226	2767	240	18673	9279
1	17819	8313	6433	6224	5120	5824	12812	17187	9940	13447
2	17957	6024	8681	18628	12794	5915	14576	10970	12064	20437
3	19777	6183	9972	14536	8182	17749	11341	5556	4379	17434
4	4651	19689	1608	659	16707	14335	6143	3058	14618	17894
5	9778	2552	12096	12369	15198	16890	4851	3109	1700	18725
6	486	6111	13743	11537	5591	7433	15227	14145	1483	3887
7	20647	14311	11734	4180	8110	5525	12141	15761	18661	18441
8	3791	14759	15264	19918	10132	9062	10010	12786	10675	9682
9	19525	9485	7777	19999	8378	9209	3163	20232	6690	16518
10	4588	6709	20202	10905	915	4317	11073	13576	16433	368
11	14072	4033	19959	12608	631	19494	14160	8249	10223	21504
12	13800	14161								
13	2948	9647								
14	14693	16027								
15	20506	11082								
16	1143	9020								
17	13501	4014								
18	1548	2190								
19	12216	21556								
20	2095	19897								
21	4189	7958								
22	15940	10048								
23	515	12614								

30

40

【表 2 6】

24 8501 8450	
25 17595 16784	
26 5913 8495	
27 16394 10423	
28 7409 6981	
29 6678 15939	
30 20344 12987	10
31 2510 14588	
32 17918 6655	
33 6703 19451	
34 496 4217	
35 7290 5766	
36 10521 8925	
37 20379 11905	
38 4090 5838	
39 19082 17040	
40 20233 12352	
41 19365 19546	20
42 6249 19030	
43 11037 19193	
44 19760 11772	
45 19644 7428	
46 16076 3521	
47 11779 21062	
48 13062 9682	
49 8934 5217	
50 11087 3319	
51 18892 4356	
52 7894 3898	
53 5963 4360	30
54 7346 11726	
55 5182 5609	
56 2412 17295	
57 9845 20494	
58 6687 1864	
59 20564 5216	
0 18226 17207	
1 9380 8266	
2 7073 3065	
3 18252 13437	
4 9161 15642	
5 10714 10153	40
6 11585 9078	
7 5359 9418	
8 9024 9515	
9 1206 16354	
10 14994 1102	
11 9375 20796	
12 15964 6027	
13 14789 6452	

【表 2 7】

14 8002 18591	
15 14742 14089	
16 253 3045	
17 1274 19286	
18 14777 2044	
19 13920 9900	
20 452 7374	10
21 18206 9921	
22 6131 5414	
23 10077 9726	
24 12045 5479	
25 4322 7990	
26 15616 5550	
27 15561 10661	
28 20718 7387	
29 2518 18804	
30 8984 2600	
31 6516 17909	
32 11148 98	20
33 20559 3704	
34 7510 1569	
35 16000 11692	
36 9147 10303	
37 16650 191	
38 15577 18685	
39 17167 20917	
40 4256 3391	
41 20092 17219	
42 9218 5056	
43 18429 8472	
44 12093 20753	30
45 16345 12748	
46 16023 11095	
47 5048 17595	
48 18995 4817	
49 16483 3536	
50 1439 16148	
51 3661 3039	
52 19010 18121	
53 8968 11793	
54 13427 18003	
55 5303 3083	
56 531 16668	40
57 4771 6722	
58 5695 7960	
59 3589 14630	

【表 28】

表 4

パリティビット累算装置のアドレス(レート5/6)															
0	4362	416	8909	4156	3216	3112	2560	2912	6405	8593	4969	6723			
1	2479	1786	8978	3011	4339	9313	6397	2957	7288	5484	6031	10217			
2	10175	9009	9889	3091	4985	7267	4092	8874	5671	2777	2189	8716			
3	9052	4795	3924	3370	10058	1128	9996	10165	9360	4297	434	5138			
4	2379	7834	4835	2327	9843	804	329	8353	7167	3070	1528	7311			
5	3435	7871	348	3693	1876	6585	10340	7144	5870	2084	4052	2780			
6	3917	3111	3476	1304	10331	5939	5199	1611	1991	699	8316	9960			
7	6883	3237	1717	10752	7891	9764	4745	3888	10009	4176	4614	1567			
8	10587	2195	1689	2968	5420	2580	2883	6496	111	6023	1024	4449			
9	3786	8593	2074	3321	5057	1450	3840	5444	6572	3094	9892	1512			
10	8548	1848	10372	4585	7313	6536	6379	1766	9462	2456	5606	9975			
11	8204	10593	7935	3636	3882	394	5968	8561	2395	7289	9267	9978			
12	7795	74	1633	9542	6867	7352	6417	7568	10623	725	2531	9115			
13	7151	2482	4260	5003	10105	7419	9203	6691	8798	2092	8263	3755			
14	3600	570	4527	200	9718	6771	1995	8902	5446	768	1103	6520			
15	6304	7621													
16	6498	9209													
17	7293	6786													
18	5950	1708													
19	8521	1793													
20	6174	7854													
21	9773	1190													
22	9517	10268													
23	2181	9349													
24	1949	5560													
25	1556	555													
26	8600	3827													
27	5072	1057													
28	7928	3542													
29	3226	3762													
0	7045	2420													
1	9645	2641													
2	2774	2452													
3	5331	2031													
4	9400	7503													
5	1850	2338													
6	10456	9774													
7	1692	9276													
8	10037	4038													
9	3964	338													
10	2640	5087													
11	858	3473													
12	5582	5683													
13	9523	916													
14	4107	1559													
15	4506	3491													
16	8191	4182													
17	10192	6157													

10

20

30

40

【表 2 9】

18 5668 3305
19 3449 1540
20 4766 2697
21 4069 6675
22 1117 1016
23 5619 3085
24 8483 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
0 1464 3559
1 3376 4214
2 7238 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
7 7878 5131
8 4435 10284
9 6331 5507
10 6662 4941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 9027 3415
16 1690 3866
17 2854 8469
18 6206 630
19 363 5453
20 4125 7008
21 1612 6702
22 9069 9226
23 5767 4060
24 3743 9237
25 7018 5572
26 8892 4536
27 853 6064
28 8069 5893
29 2051 2885
0 10691 3153
1 3602 4055
2 328 1717
3 2219 9299
4 1939 7898
5 617 206
6 8544 1374
7 10676 3240

10

20

30

40

【表 3 0】

8 6672 9489	
9 3170 7457	
10 7868 5731	
11 6121 10732	
12 4843 9132	
13 580 9591	
14 6267 9290	
15 3009 2268	
16 195 2419	
17 8016 1557	
18 1516 9195	
19 8062 9064	
20 2095 8968	
21 753 7326	
22 6291 3833	
23 2614 7844	
24 2303 646	
25 2075 611	
26 4687 362	
27 8684 9940	
28 4830 2065	
29 7038 1363	
0 1769 7837	
1 3801 1689	
2 10070 2359	
3 3667 9918	
4 1914 6920	
5 4244 5669	
6 10245 7821	
7 7648 3944	
8 3310 5488	
9 6346 9666	
10 7088 6122	
11 1291 7827	
12 10592 8945	
13 3609 7120	
14 9168 9112	
15 6203 8052	
16 3330 2895	
17 4264 10563	
18 10556 6496	
19 8807 7645	
20 1999 4530	
21 9202 6818	
22 3403 1734	
23 2106 9023	
24 6881 3883	
25 3895 2171	
26 4062 6424	
27 3755 9536	

10

20

30

40

【表 3 1】

28 4683 2131 29 7347 8027

表 5

パリティビット累算装置のアドレス(レート1/2)	
54 9318 14392 27561 26909 10219 2534 8597	
55 7263 4635 2530 28130 3033 23830 3651	
56 24731 23583 26036 17299 5750 792 9169	
57 5811 26154 18653 11551 15447 13685 16264	
58 12610 11347 28768 2792 3174 29371 12997	
59 16789 16018 21449 6165 21202 15850 3186	
60 31016 21449 17618 6213 12166 8334 18212	
61 22836 14213 11327 5896 718 11727 9308	
62 2091 24941 29966 23634 9013 15587 5444	
63 22207 3983 16904 28534 21415 27524 25912	
64 25687 4501 22193 14665 14798 16158 5491	
65 4520 17094 23397 4264 22370 16941 21526	
66 10490 6182 32370 9597 30841 25954 2762	
67 22120 22865 29870 15147 13668 14955 19235	
68 6689 18408 18346 9918 25746 5443 20645	
69 29982 12529 13858 4746 30370 10023 24828	
70 1262 28032 29888 13063 24033 21951 7863	
71 6594 29642 31451 14831 9509 9335 31552	
72 1358 6454 16633 20354 24598 624 5265	
73 19529 295 18011 3080 13364 8032 15323	
74 11981 1510 7960 21462 9129 11370 25741	
75 9276 29656 4543 30699 20646 21921 28050	
76 15975 25634 5520 31119 13715 21949 19605	
77 18688 4608 31755 30165 13103 10706 29224	
78 21514 23117 12245 26035 31656 25631 30699	
79 9674 24966 31285 29908 17042 24588 31857	
80 21856 27777 29919 27000 14897 11409 7122	
81 29773 23310 263 4877 28622 20545 22092	
82 15605 5651 21864 3967 14419 22757 15896	
83 30145 1759 10139 29223 26086 10556 5098	
84 18815 16575 2936 24457 26738 6030 505	
85 30326 22298 27562 20131 26390 6247 24791	
86 928 29246 21246 12400 15311 32309 18608	
87 20314 6025 26689 16302 2296 3244 19613	
88 6237 11943 22851 15642 23857 15112 20947	
89 26403 25168 19038 18384 8882 12719 7093	
0 14567 24965	
1 3908 100	
2 10279 240	
3 24102 764	
4 12383 4173	
5 13861 15918	

10

20

30

40

【表 3 2】

6 21327 1046
7 5288 14579
8 28158 8069
9 16583 11098
10 16681 28363
11 13980 24725
12 32169 17989
13 10907 2767
14 21557 3818
15 26676 12422
16 7676 8754
17 14905 20232
18 15719 24646
19 31942 8589
20 19978 27197
21 27060 15071
22 6071 26649
23 10393 11176
24 9597 13370
25 7081 17677
26 1433 19513
27 26925 9014
28 19202 8900
29 18152 30647
30 20803 1737
31 11804 25221
32 31683 17783
33 29694 9345
34 12280 26611
35 6526 26122
36 26165 11241
37 7666 26962
38 16290 8480
39 11774 10120
40 30051 30426
41 1335 15424
42 6865 17742
43 31779 12489
44 32120 21001
45 14508 6996
46 979 25024
47 4554 21896
48 7989 21777
49 4972 20661
50 6612 2730
51 12742 4418
52 29194 595
53 19267 20113

10

20

30

40

【表 3 3】

表 6

パリティビット累算装置のアドレス(レート3/4)															
0	6385	7901	14611	13389	11200	3252	5243	2504	2722	821	7374				
1	11359	2698	357	13824	12772	7244	6752	15310	852	2001	11417				
2	7862	7977	6321	13612	12197	14449	15137	13860	1708	6399	13444				
3	1560	11804	6975	13292	3646	3812	8772	7306	5795	14327	7866				
4	7626	11407	14599	9689	1628	2113	10809	9283	1230	15241	4870				
5	1610	5699	15876	9446	12515	1400	6303	5411	14181	13925	7358				
6	4059	8836	3405	7853	7992	15336	5970	10368	10278	9675	4651				
7	4441	3963	9153	2109	12683	7459	12030	12221	629	15212	406				
8	6007	8411	5771	3497	543	14202	875	9186	6235	13908	3563				
9	3232	6625	4795	546	9781	2071	7312	3399	7250	4932	12652				
10	8820	10088	11090	7069	6585	13134	10158	7183	488	7455	9238				
11	1903	10818	119	215	7558	11046	10615	11545	14784	7961	15619				
12	3655	8736	4917	15874	5129	2134	15944	14768	7150	2692	1469				
13	8316	3820	505	8923	6757	806	7957	4216	15589	13244	2622				
14	14463	4852	15733	3041	11193	12860	13673	8152	6551	15108	8758				
15	3149	11981													
16	13416	6906													
17	13098	13352													
18	2009	14460													
19	7207	4314													
20	3312	3945													
21	4418	6248													
22	2669	13975													
23	7571	9023													
24	14172	2967													
25	7271	7138													
26	6135	13670													
27	7490	14559													
28	8657	2466													
29	8599	12834													
30	3470	3152													
31	13917	4365													
32	6024	13730													
33	10973	14182													
34	2464	13167													
35	5281	15049													
36	1103	1849													
37	2058	1069													
38	9654	6095													
39	14311	7667													
40	15617	8146													
41	4588	11218													
42	13660	6243													
43	8578	7874													
44	11741	2686													
0	1022	1264													

10

20

30

40

【表 3 4】

1 12604 9965	
2 8217 2707	
3 3156 11793	
4 354 1514	
5 6978 14058	
6 7922 16079	
7 15087 12138	
8 5053 6470	
9 12687 14932	
10 15458 1763	
11 8121 1721	
12 12431 549	
13 4129 7091	
14 1426 8415	
15 9783 7604	
16 6295 11329	
17 1409 12061	
18 8065 9087	
19 2918 8438	
20 1293 14115	
21 3922 13851	
22 3851 4000	
23 5865 1768	
24 2655 14957	
25 5565 6332	
26 4303 12631	
27 11653 12236	
28 16025 7632	
29 4655 14128	
30 9584 13123	
31 13987 9597	
32 15409 12110	
33 8754 15490	
34 7416 15325	
35 2909 15549	
36 2995 8257	
37 9406 4791	
38 11111 4854	
39 2812 8521	
40 8476 14717	
41 7820 15360	
42 1179 7939	
43 2357 8678	
44 7703 6216	
0 3477 7067	
1 3931 13845	
2 7675 12899	
3 1754 8187	
4 7785 1400	
5 9213 5891	

10

20

30

40

【表 3 5】

6 2494 7703
7 2576 7902
8 4821 15682
9 10426 11935
10 1810 904
11 11332 9264
12 11312 3570
13 14916 2650
14 7679 7842
15 6089 13084
16 3938 2751
17 8509 4648
18 12204 8917
19 5749 12443
20 12613 4431
21 1344 4014
22 8488 13850
23 1730 14896
24 14942 7126
25 14983 8863
26 6578 8564
27 4947 396
28 297 12805
29 13878 6692
30 11857 11186
31 14395 11493
32 16145 12251
33 13462 7428
34 14526 13119
35 2535 11243
36 6465 12690
37 6872 9334
38 15371 14023
39 8101 10187
40 11963 4848
41 15125 6119
42 8051 14465
43 11139 5167
44 2883 14521

10

20

30

40

表 7

パリティビット累算装置のアドレス(レート4/5)										
0	149	11212	5575	6360	12559	8108	8505	408	10026	12828
1	5237	490	10677	4998	3869	3734	3092	3509	7703	10305
2	8742	5553	2820	7085	12116	10485	564	7795	2972	2157

【表 3 6】

3	2699	4304	8350	712	2841	3250	4731	10105	517	7516
4	12067	1351	11992	12191	11267	5161	537	6166	4246	2363
5	6828	7107	2127	3724	5743	11040	10756	4073	1011	3422
6	11259	1216	9526	1466	10816	940	3744	2815	11506	11573
7	4549	11507	1118	1274	11751	5207	7854	12803	4047	6484
8	8430	4115	9440	413	4455	2262	7915	12402	8579	7052
9	3885	9126	5665	4505	2343	253	4707	3742	4166	1556
10	1704	8936	6775	8639	8179	7954	8234	7850	8883	8713
11	11716	4344	9087	11264	2274	8832	9147	11930	6054	5455
12	7323	3970	10329	2170	8262	3854	2087	12899	9497	11700
13	4418	1467	2490	5841	817	11453	533	11217	11962	5251
14	1541	4525	7976	3457	9536	7725	3788	2982	6307	5997
15	11484	2739	4023	12107	6516	551	2572	6628	8150	9852
16	6070	1761	4627	6534	7913	3730	11866	1813	12306	8249
17	12441	5489	8748	7837	7660	2102	11341	2936	6712	11977
18	10155	4210								
19	1010	10483								
20	8900	10250								
21	10243	12278								
22	7070	4397								
23	12271	3887								
24	11980	6836								
25	9514	4356								
26	7137	10281								
27	11881	2526								
28	1969	11477								
29	3044	10921								
30	2236	8724								
31	9104	6340								
32	7342	8582								
33	11675	10405								
34	6467	12775								
35	3186	12198								
0	9621	11445								
1	7486	5611								
2	4319	4879								
3	2196	344								
4	7527	6650								
5	10693	2440								
6	6755	2706								
7	5144	5998								
8	11043	8033								
9	4846	4435								
10	4157	9228								
11	12270	6562								
12	11954	7592								
13	7420	2592								
14	8810	9636								
15	689	5430								
16	920	1304								

10

20

30

40

【表 3 7】

17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883
9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933

10

20

30

40

【表 3 8】

31 6297 7116	
32 616 7146	
33 5142 9761	
34 10377 8138	
35 7616 5811	
0 7285 9863	
1 7764 10867	
2 12343 9019	10
3 4414 8331	
4 3464 642	
5 6960 2039	
6 786 3021	
7 710 2086	
8 7423 5601	
9 8120 4885	
10 12385 11990	
11 9739 10034	
12 424 10162	
13 1347 7597	
14 1450 112	20
15 7965 8478	
16 8945 7397	
17 6590 8316	
18 6838 9011	
19 6174 9410	
20 255 113	
21 6197 5835	
22 12902 3844	
23 4377 3505	
24 5478 8672	
25 4453 2132	
26 9724 1380	30
27 12131 11526	
28 12323 9511	
29 8231 1752	
30 497 9022	
31 9288 3080	
32 2481 7515	
33 2696 268	
34 4023 12341	
35 7108 5553	40

表 8

パリティビット累算装置のアドレス(レート3/5)

【表 3 9】

22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761
3 12299 7828
4 15048 13362
5 18444 24640
6 20775 19175
7 18970 10971
8 5329 19982
9 11296 18655
10 15046 20659
11 7300 22140
12 22029 14477
13 11129 742

10

20

30

40

【表 4 0】

14 13254 13813	
15 19234 13273	
16 6079 21122	
17 22782 5828	
18 19775 4247	
19 1660 19413	
20 4403 3649	10
21 13371 25851	
22 22770 21784	
23 10757 14131	
24 16071 21617	
25 6393 3725	
26 597 19968	
27 5743 8084	
28 6770 9548	
29 4285 17542	
30 13568 22599	
31 1786 4617	
32 23238 11648	20
33 19627 2030	
34 13601 13458	
35 13740 17328	
36 25012 13944	
37 22513 6687	
38 4934 12587	
39 21197 5133	
40 22705 6938	
41 7534 24633	
42 24400 12797	
43 21911 25712	
44 12039 1140	30
45 24306 1021	
46 14012 20747	
47 11265 15219	
48 4670 15531	
49 9417 14359	
50 2415 6504	
51 24964 24690	
52 14443 8816	
53 6926 1291	
54 6209 20806	
55 13915 4079	
56 24410 13196	40
57 13505 6117	
58 9869 8220	
59 1570 6044	
60 25780 17387	
61 20671 24913	
62 24558 20591	
63 12402 3702	

【表 4 1】

64 8314 1357
65 20071 14616
66 17014 3688
67 19837 946
68 15195 12136
69 7758 22808
70 3564 2925
71 3434 7769

10

表 9

パリティビット累算装置のアドレス(レート8/9)

0 6235 2848 3222
1 5800 3492 5348
2 2757 927 90
3 6961 4516 4739
4 1172 3237 6264
5 1927 2425 3683
6 3714 6309 2495
7 3070 6342 7154
8 2428 613 3761
9 2906 264 5927
10 1716 1950 4273
11 4613 6179 3491
12 4865 3286 6005
13 1343 5923 3529
14 4589 4035 2132
15 1579 3920 6737
16 1644 1191 5998
17 1482 2381 4620
18 6791 6014 6596
19 2738 5918 3786
0 5156 6166
1 1504 4356
2 130 1904
3 6027 3187
4 6718 759
5 6240 2870
6 2343 1311
7 1039 5465
8 6617 2513
9 1588 5222
10 6561 535
11 4765 2054
12 5966 6892
13 1969 3869
14 3571 2420
15 4632 981

20

30

40

【表 4 2】

16 3215 4163	
17 973 3117	
18 3802 6198	
19 3794 3948	
0 3196 6126	
1 573 1909	
2 850 4034	
3 5622 1601	
4 6005 524	
5 5251 5783	
6 172 2032	
7 1875 2475	
8 497 1291	
9 2566 3430	
10 1249 740	
11 2944 1948	
12 6528 2899	
13 2243 3616	
14 867 3733	
15 1374 4702	
16 4698 2285	
17 4760 3917	
18 1859 4058	
19 6141 3527	
0 2148 5066	
1 1306 145	
2 2319 871	
3 3463 1061	
4 5554 6647	
5 5837 339	
6 5821 4932	
7 6356 4756	
8 3930 418	
9 211 3094	
10 1007 4928	
11 3584 1235	
12 6982 2869	
13 1612 1013	
14 953 4964	
15 4555 4410	
16 4925 4842	
17 5778 600	
18 6509 2417	
19 1260 4903	
0 3369 3031	
1 3557 3224	
2 3028 583	
3 3258 440	
4 6226 6655	
5 4895 1094	

10

20

30

40

【表 4 3】

6 1481 6847	
7 4433 1932	
8 2107 1649	
9 2119 2065	
10 4003 6388	
11 6720 3622	
12 3694 4521	10
13 1164 7050	
14 1965 3613	
15 4331 66	
16 2970 1796	
17 4652 3218	
18 1762 4777	
19 5736 1399	
0 970 2572	
1 2062 6599	
2 4597 4870	
3 1228 6913	
4 4159 1037	20
5 2916 2362	
6 395 1226	
7 6911 4548	
8 4618 2241	
9 4120 4280	
10 5825 474	
11 2154 5558	
12 3793 5471	
13 5707 1595	
14 1403 325	
15 6601 5183	
16 6369 4569	30
17 4846 896	
18 7092 6184	
19 6764 7127	
0 6358 1951	
1 3117 6960	
2 2710 7062	
3 1133 3604	
4 3694 657	
5 1355 110	
6 3329 6736	
7 2505 3407	
8 2462 4806	40
9 4216 214	
10 5348 5619	
11 6627 6243	
12 2644 5073	
13 4212 5088	
14 3463 3889	
15 5306 478	

【表 4 4】

16 4320 6121
17 3961 1125
18 5699 1195
19 6511 792
0 3934 2778
1 3238 6587
2 1111 6596
3 1457 6226
4 1446 3885
5 3907 4043
6 6839 2873
7 1733 5615
8 5202 4269
9 3024 4722
10 5445 6372
11 370 1828
12 4695 1600
13 680 2074
14 1801 6690
15 2669 1377
16 2463 1681
17 5972 5171
18 5728 4284
19 1696 1459

10

20

表 10

パリティビット累算装置のアドレス(レート9/10)		
0	5611 2563 2900	
1	5220 3143 4813	
2	2481 834 81	
3	6265 4064 4265	
4	1055 2914 5638	
5	1734 2182 3315	
6	3342 5678 2246	
7	2185 552 3385	
8	2615 236 5334	
9	1546 1755 3846	
10	4154 5561 3142	
11	4382 2957 5400	
12	1209 5329 3179	
13	1421 3528 6063	
14	1480 1072 5398	
15	3843 1777 4369	
16	1334 2145 4163	
17	2368 5055 260	

30

40

【表 4 5】

0 6118 5405
1 2994 4370
2 3405 1669
3 4640 5550
4 1354 3921
5 117 1713
6 5425 2866
7 6047 683
8 5616 2582
9 2108 1179
10 933 4921
11 5953 2261
12 1430 4699
13 5905 480
14 4289 1846
15 5374 6208
16 1775 3476
17 3216 2178
0 4165 884
1 2896 3744
2 874 2801
3 3423 5579
4 3404 3552
5 2876 5515
6 516 1719
7 765 3631
8 5059 1441
9 5629 598
10 5405 473
11 4724 5210
12 155 1832
13 1689 2229
14 449 1164
15 2308 3088
16 1122 669
17 2268 5758
0 5878 2609
1 782 3359
2 1231 4231
3 4225 2052
4 4286 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956
9 3129 1088
10 5238 4440
11 5722 4280
12 3540 375
13 191 2782

10

20

30

40

【表 4 6】

14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 1146 4426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003
9 5605 5990
10 4376 1579
11 4407 984
12 1332 6163
13 5359 3975
14 1907 1854
15 3601 5748
16 6056 3266
17 3322 4085
0 1768 3244
1 2149 144
2 1589 4291
3 5154 1252
4 1855 5939
5 4820 2706
6 1475 3360
7 4266 693
8 4156 2018
9 2103 752
10 3710 3853
11 5123 931
12 6146 3323
13 1939 5002
14 5140 1437
15 1263 293
16 5949 4665
17 4548 6380
0 3171 4690
1 5204 2114
2 6384 5565
3 5722 1757
4 2805 6264
5 1202 2616
6 1018 3244
7 4018 5289
8 2257 3067
9 2483 3073

10

20

30

40

【表 4 7】

10 1196 5329	
11 649 3918	
12 3791 4581	
13 5028 3803	
14 3119 3506	
15 4779 431	10
16 3888 5510	
17 4387 4084	
0 5836 1692	
1 5126 1078	
2 5721 6165	
3 3540 2499	
4 2225 6348	
5 1044 1484	
6 6323 4042	
7 1313 5603	
8 1303 3496	
9 3516 3639	20
10 5161 2293	
11 4682 3845	
12 3045 643	
13 2818 2616	
14 3267 649	
15 6236 593	
16 646 2948	
17 4213 1442	
0 5779 1596	
1 2403 1237	
2 2217 1514	30
3 5609 716	
4 5155 3858	
5 1517 1312	
6 2554 3158	
7 5280 2643	
8 4990 1353	
9 5648 1170	
10 1152 4366	
11 3561 5368	
12 3581 1411	
13 5647 4661	
14 1542 5401	40
15 5078 2687	
16 316 1755	
17 3392 1991	

【0034】

BCHエンコーダ211に関して、BCHコードパラメータは表11に列挙されている。

【表 4 8】

表 11

LDPC コードレート	BCHコード化されて いないブロック長 k_{bch}	BCHコード化された ブロック長 n_{bch}	BCHエラー 補正(ビット)
1/2	32208	32400	12
2/3	43040	43200	10
3/4	48408	48600	12
4/5	51648	51840	12
5/6	53840	54000	10
3/5	38688	38880	12
8/9	57472	57600	8
9/10	58192	58320	8

10

【0035】

上記の表において、 $n_{bch} = k_{ldpc}$ であることが認識される。

20

【0036】

t エラー補正 BCH エンコーダ 211 のジェネレータ多項式は、以下の表 12 のリスト中の最初の t 個の多項式を乗算することにより得られる：

【表 4 9】

表 12

$g_1(x)$	$1+x^2+x^3+x^5+x^{16}$
$g_2(x)$	$1+x+x^4+x^5+x^6+x^8+x^{16}$
$g_3(x)$	$1+x^2+x^3+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{11}+x^{16}$
$g_4(x)$	$1+x^2+x^4+x^6+x^9+x^{11}+x^{12}+x^{14}+x^{16}$
$g_5(x)$	$1+x+x^2+x^3+x^5+x^8+x^9+x^{10}+x^{11}+x^{12}+x^{16}$
$g_6(x)$	$1+x^2+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{12}+x^{13}+x^{14}+x^{15}+x^{16}$
$g_7(x)$	$1+x^2+x^5+x^6+x^8+x^9+x^{10}+x^{11}+x^{13}+x^{15}+x^{16}$
$g_8(x)$	$1+x+x^2+x^5+x^6+x^8+x^9+x^{12}+x^{13}+x^{14}+x^{16}$
$g_9(x)$	$1+x^5+x^7+x^9+x^{10}+x^{11}+x^{16}$
$g_{10}(x)$	$1+x+x^2+x^5+x^7+x^8+x^{10}+x^{12}+x^{13}+x^{14}+x^{16}$
$g_{11}(x)$	$1+x^2+x^3+x^5+x^9+x^{11}+x^{12}+x^{13}+x^{16}$
$g_{12}(x)$	$1+x+x^5+x^6+x^7+x^9+x^{11}+x^{12}+x^{16}$

30

【0037】

コードワード：

40

【数 1 3】

$$c = (m_{k_{bch}-1}, m_{k_{bch}-2}, \dots, m_1, m_0, d_{n_{bch}-k_{bch}-1}, d_{n_{bch}-k_{bch}-2}, \dots, d_1, d_0)$$

【0038】

への情報ビット：

【数 1 4】

$$m = (m_{k_{bch}-1}, m_{k_{bch}-2}, \dots, m_1, m_0)$$

【0 0 3 9】

の BCH 符号化は、次のように行われる。メッセージ多項式：

【数 1 5】

$$m(x) = m_{k_{bch}-1}x^{k_{bch}-1} + m_{k_{bch}-2}x^{k_{bch}-2} + \dots + m_1x + m_0$$

10

【0 0 4 0】

は、

【数 1 6】

$$x^{n_{bch}-k_{bch}}$$

【0 0 4 1】

により乗算される。次に、

【数 1 7】

$$x^{n_{bch}-k_{bch}} m(x)$$

20

【0 0 4 2】

が $g(x)$ により除算される。

【数 1 8】

$$d(x) = d_{n_{bch}-k_{bch}-1}x^{n_{bch}-k_{bch}-1} + \dots + d_1x + d_0$$

【0 0 4 3】

を剰余とすると、コードワード多項式は次のように定められる：

【数 1 9】

$$c(x) = x^{n_{bch}-k_{bch}} m(x) + d(x)$$

30

【0 0 4 4】

上記の LDPC コードは、例示的な実施形態において、MPEG（モーション・ピクチャ・エキスパート・グループ）パケット伝送のような種々のデジタルビデオアプリケーションに使用されることができる。

40

【0 0 4 5】

図 3 は、図 1 のシステム内の例示的な受信機の概略図である。受信側において、受信機 300 は、送信機 200 から受信された信号の復調を行う復調装置 301 を備えている。これらの信号は、復調のために受信アンテナ 303 で受信される。受信された信号は復調後にデコーダ 305 に転送され、このデコーダ 305 はビット計量発生装置 307 と協力してメッセージ X' を発生することにより元のソースメッセージの再構成を試みる。非グレイマッピングに関して、ビット計量発生装置 307 は復号プロセス中にデコーダ 305 と確率情報を前後に（反復的に）交換する。これは図 10 に詳細に示されている。その代りに、グレイマッピングが使用された（本発明の 1 実施形態にしたがって）場合、ビット計量発生装置 307 の 1 つのパスで十分であり、このとき各 LDPC デコーダ反復の後におけるビット計量発生別の

50

試みにより、限られたパフォーマンス改良が得られる可能性が高い。このアプローチは、図11に関してさらに詳細に説明される。本発明によって提供される利点を認識するために、図4において説明されるように、LDPCコードがどのようにして発生されるかを示すことが有益である。

【0046】

図4は、本発明の1実施形態によるスパースパリティチェックマトリックスの概略図である。LDPCコードは、スパースパリティチェックマトリックス $H_{(n-k) \times n}$ を有する長い線形ブロックコードである。典型的に、ブロック長 n の範囲は何千乃至何万のビットである。図4には、たとえば、長さ $n=8$ およびレート $1/2$ のLDPCコードに対するパリティチェックマトリックスが示されている。同じコードは図5における2部分グラフにより等価に表されることができる。

10

【0047】

図5は、図4のマトリックスのLDPCコードの2部分グラフの概略図である。パリティチェック方程式は、各チェックノードに対して、全ての隣接したビットノードの和（GF（ガロア域）（2）にわたる）がゼロに等しいことを示すものである。図面に示されているように、ビットノードはグラフの左側を占め、予め定められた関係にしたがって1以上のチェックノードと関連している。たとえば、チェックノード m_1 に対応して、式： $n_1 + n_4 + n_5 + n_8 = 0$ がビットノードに関して存在する。

【0048】

受信機303に戻ると、LDPCデコーダ305はメッセージパッシングデコーダとみなされ、それによってデコーダ305はビットノードの値を見出すことをめざしている。このタスクを行うために、ビットノードおよびチェックノードは互いに反復的に通信する。以下、この通信の特性を以下説明する。

20

【0049】

チェックノードからビットノードへは、各チェックノードは隣接したビットノードに別の隣接したビットノードからの情報に基づいてそのビットノードの値に関する推定値（“オピニオン”）を提供する。たとえば、上記の例において、 n_4 、 n_5 および n_8 の和が m_1 に0“のように見えた”場合、 m_1 は、 n_1 の値が0であると考えられる（ $n_1 + n_4 + n_5 + n_8 = 0$ であるため）ことを n_1 に示す；その他の場合には、 m_1 は、 n_1 の値が1であると考えられることを n_1 に示す。さらに、ソフト決定復号のために、信頼性尺度が追加さ

30

【0050】

ビットノードからチェックノードへは、各ビットノードは隣接したチェックノードに対してその別の隣接したチェックノードからのフィードバックに基づいてそれ自身の値に関する推定値を中継する。上記の例において、 n_1 は2つの隣接したチェックノード m_1 および m_3 だけを有している。 m_3 から m_1 へのフィードバックが n_1 の値がおそらく0であることを示した場合、 n_1 は n_1 自身の値の推定値が0であることを m_1 に知らせる。ビットノードが3以上の隣接したチェックノードを有している場合に対しては、ビットノードは、それが通信するチェックノードにその決定を報告する前に、その別の隣接したチェックノードからのフィードバックに関する多数決投票（majority vote）（ソフト決定）を行う。上記のプロセスは、全てのビットノードが正しいとみなされる（すなわち、全てのパリティチェック方程式が満足される）まで、あるいは予め定められた最大反復数に達し、それによって復号の失敗が宣言されるまで繰返される。

40

【0051】

図6は、サブマトリックスが下方三角領域に制限されたパリティチェック値を含んでいる、本発明の1実施形態によるスパースパリティチェックマトリックスのサブマトリックスの概略図である。上述されたように、エンコーダ203（図2Aおよび2Bの）は、パリティチェックマトリックスの下方の三角領域に値を制限することにより単純な符号化技術を使用することができる。本発明の1実施形態によると、パリティチェックマトリックスに課せられる制限は、

50

$H_{(n-k) \times n} = [A_{(n-k) \times k} B_{(n-k) \times (n-k)}]$
 の形式のものであり、ここで、 B は下方の三角である。

【0052】

任意の情報ブロック $i = (i_0, i_1, \dots, i_{k-1})$ は、 $Hc^T = 0$ を使用して、パリティビットについて反復的に解くことによりコードワード $c = (i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ に符号化される。たとえば、

【数20】

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \Rightarrow p_0 \text{ を解く}$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \Rightarrow p_1 \text{ を解く}$$

10

【0053】

$p_2, p_3, \dots, p_{n-k-1}$ に対しても同様である。

【0054】

図7は、制限されていないパリティチェックマトリックス (H マトリックス) を使用したコードと図6の制限された H マトリックスを使用したコードとの間のパフォーマンスを示すグラフである。このグラフは、一方が一般的なパリティチェックマトリックスによるものであり、他方が符号化を簡単化するために下方の三角に制限されたパリティチェックマトリックスによるものである2つのLDPCコードの間のパフォーマンス比較を示している。変調方式は、このシミュレーションにおいて8-PSKである。パフォーマンス損失は0.1 dB以内である。したがって、パフォーマンス損失は下方の三角 H マトリックスの制限に基づいて無視できる程小さく、一方符号化技術の簡単化による利得は大きい。したがって、行および、または列置換 (permutation) 状態において下方の三角または上方の三角に等価であるパリティチェックマトリックスが同じ目的のために使用されることができる。

20

【0055】

図8Aおよび8Bはそれぞれ、図1のシステムにおいてそれぞれ使用されることのできる非グレー8-PSK変調方式およびグレー8-PSK変調方式の概略図である。図8Aの非グレー8-PSK方式は図3の受信機において使用され、非常に低いフレーム消去レート (FER) を必要とするシステムを提供することができる。この要求はまた、Bose, Chaudhuri, およびHocquenghem (BCH)、ハミング、またはリード・ソロモン (RS) コードのような外部コードと共同して図8Bに示されているグレー8-PSK方式を使用することにより満足されることができる。

30

【0056】

この方式の下では、8-PSK変調を使用することのできるLDPCデコーダ305 (図3) とビット計量発生装置307との間で繰返しを行う必要はない。外部コードが存在しないとき、グレーラベル付けを使用するLDPCデコーダ305は、以下において図9で示されるように早期のフロアエラーを示す。

40

【0057】

図9は、図8Aのグレーラベル付けを使用したコードと図8Bの非グレーラベル付けを使用したコードとの間のパフォーマンスを示すグラフである。エラーフロアは、LDPCデコーダ305からの正しいフィードバックを仮定すると、既知の2ビットによる2つの8-PSKシンボルは非グレーラベル付けによるほうがいっそう遠くに離れているため、非グレーラベル付けによる8-PSKビット計量の再生のほうが正確であることに由来する。これは同様に、高い信号対雑音比 (SNR) での動作として見られる。したがって、グレーまたは非グレーラベル付けを使用した同じLDPCコードのエラー漸近線が同じ傾斜を有していても (すなわち、互いに平行であっても)、非グレーラベル付けによるものは任意のSNRで低いFERを通過する。

50

【0058】

他方において、それ程低いF E Rを必要としないシステムに対しては、L D P Cデコーダ305と8－P S Kビット計量発生装置307との間の反復を伴わないグレーラベル付けのほうが適切かもしれない。これは、全ての各L D P Cデコーダ反復の前に8－P S Kビット計量を再生することにより、追加の複雑さが生じるためである。さらに、グレーラベル付けが使用されたとき、全ての各L D P Cデコーダ反復の前に8－P S Kビット計量を再生しても、ごくわずかなパフォーマンス改善しか得られない。上述したように、反復を伴わないグレーラベル付けは、外部コードが構成される場合、非常に低いF E Rを必要とするシステムに対して使用されることができる。

【0059】

10

グレーラベル付けと非グレーラベル付けとの間の選択はまた、L D P Cコードの特性にも依存する。典型的に、ビットまたはチェックノード度が高くなると、それだけいっそうグレーラベル付けが適切になる。これは、高いノード度に関しては、非グレーラベル付けによるほうが、L D P Cデコーダ305から8－P S K（または類似の高次の変調）ビット計量発生装置307への最初のフィードバックが低下するためである。

【0060】

8－P S K（または類似の高次の）変調が2進デコーダにより使用されたとき、シンボルの3（以上の）ビットは“等しい雑音で”受取られないことが認識される。たとえば、グレー8－P S Kラベル付けに関して、あるシンボルの第3のビットはデコーダに対する雑音が他の2ビットより多いと考えられる。したがって、L D P Cコード設計では、8－P S Kシンボルの“雑音が多い”第3のビットにより表されるこれらのビットノードは、これらのビットが2度とペナルティを科せられないように、少数のエッジを割当てられない。

20

【0061】

図10は、本発明の1実施形態による非グレイマッピングを使用するL D P Cデコーダの動作のフローチャートである。このアプローチの下では、L D P Cデコーダおよびビット計量発生装置は、次々に反復する。この例においては、8－P S K変調が使用されている。しかしながら、同じ原理は他の高次変調方式にも適用される。このシナリオにおいて、復調装置301は、受取られた雑音の多いシンボル地点と8－P S Kシンボル地点との間の距離を表す距離ベクトルdをビット計量発生装置307に出力することを仮定すると、ベクトルコンポーネントは次のようになる：

30

【数21】

$$d_i = -\frac{E_s}{N_0} \{ (r_x - s_{i,x})^2 + (r_y - s_{i,y})^2 \} \quad i = 0, 1, \dots, 7.$$

【0062】

8－P S Kビット計量発生装置307は、uおよびaとしてそれぞれ表される演繹的確率情報および経験的確率情報を交換するためにL D P Cデコーダ305と通信する。すなわち、ベクトルはuおよびaはそれぞれコードビットの対数尤度比の演繹的確率情報および経験的確率情報を表す。

40

【0063】

8－P S Kビット計量発生装置307は、次のように3ビットの各グループに対する演繹的尤度比を生成する。最初に、コード化されたビットに関する非本質的情報が得られる：

$$e_j = a_j - u_j \quad j = 0, 1, 2$$

次に、8－P S Kシンボル確率： p_i （ $i = 0, 1, \dots, 7$ ）が決定される。

【数 2 2】

$$* y_j = -f(0, e_j) \quad j = 0, 1, 2$$

ここで

$$LUT_f(a, b) = \ln(1 + e^{-|a-b|})$$

$$* x_j = y_j + e_j \quad j = 0, 1, 2$$

$$* p_0 = x_0 + x_1 + x_2 \quad p_4 = y_0 + x_1 + x_2$$

$$p_1 = x_0 + x_1 + y_2 \quad p_5 = y_0 + x_1 + y_2$$

$$p_2 = x_0 + y_1 + x_2 \quad p_6 = y_0 + y_1 + x_2$$

$$p_3 = x_0 + y_1 + y_2 \quad p_7 = y_0 + y_1 + y_2$$

10

により

$$f(a, b) = \max(a, b) + LUT_f(a, b)$$

20

【0 0 6 4】

次に、ビット計量発生装置307は以下のように、LDPCデコーダ305への入力としてコード化されたビットの演繹的対数尤度比を決定する：

【数 2 3】

$$u_0 = f(d_0 + p_0, d_1 + p_1, d_2 + p_2, d_3 + p_3) - f(d_4 + p_4, d_5 + p_5, d_6 + p_6, d_7 + p_7) - e_0$$

$$u_1 = f(d_0 + p_0, d_1 + p_1, d_4 + p_4, d_5 + p_5) - f(d_2 + p_2, d_3 + p_3, d_6 + p_6, d_7 + p_7) - e_1$$

$$u_2 = f(d_0 + p_0, d_2 + p_2, d_4 + p_4, d_6 + p_6) - f(d_1 + p_1, d_3 + p_3, d_5 + p_5, d_7 + p_7) - e_2$$

30

【0 0 6 5】

3以上の変数を有する関数 $f(\cdot)$ は、たとえば、 $f(a, b, c) = f(f(a, b), c)$ のように反復的に推定されることが可能なことが認識される。

【0 0 6 6】

以下、非グレイマッピングを使用するLDPCデコーダ305の動作を説明する。ステップ1001において、LDPCデコーダ305は以下にしたがった（および図12Aに示されているように）最初の反復の前に、コード化されたビット v の対数尤度比を初期化する：

【数 2 4】

$$v_{n \rightarrow k_i} = u_n, \quad n = 0, 1, \dots, N-1, \quad i = 1, 2, \dots, \deg(\text{ビットノード } n)$$

40

ここで、

$v_{n \rightarrow k_i}$ はビットノード n からその隣接したチェックノード k_i へのメッセージを示し、

u_n はビット n に対する復調装置出力を示し、 N はコードワードサイズである。

【0 0 6 7】

ステップ1003において、チェックノード k が更新され、それによって入力 v により出力

50

wが得られる。図12Bに見られるように、チェックノードkに対してその d_c の隣接ビットノードから入ってきたメッセージは、

【数25】

$$v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}$$

【0068】

によって示される。目的は、 d_c の隣接ビットノードに戻ってチェックノードkから出ていくメッセージを計算することである。これらのメッセージは、次のように示される：

【数26】

$$w_{k \rightarrow n_1}, w_{k \rightarrow n_2}, \dots, w_{k \rightarrow n_{d_c}},$$

ここで、 $w_{k \rightarrow n_i} = g(v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{i-1} \rightarrow k}, v_{n_{i+1} \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k})$ 。

【0069】

この関数 $g(\cdot)$ は以下のように規定される：

【数27】

$$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \{\min(|a|, |b|)\} + LUT_g(a, b),$$

ここで、 $LUT_g(a, b) = \ln(1 + e^{-|a+b|}) - \ln(1 + e^{-|a-b|})$

【0070】

関数 f に類似して、3以上の変数を有する関数 g は、反復的に推定されることができる。

【0071】

次に、ステップ1005において、デコーダ305は、以下の関係が成立するように経験的確率情報を出力する（図12のC）：

【数28】

$$a_n = u_n + \sum_j w_{k_j \rightarrow n}.$$

【0072】

ステップ1007において、全てのパリティチェック式が満足されたか否かが決定される。これらのパリティチェック式が満足されていない場合、デコーダ305はステップ1011に示されているように、8-PSKビット計量およびチャンネル入力 u_n を再度求める。次に、ビットノードはステップ1013に示されているように更新される。図14Cに示されているように、ビットノードnに対してその d_v の隣接チェックノードから入ってきたメッセージは、

【数29】

$$w_{k_1 \rightarrow n}, w_{k_2 \rightarrow n}, \dots, w_{k_{d_v} \rightarrow n}$$

【0073】

によって示される。ビットノードnから出ていくメッセージは d_v の隣接ビットノードに戻って計算される；このようなメッセージは、

10

20

30

40

50

【数 3 0】

$$v_{n \rightarrow k_1}, v_{n \rightarrow k_2}, \dots, v_{n \rightarrow k_d}$$

【0 0 7 4】

によって示され、次のように計算される：

【数 3 1】

$$v_{n \rightarrow k_i} = u_n + \sum_{j \neq i} w_{k_j \rightarrow n}$$

10

【0 0 7 5】

ステップ1013において、デコーダ305はハード決定を出力する（全てのパリティチェック式が満足される場合に）：

【数 3 2】

$$\hat{c}_n = \begin{cases} 0, & a_n \geq 0 \\ 1, & a_n < 0 \end{cases} \quad H\hat{c}^T = 0 \text{ ならば、中止}$$

20

【0 0 7 6】

上記のアプローチは、非グレーラベル付けが使用されたときに適切である。しかしながら、グレーラベル付けが実施されたとき、図 1 1 のプロセスが実行される。

【0 0 7 7】

図 1 1 は、本発明の 1 実施形態によるグレーマッピングを使用する図 3 の LDPC デコーダの動作のフローチャートである。グレーラベル付けが使用されたとき、全ての各 LDPC デコーダ反復の後にビット計量を再生することにより公称パフォーマンス改善が得られる可能性があるため、ビット計量は都合よく LDPC デコーダの前に一度だけ生成されることが有効である。図 1 0 のステップ1001および1003に関するように、ステップ1101においてコードビット v の対数尤度比の初期化が行われ、ステップ1103においてチェックノードが更新される。次にステップ1105に示されているように、ビットノード n が更新される。その後、デコーダは経験的確率情報を出力する（ステップ1107）。ステップ1109において、全てのパリティチェック式が満足されているか否かが決定される：そうであるならば、デコーダはハード決定を出力する（ステップ1111）。そうでない場合には、ステップ1103-1107が繰返される。

30

【0 0 7 8】

図 1 3 の A は、順方向・逆方向アプローチを使用してチェックノードとビットノードとの間の出ていくメッセージを計算する本発明の 1 実施形態によるプロセスのフローチャートである。 d_c の隣接エッジを有するチェックノードに対して、 $d_c (d_c - 1)$ および多数の $g(\cdot, \cdot)$ 関数の計算が行われる。しかしながら、順方向・逆方向アプローチは計算の複雑さを $3(d_c - 2)$ に軽減し、この場合 $d_c - 1$ の変数が記憶される。

40

【0 0 7 9】

図 1 2 の B に戻ると、チェックノード k に対してその d_c の隣接ビットノードから入ってきたメッセージは次のように示される：

【数 3 3】

$$v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}$$

【0 0 8 0】

出ていくメッセージは、チェックノード k から d_c の隣接ビットノードに戻って計算され

50

ることが望ましい；これらの出ていくメッセージは次のように示されている：

【数 3 4】

$$w_{k \rightarrow n_1}, w_{k \rightarrow n_2}, \dots, w_{k \rightarrow n_{dc}}$$

【0081】

出ていくメッセージの計算に対する順方向・逆方向アプローチの下では、順方向変数 $f_1, f_2, \dots, f_{dc}$ は以下のように規定される：

10

【数 3 5】

$$\begin{aligned} f_1 &= v_{1 \rightarrow k} \\ f_2 &= g(f_1, v_{2 \rightarrow k}) \\ f_3 &= g(f_2, v_{3 \rightarrow k}) \\ &\vdots \\ f_{dc} &= g(f_{dc-1}, v_{dc \rightarrow k}) \end{aligned}$$

20

【0082】

これらの順方向変数はステップ1301において計算され、ステップ1303で記憶される。

【0083】

同様に、逆方向変数 $b_1, b_2, \dots, b_{dc}$ は以下のように規定される：

【数 3 6】

$$\begin{aligned} b_{dc} &= v_{dc \rightarrow k} \\ b_{dc-1} &= g(b_{dc}, v_{dc-1 \rightarrow k}) \\ &\vdots \\ b_1 &= g(b_2, v_{1 \rightarrow k}) \end{aligned}$$

30

【0084】

それから、これらの順方向変数はステップ1305において計算される。その後、ステップ1307において、記憶された順方向変数および計算された逆方向変数に基づいて出ていくメッセージが計算される。この出ていくメッセージは次のように計算される：

【数 3 7】

$$\begin{aligned} w_{k \rightarrow 1} &= b_2 \\ w_{k \rightarrow i} &= g(f_{i-1}, b_{i+1}) \quad i=2, 3, \dots, dc-1 \\ w_{k \rightarrow dc} &= f_{dc-1} \end{aligned}$$

40

【0085】

このアプローチの下において、順方向変数 $f_2, f_3, \dots, f_{dc}$ だけが記憶される必要がある。逆方向変数 b_i は計算されているので、出ていくメッセージ：

【数 3 8】

$$w_{k \rightarrow i}$$

50

【0086】

は同時に計算され、それによって逆方向変数を記憶する必要性をなくする。

【0087】

次に説明するように、計算負荷は並列アプローチによってさらに増強されることができる。

【0088】

図13のBは、並列アプローチを使用してチェックノードとビットノードとの間の出ていくメッセージを計算する本発明の1実施形態によるプロセスのフローチャートである。
d_cの隣接ビットノードからの入力：

【数39】

10

$$v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}$$

【0089】

を有するチェックノードkに対して、ステップ1311に示されているように、以下のパラメータが計算される：

【数40】

$$\gamma_k = g(v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}).$$

20

【0090】

g(.,.)関数はまた、次のように表されることができると認識される：

【数41】

$$g(a,b) = \ln \frac{1 + e^{a+b}}{e^a + e^b}.$$

【0091】

g(.,.)関数の反復特性を利用することにより、結果的に次式が得られる：

【数42】

30

$$\gamma_k = \ln \frac{1 + e^{g(v_{n_1 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}) + v_{n_i \rightarrow k}}}{e^{g(v_{n_1 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k})} + e^{v_{n_i \rightarrow k}}} = \ln \frac{1 + e^{w_{k \rightarrow n_i} + v_{n_i \rightarrow k}}}{e^{w_{k \rightarrow n_i}} + e^{v_{n_i \rightarrow k}}}$$

【0092】

したがって、

【数43】

$$w_{k \rightarrow n_i}$$

40

【0093】

は以下のように解かれることができる：

【数44】

$$w_{k \rightarrow n_i} = \ln \frac{e^{v_{n_i \rightarrow k} + \gamma_k} - 1}{e^{v_{n_i \rightarrow k} - \gamma_k} - 1} - \gamma_k$$

【0094】

上記の式のln(.)の項は、関数ln|e^x - 1|を表すルックアップテーブルLU

50

T_x を使用して得られる（ステップ1313）。他のルックアップテーブル LUT_f または LUT_g とは異なり、この LUT_x はおそらく、量子化レベルの数と同じ数のエントリを必要とする。 γ_k が得られると、ステップ1315に示されているように、全ての n_i に対する

【数45】

$$w_{k \rightarrow n_i}$$

【0095】

の計算は、上記の方程式を使用して並列に行われることができる。

【0096】

γ_k の計算の待ち時間は、都合よく、 $\log_2(d_c)$ である。

【0097】

図14A乃至図14Cは、本発明の種々の実施形態にしたがって発生されたLDPCコードのシミュレーション結果を示すグラフである。とくに、図14A乃至図14Cは、高次の変調と3/4 (QPSK、1.485ビット/シンボル)、2/3 (8-PSK、1.980ビット/シンボル)、および5/6 (8-PSK、2.474ビット/シンボル) のコードレートを有するLDPCコードのパフォーマンスを示している。

【0098】

チェックノードとビットノードとの間の相互接続を実現するための2つの一般的なアプローチ、すなわち：（1）完全並列アプローチ、および（2）部分的並列アプローチが存在する。完全並列アーキテクチャにおいて、ノードおよびそれらの相互接続の全てが物理的に構成される。このアーキテクチャの利点は速度である。

【0099】

しかしながら、完全並列アーキテクチャは全てのノードおよびそれらの相互接続を行うときにかなりの複雑さを伴う可能性がある。したがって、完全並列アーキテクチャでは、複雑さを減少させるために小さいブロックサイズが必要とされる可能性がある。その場合には、結果的に、同じクロック周波数に対して、スループットが比例して減少すると共に、FER対Es/Noパフォーマンスにおいて若干の低下が生じる可能性がある。

【0100】

LDPCコードの構成に対する第2のアプローチは、ノードの総数の部分集合だけを物理的に実現し、これらの限られた数の“物理的”ノードを使用して、そのコードの“機能的”ノードを全て処理することである。LDPCデコーダの動作が非常に単純なものにされることが可能であり、並列に行われることが可能でも、設計における別の難題は、“ランダムに”分布されたビットノードとチェックノードとの間において通信がどのようにして設定されるかである。本発明の1実施形態によるデコーダ305（図3の）は見かけ上ランダムなコードを実現するようにある構成方式でメモリにアクセスすることによってこの問題を解決する。図15Aおよび図15Bに関して、このアプローチを説明する。

【0101】

図15Aおよび図15Bはそれぞれ、LDPCコード化のときにランダム化を達成するために構成されたアクセスをサポートするように編成された本発明の1実施形態によるメモリの上方エッジおよび下方エッジの概略図である。構成されたアクセスは、パリティチェックマトリックスの発生に集中することにより、真にランダムなコードのパフォーマンスに妥協せずに行われることができる。一般に、パリティチェックマトリックスは、チェックノードとビットノードとの接続により特定されることができる。たとえば、ビットノードは、例示のために392である固定されたサイズのグループに分割されることができる。さらに、度数3の第1のビットノードに接続されるチェックノードは、たとえば、a、bおよびcの番号を付けられることを仮定すると、第2のビットノードに接続されるチェックノードはa+p、b+pおよびc+pの番号を付けられ、第3のビットノードに接続されるチェックノードはa+2p、b+2pおよびc+2p等の番号を付けられ、ここでp = (チェックノードの数) / 392である。392ビットノードの次のグループに対

10

20

30

40

50

しては、pの適切な選択により全てのチェックノードが同じ度数を有するように、第1のビットノードに接続されるチェックノードはa, b, cとは異なっている。結果的に得られるLDPCコードがサイクル4およびサイクル6フリーであるように、ランダムサーチが自由定数に対して行われる。本発明のパリティチェックマトリックスの構造上の特徴のために、エッジ情報は復号中に関連したエッジ値のグループへの並行アクセスを可能にするように記憶されることができる。

【0102】

換言すると、本発明のアプローチは、チェックノードおよびビットノード処理中のメモリアccessを容易にする。2部分グラフにおけるエッジの値は、ランダムアクセスメモリ(RAM)のような記憶媒体中に記憶されることができる。チェックノードおよびビットノードの処理中、真にランダムなLDPCコードに対してエッジの値はランダムな方式で1つずつアクセスされる必要があることが認識される。しかしながら、このような通常のアクセス方式は、高いデータレートへのアプリケーションには遅過ぎる。図15Aおよび図15BのRAMは、関連したエッジの大きいグループが1クロックサイクルで取り出されることができる方式で編成されている；したがって、これらの値は予め定められた方式または配列にしたがってメモリ中に“一緒に”配置されている。実際には、真にランダムなコードでさえ、チェックノード（およびそれぞれにビットノード）のグループに対しては、関連エッジはRAM中に隣接して配置されることが可能であるが、しかしビットノード（それぞれにチェックノード）のグループに隣接した関連エッジはRAM中においてランダムに分散されることが認識される。したがって、本発明における“一緒に”はパリティチェックマトリックス自身の設計に由来する。すなわち、このチェックマトリックス設計は、ビットノードとチェックノードのグループに対する関連エッジがRAM中に同時に一緒に配置されることを保証する。

【0103】

図15Aおよび図15Bに見られるように、各ボックスは、多くのビット（たとえば、6）であるエッジの値を含んでいる。本発明の1実施形態によるエッジRAMは、上方エッジRAM1501(図15A)および下方エッジRAM1503(図15B)の2つの部分に分割されている。下方エッジRAM1503は、たとえば、度数2のビットノードとチェックノードとの間のエッジを含んでいる。上方エッジRAMは、2より大きい度数のビットノードとチェックノードとの間のエッジを含んでいる。したがって、あらゆるチェックノードに対して、2つの隣接したエッジが下方エッジRAM1503中に記憶され、そのエッジの残りのものは上方エッジRAM1501中に記憶される。たとえば、種々のコードレートに対する上方エッジRAM1501および下方エッジRAM1503のサイズは表14に示されている：

【表50】

表 14

	1/2	2/3	3/4	5/6
上方エッジ RAM	400 x 392	440 x 392	504 x 392	520 x 392
下方エッジ RAM	160 x 392	110 x 392	72 x 392	52 x 392

【0104】

この表14に基づいて、サイズが576×392のエッジRAMは、1/2、2/3、3/4および5/6の全てのコードレートに対するエッジマトリックスを記憶するのに十分である。

【0105】

認識されるように、この例示的なシナリオ下では、一度で処理するために392のビットノードと392のチェックノードのグループが選択される。392のチェックノード処

理については、 $(q = d_c - 2)$ 個の連続した行が上方エッジ R A M 1501 からアクセスされ、2 つの連続した行が下方エッジ R A M 1503 からアクセスされる。 d_c の値は特定のコードに依存し、たとえば、上記のコードについてはレート $1/2$ に対して $d_c = 7$ 、レート $2/3$ に対して $d_c = 10$ 、レート $3/4$ に対して $d_c = 16$ 、およびレート $5/6$ に対して $d_c = 22$ である。当然ながら、別のコードに対する d_c の別の値が可能である。この例において、 $q + 2$ は各チェックノードの度数である。

【0106】

ビットノード処理について、392 のビットノードのグループが度数 2 を有している場合、それらのエッジは下方エッジ R A M 1503 の 2 つの連続した行中に配置される。ビットノードが度数 $d > 2$ を有している場合、それらのエッジは上方エッジ R A M 1501 のある d の行の中に配置される。これらの d 行のアドレスは、読出し専用メモリ (R O M) のような不揮発性メモリ中に記憶されることができる。その行の 1 つの中のエッジは 392 のビットノードの第 1 のエッジに対応し、別の行中のエッジは 392 のビットノードの第 2 のエッジに対応する等々である。さらに、各行に対して、392 のグループ中の第 1 のビットノードに属するエッジの列インデックスもまた R O M 中に記憶されることができる。第 2、第 3 等の他のビットノードに対応したエッジは“ラップアラウンド”方式で開始時の列インデックスに続く。たとえば、行の中の j 番目のエッジが第 1 のビットノードに属している場合、 $(j + 1)$ 番目のエッジは第 2 のビットノードに属し、 $(j + 2)$ 番目のエッジは第 3 のビットノードに属し、 $\dots$ 、 $(j - 1)$ 番目のエッジは第 392 のビットノードに属する。

【0107】

図 15 A および 15 B に示されている編成により、メモリアクセスの速度は L D P C コード化中に大幅に増加される。

【0108】

図 16 は、本発明による実施形態が実施されることのできるコンピュータシステムを示している。コンピュータシステム 1600 はバス 1601 または情報を伝達する別の通信メカニズムと、バス 1601 に接続された情報を処理するプロセッサ 1603 とを備えている。コンピュータシステム 1600 はまた、バス 1601 に接続されてプロセッサ 1603 により実行されるべき命令および情報を記憶するランダムアクセスメモリ (R A M) または別の動的装置のような主メモリ 1605 を備えている。この主メモリ 1605 はまた、命令がプロセッサ 1603 により実行されている期間中に一時的な変数またはその他の中間的な情報を記憶するために使用されることができる。コンピュータシステム 1600 はさらに、静的情報およびプロセッサ 1603 に対する命令を記憶する読出し専用メモリ (R O M) 1607 または別の静的記憶装置を備え、それはバス 1601 に接続されている。さらにバス 1601 には、情報および命令を記憶する磁気ディスクまたは光学ディスクのような記憶装置 1609 が接続されている。

【0109】

コンピュータシステム 1600 は、情報をコンピュータユーザに表示する陰極線管 (C R T)、液晶ディスプレイ、アクティブマトリックスディスプレイ、またはプラズマディスプレイのような表示装置 1611 に対してバス 1601 を介して結合されてもよい。バス 1601 には、情報およびコマンド選択をプロセッサ 1603 に伝達する英数字その他のキーを含むキーボードのような入力装置 1613 が結合されている。別のタイプのユーザ入力装置は、方向情報およびコマンド選択をプロセッサ 1603 に伝達すると共に表示装置 1611 上のカーソルの移動を制御するマウス、トラックボール、またはカーソル方向キーのようなカーソル制御装置 1615 である。

【0110】

本発明の 1 実施形態によると、L D P C コードの発生は、主メモリ 1605 中に含まれている命令のアレンジメントを実行するプロセッサ 1603 に応答してコンピュータシステム 1600 により行われる。このような命令は、記憶装置 1609 のような別のコンピュータ読出し可能な媒体から主メモリ 1605 中に読出されることができる。プロセッサ 1603 は、主メモリ 1605 中に含まれている命令のアレンジメントを実行することによりこの明細書に記載されてい

10

20

30

40

50

る処理ステップを行う。多重処理構成された1以上のプロセッサもまた、主メモリ1605中に含まれている命令を実行するために使用されてもよい。別の実施形態において、本発明の実施形態を実施するソフトウェア命令の代りに、またはそれと共にハードワイヤード回路が使用されてもよい。したがって、本発明の実施形態はハードウェア回路およびソフトウェアの特定の組合せに限定されない。

【0111】

コンピュータシステム1600はまた、バス1601に接続された通信インターフェース1617を備えている。この通信インターフェース1617は、ローカルネットワーク1621に接続されたネットワークリンク1619に結合された両方向データ通信を提供する。たとえば、通信インターフェース1617は、デジタル加入者ライン（DSL）カードまたはモデム、統合サービスデジタル網（ISDN）カード、ケーブルモデム、あるいは対応したタイプの電話線に対するデータ通信接続を提供するための電話モデムであってもよい。別の例として、通信インターフェース1617は、適合するLANへのデータ通信接続を行う他のローカルエリアネットワーク（LAN）カード（たとえば、イーサネット（登録商標）または非同期転送モデル（ATM）ネットワーク用の）であってもよい。無線リンクもまた構成されることができる。任意のこのような構成において、通信インターフェース1617は、種々のタイプの情報を表すデジタルデータストリームを伝送する電気信号、電磁信号または光信号を送受信する。さらに、通信インターフェース1617は、ユニバーサルシリアルバス（USB）インターフェース、PCMCIA（パーソナルコンピュータメモリカードインターナショナルアソシエーション）インターフェース等のような周辺インターフェース装置を備えていることができる。

10

20

【0112】

ネットワークリンク1619は典型的に、1以上のネットワークによる別のデータサービスへのデータ通信を提供する。たとえば、ネットワークリンク1619は、ネットワーク1625（たとえば、広域ネットワーク（WAN）または今は“インターネット”と呼ばれているグローバルパケットデータ通信ネットワーク）への、あるいはサービスプロバイダにより動作されるデータ装置への接続を有するホストコンピュータ1623へローカルネットワーク1621を通して接続を提供することができる。ローカルネットワーク1621およびネットワーク1625は共に電気信号、電磁信号または光信号を使用して情報および命令を伝達する。種々のネットワークを通る信号、ネットワークリンク1619上の信号、およびコンピュータシステム1600とデジタルデータを通信する通信インターフェース1617からの信号は、情報および命令を伝送する例示的な形態の搬送波である。

30

【0113】

コンピュータシステム1600は、ネットワーク、ネットワークリンク1619および通信インターフェース1617を通してメッセージを送り、プログラムコードを含むデータを受信することができる。インターネットの例では、サーバ（示されていない）は、本発明の1実施形態を実施するアプリケーションプログラムに属するリクエストされたコードをネットワーク1625、ローカルネットワーク1621および通信インターフェース1617を通して送信する。プロセッサ1603は、その送信されたコードが受信され、および、または後に実行されるために記憶装置1609または別の不揮発性記憶装置中に記憶されているあいだにこれを実行することができる。このようにして、コンピュータシステム1600はアプリケーションコードを搬送波の形態で得ることができる。

40

【0114】

この明細書において使用されている“コンピュータ読出し可能な媒体”という用語は、命令をその実行のためにプロセッサ1603に与えることに関係する任意の媒体を示している。このような媒体は、不揮発性媒体、揮発性媒体および伝送媒体を含むが、それに限定されない多くの形態をとることができる。不揮発性媒体には、たとえば、記憶装置1609のような光学または磁気ディスクが含まれる。揮発性媒体には、主メモリ1605のような動的記憶装置が含まれる。伝送媒体には、バス1601を構成するワイヤを備えた同軸ケーブル、銅線および光ファイバが含まれる。伝送媒体はまた、無線周波数（RF）および赤外線（I

50

R) データ通信中に生成されたもののような音波、光または電磁波の形態をとることができる。一般的な形態のコンピュータ読出し可能な媒体には、たとえば、フロッピー (R) ディスク、フレキシブルディスク、ハードディスク、磁気テープ、任意の他の磁気媒体、CD-ROM、CDRW、DVD、任意の他の光学媒体、パンチカード、紙テープ、光学式マークシート、孔のパターンまたは光学的に認識可能なしるしを有する任意の他の物理的媒体、RAM、PROM、およびEPROM、FLASH-EPROM、任意の他のメモリチップまたはカートリッジ、搬送波、あるいはコンピュータが読出すことのできる任意の他の媒体が含まれる。

【0115】

種々の形態のコンピュータ読出し可能な媒体が、命令をその実行のためにプロセッサに与えるために使用されることができる。たとえば、本発明の少なくとも一部を実行する命令は最初に、遠隔コンピュータの磁気ディスク上で生成されてもよい。このようなシナリオでは、遠隔コンピュータは命令を主メモリ中にロードし、その命令をモデムを使用して電話線で送信する。ローカルコンピュータシステムのモデムは電話線上のデータを受信し、赤外線送信機を使用してそのデータを赤外線信号に変換し、その赤外線信号をパーソナルデジタルアシスタント (PDA) およびラップトップのような可搬計算装置に送信する。この可搬計算装置上の赤外線検出器は、赤外線信号から生成された情報および命令を受取ってそのデータをバスに供給する。バスはデータを主メモリに送り、この主メモリからプロセッサが命令を検索し、実行する。主メモリにより受取られた命令は、プロセッサによる実行の前または後に随意に記憶装置上に記憶されることができる。

【0116】

このように、本発明の種々の実施形態は、構成された低密度パリティチェック (LDPC) コードを符号化する方法を提供する。LDPCコードの構造は、パリティチェックマトリックスの一部分を下方の三角となるように制限し、および、またはデコーダのビットノードとチェックノードとの間の通信が単純化されるように別の要求を満足することによって提供される。構成されたパリティチェックマトリックスを表す情報を記憶するメモリがアクセスされる。その情報は表形式で編成され、各行はパリティチェックマトリックスの列のグループの第1の列内における1の値の発生を表す。行はパリティチェックマトリックスの列のグループに対応し、各グループ内の後続する列は予め定められた演算 (たとえば、論理桁送り、加法等) にしたがって導出される。LDPCコード化された信号は、パリティチェックマトリックスを表す記憶された情報に基づいて出力される。本発明の1実施形態によると、Bose Chaudhuri Hocquenghem (BCH) エンコーダは、BCHコードを使用して入力信号を符号化するために送信機によって使用され、入力信号に対応した出力LDPCコード化された信号は、外部BCHコードおよび内部LDPCコードを有するコードを表している。さらに、周期的冗長検査 (CRC) コードにしたがって入力信号を符号化するためにCRCエンコーダが提供される。上記の方法の利点は、性能を犠牲にすることなく複雑さを軽減することにある。

【0117】

本発明はいくつかの実施形態および構成との関連して説明されたが、本発明はそれにより限定されるものではなく、添付されている請求の範囲の技術的範囲内にある種々の明らかな修正および等価な構成を包含するものである。

【図面の簡単な説明】

【0118】

【図1】 本発明の1実施形態にしたがって低密度パリティチェック (LDPC) コードを使用するように構成された通信システムの概略図。

【図2A】 図1の送信機内に配備された例示的なLDPCエンコーダの概略図。

【図2B】 図1の送信機内に配備された例示的なLDPCエンコーダの概略図。

【図3】 図1のシステム内の例示的な受信機の概略図。

【図4】 本発明の1実施形態によるスパースパリティチェックマトリックスの概略図。

【図5】 図4のマトリックスのLDPCコードの2部グラフの概略図。

10

20

30

40

50

【図 6】サブマトリックスが下方三角領域に制限されたパリティチェック値を含んでいる、本発明の 1 実施形態によるスパースパリティチェックマトリックスのサブマトリックスの概略図。

【図 7】制限されていないパリティチェックマトリックス（Hマトリックス）を使用したコードと図 6 に示されているようなサブマトリックスを有する制限された Hマトリックスを使用したコードとの間のパフォーマンスを示すグラフ。

【図 8 A】図 1 のシステムにおいて使用されることのできる非グレー 8 - P S K 変調方式の概略図。

【図 8 B】図 1 のシステムにおいて使用されることのできるグレー 8 - P S K 変調方式の概略図。

10

【図 9】グレーラベル付けを使用したコードと非グレーラベル付けを使用したコードとの間のパフォーマンスを示すグラフ。

【図 10】本発明の 1 実施形態による非グレーマッピングを使用する L D P C デコーダの動作のフローチャート。

【図 11】本発明の 1 実施形態によるグレーマッピングを使用する図 3 の L D P C デコーダの動作のフローチャート。

【図 12】本発明の 1 実施形態による復号プロセスにおけるチェックノードとビットノードとの間の相互作用の概略図。

【図 13】順方向・逆方向アプローチおよび並列アプローチをそれぞれ使用してチェックノードとビットノードとの間の出ていくメッセージを計算する本発明の種々の実施形態によるプロセスのフローチャート。

20

【図 14 A】本発明の種々の実施形態にしたがって発生された L D P C コードのシミュレーション結果を示すグラフ。

【図 14 B】本発明の種々の実施形態にしたがって発生された L D P C コードのシミュレーション結果を示すグラフ。

【図 14 C】本発明の種々の実施形態にしたがって発生された L D P C コードのシミュレーション結果を示すグラフ。

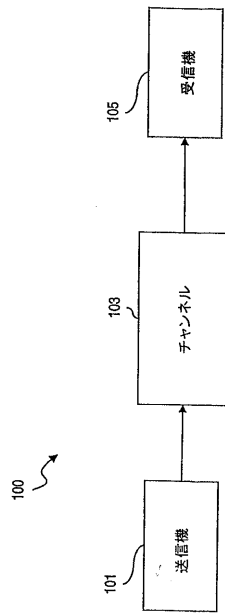
【図 15 A】L D P C コード化のときにランダム化を達成するように構成されたアクセスをサポートするように編成されたメモリの上方エッジの概略図。

【図 15 B】L D P C コード化のときにランダム化を達成するように構成されたアクセスをサポートするように編成されたメモリの下方エッジの概略図。

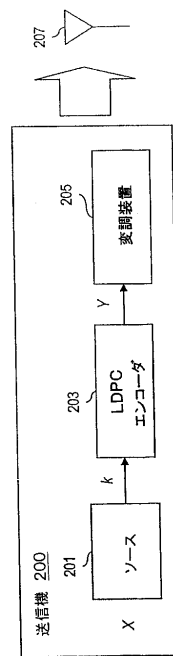
30

【図 16】本発明の実施形態にしたがって L D P C コードを符号化し、復号するプロセスを行うことのできるコンピュータシステムの概略図。

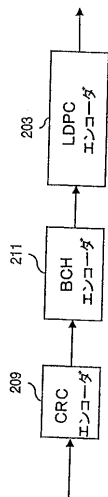
【図 1】



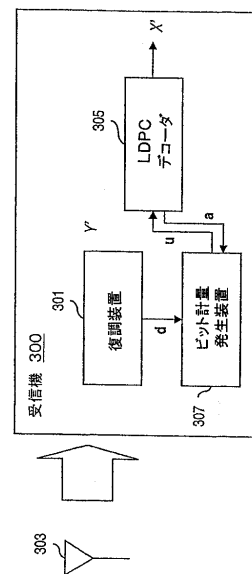
【図 2 A】



【図 2 B】



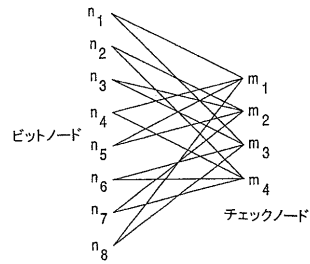
【図 3】



【図 4】

$$H = \begin{bmatrix} n_1 & n_2 & n_3 & n_4 & n_5 & n_6 & n_7 & n_8 \\ 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} \begin{matrix} m_1 \\ m_2 \\ m_3 \\ m_4 \end{matrix}$$

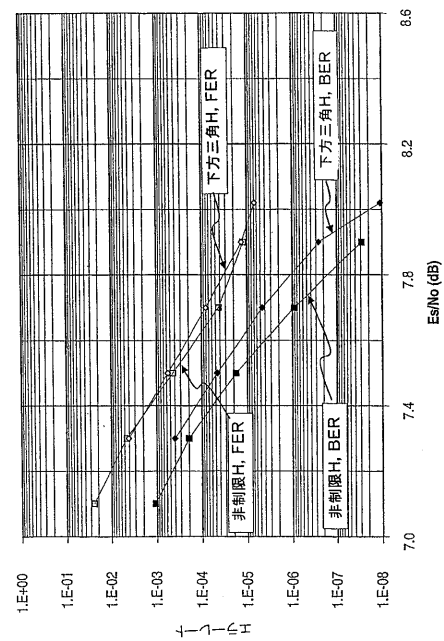
【図 5】



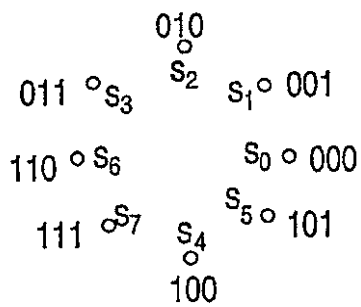
【図 6】

$$B = \begin{bmatrix} 1 & & & & & & & \\ x & 1 & & & & & & 0 \\ x & x & 1 & & & & & \\ x & x & x & 1 & & & & \\ x & x & x & x & 1 & & & \\ x & x & x & x & x & 1 & & \\ x & x & x & x & x & x & 1 & \end{bmatrix}$$

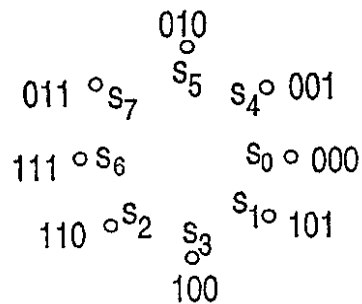
【図 7】



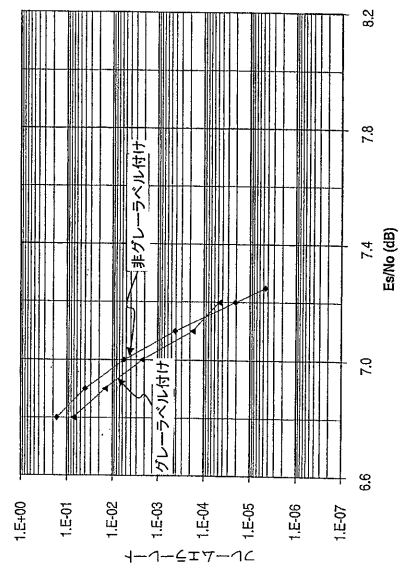
【図 8 A】



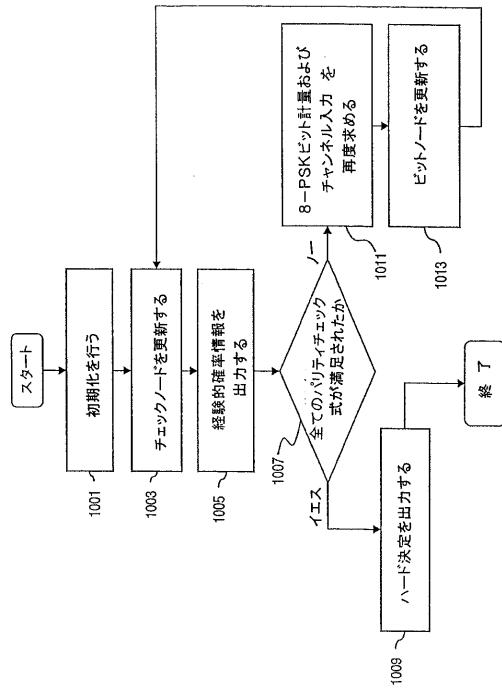
【図 8 B】



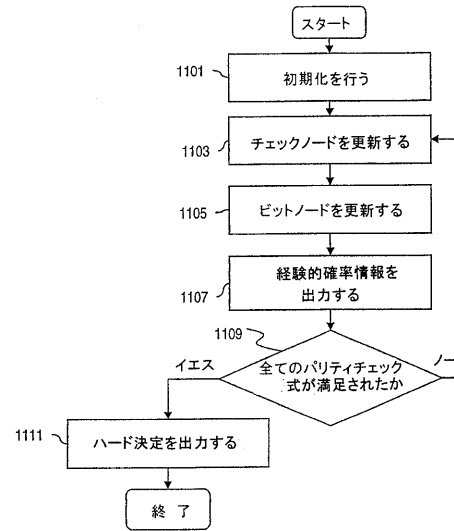
【図 9】



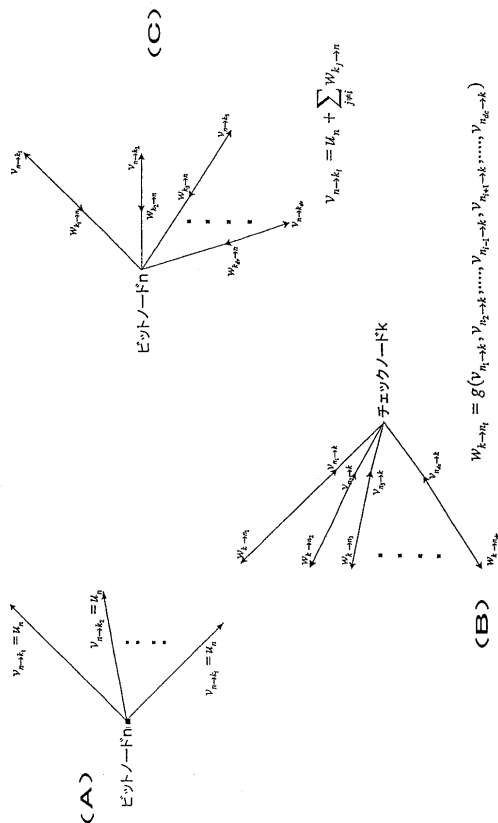
【図 10】



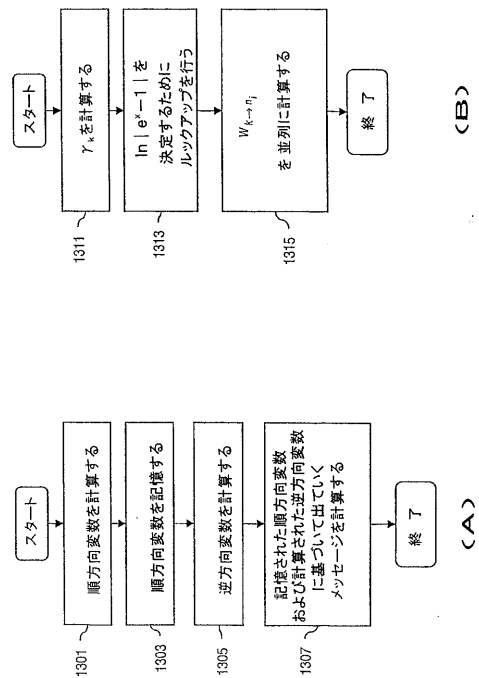
【図 11】



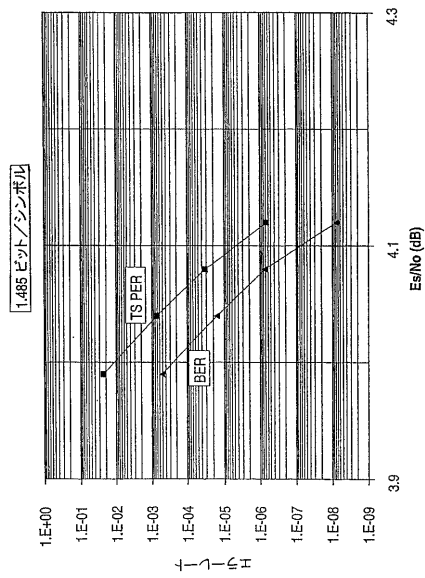
【図 12】



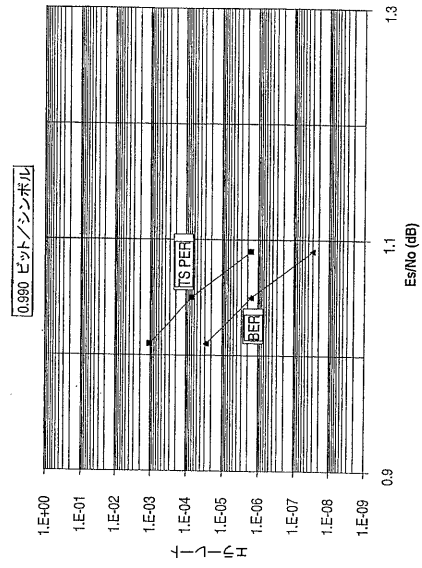
【図 13】



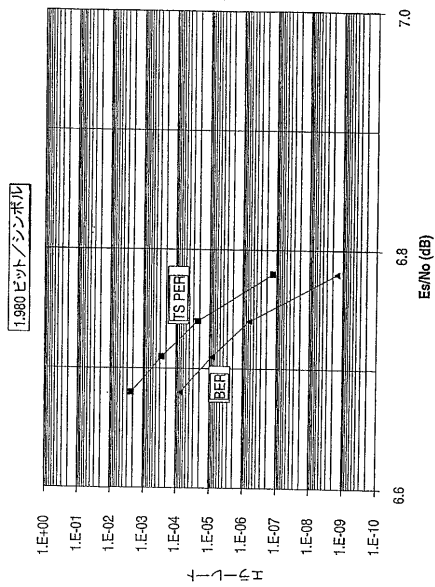
【図 1 4 A】



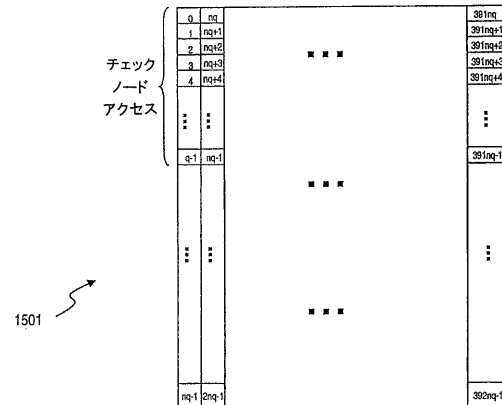
【図 1 4 B】



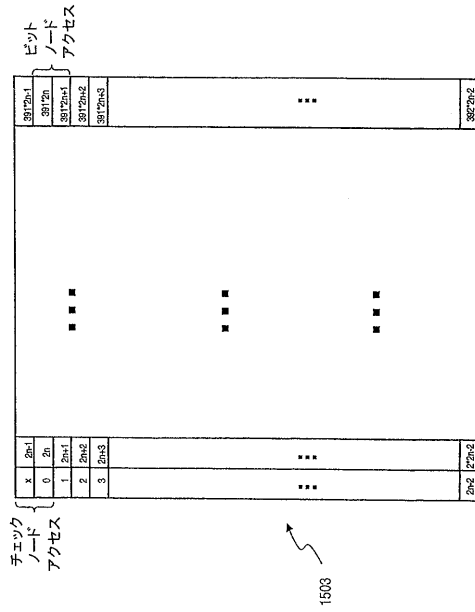
【図 1 4 C】



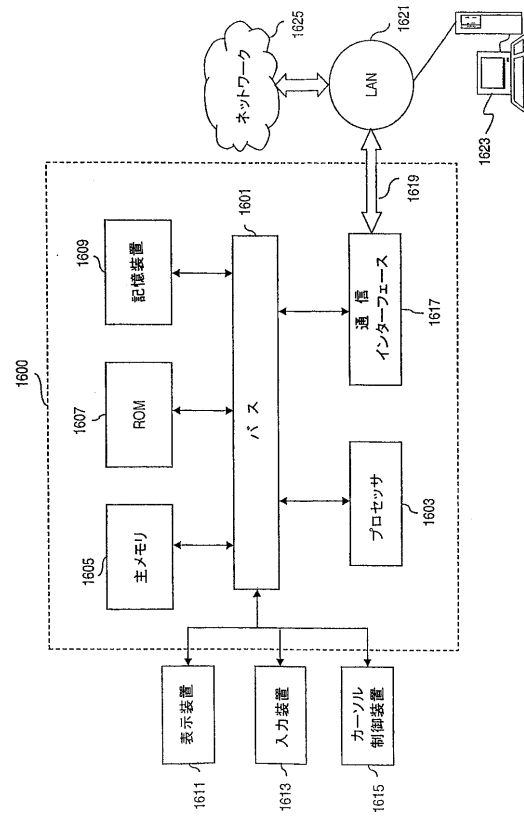
【図 1 5 A】



【図 15 B】



【図 16】



フロントページの続き

- (31)優先権主張番号 60/403,812
(32)優先日 平成14年8月15日(2002.8.15)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/421,505
(32)優先日 平成14年10月25日(2002.10.25)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/421,999
(32)優先日 平成14年10月29日(2002.10.29)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/423,710
(32)優先日 平成14年11月4日(2002.11.4)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/440,199
(32)優先日 平成15年1月15日(2003.1.15)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/447,641
(32)優先日 平成15年2月14日(2003.2.14)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/456,220
(32)優先日 平成15年3月20日(2003.3.20)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/469,356
(32)優先日 平成15年5月9日(2003.5.9)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/482,112
(32)優先日 平成15年6月24日(2003.6.24)
(33)優先権主張国 米国(US)
- (31)優先権主張番号 60/482,107
(32)優先日 平成15年6月24日(2003.6.24)
(33)優先権主張国 米国(US)
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 エロズ、ムスタファ
アメリカ合衆国、メリーランド州 20874、ジャーマンタウン、インディアン・グラス・ドライブ 17007
- (72)発明者 サン、フェン・ウェン
アメリカ合衆国、メリーランド州 20874、ジャーマンタウン、ウィートリッジ・ドライブ 17904
- (72)発明者 リー、リン・ナン
アメリカ合衆国、メリーランド州 20854、ポトマック、フラワー・ゲート・テラス 10004

審査官 藤井 浩

- (56)参考文献 国際公開第03/073621 (WO, A1)

特開2001-168733 (JP, A)

Bane Vasic, Structured Iteratively Decodable Codes Based on Steiner Systems and Their Application in Magnetic Recording, IEEE Global Telecommunications Conference 2001. GLOBECOM '01, 米国, IEEE, 2001年12月11日, pp.2954-2960

(58)調査した分野(Int.Cl., DB名)

H03M 13/00 - 13/53

G06F 11/10

H04L 1/00