

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 11 日 (11.06.2020)



(10) 国际公布号
WO 2020/114409 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01)

(21) 国际申请号: PCT/CN2019/122847

(22) 国际申请日: 2019 年 12 月 4 日 (04.12.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811478102.9 2018 年 12 月 5 日 (05.12.2018) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 廖远宝 (LIAO, Yuanbao); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: PREPARATION METHOD FOR SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件制备方法

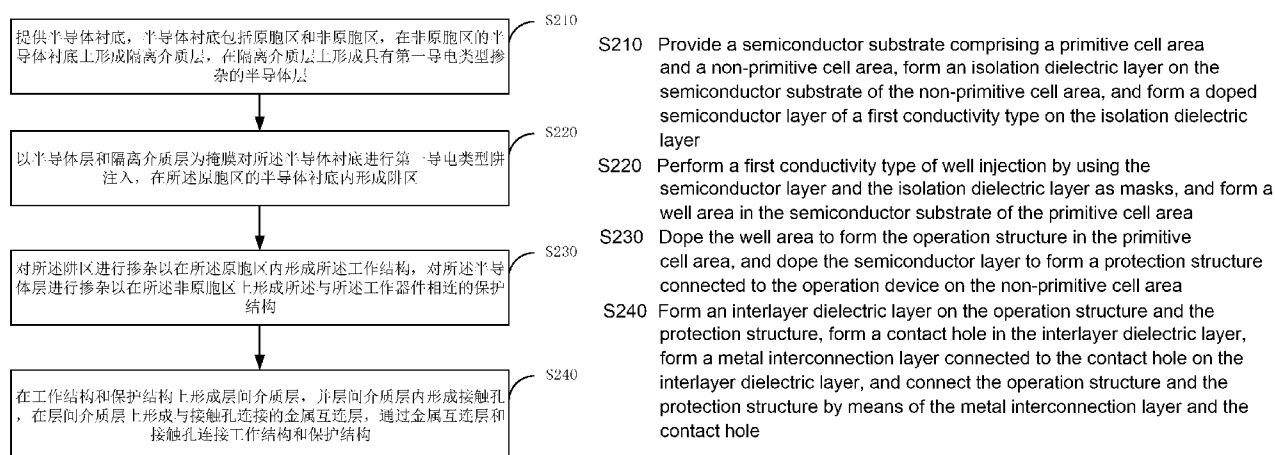


图 2

(57) Abstract: The present application relates to a preparation method for a semiconductor device, comprising: sequentially forming an isolating dielectric layer (220) and a doped semiconductor layer (230) of a first conductivity type on a non-primitive cell area (M) of a semiconductor substrate; performing a first conductivity type of well injection by using the semiconductor layer (230) and the isolating dielectric layer (220) as masks, and forming a well area (213) in a primitive cell area (N); forming an operation structure in the well area (213), and forming a protection structure in the semiconductor layer (230); and forming an interlayer dielectric layer (240) on the operation structure and the protection structure, forming a contact hole in the interlayer dielectric layer (240), forming a metal interconnection layer connected to the contact hole on the interlayer dielectric layer (240), and connecting the operation structure and the protection structure by means of the metal interconnection layer and the contact hole.

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请涉及一种半导体器件制备方法, 包括: 在半导体衬底的非原胞区(M)上依次形成隔离介质层(220)和具有第一导电类型掺杂的半导体层(230); 以半导体层(230)和隔离介质层(220)为掩膜进行第一导电类型阱注入, 在原胞区(N)形成阱区(213); 在阱区(213)内形成工作结构, 在半导体层(230)内形成保护结构; 在工作结构和保护结构上形成层间介质层(240), 并在层间介质层(240)内形成接触孔, 在层间介质层(240)上形成与接触孔连接的金属互连层, 通过金属互连层和接触孔连接工作结构和保护结构。

说明书

申请名称：半导体器件制备方法

相关申请

本申请要求于 2018 年 12 月 5 日提交中国专利局的、申请号为 201811478102.9、申请名称为“半导体器件制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体领域，尤其涉及一种半导体器件制备方法。

背景技术

5 半导体器件通常包括工作结构和对工作结构进行保护的
保护结构，如金属-氧化物-半导体场效应管（Metal-Oxide-Semiconductor Field-Effect Transistor，
以下简称 MOS 管）在生产、组装、测试或搬运过程中都可能生成静电，当静
电电压较高时，会损坏 MOS 管，因此通常增加二极管作为静电保护结构与
MOS 管并联以保护 MOS 管。在半导体器件的具体的制备工艺中，通常是在
10 半导体衬底的非原胞区域形成场氧，以场氧为掩膜对半导体衬底进行自对准
阱注入以在原胞区形成阱区，并在场氧上淀积半导体层，对半导体层进行掺
杂而在非原胞区上形成保护结构，以及在阱区进行掺杂而在原胞区内形成工
作结构，接着淀积一层层间介质层并在层间介质层中形成接触孔以引出电极。
为实现自对准掩膜阱注入，场氧需达到一定的厚度，设为 h_1 ，而淀积在场氧
15 上的半导体层也具有一定的厚度，设为 h_2 ，即在半导体衬底上，非原胞区上的
保护结构的表面比原胞区内的工作结构的表面高 h_1+h_2 ，而层间介质层的
上表面是平整的，这就使得非原胞区上的保护结构上方的层间介质层的厚度

比原胞区上方的层间介质层厚度小 h_1+h_2 ，导致保护结构上方的层间介质层较薄，在后续工艺中，如在形成金属层并对金属层进行刻蚀的过程中，保护结构上方的层间介质层容易被损耗，使保护结构暴露在外而损伤保护结构。

5 发明内容

根据本申请的各种实施例提供一种半导体器件制备方法。

一种半导体器件制备方法，所述半导体器件包括工作结构和对所述工作结构进行保护的保护结构，所述制备方法包括：

提供半导体衬底，所述半导体衬底包括原胞区和非原胞区，在所述非原胞区的半导体衬底上形成隔离介质层，在所述隔离介质层上形成具有第一导电类型掺杂的半导体层；

以所述半导体层和所述隔离介质层为掩膜对所述半导体衬底进行第一导电类型阱注入，在所述原胞区的半导体衬底内形成阱区；

对所述阱区进行掺杂以在所述原胞区内形成工作结构，对所述半导体层进行掺杂以在所述非原胞区上形成所述保护结构；

在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，通过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些申请的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的申请、目前描述的实施例和/或示例以及目前理解的这些申请的最佳模式中的任何一者的范围的限制。

图 1a 至图 1c 为传统技术半导体器件制备方法的相关步骤对应的器件状态图；

图 2 为本申请一实施例中半导体器件制备方法的步骤流程图；

图 3a 至图 3d 为本申请中半导体器件制备方法各步骤对应的器件状态图。

5

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使
10 对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。本文所
15 使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

为了彻底理解本申请，将在下列的描述中提出详细步骤以及结构，以便阐释本申请提出的技术方案。本申请的较佳实施例详细描述如下，然而除了这些详细描述外，本申请还可以具有其他实施方式。

以垂直双扩散金属氧化物半导体场效应管（Vertical Double-diffused
20 Metal-Oxide-Semiconductor Field-Effect Transistor，以下简称 VDMOS 管）连接二极管为例说明目前制备半导体器件的工艺步骤，其中，VDMOS 管为工作结构，二极管为静电保护结构，该制备步骤包括：

步骤 S110：提供半导体衬底，半导体衬底包括原胞区和非原胞区，在非原胞区上形成场氧。

25 如图 1a 所示，半导体衬底 110 包括原胞区 B 和非原胞区 A，在半导体衬底 110 上形成一层场氧后，通过光刻、刻蚀工艺去除原胞区域的场氧，保留非原胞区域 A 的场氧 120。

步骤 S120：在所述原胞区的半导体衬底内形成沟槽并在所述沟槽内壁形

成栅氧化层，在所述沟槽内填充栅多晶硅，以场氧为掩膜对原胞区域的半导体衬底进行第一导电类型阱注入，形成阱区。

如图 1b 所示，通过光刻与刻蚀工艺在原胞区的半导体衬底 110 内形成沟槽，在沟槽内壁形成栅氧化层 111，在沟槽内填充栅多晶硅 112，以场氧 120 为掩膜对原胞区域的半导体衬底进行自对准阱注入，形成阱区 113。其中，场氧 120 需达到一定厚度 h_1 才能作为阱注入的自对准掩膜，即场氧 120 的厚度为 h_1 。

步骤 S130：在场氧上形成半导体层，并对半导体层进行第一导电类型掺杂形成第一导电类型半导体结构，对半导体层进行第二导电类型掺杂形成第二导电类型半导体结构，第一导电类型半导体结构和第二导电类型半导体结构形成 P N 结，对阱区进行第二导电类型掺杂形成源区，在半导体层、沟槽和源区上形成层间介质层，并在层间介质层内形成接触孔，通过接触孔从第一导电类型半导体结构处引出二极管的第一极，从第二导电类型半导体结构处引出二极管的第二极，从源区引出源极，从栅多晶硅处引出栅极，在所述层间介质层上形成金属互连层，通过所述金属互连层连接第一极和栅极，连接第二极和源极。

如图 1c 所示，在场氧 120 上淀积一层半导体层，半导体层的厚度为 h_2 ，并对半导体层进行第一导电类型掺杂和第二导电类型掺杂，使半导体层的部分半导体具有第一导电类型，部分半导体具有第二导电类型，即半导体层形成有第一导电类型半导体结构 131 和第二导电类型半导体结构 132，第一导电类型半导体结构 131 和第二导电类型半导体结构 132 形成 PN 结，该 PN 结构成二极管。同时，对阱区进行第二导电类型掺杂形成源区 114。在源区 114、沟槽及半导体层上方覆盖一层层间介质层 140，在层间介质层 140 内形成接触孔 150，具体为在第一导电类型半导体 131 上方的层间介质层 140 形成接触孔以引出二极管的第一极，在第二导电类型半导体 132 上方的层间介质层 140 形成接触孔引出二极管的第二极，在源区 114 上方的层间介质层 140 形成接触孔引出源极，在栅多晶硅 112 上方的层间介质层 140 形成接触孔引出

栅极（图中未示出）。在层间介质层 140 上形成金属互连层 160，通过金属互连层 160 连接第一极和栅极，并连接第二极和源极，并在半导体衬底的背面形成漏极，由此形成具有二极管静电保护的 VDMOS 器件。

上述半导体制备方法形成的半导体器件，场氧 120 的厚度为 h_1 ，半导体层的厚度为 h_2 ，半导体层上方的层间介质层 140 的厚度为 d_1 ，源区 114 上方的层间介质层 140 的厚度为 d_2 ，则 $d_2 - d_1 = h_1 + h_2$ ，即非原胞区 A 上方的层间介质层的厚度比原胞区上方的层间介质层的厚度薄 $h_1 + h_2$ 。而由于在层间介质层中需形成接触孔，接触孔的尺寸受工艺线宽的限制，使得原胞区上方的层间介质层的厚度不能超过一定值，从而使得非原胞区上方的层间介质层较薄。在后续的工艺中如金属刻蚀工艺中，层间介质层会有所损失，当非原胞区上方的层间介质层较薄时，非原胞区上方的层间介质层很可能在金属刻蚀工艺中被去除而损伤层间介质层下方的保护结构。

基于此，本方案提出了一种新的半导体制备方法，可以增大保护结构上的层间介质层的厚度如图 2 所示，该制备方法包括：

15 步骤 S210：提供半导体衬底，半导体衬底包括原胞区和非原胞区，在非原胞区的半导体衬底上形成隔离介质层，在隔离介质层上形成具有第一导电类型掺杂的半导体层。

如图 3a 所示，提供半导体衬底 210，半导体衬底 210 包括原胞区 N 和非原胞区 M，在一实施例中，原胞区 N 位于半导体衬底 210 的中间位置，非原胞区 M 位于半导体衬底 210 的外围且包围原胞区 N，由此对原胞区内的结构进行隔离。在非原胞区 M 的半导体衬底上形成隔离介质层 220，在隔离介质层 220 上形成具有第一导电类型掺杂的半导体层 230。在一实施例中，半导体层 230 为第一导电类型多晶硅层，半导体层 230 也可为其他多晶半导体材料。半导体层 230 的厚度 $H_2 \approx 4000\text{\AA}$ 。在一实施例中，隔离介质层 220 的厚度 H_3 的范围为 $1000\text{\AA}$ 至 $2000\text{\AA}$ ，可选约 $1500\text{\AA}$ 。在一实施例中，隔离介质层 220 为氧化硅层。在一具体的实施例中，当隔离介质层 220 为氧化硅层，且半导体层 230 为多晶硅层，在非原胞区的半导体衬底 210 上形成氧化硅层

并在氧化硅层上形成第一导电类型多晶硅层的具体方法可为：通过热氧化工艺在半导体衬底 210 上形成一层热氧化层，通过淀积工艺在热氧化层上淀积一层多晶硅层，通过掺杂工艺对多晶硅层进行第一导电类型掺杂，形成第一导电类型多晶硅层，通过第一次光刻和刻蚀工艺刻蚀掉原胞区的多晶硅并保留非原胞区的多晶硅，通过第二次刻蚀工艺刻蚀掉原胞区域的热氧化层并保留非原胞区域的热氧化层，在第二次刻蚀工艺中，可以以多晶硅层为掩膜对热氧化层进行第二次刻蚀，由此可以省略一次光刻工艺。在非原胞区的半导体衬底上形成隔离介质层并在隔离介质层上形成具有第一导电类型掺杂的半导体层的工艺步骤并不限于此，在其他实施例中，也可以是先进行光刻与刻蚀工艺，再进行掺杂工艺。

步骤 S220：以半导体层和隔离介质层为掩膜对所述半导体衬底进行第一导电类型阱注入，在所述原胞区的半导体衬底内形成阱区。

如图 3b 所示，以半导体层 230 和隔离介质层 220 为掩膜，对半导体衬底 210 进行第一导电类型阱注入，在原胞区的半导体衬底内形成阱区 213。在一实施例中，隔离介质层 220 和半导体层 230 的总厚度 H_2+H_3 的范围为 $5000\text{\AA}$ 至 $6000\text{\AA}$ ，该厚度可以在阱注入时避免阱注入粒子进入非原胞区的半导体衬底内。在一实施例中，半导体层的第一导电类型掺杂的剂量比半导体衬底的第一导电类型阱注入的剂量至少大一个数量级，其中，第一导电类型阱注入的剂量不超过 $2E13/\text{cm}^2$ ，可为 $5E12/\text{cm}^2\sim 2E13/\text{cm}^2$ ，半导体层 230 的第一导电类型掺杂的剂量不低于 $4E14/\text{cm}^2$ ，可为 $4E14/\text{cm}^2\sim 8E14/\text{cm}^2$ ，即半导体层 230 的第一导电类型掺杂的剂量是第一导电类型阱注入的剂量的至少十倍。当以半导体层 230 和隔离介质层 220 为掩膜进行第一导电类型阱注入时，第一导电类型阱注入粒子对半导体层的影响较小。当保护结构对半导体层中的第一导电类型掺杂浓度的准确性要求较高时，在进行半导体层的第一导电类型掺杂时，可考虑后续阱注入工艺的影响适当降低掺杂剂量。

在一实施例中，当工作结构为 VDMOS 管时，在阱注入工艺之前，还包括在原胞区形成沟槽，在沟槽内壁形成栅氧层并在沟槽内填充栅多晶硅的步骤。

骤。如图 3b 所示,通过光刻与刻蚀工艺在原胞区内的半导体衬底 210 上形成若干沟槽,通过热氧化工艺在沟槽内壁形成一层栅氧层 212,通过淀积工艺淀积一层多晶硅,该多晶硅填充于沟槽内,通过回蚀工艺去除沟槽外的多晶硅并保留沟槽内的多晶硅形成栅多晶硅 212。

5 步骤 S230: 对阱区进行掺杂以在原胞区内形成工作结构,对半导体层进行掺杂以在非原胞区上形成保护结构。

工作结构是以原胞区的半导体衬底为基底,形成于半导体衬底 210 内,保护结构是以非原胞区的半导体衬底上的半导体层为基底,形成于半导体衬底 210 上。在步骤 S220 中形成半导体层 230 和阱区 213 后,经过掺杂等工艺
10 在原胞区内形成工作结构,在非原胞区上形成保护结构。

步骤 S240: 在工作结构和保护结构上形成层间介质层,并在层间介质层内形成接触孔,在层间介质层上形成与接触孔连接的金属互连层,通过金属互连层和接触孔连接工作结构和保护结构。

通过步骤 S230,形成工作结构和保护结构,其中,保护结构形成于半导体层 230 内,工作结构形成于原胞区的半导体衬底 210 内。如图 3d 所示,形成工作结构和保护结构后,需淀积一层面间介质层 240,并在层间介质层 240
15 内形成接触孔,通过接触孔引出工作结构和保护结构的各个电极,然后在层间介质层上淀积一层金属互连层,金属互连层与接触孔连接,通过金属互连层和接触孔连接工作结构和保护结构。

20 以工作结构为 VDMOS 管,保护结构为二极管为例对步骤 S230 和步骤 S240 进行说明,其中,半导体衬底具有第二导电类型。

在步骤 S230 中,对阱区进行掺杂以在原胞区内形成工作结构,对半导体层进行掺杂以在非原胞区上形成保护结构的步骤具体包括:

对阱区进行第二导电类型掺杂形成源区,对半导体层的部分区域进行第二导电类型掺杂以形成并列的第一导电类型半导体结构和第二导电类型半
25 导体结构。

如图 3c 所示,对阱区 213 进行掺杂形成源区 214,对半导体层的部分区

域进行第二导电类型掺杂以使部分区域的第一导电类型半导体转变为第二导电类型半导体，从而使半导体层形成并列的第一导电类型半导体结构 231 和第二导电类型半导体结构 232，其中，第一导电类型半导体结构 231 为半导体层未进行第二导电类型掺杂的区域，第二导电类型半导体结构 232 为半导体层中进行第二导电类型掺杂的区域，并列的第一导电类型半导体结构 231 和第二导电类型半导体结构 232 形成 PN 结。在一实施例中，继续参见图 3c，半导体层形成有多个第一导电类型半导体结构 231 和多个第二导电类型半导体结构 232，且第一导电类型半导体结构 231 与第二导电类型半导体结构 232 的数目相等，第一导电类型半导体结构 231 与第二导电类型半导体结构 232 交替设置，分别从位于最外端的第一导电类型半导体结构 231 和第二导电类型半导体结构 232 引出二极管的第一极和第二极，由此形成多个串联的 PN 结。

在一实施例中，对阱区进行第二导电类型掺杂形成源区，对半导体层的部分区域进行第二导电类型掺杂的步骤具体包括：共用一片掩膜板在阱区和半导体层上形成掺杂窗口，并同时对接阱区和半导体层进行第二导电类型掺杂。共用一片掩膜板，在原胞区域上方以及部分半导体层上形成掺杂窗口，同时对阱区和部分半导体层进行第二导电类型掺杂，可节省工艺步骤。

在步骤 S240 中，在工作结构和保护结构上形成层间介质层，并在层间介质层内形成接触孔，在层间介质层上形成与接触孔连接的金属互连层，通过金属互连层和接触孔连接工作结构和保护结构的步骤具体包括：

在源区、沟槽及第一导电类型半导体结构和第二导电类型半导体结构上形成层间介质层，在源区上方的层间介质层上形成第一接触孔并引出与源区连接的源极，在沟槽上方的层间介质层上形成第二接触孔并引出与栅多晶硅连接的栅极，在第一导电类型半导体结构上方的层间介质层上形成第三接触孔并引出二极管的第一极，在第二导电类型半导体结构上方的层间介质层上形成第四接触孔并引出二极管的第二极，在层间介质层上形成金属互连层，使第一极与栅极连接，第二极与源极连接。

如图 3d 所示, 在源区、沟槽及第一导电类型半导体结构和第二导电类型半导体结构上淀积一层层间介质层 240, 在源区 214 上方的层间介质层 240 内形成第一接触孔 251 并引出与源区 214 连接的源极, 在沟槽上方的层间介质层 240 内形成第二接触孔并引出与栅多晶硅 212 连接的栅极, 在第一导电类型半导体结构 231 上方的层间介质层内形成第三接触孔 253 并引出二极管的第一极, 在第二导电类型半导体结构 232 上方的层间介质层 240 上形成第四接触孔 254 并引出二极管的第二极。在层间介质层 240 上形成金属互连层, 金属互连层包括与第一接触孔连接的第一金属条 261、与第二接触孔连接的第二金属条 (图中未示出)、与第三接触孔 253 连接的第三金属条 263 以及
5 与第四接触孔 254 连接的第四金属条 264, 通过金属互连层和接触孔, 使第一极与栅极连接, 第二极与源极连接。在一实施例中, 引出源极的第一接触孔 251 穿透源区 214 并延伸至阱区 213, 引出二极管第一极的第三接触孔 253 穿透第一导电类型半导体结构 231 并停止于隔离介质层 220 上, 引出二极管第二极的第四接触孔 254 穿透第二导电类型半导体结构 232 并停止于隔离介质层 220 上。同时, 在半导体衬底 210 背离层间介质层的一侧形成漏极, 由此
10 完成 VDMOS 管与二极管的并联, 利用二极管实现对 VDMOS 的静电保护功能。

在一实施例中, 半导体衬底包括半导体基底自半导体基底生长的外延层。在一实施例中, 第一导电类型可为 P 型, 第二导电类型可为 N 型, 或第一导电类型可为 N 型, 第二导电类型可为 P 型。当第一导电类型为 P 型时, 通过
20 上述方法形成的 VDMOS 管为 N 型 VDMOS 管, 形成的二极管中的第一极为阳极, 第二极为阴极, 当第一导电类型为 N 型时, 通过上述方法形成的 VDMOS 管为 P 型 VDMOS 管, 形成的二极管中的第一极为阴极, 第二极为阳极。上述实施例具体以 VDMOS 管作为工作结构, 在其他实施例中, 也可以
25 是横向双扩散金属氧化物半导体场效应管 (Lateral Double-diffused Metal-Oxide-Semiconductor Field-Effect Transistor, 简称 LDMOS 管) 或者其他具有阱注入工艺的半导体器件, 在阱注入时以保护结构中的隔离介质层和

半导体层为掩膜代替场氧实现自对准阱注入的方案均落入本申请的保护范围之内。

上述半导体器件制备方法，在对原胞区 N 的半导体衬底 210 进行阱注入之前，先在非原胞区 M 形成隔离介质层 220 和半导体层 230，以隔离介质层 220 和半导体层 230 共同作为自对准掩膜，对半导体衬底 210 进行阱注入，从而在原胞区 N 形成阱区，而非原胞区 M 由于受隔离介质层 220 和半导体层 230 的屏蔽作用而不受阱注入的影响。在传统技术中，非原胞区域上的保护结构形成于场氧上，且使用场氧作为自对准掩膜，场氧的厚度 h_1 较厚，而在本申请中，非原胞区域上的保护结构形成于隔离介质层 220 上，由于以隔离介质层 220 和形成保护结构的半导体层 230 作为自对准掩膜，只要隔离介质层 220 和半导体层 230 整体达到一定厚度即可作为自对准掩膜，即隔离介质层 220 的厚度 H_3 可以比较薄，隔离介质层的厚度 H_3 小于场氧的厚度 h_1 ，而半导体层的厚度保持不变时，即 $H_2=h_2$ 时，使得非原胞区上的保护结构与原胞区内的工作结构形成的台阶高度减小，当原胞区上方的层间介质层的厚度不变时，即 $D_2=d_2$ 时，本申请中的非原胞区上的保护结构上方的层间介质层的厚度增大，即 $D_1 > d_1$ ，使得层间介质层对保护结构的隔离作用增强。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体器件制备方法，所述半导体器件包括工作结构和对所述工作结构进行保护的
保护结构，所述制备方法包括：

提供半导体衬底，所述半导体衬底包括原胞区和非原胞区，在所述非原胞区的半导体衬底上形成隔离介质层，在所述隔离介质层上形成具有第一导电类型掺杂的半导体层；

以所述半导体层和所述隔离介质层为掩膜对所述半导体衬底进行第一导电类型阱注入，在所述原胞区的半导体衬底内形成阱区；

对所述阱区进行掺杂以在所述原胞区内形成所述工作结构，对所述半导体层进行掺杂以在所述非原胞区上形成所述保护结构；以及

在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，通过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构。

2、如权利要求 1 所述的制备方法，其中，所述半导体层的第一导电类型掺杂的剂量比所述半导体衬底的第一导电类型阱注入的剂量至少大一个数量级。

3、如权利要求 2 所述的制备方法，其中，所述第一导电类型掺杂的剂量不低于 $4\text{E}14/\text{cm}^2$ ，所述第一导电类型阱注入的剂量不超过 $2\text{E}13/\text{cm}^2$ 。

4、如权利要求 1 所述的制备方法，其中，所述隔离介质层的厚度范围为 $1000\text{\AA}$ 至 $2000\text{\AA}$ 。

5、如权利要求 4 所述的制备方法，其中，所述隔离介质层和所述半导体层的总厚度的范围为 $5000\text{\AA}$ 至 $6000\text{\AA}$ 。

6、如权利要求 1 所述的制备方法，其中，所述隔离介质层为氧化硅层。

7、如权利要求 6 所述的制备方法，其中，所述半导体层为第一导电类型多晶硅层。

8、如权利要求 1 所述的制备方法，其中，所述原胞区位于所述半导体衬

底的中间位置，非原胞区位于所述半导体衬底的外围且包围所述原胞区。

9、如权利要求 1 所述的制备方法，其中，所述工作结构为 VDMOS 管，在对所述原胞区的半导体衬底进行第一导电类型阱注入的步骤之前，还包括：

在所述原胞区形成沟槽，在所述沟槽内壁形成栅氧层并在所述沟槽内填充栅多晶硅。

10、如权利要求 9 所述的制备方法，其中，所述保护结构为二极管，所述半导体衬底具有第二导电类型；

所述对所述阱区进行掺杂以在所述原胞区内形成所述工作结构，对所述半导体层进行掺杂以在所述非原胞区上形成所述保护结构的步骤具体包括：

对所述阱区进行第二导电类型掺杂形成源区，对所述半导体层的部分区域进行第二导电类型掺杂以形成并列的第一导电类型半导体结构和第二导电类型半导体结构；

所述在所述工作结构和所述保护结构上形成层间介质层，并在所述层间介质层内形成接触孔，在所述层间介质层上形成与所述接触孔连接的金属互连层，通过所述金属互连层和所述接触孔连接所述工作结构和所述保护结构的步骤具体包括：

在所述源区、沟槽及所述第一导电类型半导体结构和第二导电类型半导体结构上形成层间介质层，在所述源区上方的层间介质层上形成第一接触孔并引出与所述源区连接的源极，在所述沟槽上方的层间介质层上形成第二接触孔并引出与所述栅多晶硅连接的栅极，在所述第一导电类型半导体结构上方的层间介质层上形成第三接触孔并引出所述二极管的第一极，在所述第二导电类型半导体结构上方的层间介质层上形成第四接触孔并引出所述二极管的第二极，在所述层间介质层上形成金属互连层，使所述第一极与所述栅极连接，所述第二极与所述源极连接。

11、如权利要求 10 所述的制备方法，其中，所述对所述阱区进行第二导电类型掺杂形成源区，对所述半导体层的部分区域进行第二导电类型掺杂的步骤具体包括：

共用一片掩模板在所述阱区和所述半导体层上形成掺杂窗口，并同时
对所述阱区和所述半导体层进行第二导电类型掺杂。

12、如权利要求 10 所述的制备方法，其中，所述第一接触孔穿透所述源
区并延伸至所述阱区内。

5 13、如权利要求 10 所述的制备方法，其中，所述半导体层形成多个所述
第一导电类型半导体结构和多个所述第二导电类型半导体结构，且所述第一
导电类型半导体结构与所述第二导电类型半导体结构的数目相等，所述第一
导电类型半导体结构与所述第二导电类型半导体结构交替设置，分别从位于
最外端的第一导电类型半导体结构和第二导电类型半导体结构引出二极管的
10 第一极和第二极。

14、如权利要求 10 所述的制备方法，其中，在所述半导体衬底背离所述
层间介质层的一侧形成漏极。

15 15、如权利要求 7 所述的制备方法，其中，所述在所述非原胞区的半导
体衬底上形成隔离介质层，在所述隔离介质层上形成具有第一导电类型掺杂
的半导体层的步骤具体包括：

通过热氧化工艺在所述半导体衬底上形成一层热氧化层；

通过淀积工艺在所述热氧化层上淀积一层多晶硅层；

通过掺杂工艺对所述多晶硅层进行第一导电类型掺杂；

20 通过第一次光刻和刻蚀工艺刻蚀掉原胞区的多晶硅层并保留非原胞区的
多晶硅层；以及

以保留的多晶硅层为掩膜，通过第二次刻蚀工艺刻蚀掉原胞区域的所述
热氧化层并保留非原胞区域的热氧化层，保留的所述热氧化层和保留的所述多
晶硅层分别为隔离介质层和半导体层。

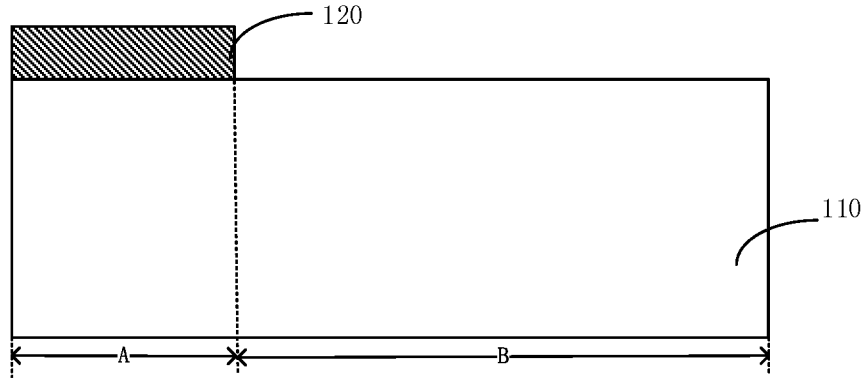


图 1a

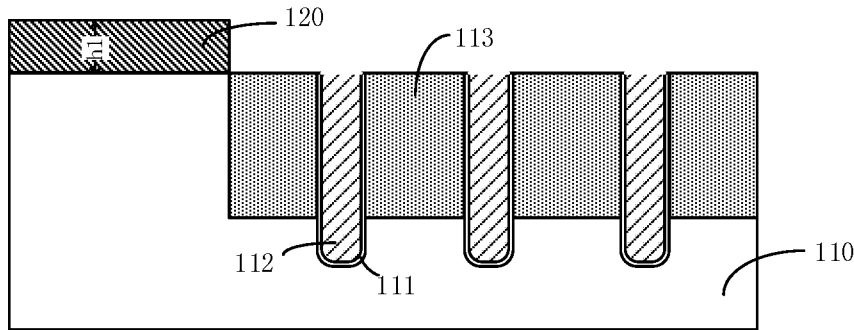


图 1b

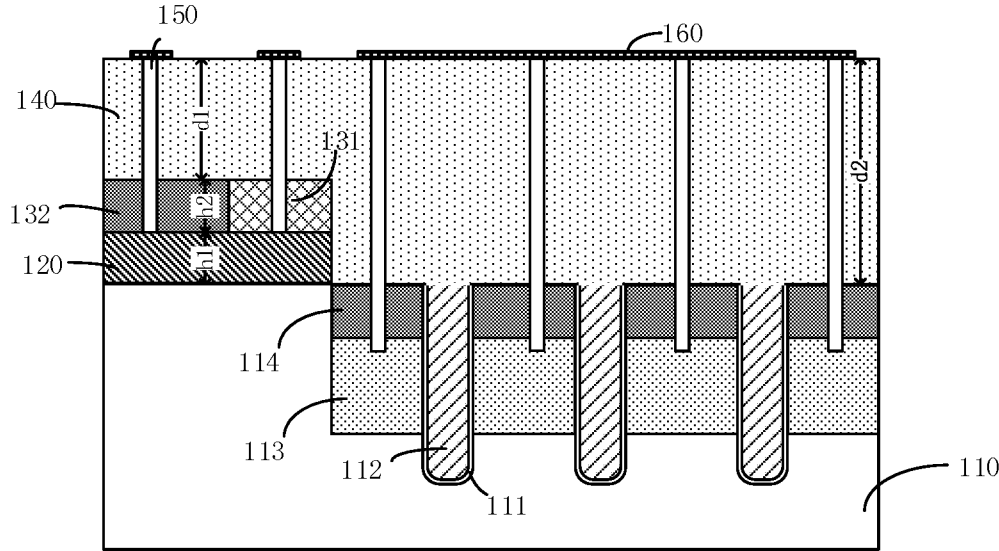


图 1c

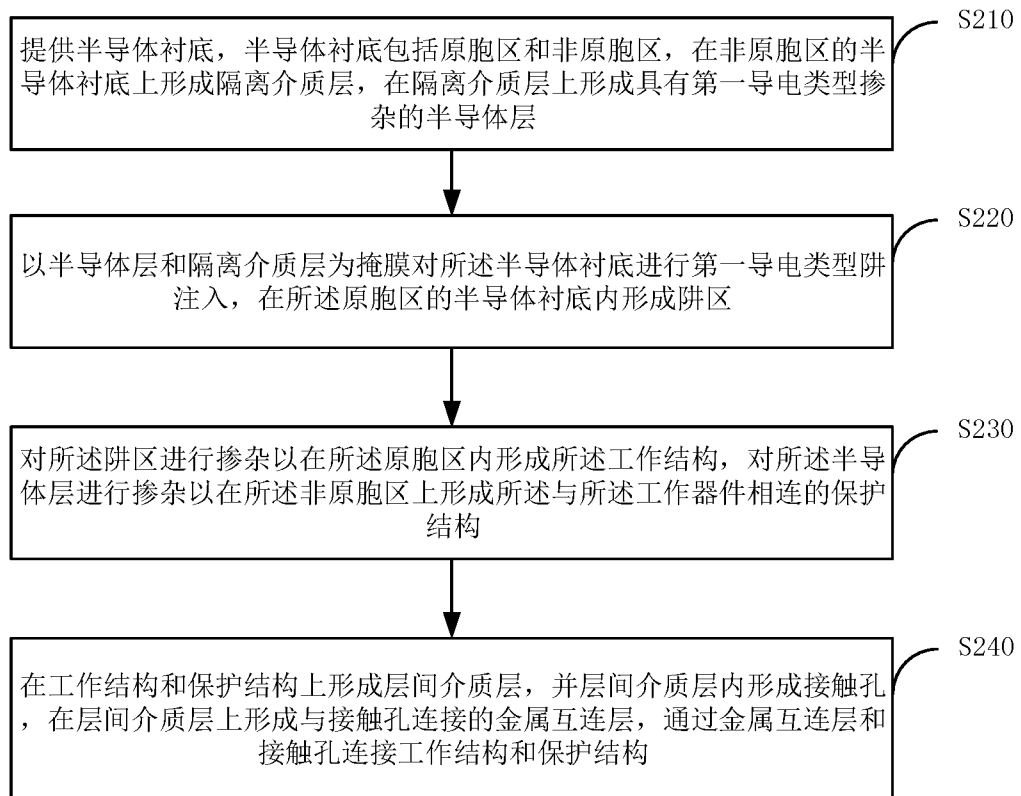


图 2

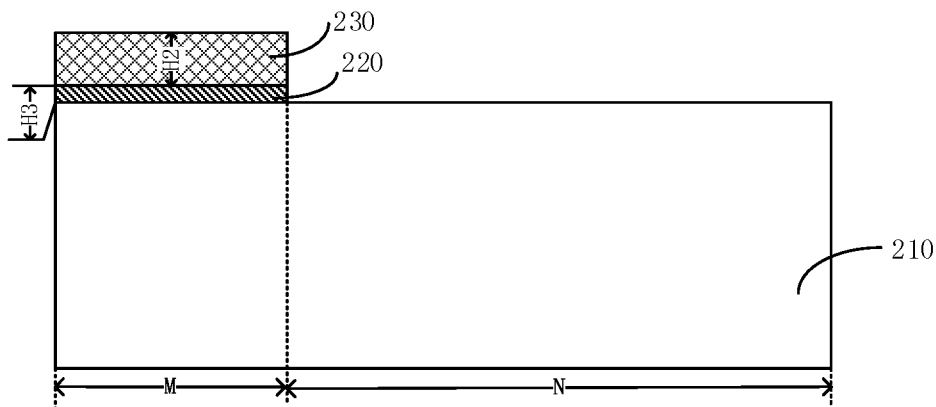


图 3a

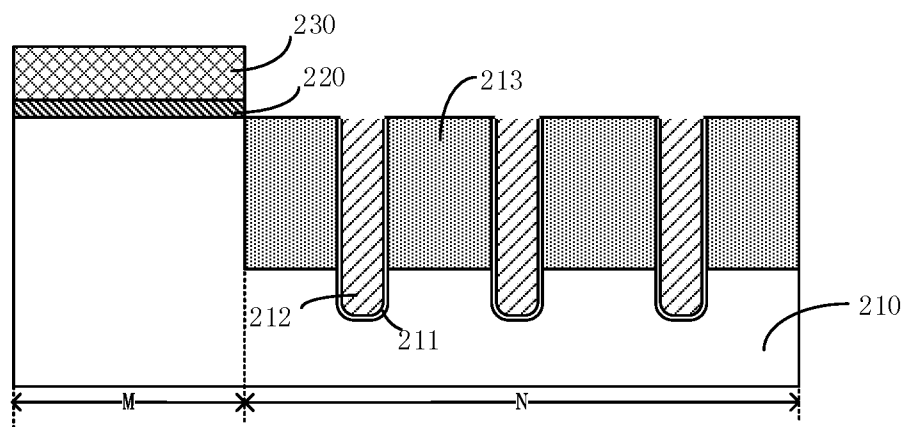


图 3b

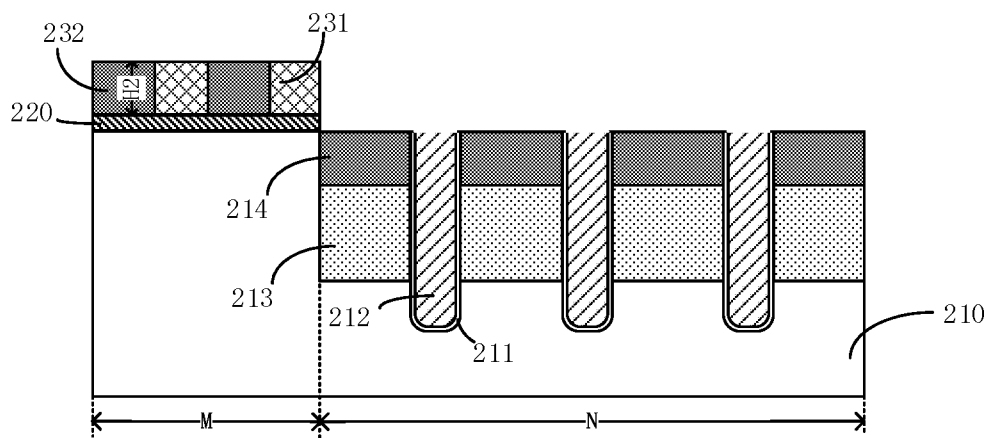


图 3c

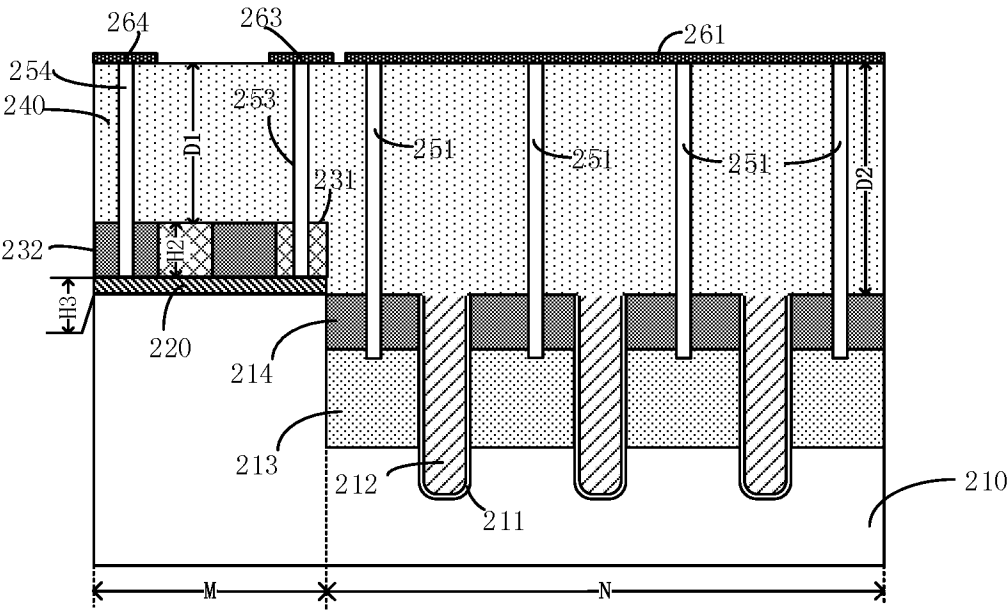


图 3d

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/122847

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 场效应管, 静电, 保护, 二极管, 阱, 注入, 掩膜, 场氧, 氧化硅, field, effect, transistor, MOS, electrostatic, protect+, diode, well, inject, mask, oxygen, oxide, silicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102184894 A (SHANGHAI GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 14 September 2011 (2011-09-14) entire document	1-15
A	CN 101017819 A (ZHEJIANG UNIVERSITY) 15 August 2007 (2007-08-15) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 February 2020

Date of mailing of the international search report

02 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088

China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/122847

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102184894	A	14 September 2011	CN	102184894	B	01 April 2015
CN	101017819	A	15 August 2007	CN	100470804	C	18 March 2009

国际检索报告

国际申请号

PCT/CN2019/122847

A. 主题的分类

H01L 27/02 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 场效应管, 静电, 保护, 二极管, 阱, 注入, 掩膜, 场氧, 氧化硅, field, effect, transistor, MOS, electrostatic, protect+, diode, well, inject, mask, oxygen, oxide, silicon

C. 相关文件

类 型*

引用文件, 必要时, 指明相关段落

相关的权利要求

A

CN 102184894 A (上海宏力半导体制造有限公司) 2011年 9月 14日 (2011 - 09 - 14)
全文

1-15

A

CN 101017819 A (浙江大学) 2007年 8月 15日 (2007 - 08 - 15)
全文

1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 2月 14日

国际检索报告邮寄日期

2020年 3月 2日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

李莹

电话号码 62089296

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/122847

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)	
CN	102184894	A	2011年 9月 14日	CN	102184894 B	2015年 4月 1日
CN	101017819	A	2007年 8月 15日	CN	100470804 C	2009年 3月 18日