

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4280368号
(P4280368)

(45) 発行日 平成21年6月17日 (2009. 6. 17)

(24) 登録日 平成21年3月19日 (2009. 3. 19)

(51) Int. Cl.

F I

H O 4 N 5/907 (2006. 01)

H O 4 N 5/907 B

H O 4 N 5/225 (2006. 01)

H O 4 N 5/225 A

H O 4 N 5/272 (2006. 01)

H O 4 N 5/272

H O 4 N 5/93 (2006. 01)

H O 4 N 5/93 Z

請求項の数 3 (全 32 頁)

(21) 出願番号 特願平11-237983

(22) 出願日 平成11年8月25日 (1999. 8. 25)

(65) 公開番号 特開2001-69449 (P2001-69449A)

(43) 公開日 平成13年3月16日 (2001. 3. 16)

審査請求日 平成18年8月8日 (2006. 8. 8)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100090284

弁理士 田中 常雄

(72) 発明者 本間 義浩

東京都大田区下丸子3丁目30番2号キヤ
ノン株式会社内

審査官 吉川 潤

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

画像データを一時的に記憶する第1の記憶装置と、

当該第1の記憶装置に画像データを書き込み及び読み出すインターフェース回路と、

当該インターフェース回路により当該第1の記憶装置から読み出された画像データを一
時記憶する第2の記憶装置と、

当該画像データを表示する表示装置と、

当該第1の記憶装置の読み出しアドレスを当該インターフェース回路に指示するアドレ
ス発生回路であって、当該第1の記憶装置のビデオメモリ領域の指定部分を当該第1の記
憶装置内の別の領域の記憶データで置換をするためのアドレスを発生自在なアドレス発生
回路

とを具備し、

当該第2の記憶装置は当該表示装置の1画面分より少ない記憶容量を有しており、当該
置換のために当該インターフェース回路により読み出された画像データを一時的に記憶し
、記憶した順に当該画像データを読み出して当該表示装置へ出力し、当該表示装置におい
て当該置換による画像データを水平方向に拡大して表示させる場合、当該第2の記憶装置
による読み出しにより拡大率を制御し、当該表示装置において当該置換による画像デー
タを垂直方向に拡大して表示させる場合、当該第1の記憶装置による読み出しにより拡大率
を制御することを特徴とする画像処理装置。

【請求項 2】

当該第 2 の記憶装置の書き込みと読み出しのクロックが非同期の関係にあり、当該読み出しのクロックは当該表示装置のタイミングに同期していることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

当該第 1 の記憶装置は V R A M であり、当該第 2 の記憶装置は F I F O であることを特徴とする請求項 1 又は 2 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像処理装置に関し、より具体的には、映像表示に使用する画像処理装置に関する。

10

【0002】

【従来の技術】

図 1 1 は、従来のカメラ一体型記録再生装置の概略構成ブロック図を示す。撮像素子 1 1 0 は、被写体の光学像を電気信号に変換し、その出力は A / D 変換器 1 1 2 によりデジタル信号に変換されて撮影信号処理回路 1 1 4 に印加される。撮影信号処理回路 1 1 4 は、A / D 変換器 1 1 2 からの画像データに色キャリア除去、アパーチャ補及びガンマ処理等を施して輝度成分信号を生成し、同時に、色補間、マトリクス変換、ガンマ処理及びゲイン調整等を施して色差成分信号を生成し、Y U V 等の形式の映像データを V R A M 1 1 6 に出力する。Y は輝度信号、U は色差信号 B - Y、V は色差信号 (R - Y) をそれぞれ示す。

20

【0003】

V R A M 1 1 6 は、例えば、ダイナミック R A M (D R A M) に書き込み用と読み出し用のポートを設けて水平ライン毎のアドレッシングを容易にしたビデオ表示専用のメモリ素子からなる。撮影信号処理回路 1 1 4 から出力される Y U V 信号は、例えば、下記に示すような順序で、

(上位データ) $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, \dots$

(下位データ) $U_0, V_0, U_2, V_2, U_4, V_4, \dots$

画面片上から順に V R A M 1 1 6 に格納される。

【0004】

メモリ制御回路 1 1 8 は、画素拡大回路 1 2 0 により、V R A M 1 1 6 に記憶される画像データの一部を拡大して V R A M 1 1 6 に書き戻すことができる。メモリ制御回路 1 1 8 は、V R A M 1 1 6 の記憶データを順に読み出し T V 系信号処理回路 1 2 2 に供給する。T V 系信号処理回路 1 2 2 は、メモリ制御回路 1 1 8 からの画像データからコンポジット信号を生成して D / A 変換器 1 2 4 に出力し、D / A 変換器 1 2 4 は、T V 系信号処理回路 1 2 2 のデジタルコンポジット信号をアナログ信号に変換する。L P F 1 2 6 は D / A 変換器 1 2 4 の出力信号をビデオ信号の帯域に制限して、D / A 変換結果に含まれる高周波ノイズを除去する。

30

【0005】

L P F 1 2 6 の出力は、ビデオアンプ 1 2 8 により増幅されて T V モニタ 1 3 0 に印加される。L P F 1 2 6 の出力はまた、液晶表示制御回路 1 3 2 に印加される。液晶表示制御回路 1 3 2 は、L P F 1 2 6 の出力から R G B 信号を生成し、液晶表示パネル 1 3 4 を駆動して、液晶表示パネル 3 4 の画面上に画像を表示させる。液晶表示制御回路 1 3 2 には、N T S C 用の場合で 3 . 5 8 M H z のサブキャリア用の水晶振動子が付属し、P A L 用の場合では 4 . 4 3 M H z のサブキャリア用の水晶振動子が付属する。

40

【0006】

現在、デジタルカメラ及びカムコーダに組み込まれる液晶表示パネルの多くは、フィールド画表示分のドット数 (水平 5 5 0 × 垂直 2 2 0 程度) しか具備しないので、インターレースのフレーム信号をそのまま印加すると、奇フィールドと偶フィールドが同一ライン上に表示され、画像がちらついてしまう。つまり、液晶表示パネルでは、一般的な T V モ

50

ニタのようにインターライン方式でフレーム画を表示することができない。従って、液晶表示パネル上に画像を表示する場合、一般的には、フレーム画でなく、同一フィールドを2度印加することで、ちらつきの無い見やすい画像にしている。

【0007】

フレーム画からフィールド画に切り替える場合には、次のようにしていた。すなわち、VRAM116をフレームメモリで構成した場合、偶フィールドの各ラインに1フィールド前の奇フィールドの各ラインと同じデータを書き込む必要がある。そのために、フレーム画からフィールド画への切り替えには、1フィールド画を書き込むための時間が余分に必要になる。VRAM116を2個のフィールドメモリで構成した場合は、一方のフィールドのメモリ読み出しだけを毎フィールド行うことになり、フレーム画からフィールド画への切り替えを瞬時に行える。しかし、複数個のメモリ構成になるので、実装上の回路面積が大きくなる。

10

【0008】

表示画の一部を拡大表示する場合には、VRAM116の一部の画像データを画素拡大回路120で拡大して、再びVRAM116に書き戻す必要がある。更に、表示画の一部を他の画像と入れ替える場合には、別に第2のVRAMを用意して、第2のVRAMの一部の画像データを第1のVRAMに書き込む必要がある。

【0009】

【発明が解決しようとする課題】

従来例では、表示画像の一部を画像で代替する場合、代替途中の見苦しい画像を表示しないためには表示切り替え用の余計なVRAMが必要になり、DRAM容量が増大してしまうという問題があった。

20

【0010】

また、表示画像を部分的に拡大する場合には、処理途中の見苦しい画像を表示しないようにするために表示切り替え用の別のVRAMが必要になるだけでなく、画素拡大用回路で拡大しながら再びVRAMに書き戻す手順をとるので、拡大表示への切り替えに時間がかかるという問題があった。

【0011】

本発明は、このような問題点を解決する画像処理装置を提示することを目的とする。

【0012】

30

【課題を解決するための手段】

本発明に係る画像処理装置は、画像データを一時的に記憶する第1の記憶装置と、当該第1の記憶装置に画像データを書き込み及び読み出すインターフェース回路と、当該インターフェース回路により当該第1の記憶装置から読み出された画像データを一時記憶する第2の記憶装置と、当該画像データを表示する表示装置と、当該第1の記憶装置の読み出しアドレスを当該インターフェース回路に指示するアドレス発生回路であって、当該第1の記憶装置のビデオメモリ領域の指定部分を当該第1の記憶装置内の別の領域の記憶データで置換をするためのアドレスを発生自在なアドレス発生回路とを具備し、当該第2の記憶装置は当該表示装置の1画面分より少ない記憶容量を有しており、当該置換のために当該インターフェース回路により読み出された画像データを一時的に記憶し、記憶した順に当該画像データを読み出して当該表示装置へ出力し、当該表示装置において当該置換による画像データを水平方向に拡大して表示させる場合、当該第2の記憶装置による読み出しにより拡大率を制御し、当該表示装置において当該置換による画像データを垂直方向に拡大して表示させる場合、当該第1の記憶装置による読み出しにより拡大率を制御することを特徴とする。

40

【0013】

【実施例】

以下、図面を参照して、本発明の実施例を詳細に説明する。

【0014】

図1は、本発明の一実施例の概略構成ブロック図を示す。10は光学像を電気信号に変換

50

する撮像素子、12は撮像素子10のアナログ出力をデジタル信号に変換するA/D変換器、14は、A/D変換器12の出力から、色キャリア除去、アパーチャ補正及びガンマ処理等により輝度データYを生成すると同時に、色補間、マトリクス変換、ガンマ処理及びゲイン調整等により色差データR-Y、B-Yを生成し、YUV形式のビデオデータを出力する撮影信号処理回路である。

【0015】

16は撮影画像データを一時記憶するDRAM(ダイナミック・ランダム・アクセス・メモリ)、18はDRAM16にデータを書き込む及び読み出すメモリ・インターフェースである。DRAM16上には、撮影画像(及び再生画像)をTVモニタ又は液晶表示パネルなどの画像表示装置で表示するためにその画像データを一時記憶するメモリ空間(VRAM)が割り当てられている。

10

【0016】

図2は、VRAMにおける画像データの格納形式例を示す。図2(1)はY:U:V=4:4:4の場合、同(2)はY:U:V=4:2:2の場合、同(3)はY:U:V=4:1:1の場合、同(4)はY:U:V=4:1:1で、再生の場合をそれぞれ示す。図2(2)のデータ量は、図2(1)の2/3であり、図32(3)のデータ量は図2(2)の3/4である。必要十分なデータ量が確保出来るように用途に応じてデータ形式を選択することで、メモリ容量及びデータ転送効率の最適化を図ることが出来る。これは、システム構成上、大変に有効である。本実施例では、DRAM16のVRAMには、Y:U:V=4:1:1形式で画像データを格納する。

20

【0017】

更にVRAMの構成条件として、VRAMサイズをNTSC方式では水平752画素×垂直494ライン分とし、PAL方式では水平736画素×垂直580ライン分とする。1フィールド分は、このライン数の半分に相当する容量になり、NTSC方式では247ライン分、PAL方式では290ライン分になる。

【0018】

従って、本実施例では、撮影信号処理回路14は、A/D変換器12からの撮影画像データを処理してY:U:V=4:2:2形式でメモリ・インターフェース18に出力し、メモリ・インターフェース18は、撮影信号処理回路14からのY:U:V=4:2:2形式の画像データをY:U:V=4:1:1形式に変換してDRAM16の自然画用VRAM領域に書き込む。

30

【0019】

20は、DRAM16の自然画用VRAMから画像データをダイレクト・メモリ・アクセス(DMA)方式で読み出す再生DMA制御回路である。22は、TVモニタ及び液晶表示パネルなどの画像表示装置の画面上に自然画にスーパーインポーズして表示する文字及びキャラクタ等のビットマップ(BMP)データをDRAM16からDMA方式で読み出すビットマップDMA制御回路である。

【0020】

再生DMA制御回路20は、TVモニタへ自然画のみを表示する場合に、VRAMデータを読み出すためのアドレスをメモリ・インターフェース18に出力し、メモリ・インターフェース18はこれに応じて、DRAM16から該当するアドレスの自然画データを読み出し、VALIDフラグといっしょにFIFO24に供給する。図3は、再生DMA制御回路20によるメモリ読み出しの模式図を示す。図3において、実線は奇フィールド、破線は偶フィールドのラインをそれぞれ示す。1, 2, ..., Nは、1フレーム内のライン番号を示す。通常、TVモニタはインターレース表示をしているので、これに合わせ、VRAMからの読み出しラインは1, 3, 5, ..., N-1, 2, 4, ..., Nという順番になる。1フレームのライン数Nは、NTSCの場合に494本、PAL方式の場合に590本である。再生DMA制御回路20の設定により、データ読み出しをフレーム/フィールド表示及びNTSC方式/PAL方式に応じて変更できる。フィールド表示の時には、偶数ラインに対して、1ライン前の奇数ラインデータを読み出すことになる。

40

50

【 0 0 2 1 】

再生DMA制御回路20と同様に、ビットマップDMA制御回路22もまた、その設定により、データ読み出しをフレーム/フィールド表示及びNTSC方式/PAL方式に応じて変更できる。

【 0 0 2 2 】

24は、メモリ・インターフェース18からのデータを1/4ライン分、一時的に記憶するFIFO(ファーストイン・ファーストアウト)メモリである。26は1ラインの1/4の記憶容量を具備するSRAMである。FIFOメモリ24は、書き込みと読み出しで独立のポートを具備し、書き込み周期に対して非同期にデータを読み出すことが出来る。例えば、FIFOメモリ24の書き込み周期を、DRAM16のアクセスクロック周期、言い換えるとシステムクロックと同じ50MHzにする一方で、読み出しを、TV信号処理に適したサブキャリアの4倍クロック($4f_{sc}$ = 約14MHz)にする。これにより、TV信号処理のクロック周波数に依存せずに、システムクロック(DRAMクロック)を決定でき、システムのパフォーマンスを比較的自由に向上させることができる。FIFOメモリ24の出力は、図2(4)に示すY:U:V = 4:1:1形式である。

10

【 0 0 2 3 】

28は、Y:U:V = 4:1:1形式をY:U:V = 4:2:2形式に変換する変換回路である。ビデオ出力の帯域としては、Y:U:V = 4:1:1の情報量で十分である。しかし、文字及びキャラクタ等のビットマップ画像は帯域が広く、これとスーパーインポーズするには、自然画データをY:U:V = 4:2:2にしたほうが画質上、好ましい空である。

20

【 0 0 2 4 】

30は、文字等のビットマップ画像データをパレットデータに変換するパレット変換回路である。ビットマップ画像データでそのままパレットの表示色を表現する場合、パレットの表示色の階調を多くすると1画素当たりのビット数が増え過ぎて、メモリ容量及びデータ転送効率を悪くしています。逆に1画素当たりのビット数を減らすと、パレットの表示色の階調が失われてしまう。そこで、ビットマップ画像データのビット幅をパレットの同時発色数に相当する値に設定し、パレット色の階調をある程度確保する方法を採用する。例えば、1画素当たりのビットマップ・データを4ビットとし、同時発色数を16にし、表示色の階調を16ビットで256階調にする。具体的には、16ビット幅のパレットレジスタを16個用意し、ビットマップデータの示す値によりこの16個のパレットレジスタから1つを選択する。つまり、1画面上の同時発色数はビットマップデータのビット幅によって決まり、パレット色の階調はパレットレジスタのビット幅によって決まる。従って、パレット色の階調を維持したまま、同時発色数を制限するだけで、ビットマップ領域のデータ容量を小さくすることができる。

30

【 0 0 2 5 】

32は、変換回路28から出力される自然画像データに、パレット変換回路30から出力されるビットマップ画像データをスーパーインポーズする合成回路である。例えば、パレット色の階調の1つとして透明色を用意し、その透明色部分に自然画像データをはめ込む。これにより、ビットマップ画像と自然画像を画素毎に切り替えることが可能になる。更には、合成回路12の出力段にスーパーインポーズするか否かを選択自在なセレクトを設けることで、自然画像だけの出力と、ビットマップ画像を自然画像にスーパーインポーズした画像の出力を選択できるようになる。

40

【 0 0 2 6 】

34は、合成回路32の出力にクロマエンコード処理、帯域補正及びコンボジット化等の表示用の処理を施す再生信号処理回路である。36は再生信号処理回路34の出力データをアナログ信号に変換するD/A変換器である。38は、FIFOメモリ24、SRAM26、変換回路28、30、合成回路32、再生信号処理回路及びD/A変換器36のそれぞれにタイミング信号を供給する同期信号発生器(SSG)である。

【 0 0 2 7 】

50

本実施例の動作を説明する。撮像素子10の出力信号はA/D変換器12によりデジタル信号に変換されて撮影信号処理回路14に入力する。撮影信号処理回路14は入力画像データに、色キャリア除去、アパーチャ補正及びガンマ変換等の処理を施して輝度データYを生成し、色補間、マトリクス変換及びガンマ変換等の処理を施して色差データ色差データU(=B-Y), V(=R-Y)を生成する。撮影信号処理回路14の出力データは、図2(2)に示す形式で、画面左上から順に

(上位データ) Y₀ Y₁ Y₂ Y₃ Y₄ Y₅ Y₆ Y₇ . . .

(下位データ) U₀ V₀ U₂ V₂ U₄ V₄ U₆ V₆ . . .

とメモリ・インターフェース18に入力する。

【0028】

メモリ・インターフェース18は、撮影信号処理回路14からのデータを図2(3)に示す形式に変換し、

(上位データ) Y₀ Y₁ Y₃ Y₄ Y₅ Y₇ . . .

(下位データ) U₀ V₀ Y₂ V₄ U₄ Y₆ . . .

としてDRAM16の自然画VRAM領域に書き込む。

【0029】

TVモニタへ自然画のみを表示する場合における再生DMA制御回路20とメモリ・インターフェース18とのデータのハンドシェイクを説明する。同期信号発生器38が発生する同期タイミング信号は、垂直ブランキング中では、垂直同期(Vsync)時にFIFOメモリ24が空になりメモリ・インターフェース18への要求信号PB__REQ__L, PB__REQ__Hの両方をアクティブにする。この要求により、メモリ・インターフェース18は、再生DMA制御回路20で指示されたアドレス(自然画VRAM領域内)の画像データを読み出し、VALIDフラグと共にFIFOメモリ24に供給する。メモリ・インターフェース18は同時に、再生DMA制御回路20へのACK信号をアドレスを認識した合図としてアクティブにする。再生DMA制御回路20は、ACK信号がアクティブになったことを検知すると、次に読み出すべきデータのアドレスを計算し、メモリ・インターフェース18に出力する。

【0030】

この垂直ブランキング中には、FIFOメモリ24からデータが読み出されないので、次第にFIFOメモリ24にデータが充満し、要求信号PB__REQ__L, PB__REQ__Hはインアクティブ状態になる。FIFOメモリ24が空になると要求信号又はフラグPB__REQ__L, PB__REQ__Hは共にアクティブになる。FIFOメモリ24に1~2割ほどデータが溜まると、信号PB__REQ__Hがインアクティブになるが、信号PB__REQ__Lはアクティブのままである。FIFOメモリ24に8割以上データが溜まると、信号PB__REQ__L, PB__REQ__Hは共にインアクティブになる。

【0031】

垂直ブランキングを抜けて映像期間に入ると、FIFOメモリ24からデータが読み出されていく。FIFOメモリ24のデータ量がFIFOメモリ24のメモリ容量の8割を下回ると、前述したように信号PB__REQ__Lがアクティブになる。これに応じて、メモリ・インターフェース18が、VRAMデータを読み出してFIFOメモリ24へ転送する場合、信号PB__REQ__Hはインアクティブのままでも、次第にFIFOメモリ24にデータが満たされて、信号PB__REQ__Lがインアクティブになる。

【0032】

仮に、信号PB__REQ__Lがアクティブになっても、メモリ・インターフェース18がすぐに応答できない場合には、FIFOメモリ24のデータ残量が少なくなっていく、2割を下回った時点で、信号PB__REQ__Hがアクティブになる。メモリ・インターフェース18内では、信号PB__REQ__Hはプライオリティの高い要求として処理され、メモリ・インターフェース18は、即時にVRAMデータを読み出してFIFOメモリ24へ転送する。FIFOメモリ24にデータが溜まり、データ量が2割以上になると、信号PB__REQ__Hはインアクティブになる。更にFIFOメモリ24へのデータ書き込み

10

20

30

40

50

が続き、データ量が8割を超えた時点で、信号PB__REQ__Lもインアクティブになる。信号PB__REQ__Hがインアクティブになった時点でFIFOメモリ24へのデータ書き込みが途絶えてしまうと、やがてデータ量が2割を下回った時点で、再び信号PB__REQ__Hがアクティブになる。信号PB__REQ__HがアクティブになってもVRAMデータがメモリ・インターフェース18から供給されない最悪の場合には、やがてFIFOメモリ24が空になる。FIFOメモリ24から読み出すデータが無くなると、TVモニタ上の表示も異常になる。従って、信号PB__REQ__Hのプライオリティを十分に高く設定し、このようなことが絶対に起きないようにしておく必要がある。

【0033】

本実施例では、DMA制御回路20は、クロックエッジのタイミングでACK信号を検出する。つまり、データの送受を連続的（バースト的）に行う場合は、前述のフラグ信号はアクティブになり続けて（アクティブハイの場合には、'H'のまま）、DRAM制御回路20は、クロックエッジのタイミングで連続的にACK信号を取り込む。従って、ACK信号がアクティブ状態のときには、DMA制御回路20は、1クロック毎にアドレス計算を実行して、アドレスをメモリ・インターフェース4へ出力する。ACK信号と同様に、VALID信号、PB__RWG__L信号及びPB__REQ__H信号等のフラグ信号も、連続的にアクティブになるので、クロックエッジのタイミングで連続的にデータが取り込まれる場合がありうる。当然ながら、単発時には1クロック幅のフラグ信号になる。

【0034】

映像期間中には、図2(4)に示すY:U:V=4:1:1形式でFIFOメモリ24からデータが読み出され、変換回路28に供給される。変換回路28は、前述したように、図2(4)に示すY:U:V=4:1:1形式の画像データを図2(2)に示すY:U:V=4:2:2形式に変換し、合成回路32に出力する。

【0035】

自然画のみを表示する場合、合成回路32は、単に、変換回路28の出力画像データをそのまま再生信号処理回路34に供給する。再生信号処理回路34は、合成回路32の出力にクロマエンコード処理、帯域補正及びコンポジット化等の信号処理を施してTV表示用映像データを生成し、D/A変換器36に出力する。D/A変換器36は再生信号処理回路34からの映像データをアナログ信号に変換して、図示しない画像表示装置に供給する。

【0036】

D/A変換器36以降の構成は、従来のカメラ一体型記録再生装置の構成と同じになるので、ここでは、説明を省略する。

【0037】

自然画像とビットマップ画像をスーパーインポーズして表示する場合の動作を説明する。

【0038】

自然画像データのDRAM16からの読み出しから変換回路28での変換までの処理は、上述の通りである。

【0039】

ビットマップ画像のDRAM16からの読み出しも、基本的に自然画像と同じである。即ち、垂直同期(Vsync)時にビットマップ用FIFOメモリ24は、空になり、メモリ・インターフェース18への要求信号BMP__REQ__L, BMP__REQ__Hの両方をアクティブにする。メモリ・インターフェース18は、ビットマップDMA制御回路22が示すDRAM16上のビットマップ・アドレスからデータを読み出し、ビットマップデータ用のVALIDフラグと共にFIFOメモリ24へ供給する。メモリ・インターフェース18は同時に、ビットマップDMA制御回路22へのBMP__ACK信号を、アドレスを認識した合図としてアクティブにする。ビットマップDMA制御回路22は、BMP__ACK信号がアクティブになったことを検知して、次に読み出すべきデータのアドレスを計算し、メモリ・インターフェース18に出力する。

【0040】

10

20

30

40

50

要求信号又はフラグ BMP_REQ_L , BMP_REQ_H の変化は、信号 PB_REQ_L , PB_REQ_H と同じである。すなわち、 $FIFO$ メモリ24が空になると、信号 BMP_REQ_L , BMP_REQ_H の両方がアクティブになる。 $FIFO$ メモリ24に1~2割ほどデータが溜まると、信号 BMP_REQ_H のみがインアクティブになり、信号 BMP_REQ_L はアクティブのままである。 $FIFO$ メモリ24に8割以上データが溜まると、信号 BMP_REQ_L , BMP_REQ_H の両方がインアクティブになる。

【0041】

自然画像とビットマップ画像は、一般的に、TV及び液晶表示パネルなどの画像表示装置の画面上での表示領域又はサイズが異なり、本実施例では、ビットマップ画像の表示領域は水平640×垂直480であり、自然画像の表示領域より一回り小さい。そのため、ビットマップデータの読み出しタイミングも、自然画像データの読み出しタイミングの内側に位置し、転送に必要なFIFO容量も自然画より少ない。

【0042】

しかし、基本的な回路動作としては自然画像データのそれと同じでよい。すなわち、ビットマップデータの読み出しタイミングになると、FIFOメモリ24からビットマップデータが読み出されていき、FIFOメモリ24の残ビットマップデータ量がビットマップ用FIFOメモリ24の容量の8割を下回ると、信号 BMP_REQ_L がアクティブになる。この変化に対し、メモリ・インターフェース18がすぐに応答してビットマップデータをDRAM16から読み出してFIFOメモリ24へ送る場合、信号 BMP_REQ_H はインアクティブのままでも、次第にFIFOメモリ24にデータが満たされて、信号 BMP_REQ_L がインアクティブになっていく。

【0043】

仮に、信号 BMP_REQ_L がアクティブになったことにメモリ・インターフェース18がすぐに応答できない場合、FIFOメモリ24のデータ残量が少なくなっていく、2割を下回った時点で信号 BMP_REQ_H がアクティブになる。メモリ・インターフェース18内では、信号 BMP_REQ_H はプライオリティの高い要求として処理され、即時に、ビットマップデータをDRAM16から読み出してFIFOメモリ24へ送る。そして、次第にFIFOメモリ24にデータが溜まり、データ量が2割以上になると、信号 BMP_REQ_H はインアクティブになる。更にFIFOメモリ24へのデータ書き込みが続き、データ量が8割を超えた時点で、信号 BMP_REQ_L もインアクティブになる。信号 BMP_REQ_H がインアクティブになった時点で、FIFOメモリ24へのデータ書き込みが途絶えると、やがてデータ量2割を下回った時点で、再び、信号 BMP_REQ_H がアクティブになる。

【0044】

上述の4つのデータリクエスト信号では、最も優先度の高いのが PB_REQ_H 信号であり、以下、 BMP_REQ_H 信号、 PB_REQ_L 信号及び BMP_REQ_L 信号と続く。従って、4つのデータリクエストが同時に発生した場合、メモリインターフェース18は、この優先順位に従ってデータを転送する。

【0045】

FIFOメモリ24から読み出されたビットマップデータは、パレット変換回路30に送られ、ここでパレットデータに変換される。パレット変換回路30のパレットデータ出力は合成回路32に送られる。合成回路32は、変換回路28からの自然画像データに変換回路30からのビットマップ画像データをスーパーインポーズする。合成回路32の出力は、再生信号処理回路34に送られる。再生信号処理回路34は、合成回路32の出力に、クロマエンコード処理、帯域補正及びコンポジット化等の信号処理を施してTV表示用映像データを生成し、D/A変換器36に出力する。D/A変換器36は再生信号処理回路34からの映像データをアナログ信号に変換して、図示しない画像表示装置に供給する。

【0046】

再生DMA制御回路20とビットマップDMA制御回路22のアドレス発生動作を説明する。図3は、フレーム構成のVRAMからのデータ読み出しの様子を示す。この場合、前述したように、奇フィールドに対して、奇数番目のライン#1, #3, #5, ..., # (N-1) が順に読み出され、偶フィールドに対して偶数番目のライン#2, #4, ..., #Nが順に読み出される。印は、再生DMA制御回路20が発生する奇フィールドのスタートアドレスを示し、印は、再生DMA制御回路20が発生する偶フィールドのスタートアドレスを示す。

【0047】

メモリ・インターフェース18がDRAM16から16ビットバス幅でインターフェースされているのであれば、再生DMA制御回路20が次に発生するアドレスは、上述のスタートアドレスに16ビット(2バイト)加算したアドレスになる。つまり、再生DMA制御回路20は、メモリ・インターフェース18からのACK信号がアクティブになると、現アドレスに16ビット(2バイト)加算しながらアドレス発生していく。

10

【0048】

メモリ・インターフェース18がDRAM16と32ビットバス幅でインターフェースしているときには、上述のスタートアドレスに32ビット(4バイト)加算したアドレスが、次に発生するアドレスになる。

【0049】

アドレスが2バイトづつ加算されながらラインの終りまでくると、次は、第3ラインの一番左の位置の画素データのアドレスになる。この場合の加算量は、2バイト+1ライン分(1128バイト)=1130バイトになる。この1130バイトは、奇フィールドがライン#1, #3, ..., #(N-1)と1ライン置きにデータを読み出すことによるオフセット量(OFFA)である。

20

【0050】

奇フィールドのデータ(NTSC方式で、1128バイト×247ライン分)が全て読み出されると、再生DMA制御回路20は、図3に口印で示す偶フィールドのスタートアドレスを発生する。その後、奇フィールドのときと同様に、2バイトずつ加算したアドレスを発生し、ラインの終りではオフセット量の1130バイトを加算したアドレスを発生する。そして、偶フィールドのデータ(NTSC方式で、1128バイト×247ライン分)が全て読み出されると、再び、奇フィールドのスタートアドレスに戻り、以降、繰り返してVRAMのデータ読み出しが行われていく。

30

【0051】

再生DMA制御回路20は、NTSC規格とPAL規格のモード切り替えレジスタと、奇フィールドのスタートアドレスST_ADD_1を記憶するレジスタと、偶フィールドのスタートアドレスST_ADD_2を記憶するレジスタと、ライン終了から次のラインの先頭アドレスまでのオフセットOFFAを記憶するレジスタと、DRAM16のバス幅に応じた連続データの加算量を記憶するレジスタとを具備する。

【0052】

図4は、2つのフィールドメモリで構成したVRAMからのデータ読み出しの模式図を示す。図4(a)は、2つのフィールドメモリが隣接する場合、同(b)は2つのフィールドメモリが離れている場合をそれぞれ示す。図4(a)の場合、DRAM16上で、奇フィールドの最後の画素データに続いて、偶フィールドの初めの画素データが位置する。

40

【0053】

図4に示すメモリ構成の場合、奇フィールド及び偶フィールド内でライン・データが連続しているので、オフセット量が2バイト(DRAM16が32ビットバス幅の場合には4バイト)になること、及び、偶フィールドのスタートアドレスが異なる点が、図3に示すメモリ構成の場合との相違点である。従って、この2点の設定変更を再生DMA制御回路20に設定することにより、図3に示すVRAM構成から図4に示すVRAM構成に容易に切り替えられる。図4に示す構成の場合、TVモニタ又は液晶表示パネルにフィールド表示するには、1つのフィールドメモリ分のデータで済むので、メモリ容量もフレーム

50

構成の場合の半分で済むことになる。

【 0 0 5 4 】

図 4 に示す V R A M 構成を使用するのは、例えば、電子ビューファインダ (E V F) 表示である。E V F 表示では例えば、水平 1 6 0 0 画素 × 垂直 1 2 0 0 ラインの撮像素子から垂直画素同士を加算したフィールド (水平 1 6 0 0 画素 × 垂直 6 0 0 ライン) を読み出し、縦横サイズを水平 7 5 2 画素 × 垂直 2 4 7 ラインにリサイズして V R A M に書き込み、フィールド画を液晶表示パネルに表示する。

【 0 0 5 5 】

この時、液晶表示パネルには、毎秒 6 0 フィールドを表示するが、撮像素子からは毎秒 2 5 乃至 3 0 フレームを読み出す。すなわち、V R A M の書き込みレートと読み出しレートが異なっている。単一のフィールド V R A M では、図 5 に例示するように、走っている人の胸が切られているような大変見づらい画像が表示される。図 5 では、破線を境に 1 フィールド (3 0 m 秒) 分の時間差の画像が上下に表示される。すなわち、破線より下には前のフィールド画が表示され、破線より上に現在のフィールド画が表示される。

【 0 0 5 6 】

本実施例では、V R A M を 2 つのフィールドメモリからなる構成とすることで、この不具合を生じないようにする。書き込み途中のフィールドメモリからはデータを表示用に読み出さずに、データ書き込みが完了した時点で表示用とする。そして、E V F 動作から撮影動作に切り替えて、撮像素子からの画像をフレーム画として V R A M にフリーズする場合、2 枚のフィールドメモリの片方に奇フィールドを格納し、他方に偶フィールドを書き込み、奇フィールドのスタートアドレスに S T _ A D D _ 1 を割り当て、偶フィールドのスタートアドレスに S T _ A D D _ 2 を割り当てることにより、容易にフレーム画表示に切り替えることができる。

【 0 0 5 7 】

本来、図 3 に示す V R A M 構成も、図 4 に示す V R A M 構成も 1 フレーム分のメモリ容量を必要とするが、図 4 に示す V R A M 構成は、E V F 動作などにおいて図 3 に示す V R A M 構成より便利である。本実施例では、再生 D M A 制御回路 2 0 のレジスタ設定を変更することで、容易にどちらの V R A M 構成にも対応できる。

【 0 0 5 8 】

次に、表示画像の画素数よりも格段に多い画素数の撮像素子を使用し、その撮像素子の画素データを間引かずに V R A M に格納し、その一部を表示用に読み出す場合の動作を説明する。

【 0 0 5 9 】

図 6 は、水平 1 6 0 0 画素 × 垂直 1 2 0 0 ラインの V R A M を構成し、その中の水平 7 5 2 画素 × 垂直 4 9 4 ラインの部分を表示用とする場合の模式図を示す。この場合、ラインの最後のデータと次のラインの最初のデータのアドレスは 1 6 0 0 画素 - 7 5 2 画素分、離れている。従って、図 5 に符号 4 0 で示す範囲内の画像を表示画とするためには、先に説明したオフセット量を、(巨大 V R A M の 1 ライン) - (表示 V R A M の 1 ライン) に設定する。これにより、巨大 V R A M の一部の領域を表示できるようになる。

【 0 0 6 0 】

図 6 においては、領域 4 0 , 4 2 は、画像表示する水平 7 5 2 画素 × 垂直 4 9 4 ラインの部分を示し、例えば、表示画像を領域 4 0 から領域 4 2 に移行する。これは単なるアドレス操作のみであり、簡単に行える。領域 4 0 の画像は、山頂にいる人物を示し、領域 4 2 の画像は、山頂からハングライダーで飛び降りている人物を示す。

【 0 0 6 1 】

このように本実施例では、奇フィールド又は偶フィールドのスタートアドレスを変更するだけで、巨大 V R A M 中の任意の一部の画像を表示できる。一般的には、高画質な再生ズーム機能といえる。

【 0 0 6 2 】

次に、図 7 を参照して、本実施例の置換機能を説明する。図 7 は、9 面マルチ画表示の

10

20

30

40

50

状態でその内の一枚を書き換える様子を示す模式図であって、マルチ画表示内の画像を更新する場合で、右上の画像を人物画から風景画に書き換えているところを示す。

【 0 0 6 3 】

この置換機能は、再生DMA制御回路20内のアドレス発生回路に組み込まれる。このアドレス発生回路は、水平方向に1ライン分のカウンタと、垂直方向に表示ライン数分のカウンタを持ち、これらのカウンタを進めながら、前述したようにVRAMのアドレスを順次、発生する。すなわち、アドレス発生回路は、水平・垂直の各カウンタが図7に示す(DIS__XST, DIS__YST)から(DIS__XEND, DIS__YEND)で示された数値範囲内にある場合に、図7の右側の小さい枠領域の画像に対応するアドレスを発生する。図7の右側の小さい枠領域の画像は、アドレスST__SOR__ADD1又はST__SOR__ADD2を先頭に、アドレスST__SOR__ADD1又はST__SOR__ADD2から所定バイト(16ビットバス幅のとき2バイト、32ビットバス幅のとき4バイト)ずつ加算して隣接画素のアドレスを発生させることで、表示用に読み出され得る。図7の右側の小さい枠の画像の水平方向右端までデータを読み出したら、VRAM上のメモリ領域に戻る。即ち、図7の右側の小さい枠のSOR__HSPAN分のデータを読み出したなら、VRAM上のメモリ領域に戻ることになる。

【 0 0 6 4 】

VRAM上では、DIS__XSTにSOR__HSPAN分の値を加算したアドレスから順次、アドレスを発生させ、水平方向のカウンタが再びDIS__XST値乃至DIS__XEND値の領域内に入ったら、図7の右側の小さい枠領域の画像の第2ライン目のアドレスに切り替える。以降、水平・垂直のカウンタが(DIS__XST, DIS__YST)から(DIS__XEND, DIS__YEND)で示された領域内に入る度に、図7の右側の小さい枠領域の画像のアドレスが発生され、9面マルチ画表示の右上の画像が、図7の右側の小さい枠領域の画像で置換される。

【 0 0 6 5 】

実際の利用に即して、この置換機能を説明する。先ず、撮影した画像のインデックス等を表示するのに、図7で示すようなマルチ画表示が行われる。この時、VRAM上に9枚の画像がマルチ画として書き込まれ、9面マルチ画として一括して画像表示される。9面マルチ画の右上の画像を更新する場合、例えば、図7上の右の別枠に示す人物画のように、9面マルチ画の右上の画像をVRAMとは別のメモリ領域にコピーする。そしてVRAM上の右上の画像を家の建ち並んだ風景画に書き換えるのであるが、このデータ書き換え中は、先に別のメモリ領域にコピーした人物画を上述の置換機能を用いて表示する。書き換えが終了した段階でこの部分置換を止めれば、表示画像は、更新された家の風景画を含む9面マルチ画に瞬時に切り替わる。すなわち、メモリデータを書き換える際の見苦しい画像をユーザに表示しないようにできる。

【 0 0 6 6 】

従来は、マルチ画の書き換え途中の画像が表示されて、見苦しいものになっていた。または、これを避けるために、VRAMを別に設け、画像の書き換えが終ってからVRAMを切り替える等の処理を行っていた。しかし、この方法はVRAM容量が大幅に増加指定しまう。本実施例では、再生DMA制御回路20内に部分置換機能を設け、書き換えている部分に対しては、他のメモリ空間の画像を表示させることで、データ書き換え途中の見苦しい画像を表示しないようにしている。

【 0 0 6 7 】

図8を参照して、本実施例の部分拡大機能を説明する。図8は、結婚式等の集合写真で、新郎新婦の部分を拡大表示した様子を示す。このような部分拡大機能は、被写体全体の画枠は決まっているが、被写体の一部を拡大して確認したい場合に用いられる。この部分拡大機能も、前述の置換機能と同様に、再生DMA制御回路20のアドレス発生回路に盛り込まれる。この時のアドレス発生は前述の置換機能の場合とほぼ同じである。異なる点として、表示エリアには、原画エリアの画像を拡大して表示していることである。換言すると、置換は、拡大率が等倍の部分拡大に相当する。例えば、図8では、水平垂直共に拡大

率が2倍の部分拡大の場合を示しており、図8の(D I S _ X S T , D I S _ Y S T)から(D I S _ X E N D , D I S _ Y E N D)で示される拡大表示領域が、S O R _ S Tアドレスから始まり、S O R _ O F F S E TとS O R _ H S P A Nで規定される原画エリアの4倍になる。

【0068】

ここで垂直方向の拡大方法を説明する。回路としては、設定によって0から15までのライン繰り返しフラグを立てることのできる4ビットのバイナリカウンタを設け、このライン繰り返しフラグが立っている場合に、原画エリアのラインのアドレスを繰り返し発生させる。このように同一ラインデータを繰り返し表示することにより、垂直方向に等倍乃至16倍の拡大表示を行なえる。図8に例示した垂直方向の2倍拡大では、この4ビット・バイナリカウンタに1ライン置きにライン繰り返しフラグが立つように1を設定すればよい。

10

【0069】

水平方向の拡大は次のようにする。すなわち、F I F Oメモリ24からデータを読み出すときに、画素繰り返しフラグが立っている場合に原画エリアの画素を繰り返し表示すればよい。画素繰り返しフラグ発生回路は、垂直の場合と多少異なり、整数倍率の2倍乃至16倍を切り替えられる4ビット・カウンタの他に、小数点倍率(1.1倍、1.2倍・・・など)を行うための4ビット・カウンタを設ける。従って、8ビットのレジスタ設定で等倍から16.9倍までを0.1倍単位で切り替えることができる。整数倍率は、(垂直方向と同様に)画素の繰り返しで拡大表示していき、例えば、1回繰り返しで2倍になり、2回繰り返しで3倍になる。

20

【0070】

小数点倍率について、図9及び図10を参照して説明する。図9は、1.×倍のときの小数点拡大時の繰り返しフラグ例を示し、図10は、9.×倍のときの小数点拡大時の繰り返しフラグ例を示す。図9に示す例では、0から9までの10画素中に繰り返しフラグを何回立てるかにより、小数点拡大倍率が決まる。例えば、図9に示すように、1.1倍時には10画素中に1回フラグをたて、1.2倍時には10画素中に2回、1.3倍時には10画素中に3回、1.4倍時には10画素中に4回、1.5倍時には10画素中に5回、1.6倍時には10画素中に6回、・・・、1.9倍時には10画素中に9回フラグを立てることになる。そして、フラグが立った画素が繰り返し表示される画素であり、拡大表示エリア全体でみるとあたかも小数点拡大されたように表示される。

30

【0071】

図10に示す9.×倍の例では、9.0倍時に10画素とも9回ずつフラグを立てているが、9.1倍時には10画素中の1画素に対し10回フラグをたて、残りの9画素に対して9回フラグを立てる。9.2倍時には、10画素中の2画素に対して10回フラグを立て、残りの8画素に対して9回をフラグを立てる。9.9倍時には、10画素中の9画素に対して10回フラグを立て、残りの1画素に対して9回フラグを立てる。つまり、繰り返す回数をとびとびに変更することにより、10画素単位でみたときに小数点の倍率で表示されるようにしている。

【0072】

図8に示す水平方向2倍拡大では、整数倍で1画素置きに繰り返しフラグが立つようにレジスタ設定する。これにより、垂直・水平の倍率が各2倍で、面積4倍の表示になる。

40

【0073】

原画エリアの画素が縦長の長方形の画素の場合、整数の高倍率表示を行なうと長方形の不自然な拡大表示になる。水平方向の小数点拡大は、これを回避するのに利用できる。

【0074】

図12は、ビットマップDMA制御回路22の内部構成を示す。50は水平方向のカウンタであり、X A _ V A Lレジスタで設定される値を初期値としてダウンカウントする。水平方向カウンタ50は、入力 of A C Kフラグに従いクロックC L Kの立ち上がり同期してダウンカウントする。リセット時及び次のラインの先頭(E N _ O F F 1 = ' 1 ')に

50

なると、初期値 XA_VAL がセットされる。カウンタ 50 の減少値 $ADDR_DELTA$ は、メモリ・インターフェース 18 からのデータ転送量によって異なり、例えば、DRAM 16 と 32 ビットバスで接続する場合には一回の転送が 4 バイトなので、4 になる。

【0075】

52 は EN_OFF1 フラグ信号発生器であり、水平ライン方向カウンタ 50 の出力 $HTFRC$ をデコードして '0' になったとき、 EN_OFF1 フラグ信号を '1' にすることで、ラインの最終画素を示す。

【0076】

54 は垂直方向カウンタであり、 YA_VAL レジスタで設定される値を初期値としてダウンカウントする。カウンタ 54 は、入力の ACK フラグと EN_OFF1 フラグに従い、クロック CLK の立ち上がり同期してダウンカウントする。リセット時及び次のフィールドの先頭 ($EN_OFF12 = '1'$) になると、初期値 YA_VAL がセットされる。

【0077】

56 は EN_OFF2 フラグ信号発生器であり、垂直方向カウンタ 54 の出力 $VTFRC$ をデコードして '0' になったとき、 EN_OFF2 フラグ信号を '1' にすることで、フィールドの最終ラインを示す。

【0078】

58 はアンド回路であり、 EN_OFF1 フラグ信号と EN_OFF2 フラグ信号をアンドし、 EN_OFF12 フラグ信号を発生する。 EN_OFF12 フラグ信号は、フィールドの最終画素を示す。

【0079】

60 は DRAM 16 上に構成されるビットマップ画像の読み出しアドレスを発生する読み出しアドレス発生回路である。読み出しアドレス回路 60 の EV_OD 入力同期信号発生 38 からの信号であり、奇フィールドか偶フィールドかを示す。DMA 制御回路 22 がリセットされて $RESET$ 信号に '1' を入力したときに、読み出しアドレス発生回路 60 は、奇フィールドならば初期アドレス ST_ADD_1 から、偶フィールドならば初期アドレス ST_ADD_2 からそれぞれ読み出しアドレスを発生する。そして、回路 60 は、 ACK 入力に従い $ADDR_CNT$ を $ADDR_DELTA$ 分ずつ増やして行く。 $ADDR_DELTA$ の値は、先に述べたように、メモリインターフェース 18 からのデータ転送量によって異なり、例えば、DRAM 16 と 32 ビットバスで接続する場合には一回の転送が 4 バイトなので、4 になる。回路 60 の出力 $ADDR_CNT$ は、バイト単位でのアドレスになる。そして、 $EN_OFF1 = '1'$ のとき水平方向の最後のアドレスを指定した後は、回路 60 は、 $OFFA$ レジスタ分加算して、次のラインの先頭アドレスに進む。

【0080】

図 12 に示す各回路の動作を VHDL で記述すると次のようになる。水平方向カウンタ 50 に対しては、

10

20

30

```
PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      HTFRC<=XA_VAL;
    ELSEIF (ACK=' 1' ) THEN
      IF (EN_OFF1=' 1' ) THEN
        HTFRC<=XA_VAL;
      ELSE
        HTFRC<=HTFRC- (ADDR_DELTA) ;
      END IF;
    ELSE
      HTFRC<=HTFRC;
    END IF;
  END IF;
END PROCESS;
```

10

20

である。

【 0 0 8 1 】

EN_OFF1 フラグ信号発生器 5 2 に対しては、

EN_OFF1 <= ' 1 ' WHEN (HTFRC = 0) ELSE ' 0 ' ;

である。

【 0 0 8 2 】

垂直方向カウンタ 5 4 に対しては、

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      VTFRC<=YA_VAL;
    ELSEIF (ACK=' 1' ) THEN
      IF (EN_OFF12=' 1' ) THEN
        VTFRC<=YA_VAL;
      ELSEIF (EN_OFF1=' 1' ) THEN
        VTFRC<=VTFRC-' 1' ;
      ELSE
        VTFRC<=VTFRC;
      END IF;
    ELSE
      VTFRC<=VTFRC;
    END IF;
  END IF;
END PROCESS;

```

10

20

である。

【 0 0 8 3 】

EN_OFF2 フラグ信号発生器 5 6 に対しては、

EN_OFF2 <= ' 1 ' WHEN (VTFRC = 0) ELSE ' 0 ' ;

である。

30

【 0 0 8 4 】

アンド回路 5 8 に対しては、

EN_OFF12 <= EN_OFF1 AND EN_OFF2 ;

である。

【 0 0 8 5 】

読み出しアドレス発生回路 6 0 に対しては、

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      IF (EV_OD=' 1' ) THEN
        ADDR_CNT<=ST_ADD_2 ;
      ELSE
        ADDR_CNT<=ST_ADD_1 ;
      END IF ;
    ELSIF (ACK=' 1' ) THEN
      IF (EN_OFF12=' 1' ) THEN
        IF (EV_OD=' 0' ) THEN
          ADDR_CNT<=ST_ADD_2 ;
        ELSE
          ADDR_CNT<=ST_ADD_1 ;
        END IF ;
      ELSIF (EN_OFF1=' 1' ) THEN
        ADDR_CNT<=ADDR_CNT+OFFA ;
      ELSE
        ADDR_CNT<=ADDR_CNT+ (ADDR_DELTA)
      ;
    END IF ;
  ELSE
    ADDR_CNT<=ADDR_CNT ;
  END IF ;
END IF ;
END PROCESS ;

```

である。

【 0 0 8 6 】

図 1 3 は、再生 DMA 制御回路 2 0 の概略構成ブロック図を示す。ビットマップ DMA 制御回路 2 2 に対して、前述の部分置換及び部分拡大を行なうための回路が付加されている。

【 0 0 8 7 】

6 2 は水平方向カウンタであり、X A _ V A L レジスタで設定される値を初期値としてダウンカウントする。水平方向カウンタ 6 2 は、入力 of A C K フラグに従いクロック C L K の立ち上がり同期してダウンカウントして行く。リセット時及び次のラインの先頭 (E N _ O F F 1 = ' 1 ') になると、初期値 X A _ V A L がセットされる。カウンタ 6 2 の減少値 A D D R _ D E L T A は、メモリアインターフェース 1 8 からのデータ転送量によって異なり、例えば、D R A M 1 6 と 3 2 ビットバスで接続する場合には一個の転送が 4 バ

イトなので、4になる。

【0088】

64は、図8に示されるDIS_XSTの位置を示すEN_DIS_XSTフラグ信号を発生するデコーダである。デコーダ64は、水平方向カウンタ62の出力とレジスタDIS_XSTの値を比較して一致したときに、EN_DIS_XSTフラグ信号を'1'にする。

【0089】

66は、図8に示されるDIS_XENDの位置を示すEN_DIS_XENDフラグ信号を発生するデコーダである。デコーダ66は、レジスタDIS_XSTからレジスタSOR_HSPANを減算した値と水平方向カウンタ62の出力を比較して一致したときに、EN_DIS_XENDフラグ信号を'1'にする。

10

【0090】

68は、ラインの最終画素を示すEN_OFF1フラグ信号を発生するデコーダである。デコーダ68は、レジスタDIS_HSPANとレジスタSOR_HSPANの差分値と水平方向カウンタ62の出力HTFRCとを比較して一致したときに、EN_OFF1フラグ信号を'1'にする。水平方向に部分拡大をしない場合には、この差分値は'0'になる。例えば2倍に拡大する場合は、レジスタDIS_HSPANに対しレジスタSOR_HSPANの値が半分になる。

【0091】

70は垂直方向カウンタであり、YA_VALレジスタで設定される値を初期値としてダウンカウントする。垂直方向カウンタ70は、入力 of ACKフラグとEN_OFF1フラグに従い、クロックCLKの立ち上がり同期してダウンカウントする。リセット時及び次のフィールドの先頭(EN_OFF12='1')になると、初期値YA_VALがセットされる。

20

【0092】

72はEN_OFF2フラグ信号発生用デコーダであり、垂直方向カウンタ54の出力VTFRCをデコードして'0'になったとき、EN_OFF2フラグ信号を'1'にすることで、フィールドの最終ラインを示す。

【0093】

74は、図8に示されるDIS_YSTの位置を示すEN_DIS_YSTフラグ信号を発生するデコーダである。デコーダ74は、水平方向カウンタ62の出力とレジスタDIS_YSTの値を比較して一致したときに、EN_DIS_YSTフラグ信号を'1'にする。

30

【0094】

76は、図8に示されるDIS_YENDの位置を示すEN_DIS_YENDフラグ信号を発生するデコーダである。デコーダ76は、レジスタDIS_YSTからレジスタSOR_HSPANを減算した値と水平方向のカウンタ62の出力を比較して一致したときに、EN_DIS_YENDフラグ信号を'1'にする。

【0095】

78はEN_OFF1フラグ信号とEN_OFF2フラグ信号をアンドするアンド回路である。アンド回路78の出力EN_OFF12フラグ信号は、フィールドの最終画素を示す。

40

【0096】

80は、DRAM16上に形成されるVRAMの読み出しアドレスを発生する読み出しアドレス発生回路である。アドレス発生回路80のEV_OD入力は、同期信号発生38からの信号であり、奇フィールドか偶フィールドかを示す。DMA制御回路20がリセットされてRESET信号に'1'を入力したときに、アドレス発生回路80は、奇フィールドならば初期アドレスST_ADD_1から、偶フィールドならば初期アドレスST_ADD_2からアドレスADDR_CNTを発生する。そして、回路80は、ACK入力に従いADDR_CNTをADDR_DELTA分ずつ増やして行く。ADDR_DELT

50

Aの値は、先に述べたようにメモリアンターフェース18からのデータ転送量によって異なり、例えば、DRAM16と32ビットバスで接続する場合は1回の転送が4バイトなので、4になる。アドレス発生回路80の出力ADDR_CNTは、バイト単位でのアドレスになる。

【0097】

そして、EN_OFF1 = '1' のとき水平方向の最後のアドレスを指定した後は、回路80は、OFFAレジスタ分加算して次のラインの先頭アドレスに進む。例えば、図3に示すような連続したフレーム画のVRAM構成の場合、1ライン分のアドレス量が加算される。また、図4に示すようなVRAM構成の場合、OFFAの値はADDR_DELTAと同じ値になる。

【0098】

更に、EN_OFF12 = '1' のときのフィールド画の最終アドレスを指定した後は、アドレス発生回路80は、EV_ODフラグ信号をみて、奇フィールドならばST_ADD_1レジスタ値を設定し、偶フィールドならばST_ADD_2レジスタの値を設定する。従って、前述したように、液晶表示パネル又はTVモニタにフィールド画を表示したい場合には、ST_ADD_1の値とST_ADD_2の値を同じにすれば良い。ST_ADD_1レジスタとST_ADD_2レジスタの設定値を切り替えるだけで、フィールド画とフレーム画を瞬時に切り替えることが可能になる。

【0099】

82は、部分置換及び部分拡大の垂直方向のエリアを示すETS_ARIAフラグを発生する回路である。ETS_ARIAフラグは、図8に示すように、DIS_YSTの位置からDIS_YENDの位置までの垂直エリアを示す。

【0100】

84はEN_OFF1とACKをアンドするアンド回路であり、その出力は、ラインの終了アドレスのタイミングを示す。

【0101】

86は部分拡大時の垂直方向のライン繰返しフラグETS_Y_REPを発生する回路である。回路86は、入力 of ETS_ARIA = '1' の期間のみ、動作する。EN_OFF1とACKのアンド信号のタイミングで判断する。例えば、垂直2倍拡大時には、レジスタINT_REP = '1' に設定することにより、1ラインおきにETS_Y_REPが'1'になる。3倍時には、レジスタINT_REP = '2' に設定することにより、2ライン間'1'で、1ライン'0'の3ラインを繰返すことになる。

【0102】

88は、部分置換及び部分拡大時の原画像のアドレスを発生するアドレス発生回路である。回路88は、入力 of ETS_ARIA = '1' の期間のみ動作し、ラインの終了アドレスのタイミングでETS_Y_REPフラグが'1'になっているかどうかを判断して、アドレスを発生する。VRAMの読み出しアドレス発生回路80とは別に、回路88は、2つのスタートアドレスレジスタST_SOR_ADD1, ST_SOR_ADD2とライン間のオフセットレジスタSOR_OFFSETを具備し、原画アドレスETS_SOR_ADDRを発生する。ここで発生したアドレスが、図7の部分置換及び図8の部分拡大の原画アドレスを示す。

【0103】

90は、ETS_ARIAフラグとEN_DIS_XSTフラグをアンドするアンド回路であり、部分置換及び部分拡大の水平方向の開始タイミングを発生する。

【0104】

92はセレクト、94はフリップフロップ(FF)である。回路90, 92, 94により、フリップフロップ94が、アンド回路90のカタイミングでADDR_CNT値をラッチすることにより、部分置換及び部分拡大する直前のアドレスを保持する。

【0105】

96は、フリップフロップ94で保持するアドレスとレジスタDIS_H_SPANを加

10

20

30

40

50

算する加算器であり、部分置換及び部分拡大を終了した位置のアドレス `DISP__END__ADR` を算出して、アドレス発生回路 80 に供給する。読み出しアドレス発生回路 80 に `ETS__ARIA`、`ETS__SOR__ADR` 及び `DISP__END__ADR` を入力することで、部分置換及び部分拡大を実現する。

【0106】

ちなみに、水平拡大は、再生DMA制御回路では行わずに、`FIFO24` の内部で実現する。

【0107】

図13に示す各回路の動作をVHDLで記述すると次のようになる。水平方向のカウンタ62に対しては、

10

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      HTFRC<=XA_VAL;
    ELSIF (ACK=' 1' ) THEN
      IF (EN_OFF1=' 1' ) THEN
        HTFRC<=XA_VAL;
      ELSE
        HTFRC<=HTFRC-ADDR_DELTA;
      END IF;
    ELSE
      HTFRC<=HTFRC;
    END IF;
  END IF;
END PROCESS;

```

20

30

である。

【0108】

`EN__DIS__XST` フラグ信号発生用デコーダ64に対しては、

```

EN__DIS__XST<= " 1 " WHEN (HTFRC=DIS__XST__REG) ELSE ' 0 ' ;

```

である。

【0109】

`EN__DIS__XEND` フラグ信号発生用デコーダ66に対しては、

40

```

ETS__XEND__CNT<=DIS__XST__REG-SOR__HSPAN;
EN__DIS__XEND<= ' 1 ' WHEN (HTFRC=ETS__XEND__CNT)
ELSE ' 0 ' ;

```

である。

【0110】

`EN__OFF1` フラグ信号発生用デコーダ68に対しては、

```

XA__SUB<=DIS__H__SPAN-SOR__HSPAN;
EN__OFF1<= ' 1 ' WHEN (HTFRC=XA__SUB) ELSE ' 0 ' ;

```

である。

【0111】

50

垂直方向カウンタ 70 に対しては、

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      VTFRC<=YA_VAL;
    ELSEIF (ACK=' 1' ) THEN
      IF (EN_OFF12=' 1' ) THEN
        VTFRC<=YA_VAL;
      ELSEIF (EN_OFF1=' 1' ) THEN
        VTFRC<=VTFRC-' 1' ;
      ELSE
        VTFRC<=VTFRC;
      END IF;
    ELSE
      VTFRC<=VTFRC;
    END IF;
  END IF;
END PROCESS;

```

10

20

である。

【0112】

EN_OFF2 フラグ信号発生用デコーダ 72 に対しては、

EN_OFF2 <= ' 1 ' WHEN (VTFRC = ' 0 ') ELSE ' 0 ' ;

30

である。

【0113】

EN_DIS_YST フラグ信号発生用デコーダ 74 に対しては、

EN_DIS_YST <= ' 1 ' WHEN (VTFRC = DIS_YST_REG) ELSE ' 0 ' ;

である。

【0114】

EN_DIS_YEND フラグ信号発生用デコーダ 76 に対しては、

EN_DIS_YEND <= ' 1 ' WHEN (VTFRC = DIS_YEND_REG) ELSE ' 0 ' ;

40

である。

【0115】

アンド回路 78 に対しては、

EN_OFF12 <= EN_OFF1 AND EN_OFF2 ;

である。

【0116】

読み出しアドレス発生回路 80 に対しては、

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      IF (EV_OD=' 1' ) THEN
        ADDR_CNT<=ST_ADD_2 ;
      ELSE
        ADDR_CNT<=ST_ADD_1 ;
      END IF ;
    ELSEIF (ACK=' 1' ) THEN
      IF (EN_OFF12=' 1' ) THEN
        IF (EV_OD=' 0' ) THEN
          ADDR_CNT<=ST_ADD_2 ;
        ELSE
          ADDR_CNT<=ST_ADD_1 ;
        END IF ;
      ELSEIF (EN_OFF1=' 1' ) THEN
        ADDR_CNT<=ADDR_CNT+OFFA ;
      ELSEIF (ETS_ARIA=' 1' ) THEN
        IF (EN_DIS_XEND=' 1' ) THEN
          ADDR_CNT<=DISP_END_ADR ;
        ELSEIF (EN_DIS_XST=' 1' ) THEN
          ADDR_CNT<=ETS_SOR_ADR ;
        ELSE
          ADDR_CNT<=ADDR_CNT+ADDR_DELTA ;
        END IF ;
      ELSE
        ADDR_CNT<=ADDR_CNT+ADDR_DELTA ;
      END IF ;
    ELSE
      ADDR_CNT<=ADDR_CNT ;
    END IF ;
  END IF ;
END PROCESS ;

```

である。

【 0 1 1 7 】

ETS_ARIAフラグ発生回路 8 2 に対しては、

```
PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (RESET=' 1' ) THEN
      ETS_ARIA<=' 0' ;
    ELSIF ( (EN_DIS_YEND=' 1' ) OR (EN_OFF2
= ' 1' ) ) THEN
      ETS_ARIA<=' 0' ;
    ELSIF (EN_DIS_YST=' 1' ) THEN
      ETS_ARIA<=' 1' ;
    ELSE
      ETS_ARIA<=ETS_ARIA;
    END IF;
  END IF;
END PROCESS;
```

10

20

である。

【 0 1 1 8 】

アンド回路 8 4 に対しては、

LN_E_ACK <= (EN_OFF1 AND ACK);

である。

【 0 1 1 9 】

ETS_Y_REP 発生回路 8 6 に対しては、

30

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (ETS_ARIA=' 0' ) THEN
      REP_CNT<=INT_REG;
    ELSEIF (LN_E_ACK=' 1' ) THEN
      IF (REP_CNT=" 0000" ) THEN
        REP_CNT<=INT_REG;
      ELSE
        REP_CNT<=REP_CNT-' 1' ;
      END IF;
    ELSE
      ...HOLD  REP_CNT<=REP_CNT;
    END IF;
  END IF;
END PROCESS;
ETS_Y_REP<=' 0' WHEN ( (REP_CNT=0) OR (ETS_ARIA=' 0' ) ) ELSE ' 1' ;

```

10

20

である。

【 0 1 2 0 】

アドレス発生回路 8 8 に対しては、

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF (ETS_ARIA=' 0' ) THEN
      IF (EV_OD=' 1' ) THEN
        ETS_SOR_ADR<=ST_SOR_ADD2 ;
      ELSE
        ETS_SOR_ADR<=ST_SOR_ADD1 ;
      END IF ;
    ELSIF ( (LN_E_ACK=' 1' ) AND (ETS_ARIA=
' 1' ) ) THEN
      IF (ETS_Y_REP=' 1' ) THEN
        ETS_SOR_ADR<=ETS_SOR_ADR ;
      ELSE
        ETS_SOR_ADR<=ETS_SOR_ADR+SOR_L_
OFF ;
      END IF ;
    ELSE
      ETS_SOR_ADR<=ETS_SOR_ADR ;
    END IF ;
  END IF ;
END PROCESS ;

```

である。

【 0 1 2 1 】

回路 9 0 , 9 2 , 9 4 からなるアドレス保持回路に対しては、

```

PROCESS (CLK) BEGIN
  IF (CLK' EVENT AND CLK=' 1' ) THEN
    IF ( (ETS_ARIA=' 1' ) AND (EN_DIS_XST='
1' ) ) THEN
      TEMP_XST_ADR<=ADDR_CNT ;
    ELSE
      TEMP_XST_ADR<=TEMP_XST_ADR ;
    END IF ;
  END IF ;
END PROCESS ;

```

である。

【 0 1 2 2 】

加算器 9 6 に対しては、

$$DISP_END_ADR \leq TEMP_XST_ADR + DIS_H_SPAN + ADDR_DELTA;$$

である。

【 0 1 2 3 】

図 1 4 は、F I F O 2 4 の概略構成ブロック図を示す。S R A M 2 6 をアドレスで分ける事により、1 つの S R A M で自然画とビットマップ画像の両用にしても良い。ここでは分かりやすくするために、自然画用とビットマップ用に別々に S R A M を使用する場合を説明する。従って、S R A M 2 6 a は、自然画 F I F O 用の 2 ポート S R A M であり、S R A M 2 6 b はビットマップ F I F O 用の 2 ポート S R A M を示す。S R A M 2 6 a , 2 6 b の D はデータ入力を、A W はライト側アドレスを、A R はリード側アドレスを、W R _ C L K はライト側クロックを、R D _ C L K はリード側クロックを、Q はデータ出力をそれぞれ示す。

10

【 0 1 2 4 】

1 4 0 は自然画入力データのラッチ回路であり、P B _ V A L I D 入力アクティブのとき、W R _ C L K の立ち上がりエッジで D A T A 入力をラッチする。

【 0 1 2 5 】

1 4 2 は、自然画用 S R A M 2 6 a のライトアドレスを発生する回路であり、P B _ V A L I D 入力アクティブになる度に W R _ C L K の立ち上がりエッジに同期してライトアドレス P B _ A W をインクリメントする。また、ライトアドレス発生回路 1 4 2 には、同期信号発生器 3 8 からの垂直同期信号 V D がリセットとして入力され、フィールド画データの転送毎にアドレスがリセットされる。即ち、垂直同期信号 V D により P B _ A W が初期化されてから、前述の V R A M のスタートアドレスのデータが転送され、S R A M 2 6 a の初期アドレスに書き込まれる。ライトアドレス発生回路 1 4 2 の内部で注意する点としては、同期信号発生器 3 8 からの垂直同期信号 V D は R D _ C L K のタイミングで発生しているので、W R _ C L K とは非同期になる。そのため、回路 1 4 2 は、非同期信号の受け渡しを行なって W R _ C L K に同期した垂直同期信号 V D にタイミング切り替えをしている。

20

【 0 1 2 6 】

1 4 4 は自然画用 S R A M 2 6 a のリードアドレスを発生する回路であり、T V 信号の映像期間中に ' 1 ' になる N B L K 信号が ' 1 ' のとき、R D _ C L K の立ち上がりエッジに同期してリードアドレス P B _ A R をインクリメントする。また、ライトアドレス発生回路 1 4 2 と同様に、回路 1 4 4 には、同期信号発生器 3 8 からの垂直同期信号 V D がリセットとして入力され、フィールド画データの転送開始前にアドレスが初期化される。これにより、ライトアドレス P B _ A W との関係を一貫させている。

30

【 0 1 2 7 】

1 4 6 は S R A M 2 6 a からの輝度出力を選択してデータを保持する輝度信号ラッチ回路である。S R A M 2 6 a からのデータ出力は図 2 (3) に示すような Y : U : V = 4 : 1 : 1 の構成になっており、3 c k で 4 画素分のデータ出力になる。この S R A M 2 6 a の出力を図 2 (4) に示すようなデータ列にするために、4 c k 目は S R A M 2 6 a の読み出しを停止させて、輝度信号ラッチ回路 1 4 6 内に保持した輝度データ Y 3 を出力する。

40

【 0 1 2 8 】

1 4 8 は S R A M 2 6 a からの色差出力 U V を選択してデータを保持する色差信号ラッチ回路である。S R A M 2 6 a からのデータ出力は図 2 の (3) に示すようなデータ列になっており、2 c k で 4 画素分のデータ出力になる。この S R A M 2 6 a の出力を図 2 (4) に示すようなデータ列にするために、1 c k 目と 2 c k 目の U V データを保持して、1 乃至 2 c k 目は U を、3 乃至 4 c k 目は V を出力するようになっている。

【 0 1 2 9 】

図 1 3 に示す D M A 制御回路 2 0 で説明した水平方向拡大回路は、輝度信号ラッチ回路 1

50

4 6 と色差信号ラッチ回路 1 4 8 が水平方向拡大回路を構成する。これらの回路は、拡大開始と終了の画素位置を指定するレジスタと拡大倍率を指定するレジスタを持ち、拡大画素のタイミングに 1 画素前のデータを保持すること（前置補間）で水平方向の拡大を実現する。

【 0 1 3 0 】

1 5 0 は自然画用データリクエスト信号発生回路であり、前述した通りに F I F O 2 4 のデータ残量を算出し、その残量に従ってリクエスト信号を発生する。残量を算出するために、ライトアドレス値 B M P _ A W からリードアドレス値 B M P _ A R を減算して得られる差値をデータ残量とする。注意する点として、W R _ C L K の立ち上がりエッジに同期して演算を行なっている。リードアドレス B M P _ A R は R D _ C L K のタイミングで発生しているので、W R _ C L K とは非同期になる。そのため、非同期信号の受け渡しを行なって W R _ C L K に同期した B M P _ A R にタイミングに切り替えている。

10

【 0 1 3 1 】

1 5 2 はビットマップ入力データのラッチ回路であり、入力の B M P _ V A L I D 信号がアクティブのとき、W R _ C L K の立ち上がりエッジで D A T A 入力をラッチする。

【 0 1 3 2 】

1 5 4 はビットマップ用 S R A M 2 6 b のライトアドレスを発生する回路であり、B M P _ V A L I D 入力 that アクティブになる度に、W R _ C L K の立ち上がりエッジに同期して B M P _ A W をインクリメントする。回路 1 5 4 には、同期信号発生器 3 8 からの垂直同期信号 V D がリセットとして入力され、フィールド画データの転送毎にアドレスがリセットされる。即ち、垂直同期信号 V D で B M P _ A W が初期化されてから、前述の V R A M のスタートアドレスのデータが転送され、S R A M 2 6 a の初期アドレスに書き込まれる。

20

【 0 1 3 3 】

ライトアドレス発生回路 1 5 4 の内部で注意する点としては、同期信号発生器 3 8 からの垂直同期信号 V D は R D _ C L K のタイミングで発生しているので、W R _ C L K とは非同期になる。そのため、非同期信号の受け渡しを行なって W R _ C L K に同期した垂直同期信号 V D にタイミング切り替えをしている。

【 0 1 3 4 】

1 5 6 はビットマップ用 S R A M 2 6 b のリードアドレスを発生する回路であり、T V 信号の映像期間中に ' 1 ' になる N B L K 信号が ' 1 ' のとき、R D _ C L K の立ち上がりエッジに同期して B M P _ A R をインクリメントする。ライトアドレス発生回路 1 4 2 と同様に、同期信号発生器 3 8 からの垂直同期信号 V D がリセットとして入力し、フィールド画データの転送開始前にアドレスが初期化されて、B M P _ A W との関係を一致させている。

30

【 0 1 3 5 】

1 5 8 は B M P データラッチ回路である。S R A M 2 6 b の B M P データ出力は 1 画素が 4 ビットデータの構成になっているので、下記のように 1 c k の 1 6 ビット中に 4 画素分のデータが転送される。即ち、

B M P の S R A M 出力	1 c k 目	5 c k 目	9 c k 目
(上位 8 ビット)	B 2 : B 3	B 6 : B 7	B 1 0 : B 1 1
(下位 8 ビット)	B 0 : B 1	B 4 : B 5	B 8 : B 9

40

そのため、S R A M 2 6 b からの B M P データを 1 c k 目に保持して置き、次の 2 乃至 4 c k 目までは S R A M 2 6 b からの読み出しを停止して、前に保持したデータを出力する。

【 0 1 3 6 】

1 6 0 はビットマップ用データリクエスト信号発生回路であり、前述した通りに、F I F O 2 4 のデータ残量を算出して、その残量に従ってリクエスト信号を発生する。ここでは、残量を算出するために、ライトアドレス値 B M P _ A W からリードアドレス値 B M P _ A R を減算して得られる差値をデータ残量としている。W R _ C L K の立ち上がりエッジ

50

に同期して演算を行なっていることに注意すべきである。リードアドレス BMP_AR は RD_CLK のタイミングで発生しているので、 WR_CLK とは非同期になる。そのため、非同期信号の受け渡しを行なって WR_CLK に同期した BMP_AR にタイミング切り替えをしている。

【0137】

【発明の効果】

以上の説明から容易に理解できるように、本発明によれば、簡単な処理で表示画像の一部を代替できる。これにより、表示 $VRAM$ の一部を書き換える場合などにおいて、余計な書き換え用の $VRAM$ エリアを持たずに書き換え途中の見苦しい表示を見せずに済み、 $VRAM$ を削減でき、従ってコストを低減できる。

10

【0138】

また、余計な拡大用 $VRAM$ を持たずに拡大表示への切り替えを瞬時で高品位に行なえるようになり、これにより、 $DRAM$ を削減でき、拡大画像表示切り替えが高品位に行なえる。

【図面の簡単な説明】

【図1】 本発明の一実施例の概略構成ブロック図である。

【図2】 画像データ形式の一覧である。

【図3】 フレーム構成の $VRAM$ からのデータ読み出しの模式図である。

【図4】 フィールド構成の $VRAM$ からのデータ読み出しの模式図である。

【図5】 単一 $VRAM$ 構成で書き込みと読み出しのレートが異なる場合の不具合の表示例である。

20

【図6】 水平1600画素×垂直1200ラインの巨大 $VRAM$ を構成した場合のイメージ例を示す図である。

【図7】 9面マルチ画表示で部分置換機能を用いて右上画の書き換えを行なっているイメージ例を示す図である。

【図8】 部分拡大表示時のイメージ例を示す図である。

【図9】 1. x 倍のときの小数点拡大時の繰り返しフラグ例である。

【図10】 9. x 倍のときの小数点拡大時の繰り返しフラグ例である。

【図11】 従来例の概略構成ブロック図である。

【図12】 DMA 制御回路22の概略構成ブロック図である。

30

【図13】 DMA 制御回路20の概略構成ブロック図である。

【図14】 $FIFO24$ 及び $SRAM26$ の概略構成ブロック図である。

【符号の説明】

10：撮像素子

12：A/D変換器

14：撮影信号処理回路

16： $DRAM$ （ダイナミック・ランダム・アクセス・メモリ）

18：メモリ・インターフェース

20：再生 DMA 制御回路

22：ビットマップ DMA 制御回路

40

24： $FIFO$ （ファーストイン・ファーストアウト）メモリ

26： $SRAM$

26a：自然画用 $SRAM$

26b：ビットマップ用 $SRAM$

28： $411/422$ 変換回路

30：パレット変換回路

32：合成回路

34：再生信号処理回路

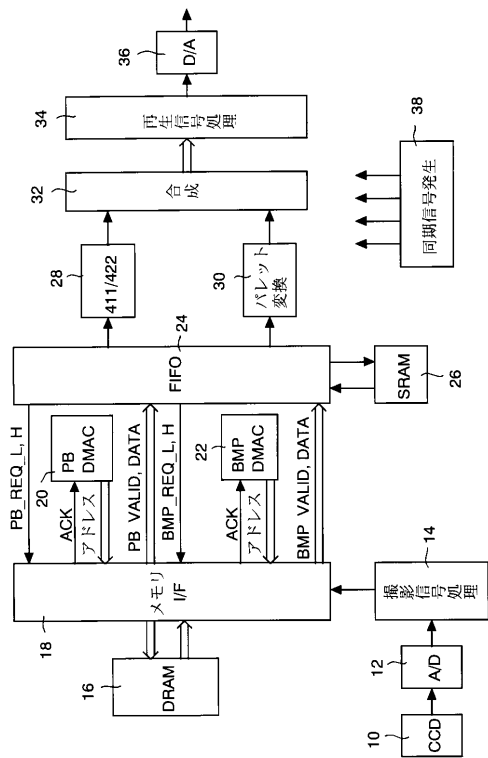
36： D/A 変換器

38：同期信号発生器（ SSG ）

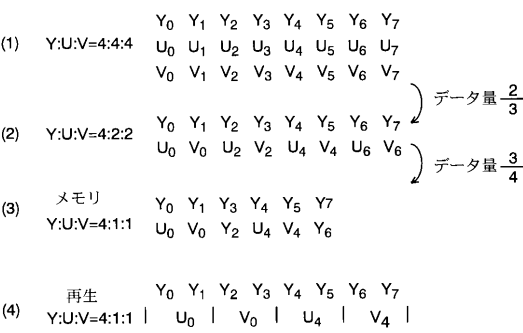
50

5 0 : 水平方向カウンタ	
5 2 : E N _ O F F 1 フラグ信号発生器	
5 4 : 垂直方向カウンタ	
5 6 : E N _ O F F 2 フラグ信号発生器	
5 8 : アンド回路	
6 0 : 読み出しアドレス発生回路	
6 2 : 水平方向カウンタ	
6 4 : デコーダ	
6 6 : デコーダ	
6 8 : デコーダ	10
7 0 : 垂直方向カウンタ	
7 2 : デコーダ	
7 4 : デコーダ	
7 6 : デコーダ	
7 8 : アンド回路	
8 0 : 読み出しアドレス発生回路	
8 2 : E T S _ A R I A フラグ発生回路	
8 4 : アンド回路	
8 6 : E T S _ Y _ R E P 発生回路	
8 8 : アドレス発生回路	20
9 0 : アンド回路	
9 2 : セレクタ	
9 4 : フリップフロップ (F F)	
9 6 : 加算器	
1 1 0 : 撮像素子	
1 1 2 : A / D 変換器	
1 1 4 : 撮影信号処理回路	
1 1 6 : V R A M	
1 1 8 : メモリ制御回路	
1 2 0 : 画素拡大回路	30
1 2 2 : T V 系信号処理回路	
1 2 4 : D / A 変換器	
1 2 6 : L P F	
1 2 8 : ビデオアンプ	
1 3 0 : T V モニタ	
1 3 2 : 液晶表示制御回路	
1 3 4 : 液晶表示パネル	
1 4 0 : ラッチ回路	
1 4 2 : ライトアドレス発生回路	
1 4 4 : リードアドレス発生回路	40
1 4 6 : 輝度信号ラッチ回路	
1 4 8 : 色差信号ラッチ回路	
1 5 0 : 自然画用データリクエスト信号発生回路	
1 5 2 : ラッチ回路	
1 5 4 : ライトアドレス発生回路	
1 5 6 : リードアドレス発生回路	
1 5 8 : B M P データラッチ回路	
1 6 0 : ビットマップ用データリクエスト信号発生回路	

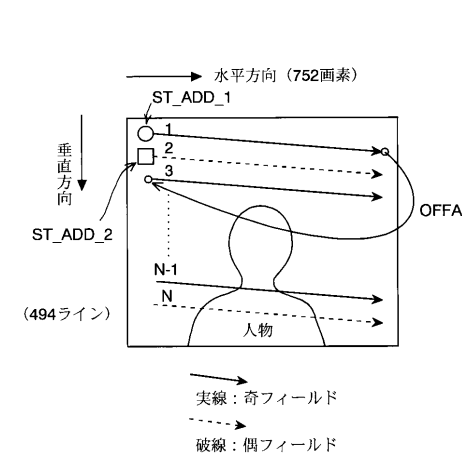
【図 1】



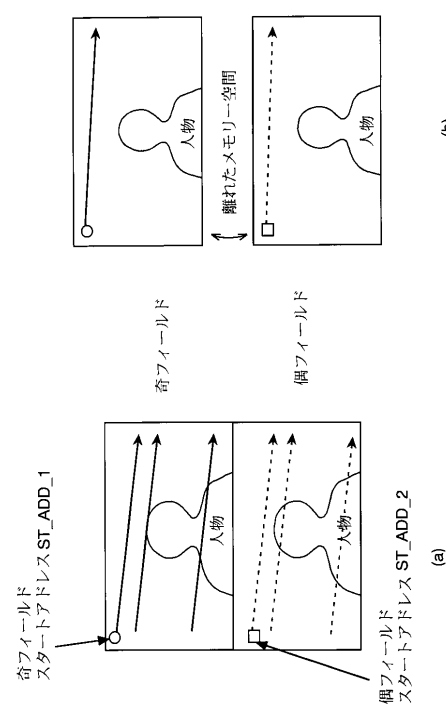
【図 2】



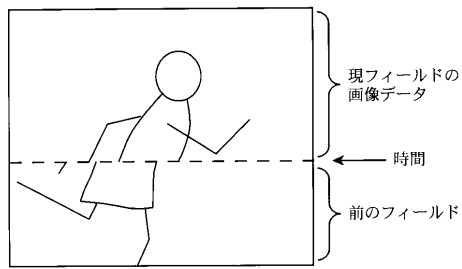
【図 3】



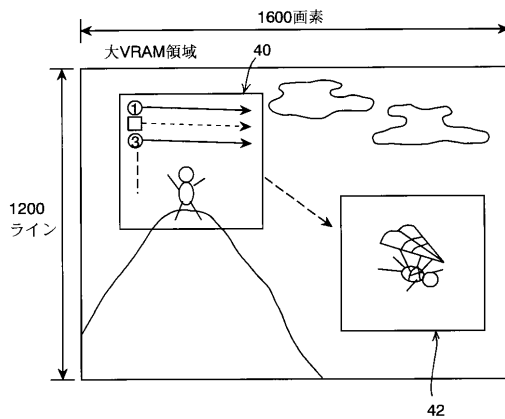
【図 4】



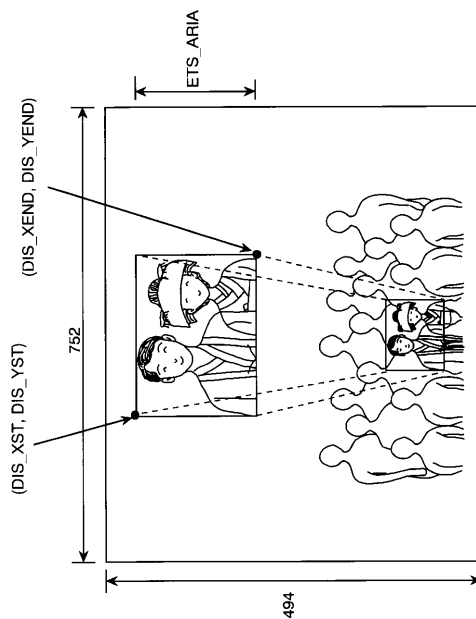
【図 5】



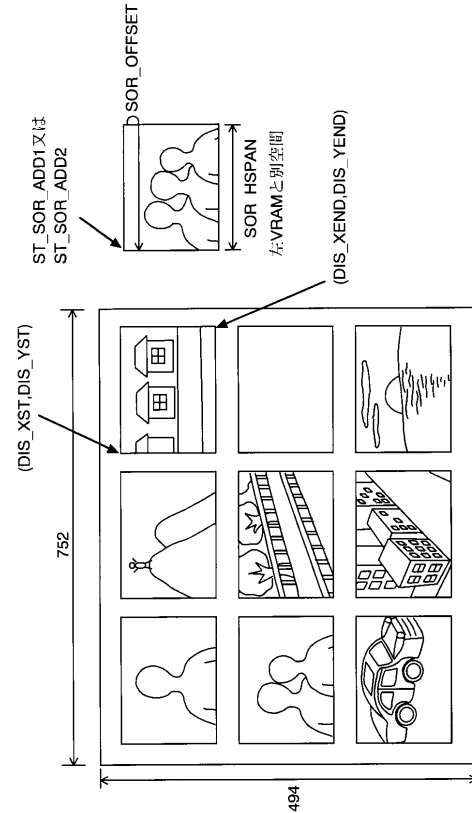
【図 6】



【図 8】



【図 7】



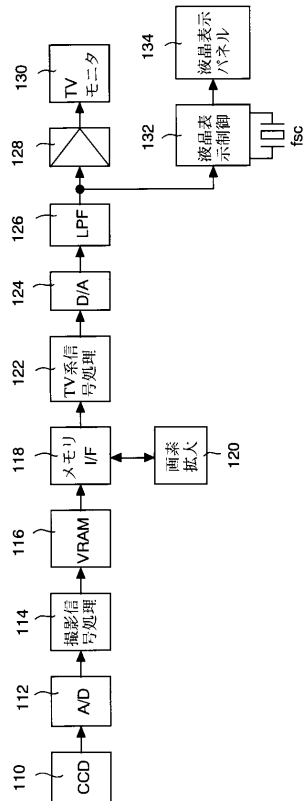
【図 9】

小数点カウンタ	:	0	1	2	3	4	5	6	7	8	9
等倍時の繰り返しフラグ	:	0	0	0	0	0	0	0	0	0	0
1.1倍時の繰り返しフラグ	:	1	0	0	0	0	0	0	0	0	0
1.2倍時の繰り返しフラグ	:	1	0	0	0	0	1	0	0	0	0
1.3倍時の繰り返しフラグ	:	1	0	0	1	0	0	1	0	0	0
1.4倍時の繰り返しフラグ	:	1	0	0	1	0	1	0	0	1	0
1.5倍時の繰り返しフラグ	:	1	0	1	0	1	0	1	0	1	0
1.6倍時の繰り返しフラグ	:	1	0	1	1	0	1	1	0	1	0
1.7倍時の繰り返しフラグ	:	1	0	1	1	0	1	1	0	1	1
1.8倍時の繰り返しフラグ	:	1	1	1	1	0	1	1	1	1	0
1.9倍時の繰り返しフラグ	:	1	1	1	1	0	1	1	1	1	1

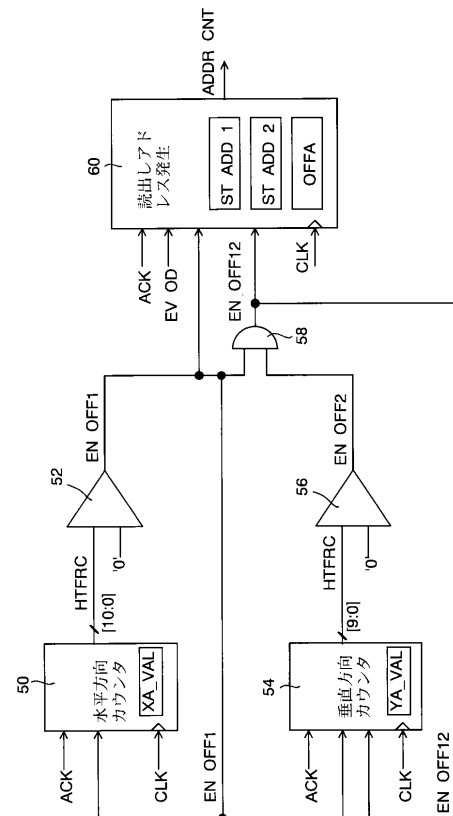
【図 10】

小数点カウンタ	:	0	1	2	3	4	5	6	7	8	9
9 倍時の繰り返しフラグ	:	9	9	9	9	9	9	9	9	9	9
9.1倍時の繰り返しフラグ	:	10	9	9	9	9	9	9	9	9	9
9.2倍時の繰り返しフラグ	:	10						10			
9.3倍時の繰り返しフラグ	:	10			10			10			
9.4倍時の繰り返しフラグ	:	10			10			10			10
9.5倍時の繰り返しフラグ	:	10		10		10		10			10
9.6倍時の繰り返しフラグ	:	10		10	10		10	10			10
9.7倍時の繰り返しフラグ	:	10		10	10		10	10			10
9.8倍時の繰り返しフラグ	:	10	10	10	10		10	10	10	10	10
9.9倍時の繰り返しフラグ	:	10	10	10	10		10	10	10	10	10

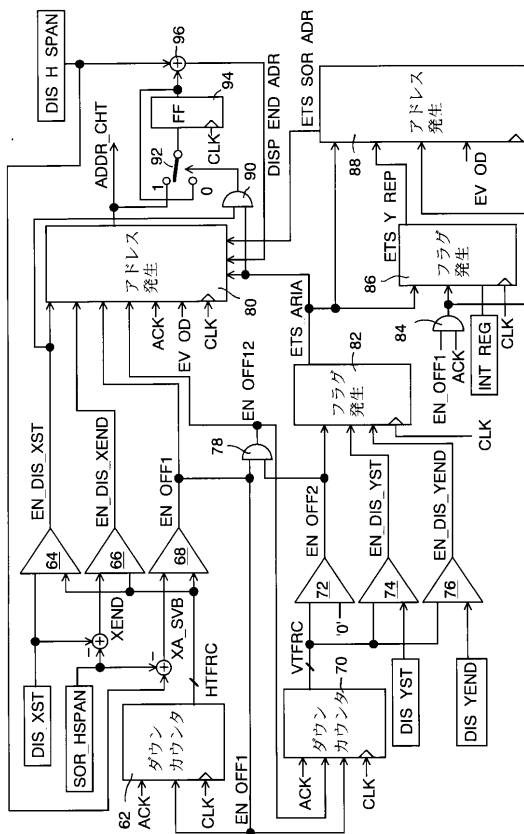
【図 1 1】



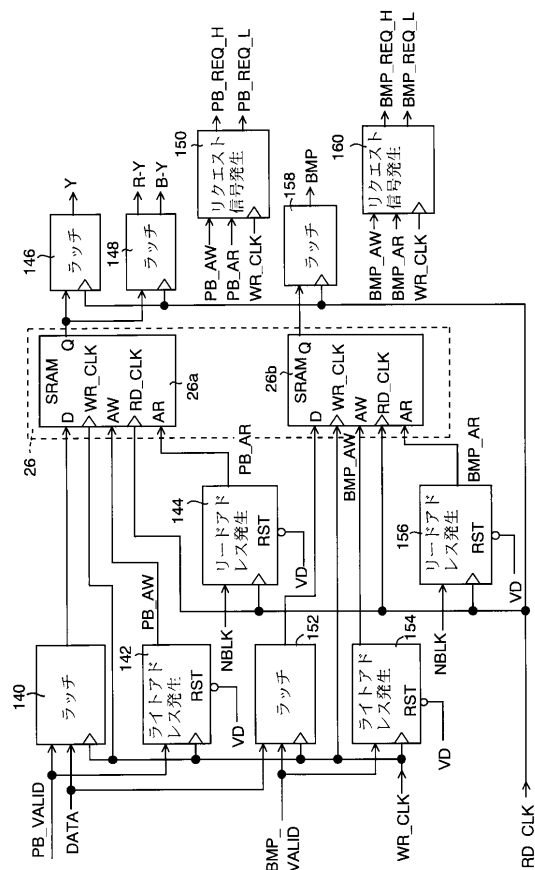
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(56)参考文献 特開平 1 1 - 2 0 5 7 3 1 (J P , A)
特開平 1 1 - 1 9 6 3 0 1 (J P , A)
特開平 1 1 - 0 5 5 5 6 0 (J P , A)
特開平 1 1 - 3 3 1 6 4 9 (J P , A)
特開平 0 7 - 1 0 7 3 6 1 (J P , A)
特開平 0 6 - 0 8 6 1 4 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/225
H04N 5/232
H04N 5/272
H04N 5/907
H04N 5/93