



(12) 发明专利申请

(10) 申请公布号 CN 119895516 A

(43) 申请公布日 2025. 04. 25

(21) 申请号 202380063734.1

(22) 申请日 2023.08.28

(30) 优先权数据

2022-173161 2022.10.28 JP

(85) PCT国际申请进入国家阶段日

2025.03.04

(86) PCT国际申请的申请数据

PCT/JP2023/030997 2023.08.28

(87) PCT国际申请的公布数据

W02024/090008 JA 2024.05.02

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 高桥优

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

专利代理师 朴云龙

(51) Int.Cl.

H01G 4/30 (2006.01)

H01G 4/252 (2006.01)

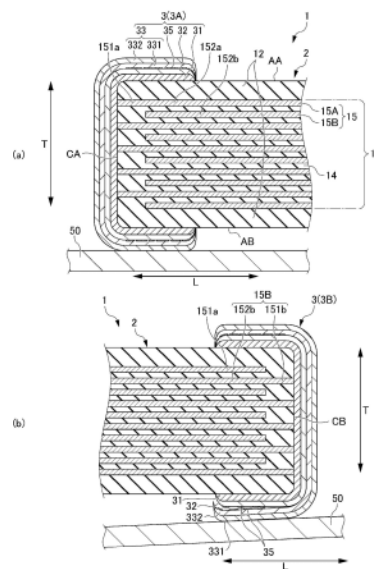
权利要求书1页 说明书8页 附图4页

(54) 发明名称

层叠陶瓷电容器

(57) 摘要

本发明提供一种能够抑制层叠陶瓷电容器中的裂纹的产生并且可靠性优异的层叠陶瓷电容器。层叠陶瓷电容器(1)具备:层叠体(2),包含交替地层叠的电介质层(14)和内部电极层(15),并具有在层叠方向(T)上相互对置的两个主面(A)、在与层叠方向(T)正交的长度方向(L)上相互对置的两个端面(C)、以及在与层叠方向(T)以及长度方向(L)中的任一者均正交的宽度方向(W)上相互对置的两个侧面(B);以及外部电极(3),分别配置在层叠体(2)的两个端面(C)。外部电极(3)具有:基底电极层(31);第1镀敷层(32),配置在基底电极层(31)上;第2镀敷层(33),配置在第1镀敷层(32)上,与第1镀敷层接触;以及密接力缓解层(35),配置在第1镀敷层(32)与第2镀敷层(33)之间。



1. 一种层叠陶瓷电容器,具备:

层叠体,包含交替地层叠的电介质层和内部电极层,并具有在层叠方向上相互对置的两个主面、在与所述层叠方向正交的长度方向上相互对置的两个端面、以及在与所述层叠方向以及所述长度方向中的任一者均正交的宽度方向上相互对置的两个侧面;以及外部电极,分别配置在所述层叠体的所述两个端面,

其中,

所述外部电极具有:

基底电极层;

第1镀敷层,配置在所述基底电极层上;

第2镀敷层,配置在所述第1镀敷层上,并与所述第1镀敷层接触;以及

密接力缓解层,配置在所述第1镀敷层与所述第2镀敷层之间。

2. 根据权利要求1所述的层叠陶瓷电容器,其中,

所述第2镀敷层具有内侧第2镀敷层和配置在所述内侧第2镀敷层上的外侧第2镀敷层。

3. 根据权利要求2所述的层叠陶瓷电容器,其中,

所述第1镀敷层为Cu镀敷层,

所述内侧第2镀敷层为Ni镀敷层,

所述外侧第2镀敷层为Sn镀敷层。

4. 根据权利要求1~3中的任一项所述的层叠陶瓷电容器,其中,

所述密接力缓解层包含有机硅化合物。

5. 根据权利要求4所述的层叠陶瓷电容器,其中,

所述有机硅化合物为多官能基烷氧基硅烷。

6. 根据权利要求1~5中的任一项所述的层叠陶瓷电容器,其中,

所述第1镀敷层的表面粗糙度Sa为 $0.10\mu\text{m}$ 以上且 $0.27\mu\text{m}$ 以下。

7. 根据权利要求1~6中的任一项所述的层叠陶瓷电容器,其中,

所述密接力缓解层配置在所述第1镀敷层与所述第2镀敷层之间的区域中的位于所述主面的外侧的区域以及位于所述侧面的外侧的区域,并且不配置在位于所述端面的外侧的区域。

层叠陶瓷电容器

技术领域

[0001] 本发明涉及层叠陶瓷电容器。

背景技术

[0002] 若在安装了层叠陶瓷电容器的状态下对电路板施加弯曲等挠曲应力,则应力通过外部电极传递到电容器主体部,有时在电容器主体部中产生裂纹。

[0003] 为了抑制这样的裂纹,例如,在专利文献1中,在外部电极中,在烧附金属膜与镀敷金属膜之间配置有密接力缓解膜。密接力缓解膜用于缓解镀敷金属膜对该镀敷金属膜所成膜的面的密接力。由此,在电路板产生了挠曲的情况下,能够使得镀敷金属膜能够从烧附金属剥离,因此能够抑制应力向电容器主体部的传递。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2014-203910号公报

发明内容

[0007] 发明要解决的问题

[0008] 然而,在镀敷金属膜从烧附金属膜剥离的情况下,烧附金属膜会暴露于外部空气,因此由浸入到烧附金属膜的水分等造成的电容器主体部等的劣化令人担忧。

[0009] 本发明的目的在于,提供一种能够抑制层叠陶瓷电容器中的裂纹的产生并且可靠性优异的层叠陶瓷电容器。

[0010] 用于解决问题的技术方案

[0011] 为了解决上述问题,本发明提供一种层叠陶瓷电容器,具备:层叠体,包含交替地层叠的电介质层和内部电极层,并具有在层叠方向上相互对置的两个主面、在与所述层叠方向正交的长度方向上相互对置的两个端面、以及在与所述层叠方向以及所述长度方向中的任一者均正交的宽度方向上相互对置的两个侧面;以及外部电极,分别配置在所述层叠体的所述两个端面,其中,所述外部电极具有:基底电极层;第1镀敷层,配置在所述基底电极层上;第2镀敷层,配置在所述第1镀敷层上,并与所述第1镀敷层接触;以及密接力缓解层,配置在所述第1镀敷层与所述第2镀敷层之间。

[0012] 发明效果

[0013] 根据本发明,能够提供一种能够抑制层叠陶瓷电容器中的裂纹的产生并且可靠性优异的层叠陶瓷电容器。

附图说明

[0014] 图1是将本发明的一个实施方式涉及的层叠陶瓷电容器安装于电路基板的状态的概略立体图。

[0015] 图2是将本发明的一个实施方式涉及的层叠陶瓷电容器安装于电路基板的状态的

沿着图1中的II-II线的剖面的部分放大图, (a) 是示出第1镀敷层和第2镀敷层粘接的状态的第1外部电极的周边的图, (b) 是示出第1镀敷层和第2镀敷层剥离的状态的第2外部电极的周边的图。

[0016] 图3是示出本发明的变形例涉及的层叠陶瓷电容器的结构的与图2的(a)对应的图。

[0017] 图4是示出本发明的变形例涉及的层叠陶瓷电容器的结构的与图2的(a)对应的图。

具体实施方式

[0018] 以下,基于图1以及图2对本发明的实施方式进行说明。

[0019] (层叠陶瓷电容器1)

[0020] 如图1以及图2所示,层叠陶瓷电容器1呈大致长方体形状,具备层叠体2和设置在层叠体2的两端的一对外部电极3。层叠陶瓷电容器1安装于电路基板50。

[0021] 在以下的说明中,作为表示层叠陶瓷电容器1的方向的用语,在层叠陶瓷电容器1中,将设置有一对外部电极3的方向设为长度方向L。将电介质层14和内部电极层15层叠的方向设为层叠方向T。将与长度方向L以及层叠方向T中的任一者均交叉的方向设为宽度方向W。另外,在实施方式中,宽度方向W与长度方向L以及层叠方向T中的任一者均正交。

[0022] 此外,在以下的说明中,在图1所示的层叠体2的6个外周面之中,将在层叠方向T上相对的一对外表面设为两个主面A,将在宽度方向W上相对的一对外表面设为两个侧面B,将在长度方向L上相对的一对外表面设为两个端面C。将两个主面A中的一个设为第1主面AA,将另一个设为第2主面AB(参照图2)。将两个端面C中的一个设为第1端面CA,将另一个设为第2端面CB。在无需特别区分第1主面AA和第2主面AB而进行说明的情况下,统一作为主面A而进行说明。在无需特别区分第1端面CA和第2端面CB而进行说明的情况下,统一作为端面C而进行说明。另外,电路基板50配置在层叠陶瓷电容器1的第2主面AB侧。

[0023] (层叠体2)

[0024] 层叠体2具备层叠体主体部10和侧方余量部20。

[0025] (层叠体主体部10)

[0026] 层叠体主体部10具备内层部11和配置在内层部11的两个主面A侧的外层部12。

[0027] (内层部11)

[0028] 内层部11将多个电介质层14和多个内部电极层15层叠而构成。

[0029] (电介质层14)

[0030] 电介质层14由陶瓷材料制造。作为陶瓷材料,例如,可使用以 BaTiO_3 为主成分的介电陶瓷。此外,作为陶瓷材料,也可以使用在这些主成分中添加了Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物等副成分中的至少一者的材料。

[0031] (内部电极层15)

[0032] 内部电极层15具备多个第1内部电极层15A和多个第2内部电极层15B。第1内部电极层15A和第2内部电极层15B交替地配置。另外,在无需特别区分而进行说明的情况下,第1内部电极层15A和第2内部电极层15B统一作为内部电极层15而进行说明。

[0033] 内部电极层15例如优选由以Ni、Cu、Ag、Pd、Ag-Pd合金、Au等为代表的金属材料形

成。

[0034] 第1内部电极层15A具备与第2内部电极层15B对置的第1对置部152a和从第1对置部152a向第1端面CA侧引出的第1引出部151a。第1引出部151a的端部在第1端面CA露出,并与后述的第1外部电极3A电连接。

[0035] 第2内部电极层15B具备与第1内部电极层15A对置的第2对置部152b和从第2对置部152b引出到第2端面CB的第2引出部151b。第2引出部151b的端部与后述的第2外部电极3B电连接。

[0036] 根据以上的内部电极层15,在第1内部电极层15A的第1对置部152a和第2内部电极层15B的第2对置部152b积蓄电荷,显现出电容器的特性。

[0037] (外层部12)

[0038] 外层部12由与内层部11的电介质层14相同的介电陶瓷材料制造。

[0039] (侧方余量部20)

[0040] 在层叠有内层部11和外层部12的部分的两侧面B侧分别设置有侧方余量部20。侧方余量部20沿着在层叠体主体部10的两侧面露出的内部电极层15的宽度方向W侧的端部覆盖该端部。侧方余量部20由与电介质层14同样的介电陶瓷材料制造。

[0041] (外部电极3)

[0042] 外部电极3具备设置在层叠体2的第1端面CA的第1外部电极3A和设置在层叠体2的第2端面CB的第2外部电极3B。另外,在无需特别区分而进行说明的情况下,第1外部电极3A和第2外部电极3B统一作为外部电极3而进行说明。外部电极3不仅覆盖端面C,还覆盖主面A以及侧面B的端面C侧的一部分。

[0043] 外部电极3具备基底电极层31、配置在基底电极层31上的第1镀敷层32、配置在第1镀敷层32上的第2镀敷层33、以及配置在第1镀敷层32与第2镀敷层33之间的密接力缓解层35。

[0044] 基底电极层31例如通过涂敷包含导电性金属和玻璃的导电性膏并进行烧附而形成。作为基底电极层31的导电性金属,例如,能够使用Cu、Ni、Ag、Pd、Ag-Pd合金、Au等。

[0045] 第1镀敷层32为Cu镀敷层。由此,能够适当地抑制水分浸入到基底电极层31。

[0046] 第2镀敷层33具有内侧第2镀敷层331和外侧第2镀敷层332,外侧第2镀敷层332配置在内侧第2镀敷层331上,并与内侧第2镀敷层331接触。

[0047] 内侧第2镀敷层331为Ni镀敷层。由此,在将层叠陶瓷电容器1安装到电路板50时,能够抑制基底电极层31、密接力缓解层35被焊料所侵蚀。

[0048] 外侧第2镀敷层332为Sn镀敷层。由此,在将层叠陶瓷电容器1安装到电路板50时,焊料的润湿性提高,因此层叠陶瓷电容器1的安装变得容易。

[0049] 密接力缓解层35能够缓解第1镀敷层32和第2镀敷层33(详细地,是内侧第2镀敷层331)的密接力。由此,在电路板50产生了挠曲时,在配置有密接力缓解层35的区域中,能够使得第1镀敷层32能够从第2镀敷层33适当地剥离。密接力缓解层35包含有机硅化合物。有机硅化合物优选为多官能基烷氧基硅烷 $\text{Si}-(\text{C}_n\text{H}_{2n+1})_3$ 。由此,能够使得能够在第1镀敷层32的表面更可靠地配置密接力缓解层,能够适当地抑制层叠体2中的裂纹的产生。此外,能够抑制镀敷不良、层叠陶瓷电容器1的脱落

[0050] 详细地,密接力缓解层35配置在第1镀敷层32与第2镀敷层33之间的区域中的第1

镀敷层32以及第2镀敷层33覆盖主面A的区域。虽然未图示,但是密接力缓解层35呈环状,还配置在第1镀敷层32与第2镀敷层33之间的区域中的第1镀敷层32以及第2镀敷层33覆盖侧面B的区域。另外,密接力缓解层35只要至少配置在第1镀敷层32以及第2镀敷层33覆盖第2主面AB的区域即可,在第1镀敷层32以及第2镀敷层33覆盖第1主面AA的区域、第1镀敷层32以及第2镀敷层33覆盖侧面B的区域中,未必一定要配置密接力缓解层35。

[0051] 密接力缓解层35具有在层的厚度方向上贯通的多个空隙。密接力缓解层35也可以说是构成多孔质构造的层。第1镀敷层32和第2镀敷层33在该空隙的部分成为相互接触的状态。因此,第1镀敷层32和第2镀敷层33变得能够通过该接触部分而通电。

[0052] 此外,关于第1镀敷层32,优选地,至少与密接力缓解层35对置的一侧的面的表面粗糙度为 $0.10\mu\text{m} \sim 0.27\mu\text{m}$ 的范围。由此,能够将第1镀敷层32和第2镀敷层33剥离时的易剥落性设为合适的范围。

[0053] 在此,如图2的(b)所示,若在电路板50产生挠曲,则第1镀敷层32和第2镀敷层33在配置有密接力缓解层35的区域中能够成为剥离的状态(以下,有时仅称为“剥离状态”)。即使在剥离状态下,基底电极层31也被第1镀敷层32覆盖。由此,能够抑制水分向基底电极层31等的浸入等,因此能够抑制层叠陶瓷电容器1的劣化。

[0054] 另外,在剥离状态下,例如,可设想如下情况,即,密接力缓解层35成为被撕碎的状态,成为密接力缓解层35的各断片分别附着于第1镀敷层32和第2镀敷层33的状态。不过,剥离状态下的密接力缓解层35的状态没有特别限定,还可设想如下情况,即,成为密接力缓解层35的整体附着于第1镀敷层32或第2镀敷层33中的任一者的状态。

[0055] (层叠陶瓷电容器的制造方法)

[0056] 接下来,对层叠陶瓷电容器1的制造方法进行说明。层叠陶瓷电容器1的制造工序包含层叠体制造工序和外部电极形成工序。

[0057] (层叠体制造工序)

[0058] 首先,准备将陶瓷浆料成型为片状的层叠用陶瓷生片。在层叠用陶瓷生片上配置导电体膏,并印刷各内部电极层15的图案。由此,能够得到原料片。

[0059] 接下来,将多个原料片进行堆叠,使得成为如下的状态,即,在相邻的原料片之间,内部电极图案在长度方向上各错开半个间距。进而,将分别成为外层部的陶瓷生片进行堆叠,使得夹着层叠了多片的原料片,并进行热压接。由此,能够得到母块构件。

[0060] 接下来,沿着与层叠体的尺寸对应的切断线将母块构件分割。由此,得到多个层叠小片(chip)。然后,多个层叠小片也可以通过滚筒研磨等在角部以及棱线部带有圆角。

[0061] 接下来,对多个层叠小片进行烧成。由此,能够得到具有层叠体主体部10以及侧方余量部20的层叠体2。关于此时的烧成温度,虽然还依赖于电介质层14、内部电极层15的材料,但是优选为 900°C 以上且 1400°C 以下。

[0062] (外部电极形成工序)

[0063] 首先,在层叠体2的端面C形成基底电极层31。层叠体2的端面C依次浸渍于作为基底电极用的电极材料的导电性膏。由此,在层叠体2的端面C分别涂敷导电性膏。然后,将这些导电性膏与层叠体2一起烧成。由此,在层叠体2的端面C分别形成基底电极层31。烧成温度优选为 600°C 以上且 900°C 以下。另外,层叠体2的烧成和外部电极3的烧成也可以同时进行。

[0064] 接下来,在基底电极层31上形成第1镀敷层32。第1镀敷层32形成为主面A以及侧面B侧的端部覆盖基底电极层31的主面A以及侧面B侧的端部。第1镀敷层32例如能够通过电解镀敷法或无电解镀敷法来形成。

[0065] 接下来,在第1镀敷层32上配置密接力缓解层35。在密接力缓解层35的形成中,使用第1有机处理液和第2有机处理液。首先,在第1镀敷层32上涂敷第1有机处理液。第1有机处理液包含有机硅化合物。有机硅化合物是硅烷偶联剂。有机硅化合物(硅烷偶联剂)例如为癸基三甲氧基硅烷、n-丙基三甲氧基硅烷、辛基三乙氧基硅烷等。第1有机处理液例如能够通过丝网印刷法进行涂敷。然后,在100°C~200°C的温度使第1有机处理液干燥。

[0066] 然后,在第1有机处理液干燥之后,涂敷第2有机处理液。第2有机处理液包含有机硅化合物,优选地,包含多官能基烷氧基硅烷 $\text{Si}-(\text{C}_n\text{H}_{2n+1})_3$ 。第2有机处理液例如能够通过丝网印刷法进行涂敷。然后,在100°C~200°C的温度使第2有机处理液干燥。干燥后的第1有机处理液以及第2有机处理液作为密接力缓解层35而配置在第1镀敷层32上。另外,涂敷第1有机处理液以及第2有机处理液的方法并不限定于丝网印刷法,例如,也可以使用将对象浸渍于有机处理液的浸渍法。此外,对于配置在不希望配置密接力缓解层的区域的密接力缓解层,能够通过研磨等除去。另外,密接力缓解层35的空隙的数量、大小能够通过第1有机处理液以及第2有机处理液的涂敷量进行调整。在第1有机处理液以及第2有机处理液的涂敷量多的情况下,空隙的数量变少,空隙的大小变小。在第1有机处理液以及第2有机处理液的涂敷量少的情况下,空隙的数量变多,空隙的大小变大。

[0067] 接下来,在第1镀敷层32上以及密接力缓解层35上形成内侧第2镀敷层331。内侧第2镀敷层331形成为主面A以及侧面B侧的端部覆盖第1镀敷层32以及密接力缓解层35的主面A以及侧面B侧的端部。内侧第2镀敷层331例如能够通过电解镀敷法来形成。

[0068] 接下来,在内侧第2镀敷层331上形成外侧第2镀敷层332。外侧第2镀敷层332形成为主面A以及侧面B侧的端部覆盖密接力缓解层35的主面A以及侧面B侧的端部。外侧第2镀敷层332例如能够通过电解镀敷法来形成。通过以上,形成外部电极3。

[0069] (效果)

[0070] 根据上述实施方式,能够得到以下的效果。

[0071] 根据上述实施方式,外部电极3具有基底电极层31、配置在基底电极层31上的第1镀敷层32、配置在第1镀敷层32上并与第1镀敷层32接触的第2镀敷层33、以及配置在第1镀敷层32与第2镀敷层33之间的密接力缓解层35。密接力缓解层35能够缓解第1镀敷层32与第2镀敷层33之间的密接力。由此,在将层叠陶瓷电容器1安装于电路板50的状态下,在电路板50产生挠曲时,能够通过该应力使第1镀敷层32和第2镀敷层33能够剥离。因此,能够抑制层叠陶瓷电容器1中的裂纹的产生。

[0072] 此外,即使是在第1镀敷层32和第2镀敷层33剥离的情况下,基底电极层31也成为被第1镀敷层32覆盖的状态。由此,能够抑制水分向基底电极层31等的浸入等,因此能够抑制层叠陶瓷电容器1的劣化。因此,能够使层叠陶瓷电容器1的可靠性优异。

[0073] 根据上述实施方式,第1镀敷层32成为Cu镀敷层。由此,能够适当地抑制水分浸入到基底电极层31。

[0074] 此外,根据上述实施方式,内侧第2镀敷层331成为Ni镀敷层。由此,在将层叠陶瓷

电容器1安装到电路板50时,能够抑制基底电极层31、密接力缓解层35被焊料所侵蚀。

[0075] 此外,根据上述实施方式,外侧第2镀敷层332成为Sn镀敷层。由此,在将层叠陶瓷电容器1安装到电路板50时,焊料的润湿性提高,因此层叠陶瓷电容器1的安装变得容易。

[0076] 根据上述实施方式,密接力缓解层35包含有机硅化合物。由此,能够适当地抑制层叠体2中的裂纹的产生。此外,能够抑制镀敷不良、层叠陶瓷电容器1的脱落。

[0077] 根据上述实施方式,有机硅化合物是多官能基烷氧基硅烷。由此,能够更适当地抑制层叠体2中的裂纹的产生,或者能够抑制镀敷不良、层叠陶瓷电容器1的脱落。

[0078] 根据上述实施方式,第1镀敷层32的表面粗糙度Sa为 $0.10\mu\text{m}$ 以上且 $0.27\mu\text{m}$ 以下。

[0079] 由此,能够将第1镀敷层32和第2镀敷层33剥离时的易剥落性设为适当的易剥落性。

[0080] 根据上述实施方式,密接力缓解层35配置在第1镀敷层32与第2镀敷层33之间的区域中的位于主面A的外侧的区域以及位于侧面B的外侧的区域,且不配置在位于端面C的外侧的区域。由此,能够将第1镀敷层32和第2镀敷层33的密接力设为适当的强度,因此能够适当地抑制层叠陶瓷电容器1的脱落。

[0081] (变形方式)

[0082] 以上,对本发明的优选的实施方式以及变形方式进行了说明,但是并不限于此,本发明包含以下的范围。

[0083] 在上述实施方式中,密接力缓解层35配置在第1镀敷层32与第2镀敷层33之间的区域中的位于层叠体2的主面A的外侧的区域以及位于侧面B的外侧的区域,且不配置在位于端面C的外侧的区域,但是并不限于此。例如,如图3所示,层叠陶瓷电容器100具备密接力缓解层135。密接力缓解层135配置为跨越并覆盖第1镀敷层32与第2镀敷层33之间的区域的整个区域。在该情况下,例如,能够通过使用浸渍法,从而容易地配置密接力缓解层。不过,从能够适当地抑制第2镀敷层从层叠陶瓷电容器脱离的方面考虑,优选上述实施方式的结构。

[0084] 此外,密接力缓解层也可以延伸至第1镀敷层32与第2镀敷层33之间的区域的外部。例如,如图4所示,层叠陶瓷电容器200具备密接力缓解层235。密接力缓解层235配置为跨越并覆盖第1镀敷层32的外表面的整个区域,并且跨越并覆盖层叠体2的主面A以及侧面B的各外表面的整个区域。在该情况下,例如,能够通过使用浸渍法,从而更容易地配置密接力缓解层。不过,从能够适当地抑制第2镀敷层从层叠陶瓷电容器脱离的方面考虑,优选上述实施方式的结构。

[0085] 在上述实施方式中,密接力缓解层35包含有机硅化合物,但是并不限于此。密接力缓解层例如也可以是金属。不过,从能够更适当地抑制层叠陶瓷电容器中的裂纹的产生的方面考虑,优选上述实施方式的结构。

[0086] 在上述实施方式中,第1镀敷层32为单层构造,但是也可以具有多个层。此外,在第1镀敷层具有多个层的情况下,各层中的位于最外侧的层的外表面的表面粗糙度Sa优选设为 $0.10\mu\text{m}$ 以上且 $0.27\mu\text{m}$ 以下。

[0087] 在上述实施方式中,第2镀敷层33具有内侧第2镀敷层331和外侧第2镀敷层332,但是也可以是单层构造,还可以具有3个以上的层。

[0088] 以上,对本发明的优选的实施方式以及变形方式进行了说明,但是并不限于此,

本发明包含以下的范围。

[0089] <1>

[0090] 一种层叠陶瓷电容器,具备:

[0091] 层叠体,包含交替地层叠的电介质层和内部电极层,并具有在所述层叠方向上相互对置的两个主面、在与所述层叠方向正交的长度方向上相互对置的两个端面、以及在与所述层叠方向以及所述长度方向中的任一者均正交的宽度方向上相互对置的两个侧面;以及

[0092] 外部电极,分别配置在所述层叠体的所述两个端面,

[0093] 其中,

[0094] 所述外部电极具有:

[0095] 基底电极层;

[0096] 第1镀敷层,配置在所述基底电极层上;

[0097] 第2镀敷层,配置在所述第1镀敷层上,并与所述第1镀敷层接触;以及

[0098] 密接力缓解层,配置在所述第1镀敷层与所述第2镀敷层之间。

[0099] <2>

[0100] 根据<1>所述的层叠陶瓷电容器,其中,

[0101] 所述第2镀敷层具有内侧第2镀敷层和配置在所述内侧第2镀敷层上的外侧第2镀敷层。

[0102] <3>

[0103] 根据<2>所述的层叠陶瓷电容器,其中,

[0104] 所述第1镀敷层为Cu镀敷层,所述内侧第2镀敷层为Ni镀敷层,所述外侧第2镀敷层为Sn镀敷层。

[0105] <4>

[0106] 根据<1> ~ <3>中的任一项所述的层叠陶瓷电容器,其中,

[0107] 所述密接力缓解层包含有机硅化合物。

[0108] <5>

[0109] 根据<4>所述的层叠陶瓷电容器,其中,

[0110] 所述有机硅化合物为多官能基烷氧基硅烷。

[0111] <6>

[0112] 根据<1> ~ <5>中的任一项所述的层叠陶瓷电容器,其中,

[0113] 所述第1镀敷层的表面粗糙度Sa为 $0.10\mu\text{m}$ 以上且 $0.27\mu\text{m}$ 以下。

[0114] <7>

[0115] 根据<1> ~ <6>中的任一项所述的层叠陶瓷电容器,其中,

[0116] 所述密接力缓解层配置在所述第1镀敷层与所述第2镀敷层之间的区域中的位于所述主面的外侧的区域以及位于所述侧面的外侧的区域,并且不配置在位于所述端面的外侧的区域。

[0117] 附图标记说明

[0118] 1、100、200:层叠陶瓷电容器;

[0119] 2:层叠体;

- [0120] 3:外部电极;
- [0121] 3A:第1外部电极;
- [0122] 3B:第2外部电极;
- [0123] 14:电介质层;
- [0124] 15:内部电极层;
- [0125] 31:基底电极层;
- [0126] 32:第1镀敷层(Cu镀敷层);
- [0127] 33:第2镀敷层;
- [0128] 35、135、235:密接力缓解层;
- [0129] 331:内侧第2镀敷层(Ni镀敷层);
- [0130] 332:外侧第2镀敷层(Sn镀敷层);
- [0131] A:主面;
- [0132] AA:第1主面;
- [0133] AB:第2主面;
- [0134] B:侧面;
- [0135] C:端面;
- [0136] CA:第1端面;
- [0137] CB:第2端面。

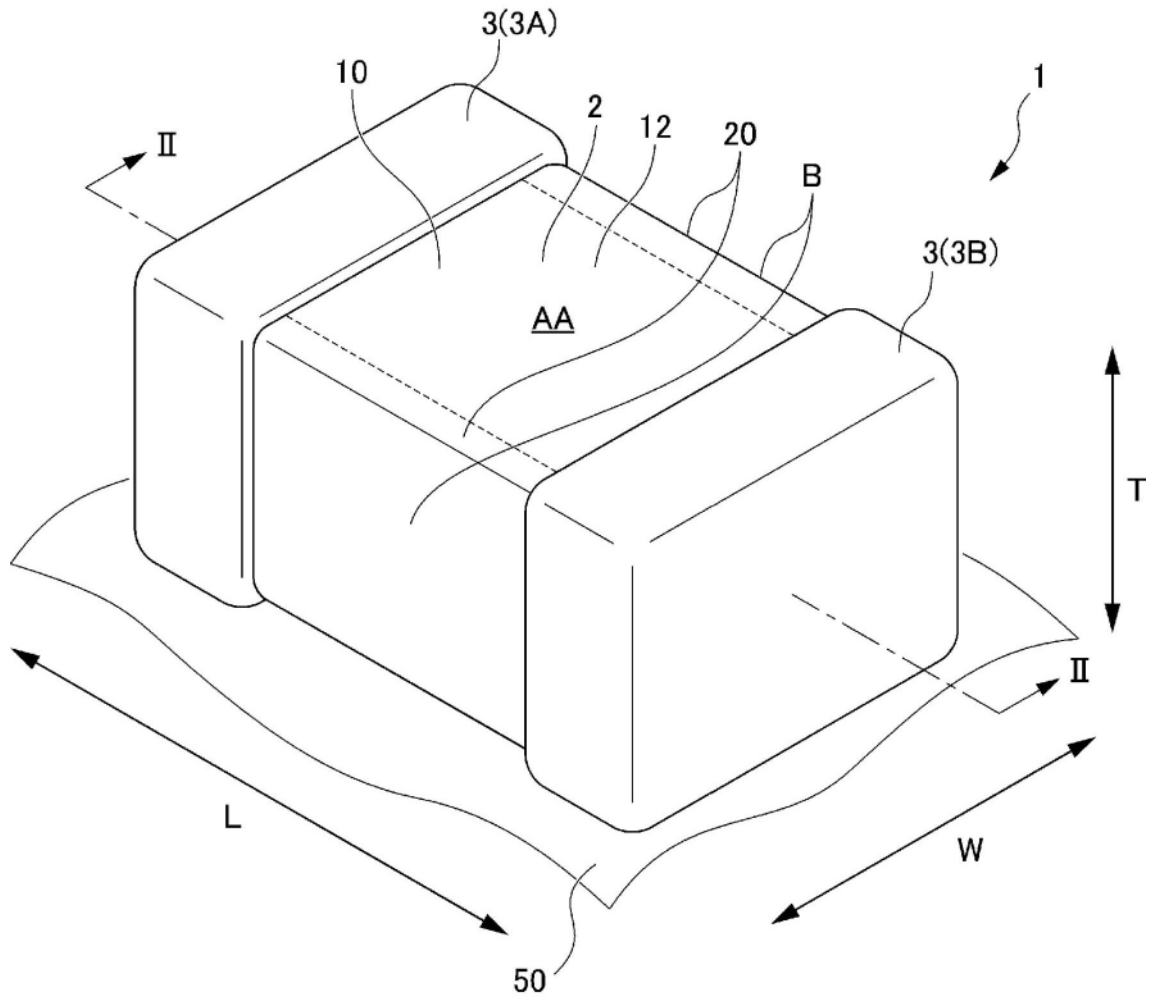


图1

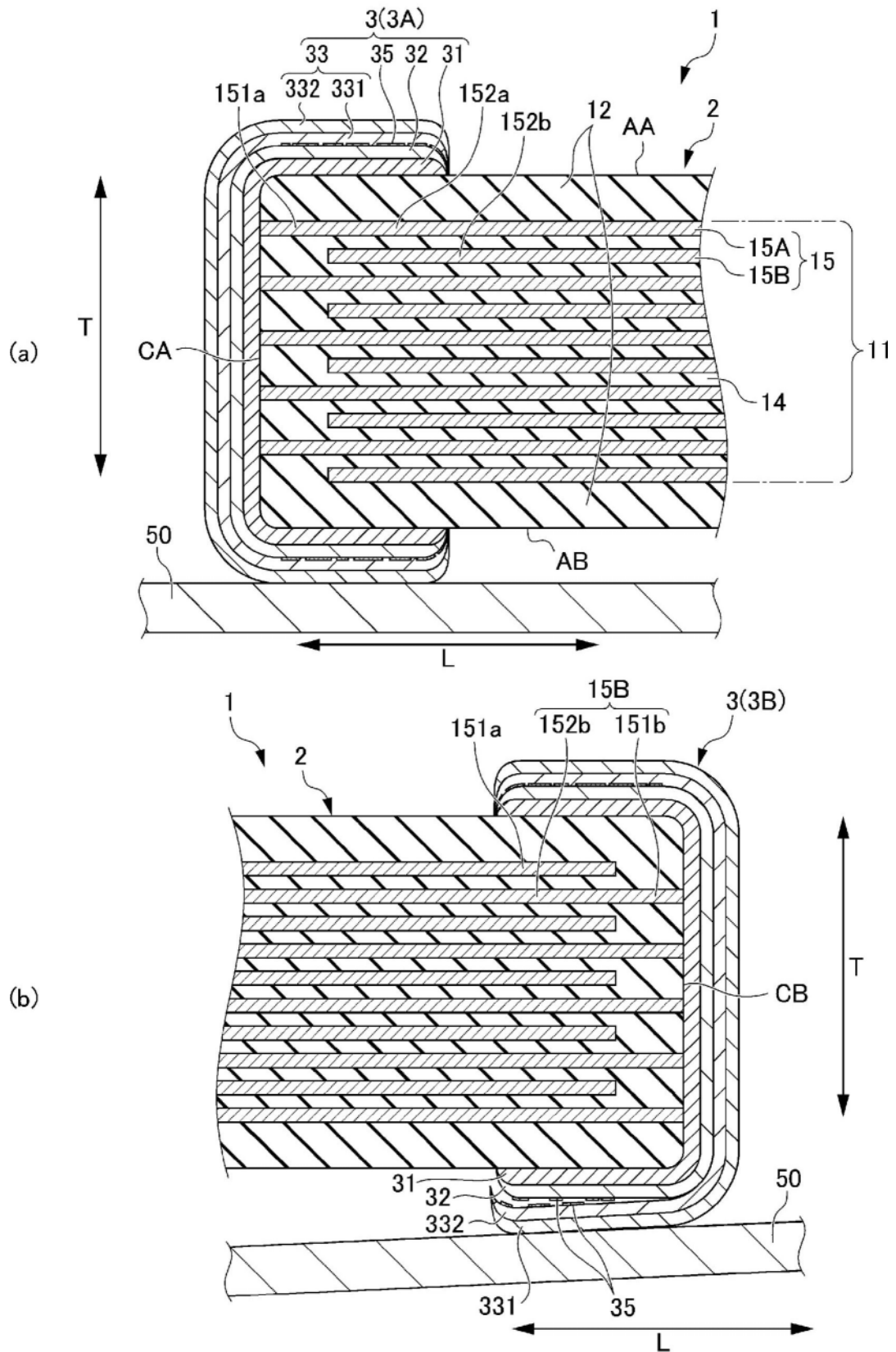


图2

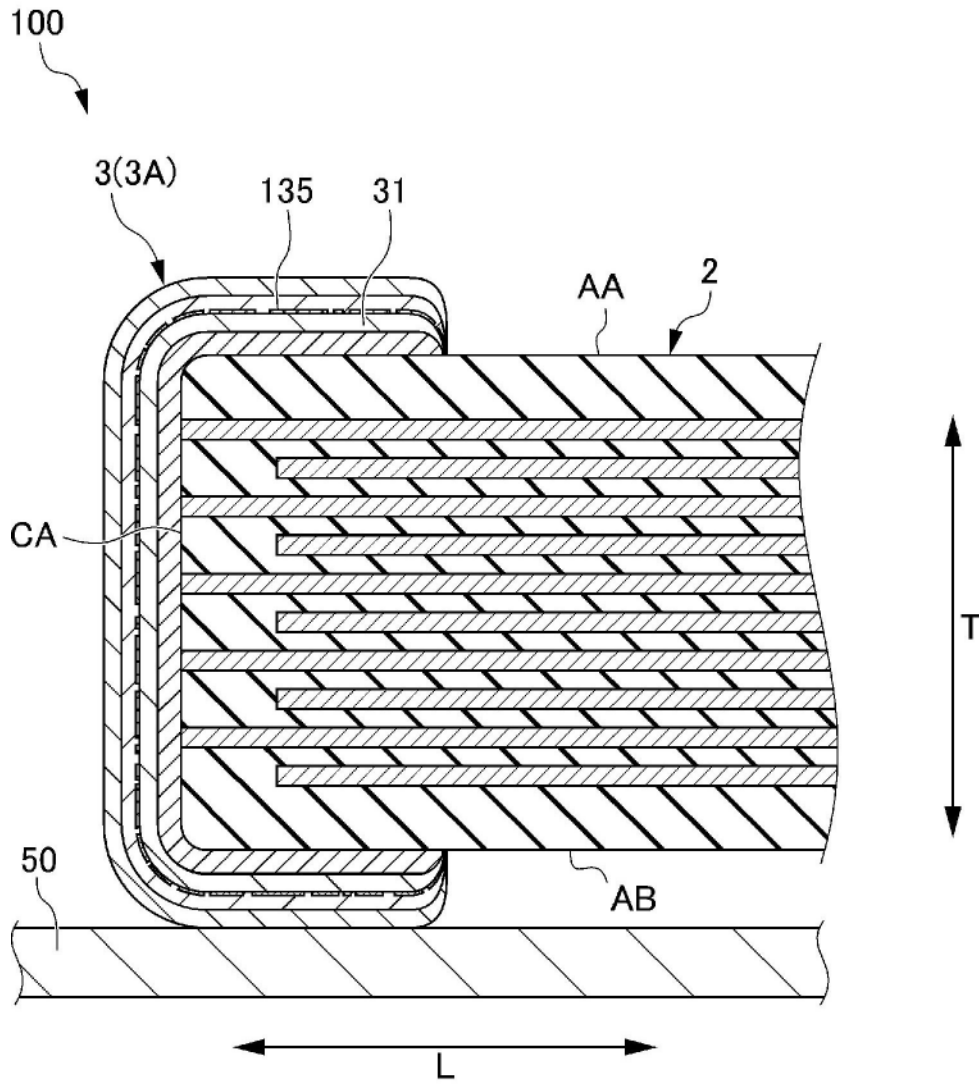


图3

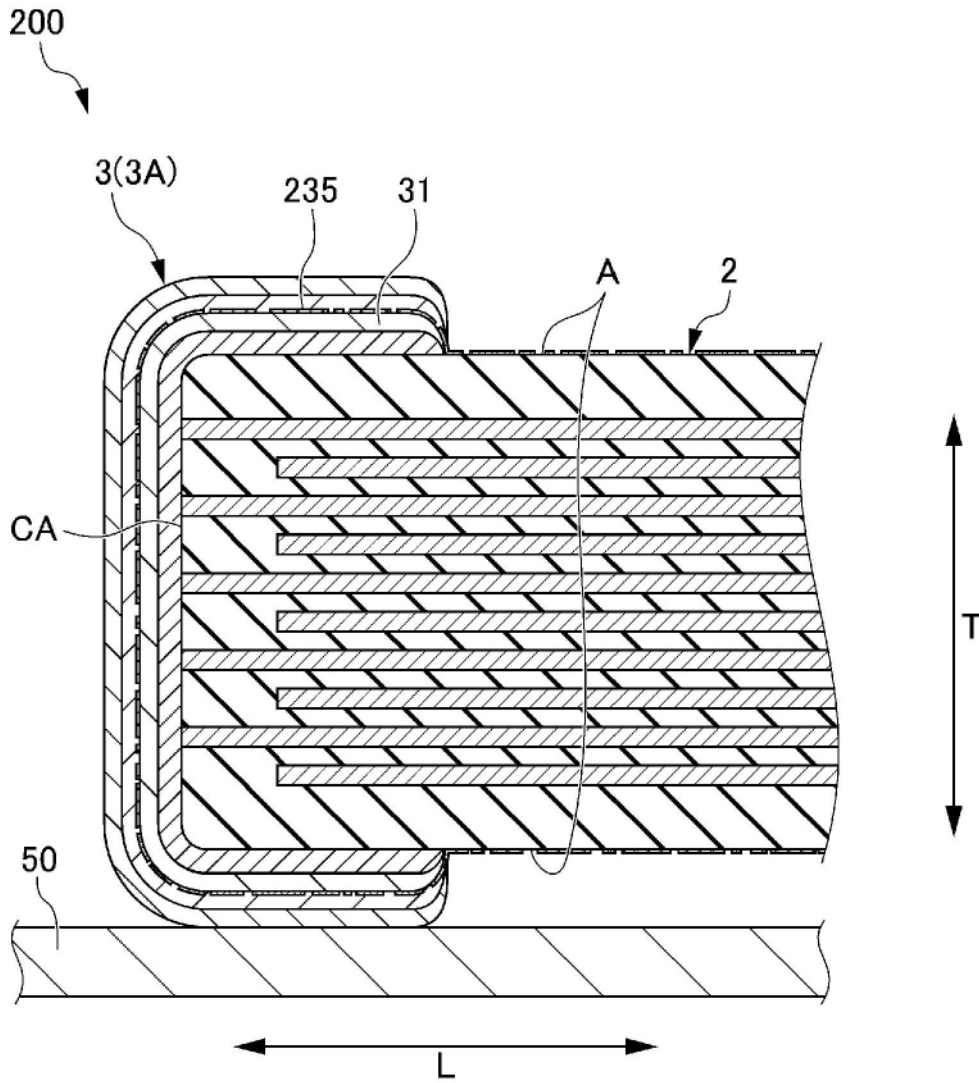


图4