



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I493636 B

(45)公告日：中華民國 104 (2015) 年 07 月 21 日

(21)申請案號：101137669

(22)申請日：中華民國 101 (2012) 年 10 月 12 日

(51)Int. Cl. : H01L21/60 (2006.01) H01L23/52 (2006.01)

(30)優先權：2012/02/24 美國 13/405,207

(71)申請人：美國博通公司 (美國) BROADCOM CORPORATION (US)
美國(72)發明人：趙子群 ZHAO, SAM ZIQUN (US)；胡坤忠 HU, KEVIN KUNZHONG (CN)；卡里
卡蘭 山沛 可笑 KARIKALAN, SAMPATH K. V. (IN)；卡恩 雷澤厄 拉曼
KHAN, REZAUR RAHMAN (US)；佛倫肯 皮耶特 VORENKAMP, PIETER
(NL)；陳向東 CHEN, XIANGDONG (CN)

(74)代理人：莊志強

(56)參考文獻：

US 2010/0133534A1

US 2012/0043668A1

審查人員：陳建仲

申請專利範圍項數：7 項 圖式數：3 共 21 頁

(54)名稱

具有集成插槽的系統級封裝及用於製造其的方法

SYSTEM-IN-PACKAGE WITH INTEGRATED SOCKET

(57)摘要

本文公開了具有集成插槽的系統級封裝的各種實施方式。在一種實施方式中，系統級封裝包括第一有源晶片，其具有在第一有源晶片的上表面上的第一多個電連接器；中間層，其位於第一有源晶片上方；以及第二有源晶片，其具有在第二有源晶片的下表面上的第二多個電連接器。中間層被配置為選擇性將第一多個電連接器中的至少一個耦接至第二多個電連接器中的至少一個。此外，插槽包圍第一有源晶片和第二有源晶片以及中間層，該插槽電耦接至第一有源晶片、第二有源晶片和中間層中的至少一個。

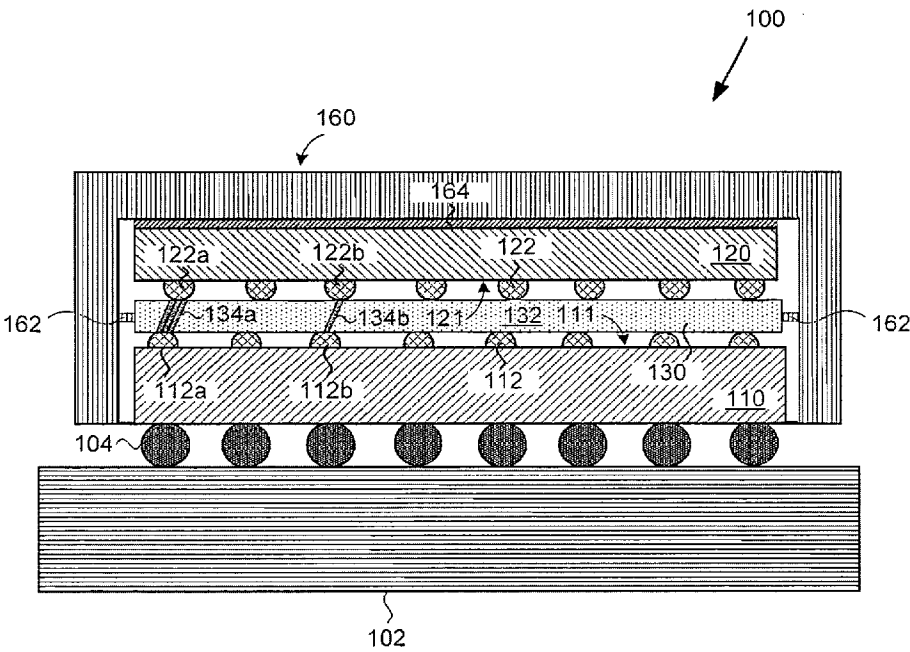


圖1

- 100 . . . 系統級封裝
- 102 . . . 基板
- 104 . . . 焊球
- 110 . . . 第一有源晶片
- 111 . . . 上表面
- 112,112a,112b . . . 微凸塊
- 120 . . . 第二有源晶片
- 121 . . . 下表面
- 122,122a,122b . . . 微凸塊
- 130 . . . 中間層
- 132 . . . 伸介層電介質
- 134a,134b . . . 連接
- 160 . . . 插槽
- 162 . . . 插槽接觸
- 164 . . . 黏附層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101137669

※申請日：101.10.12

※IPC 分類： H01L 21/60 (2006.1)
H01L 23/52 (2006.1)

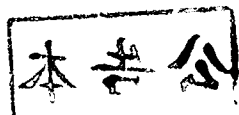
一、發明名稱：(中文/英文)

具有集成插槽的系統級封裝及用於製造其的方法
SYSTEM-IN-PACKAGE WITH INTEGRATED
SOCKET

二、中文發明摘要：

本文公開了具有集成插槽的系統級封裝的各種實施方式。在一種實施方式中，系統級封裝包括第一有源晶片，其具有在第一有源晶片的上表面上的第一多個電連接器；中間層，其位於第一有源晶片上方；以及第二有源晶片，其具有在第二有源晶片的下表面上的第二多個電連接器。中間層被配置為選擇性將第一多個電連接器中的至少一個耦接至第二多個電連接器中的至少一個。此外，插槽包圍第一有源晶片和第二有源晶片以及中間層，該插槽電耦接至第一有源晶片、第二有源晶片和中間層中的至少一個。

三、英文發明摘要：



四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100	系統級封裝
102	基板
104	焊球
110	第一有源晶片
111	上表面
112, 112a, 112b	微凸塊
120	第二有源晶片
121	下表面
122, 122a, 122b	微凸塊
130	中間層
132	伸介層電介質
134a, 134b	連接
160	插槽
162	插槽接觸
164	黏附層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明涉及一種具有集成插槽的系統級封裝。

【先前技術】

封裝解決方案持續發展以滿足受具有更高積體電路密度的電子系統影響的日益嚴格的設計限制。例如，用於將電源和接地以及輸入/輸出（I/O）信號提供給單個半導體封裝內的多個有源晶片的一種解決方案利用了一個或多個中間層來將有源晶片電耦接至封裝基板。

然而，隨著趨向更大規模集成系統的趨勢通過將越來越多的有源晶片一同封裝而繼續，例如，這些系統對於由於不充分的散熱和/或電磁遮罩和/或差的信號完整性的性能下降的脆弱性可能變得尖銳。考慮到對通過更先進的系統級封裝實施來確保可靠性能的這些及其他挑戰，單使用中間層可能不能提供用於容納形成大規模集成系統的有源晶片中的功率和熱量分佈的最佳解決方案。

【發明內容】

本發明提供了一種系統級封裝，包括：第一有源晶片，其具有在所述第一有源晶片的上表面上的第一多個電連接器；中間層，其位於所述第一有源晶片上方；第二有源晶片，其具有在所述第二有源晶片的下表面上的第二多個電連接器；所述中間層被配置為選擇性將所述第一多個電連接器中的至少一個耦接至所述第二多個電連接器中的至少一個；插槽，其包圍所述第一有源晶片和所述第二有源晶片以及所述中間層，所述插槽電耦接至所述第一有源晶片、所述第二有源晶片和所述中間層中的至少一個。

上述系統級封裝中，所述中間層包括至少一層選擇性導電膜。

上述系統級封裝中，所述選擇性導電膜包括具有分散於其中的奈米線或奈米管的聚合物基體。

上述系統級封裝中，所述插槽被配置為遮罩所述第一有源晶片、所述第二有源晶片和所述中間層使之免於電磁干擾。

上述系統級封裝中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述中間層提供共用封裝接地。

上述系統級封裝中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述中間層提供散熱片。

本發明還提供了一種系統級封裝，包括：第一有源晶片，其具有在所述第一有源晶片的上表面上的第一多個電連接器。選擇性導電膜，其位於所述第一有源晶片上方；第二有源晶片，其具有在所述第二有源晶片的下表面上的第二多個電連接器；所述選擇性導電膜被配置為選擇性將所述第一多個電連接器中的至少一個耦接至所述第二多個電連接器中的至少一個；插槽，其包圍所述第一有源晶片和所述第二有源晶片以及所述選擇性導電膜。

上述系統級封裝中，所述插槽電耦接至所述第一有源晶片、所述第二有源晶片和所述選擇性導電膜中的至少一個。

上述系統級封裝中，所述插槽被配置為遮罩所述第一有源晶片、所述第二有源晶片和所述選擇性導電膜使之免於電磁干擾。

上述系統級封裝中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述選擇性導電膜提供共用封裝接地。

上述系統級封裝中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述選擇性導電膜提供散熱片。

上述系統級封裝中，所述選擇性導電膜包括具有分佈於其中的奈米線或奈米管的聚合物基體。

上述系統級封裝中，所述選擇性導電膜包括具有分佈於其中的導電體的聚合物基體。

上述系統級封裝中，所述選擇性導電膜包括各向異性導電膜（ACF）。

本發明提供了一種用於製造系統級封裝的方法，所述方法包括：配置第一有源晶片，所述第一有源晶片具有在所述第一有源晶片上表面上的第一多個電連接器；將中間層置於所述第一有源晶片上方；將第二有源晶片置於所述中間層上方，所述第二有源晶片具有在所述第二有源晶片的下表面上的第二多個電連接器；利用所述中間層選擇性將所述第一多個電連接器中的至少一個耦接至所述第二多個電連接器中的至少一個；將所述第一有源晶片和所述第二有源晶片以及所述中間層密封在插槽中，所述插槽電耦接至所述第一有源晶片、所述第二有源晶片和所述中間層中的至少一個。

上述方法中，所述中間層包括至少一層選擇性導電膜。

上述方法中，所述選擇性導電膜包括具有分佈於其中的奈米線或奈米管的聚合物基體。

上述方法中，所述插槽被配置為遮罩所述第一有源晶片、所述第二有源晶片和所述中間層使之免於電磁干擾。

上述方法中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述中間層提供共用封裝接地。

上述方法中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述中間層提供散熱片。

【實施方式】

以下描述包括關於本公開中的實施方式的具體資訊。本領域技術人員將認識到，本公開可以不同於本文具體討論的方法來實施。本申請中的附圖及其所附詳細描述僅針對示例性實施。除非指出，否則圖中相似或相應的元件可

由相似或相應的附圖標記來表示。此外，本申請中的附圖和圖示一般不成比例，且並非旨在符合實際的相對尺寸。

圖 1 示出了具有集成插槽的系統級封裝的一種實施的截面圖。如圖 1 所示，系統級封裝 100 包括第一有源晶片 110、第二有源晶片 120 以及包括伸介層電介質 132 和穿過中間層的連接 134a 和 134b 的中間層 130，其全部被包括插槽接觸 162 的插槽 160 包圍。此外，系統級封裝 100 包括用於將第二有源晶片黏附至插槽 160 內表面的黏附層 164、包括將第一有源晶片 110 的上表面 111 黏附至中間層 130 的微凸塊 112a 和 112b 的微凸塊 112、包括將第二有源晶片 120 的下表面 121 黏附至中間層 130 的微凸塊 122a 和 122b 的微凸塊 122。圖 1 中還示出了將系統級封裝 110 電連接至基板 102 的焊球 104，基板 102 可以是例如封裝基板或印刷電路板。

需要注意，儘管僅一個焊球 104 被圖 1 中的附圖標記具體指出，但任何或全部所示的將系統級封裝 100 連接至基板 102 的焊球均可被表徵或稱作焊球 104。此外，儘管各微凸塊 112 和微凸塊 122 中僅一個被這樣明確標注，但示出在第一有源晶片 110 上表面 111 上的任何或全部微凸塊（包括微凸塊 112a 和 112b）均可被表徵或稱作微凸塊 112，同時，示出在第二有源晶片 120 下表面 121 上的任何或全部微凸塊（包括微凸塊 122a 和 122b）均可被表徵或稱作微凸塊 122。

如圖 1 所示，第一有源晶片 110 具有在第一有源晶片 110 上表面 111 上的微凸塊 112 形式的電連接器。再如圖 1 所示，中間層 130 位於第一有源晶片 110 和微凸塊 122 上。此外，根據圖 1 所示的實施方式，包括在第二有源晶片 120 的下表面 121 上的微凸塊 122 形式的電連接器的第二有源晶片 120 被示出在中間層 130 之上。需要注意，如圖 1 所示，中間層 130 被配置為將至少一個微凸塊 112 選擇性

耦接至至少一個微凸塊 122。換言之，根據本實施，中間層 130 被配置為提供穿過中間層的連接 134a 用於選擇性將第一有源晶片 110 上表面 111 上的微凸塊 112a 耦接至第二有源晶片 120 下表面 121 上的微凸塊 122a，以及通過選擇性提供穿過中間層的連接 134b 來選擇性將微凸塊 112b 連接至微凸塊 122b。如圖 1 所示，根據一種實施方式，插槽 160 包圍第一有源晶片 110、第二有源晶片 120 和中間層 130，並由插槽接觸 162 電連接至中間層 130。

插槽 160 可以是導電和導熱的插槽，且可以由例如金屬或合金（諸如銅或銅合金）製成。可選地，插槽 160 可由非金屬材料（諸如塑膠或模塑膠）製成，但卻具有電佈線和/或一個或多個在其中形成的接地面來通過插槽接觸 162 提供電連接。在一種實施方式中，例如，插槽 160 可被配置為遮罩第一有源晶片 110、第二有源晶片 120 和中間層 130 使之免於電磁干擾和/或被配置為向包括第一有源晶片 110、第二有源晶片 120 和中間層 130 的系統級封裝 100 提供共用封裝接地。此外，在一些實施方式中，插槽 160 可被配置為向第一有源晶片 110、第二有源晶片 120 和中間層 130 提供散熱片，以能夠增強系統級封裝 100 的熱耗散。在又一實施方式中，插槽 160 可被配置為向系統級封裝 100 提供增強的環境保護，諸如潮濕保護。

例如，第一有源晶片 110 和第二有源晶片 120 可以是封裝或未封裝的晶片。如圖 1 所示，第二有源晶片 120 由黏附層 164 黏附至插槽 160 內表面，黏附層 164 也可被實施為用作熱分流器，以使得將插槽 160 有效用作第二有源晶片 120 的散熱片。黏附層 164 可以是例如晶片黏結膜（DAF），或任何適當的導熱黏結材料。需要注意，儘管圖 1 所示實施描述了系統級封裝 100 具有兩個由插槽 160 包圍並由中間層 130 電耦接在一起的有源晶片，例如第一有源晶片 110 和第二有源晶片 120，但在一種實施中，除第一有

源晶片 110 和第二有源晶片 120 之外的幾個或甚至許多有源晶片可由一個或多個中間層（諸如中間層 130）電耦接在一起，並被插槽 160 包圍以根據本發明原理形成系統級封裝。

如上所述，中間層 130 包括中間層電介質 132 和形成在中間層電介質中的穿過中間層的連接 134a 和 134b。例如，中間層電介質 132 可由剛性介電材料（諸如纖維強化雙馬來醯亞胺三嗪（BT）、FR-4、玻璃或陶瓷）形成。可選擇地，中間層電介質 132 可由環氧酚或氰酸鹽環氧酯結構材料形成。作為一個具體實例，在一種實施中，中間層電介質 132 可由 Ajinomoto 結構材料（ABF）形成。根據該示例性實施方式，可在用於形成中間層電介質 132 的結構期間，使用本領域內已知的任何合適技術來形成穿過中間層的連接 134a 和 134b。

在又一實施方式中，中間層 130 可包括至少一個選擇性導電膜。例如，如圖 1 具體所示，中間層電介質 132 可以是由聚醯亞胺膜或其它適當聚合物基體形成的柔性電介質，其具有用於選擇性提供穿過中間層的連接（諸如穿過中間層的連接 134a 和 134b）的分佈於其中的導電體。作為一個具體實例，在一種實施方式中，中間層 130 可由 B 級聚合物膜形成，其用作中間層電介質 132 且具有分佈於其中的導電體（諸如導電奈米線或導電奈米管）。在一些實施方式中，該導電體可大致均勻分佈在中間層電介質 132 中，並使它們的主軸（例如，奈米線或奈米管的長軸）方向大致平行於中間層 130 的平面。在這種實施方式中，外部場（諸如外部電磁場）例如可被施加在中間層電介質 132 上，以選擇性將分佈於其中的一些導電體重定向，從而形成穿過中間層的連接 134a 和 134b。當形成選擇性導電膜時，例如，中間層 130 隨後可經過固化處理（諸如紫外線（UV）固化或其他輻射固化）來永久建立穿過中間層的連接

134a 和 134b。

根據圖 1 所示實施方式，第一有源晶片 110 和第二有源晶片 120 分別通過微凸塊 112 和 122 電連接至中間層 130。然而，需要注意，更一般地，微凸塊 112 和 122 可相當於任何適於將第一有源晶片 110 和第二有源晶片 120 耦接至中間層 130 的電連接器。因此，在其他實施方式中，微凸塊 112 和/或 122 可相當於導電柱或導電杆，例如，諸如由銅形成的金屬柱或金屬杆。此外，在其他實施方式中，焊球 104 可相當於任何適於在系統級封裝 100 與基板 102 之間形成穩定電連接的導電體。

現轉向圖 2，圖 2 示出了具有集成插槽的系統級封裝的另一實施的截面圖。如圖 2 所示，系統級封裝 200 包括第一有源晶片 210、第二有源晶片 220、包括中間層電介質 232 和穿過中間層的連接 234a 和 234b 的第一中間層 230、第三有源晶片 240 以及包括中間層電介質 252 和穿過中間層的連接 254c 和 254d 的第二中間層 250，其全部被包括插槽接觸 262 的插槽 260 包圍。需要注意，儘管對應於附圖標記 210、220 和 240 的特徵當前被表徵為相應的有源晶片，但在其他實施方式中，一個或多個這些特徵可以是有源封裝。換言之，在各種實施方式中，由附圖標記 210、220 和 240 表示的特徵可對應於有源晶片、有源封裝或任何有源晶片和有源封裝的組合。

再如圖 2 所述，系統級封裝 200 包括將第三有源晶片 240 黏附於插槽 260 內表面的黏附層 264、包括將第一有源晶片 210 的上表面 211 耦接至第一中間層 230 的微凸塊 212a 和 212b 的微凸塊 212、包括將第二有源晶片 220 的下表面 221 耦接至第一中間層 230 的微凸塊 222a 和 222b 的微凸塊 222、包括將第二有源晶片 220 的上表面 223 耦接至第二中間層 250 的微凸塊 225c 和 225d 的微凸塊 225、以及包括將第三有源晶片 240 的下表面 241 耦接至第二中間層 250 的

微凸塊 242c 和 242d 的微凸塊 242。圖 2 還示出了將系統級封裝 200 電連接至基板 202 的焊球 204。

第一有源晶片 210、第二有源晶片 220、包括穿過中間層的連接 234a 和 234b 的第一中間層 230、黏附層 264、微凸塊 212 和 222、焊球 204 和基板 202 分別對應於圖 1 中的第一有源晶片 110、第二有源晶片 120、包括穿過中間層的連接 134a 和 134b 的中間層 130、黏附層 164、微凸塊 112 和 122、焊球 104 和基板 102，且可共用屬於這些上述相應特徵的特性。此外，包括插槽接觸 262 的插槽 260 大體上對應於圖 1 中的插槽 160。然而，根據圖 2 所示實施方式，插槽 260 通過插槽接觸 262 電耦接至第一有源晶片 210、第二有源晶片 220 和第三有源晶片 240 中的每一個。

需要注意，儘管僅一個微凸塊 225 和一個微凸塊 242 被圖 2 中這些相應附圖標記具體標出，但示出在第二有源晶片 220 上表面 223 上的任何或全部微凸塊（包括微凸塊 225c 和 225d）以及示出在第三有源晶片 240 下表面 241 上的任何或全部微凸塊（包括微凸塊 242c 和 242d）均可被表徵或稱作相應的微凸塊 225 和 242。還需要注意，儘管圖 2 所示實施方式示出系統級封裝 200 包括三個有源晶片和兩個被插槽 260 包圍的中間層（例如，第一有源晶片 210、第二有源晶片 220、第三有源晶片 240、第一中間層 230 和第二中間層 250），但在其他實施方式中，例如，系統級封裝 200 可包括許多有源晶片，諸如五十個有源晶片或一百個有源晶片，其使用任何適當數量和類型的中間層相互連接。

如圖 2 所示，第二有源晶片 220 具有在第二有源晶片 220 上表面 223 上的微凸塊 225 形式的電連接器，同時，第三有源晶片 240 具有在第三有源晶片 240 的下表面 241 上的微凸塊 242 形式的電連接器。再如圖 2 所示，第二中間層 250 與第一中間層 230 類似，可包括例如位於第二有源晶片 220 與第三有源晶片 240 之間的至少一層選擇性導電

膜。

圖 2 還示出了被配置為將至少一個微凸塊 225 選擇性耦接至至少一個微凸塊 242 的第二中間層 250。換言之，第二中間層 250 被配置為提供穿過中間層的連接 254c 來將第二有源晶片 220 上表面 223 上的微凸塊 225c 選擇性耦接至第三有源晶片 240 下表面 241 上的微凸塊 242c，以及通過提供穿過中間層的連接 254d 來將微凸塊 225d 選擇性耦接至微凸塊 242d。

第二中間層 250 包括中間層電介質 252 和建立在中間層電介質 252 中的穿過中間層的連接 254c 和 254d。與圖 1 中的中間層電介質 132 類似，中間層電介質 252 可由剛性介電材料形成，諸如 BT、FR-4、玻璃或陶瓷，例如，或者可由 ABF 形成。此外，在一些實施方式中，中間層電介質 252 可被形成在半導體中間層基板（諸如矽基板）上（中間層基板未在圖 2 中示出）。

在一種實施方式中，第二中間層 250 可包括至少一層選擇性導電膜。在這些實施方式中，中間層電介質 252 可以是由例如聚合物基體（諸如 B 級聚合物膜）形成的具有分佈於其中的諸如導電奈米線或導電奈米管的導電體的柔性電介質，以選擇性提供穿過中間層的連接 254c 和 254d，如以上參照圖 1 的中間層 130 中的選擇性導電膜的使用所述。在一些實施方式中，第二中間層 250 可由各向異性導電膜（ACF）形成。在一些實施方式中，例如，ACF 內導電體的分佈可被規劃為在確保其他地方電介質完整的同時，在對應於圖 2 中的穿過中間層的連接 254c 和 254d 的中間層電介質 252 內期望位置處提供穿過中間層的連接。

繼續至圖 3，圖 3 示出了流程圖 300，其描述了一種用於製造具有集成插槽的系統級封裝的示例性方法。對於圖 3 中略述的方法，需要注意，為不混淆本申請中對發明特徵的討論，流程圖 300 省略了某些細節和特徵。

參照流程圖 300 並另外參照圖 1 的系統級封裝 100，當具有在上表面 111 上的微凸塊 112 形式的電連接器的第一有源晶片 110 被配置為封裝在系統級封裝 100 內部時，流程圖 300 開始（步驟 S310）。流程圖 300 以將中間層 130 置於第一有源晶片 110 上表面 111 上而繼續（步驟 S 320）。如上所討論，中間層 130 包括中間層電介質 132，其可以是由聚醯亞胺膜或其他適當聚合物基體形成的柔性電介質，該柔性電介質具有分佈於其中的用於選擇性提供穿過中間層的連接的導電體。在一種實施方式中，中間層 130 可由 ACF 形成，例如，其中，ACF 內的導電體分佈被規劃為在中間層 130 內的期望位置處選擇性提供穿過中間層的連接，例如，穿過中間層的連接 134a 和 134b。

當包括在下表面 121 上的微凸塊 122 形式的電連接器的第二有源晶片 120 被置於中間層 130 上時，流程圖 300 繼續（步驟 S 330）。根據流程圖 300，中間層 130 隨後被用於選擇性將至少一個微凸塊 112 耦接至至少一個微凸塊 122（步驟 S 340）。例如，在一些實施方式中，中間層 130 可包括 B 級聚合物中間層電介質 132，其具有分佈於其中的導電奈米線或導電奈米管。如上所述，導電奈米線或導電奈米管可大致均勻分佈在中間層電介質 132 中，並使它們的主軸（例如，奈米線或奈米管的長軸）方向大致平行於中間層 130 的平面。外部場（諸如外部電磁場）例如可被施加在中間層電介質 132 上來選擇性將分佈於其中的一些導電奈米線或導電奈米管重定向，從而選擇性形成能將第一有源晶片 110 上表面 111 上的相應微凸塊 112a 和 112b 耦接至第二有源晶片 120 下表面 121 上的相應微凸塊 122a 和 122b 的穿過中間層的連接 134a 和 134b。例如，中間層電介質 132 隨後可經過固化處理（諸如 UV 固化或其他輻射固化），以在中間層 130 內永久建立穿過中間層的連接 134a 和 134b。

參照圖 1 中的穿過中間層的連接 134a 和 134b 以及圖 2 中的穿過中間層的連接 234a、234b、254c 和 254d，需要注意，可選擇性確定電容量（例如，電流承載能力）以及在其相應中間層電介質內的那些穿過中間層的連接的位置。例如可被實施為提供高功率連接的穿過中間層的連接 134a 和 234a，例如被示出為大致寬於可被配置為傳遞低功率的晶片到晶片的信號的穿過中間層的連接 134b、234b 和 254c。此外，根據圖 1 和圖 2 所示實施方式，穿過中間層的連接 254d 可被實施為支援第二有源晶片 220 與第三有源晶片 240 之間的中間功率通信。

再一同參照圖 1 和圖 3，流程圖 300 通過用插槽 160 密封第一有源晶片 110、第二有源晶片 120 和中間層 130 以及將插槽 160 電耦接至至少一個第一有源晶片 110、第二有源晶片 120 和中間層 130 來結束（步驟 S 350）。在圖 1 的實施方式中，插槽 160 被插槽接觸 162 電耦接至中間層 130。可選擇地，根據圖 2 所示的實施方式，插槽 260 被插槽接觸 262 電耦接至第一有源晶片 210 和第二有源晶片 220 以及第三有源晶片 240。

因此，如上所述，在一種實施方式中，插槽 160/260 可被配置為有利地遮罩第一有源晶片 110/210、第二有源晶片 120/220 和中間層 130/230 以及第三有源晶片 240 和第二中間層 150 使之免於電磁干擾。此外，在一些實施方式中，插槽 160/260 可被配置為向系統級封裝 100/200 提供共用封裝接地。此外，在一些實施方式中，插槽 160/260 可被配置為有利地提供能增強對於第一有源晶片 110/210、第二有源晶片 120/220 和中間層 130/230 以及第三有源晶片 240 和第二中間層 250 的熱耗散的散熱片。在又一實施方式中，插槽 160/260 可被配置為向系統級封裝 100/200 提供增強的環境保護，諸如潮濕保護。

根據以上描述，顯然在不離開本發明的概念的範圍的

前提下，各種技術可被用於實施本申請中所述的概念。此外，儘管已具體參照某些實施方式描述了這一概念，但本領域普通技術人員將認識到，在不離開這些概念의思想和範圍的前提下，可在形式和細節上進行更改。因此，所述實施方式應被理解為在所示出的所有方面內且並非限定。還應理解，本申請不限於本文所述的具體實施方式，而是在不離開本公開的範圍的前提下，許多重排、修改和替代也是可行的。

【圖式簡單說明】

本公開針對具有集成插槽的系統級封裝，結合至少一個附圖充分示出和/或描述了該系統級封裝，並在申請專利範圍中更完整地做了敘述。

圖 1 示出了具有集成插槽的系統級封裝的一種實施的截面圖。

圖 2 示出了具有集成插槽的系統級封裝的另一實施的截面圖。

圖 3 示出了給出一種用於製造具有集成插槽的系統級封裝的示例性方法的流程圖。

【主要元件符號說明】

100	系統級封裝
102	基板
104	焊球
110	第一有源晶片
111	上表面
112, 112a, 112b	微凸塊
120	第二有源晶片
121	下表面
122, 122a, 122b	微凸塊
130	中間層
132	伸介層電介質

134a, 134b	連接
160	插槽
162	插槽接觸
164	黏附層
200	系統級封裝
202	基板
204	焊球
210	第一有源晶片
211	上表面
212, 212a, 212b	微凸塊
220	第二有源晶片
221	下表面
222, 222a, 222b	微凸塊
223	上表面
225, 225c, 225d	微凸塊
230	第一中間層
232	中間層電介質
234a, 234b	連接
230	第一中間層
240	第三有源晶片
241	下表面
242, 242c, 242d	微凸塊
250	第二中間層
252	中間層電介質
254c, 254d	連接
250	第二中間層
260	插槽
262	插槽接觸
264	黏附層
300	流程圖

S310~S350 步驟

七、申請專利範圍：

1. 一種系統級封裝，包括：

第一有源晶片，其具有在所述第一有源晶片的上表面上的第一多個電連接器；

中間層，其位於所述第一有源晶片上方；

第二有源晶片，其具有在所述第二有源晶片的下表面上的第二多個電連接器；

所述中間層被配置為選擇性將所述第一多個電連接器中的至少一個耦接至所述第二多個電連接器中的至少一個；

插槽，其包圍所述第一有源晶片和所述第二有源晶片以及所述中間層，所述插槽電耦接至所述第一有源晶片、所述第二有源晶片和所述中間層中的至少一個；

其中，所述中間層包括至少一層選擇性導電膜，所述選擇性導電膜包括具有分散於其中的奈米線或奈米管的聚合物基體。

2. 如申請專利範圍第 1 項所述的系統級封裝，其中，所述插槽被配置為遮罩所述第一有源晶片、所述第二有源晶片和所述中間層使之免於電磁干擾。
3. 如申請專利範圍第 1 項所述的系統級封裝，其中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述中間層提供共用封裝接地。
4. 如申請專利範圍第 1 項所述的系統級封裝，其中，所述插槽被配置為向所述第一有源晶片、所述第二有源晶片和所述中間層提供散熱片。
5. 如申請專利範圍第 1 項所述的系統級封裝，其中，所述插槽電耦接至所述第一有源晶片、所述第二有源晶片和所述選擇性導電膜中的至少一個。
6. 如申請專利範圍第 1 項所述的系統級封裝，其中，所述插槽被配置為遮罩所述第一有源晶片、所述第二有源晶片和所述選擇性導電膜使之免於電磁干擾。

7. 一種用於製造系統級封裝的方法，所述方法包括：

配置第一有源晶片，所述第一有源晶片具有在所述第一有源晶片上表面上的第一多個電連接器；

將中間層置於所述第一有源晶片上方；

將第二有源晶片置於所述中間層上方，所述第二有源晶片具有在所述第二有源晶片的下表面上的第二多個電連接器；

利用所述中間層選擇性將所述第一多個電連接器中的至少一個耦接至所述第二多個電連接器中的至少一個；

將所述第一有源晶片和所述第二有源晶片以及所述中間層密封在插槽中，所述插槽電耦接至所述第一有源晶片、所述第二有源晶片和所述中間層中的至少一個；

其中，所述中間層包括至少一層選擇性導電膜，所述選擇性導電膜包括具有分散於其中的奈米線或奈米管的聚合物基體。

八、圖式：

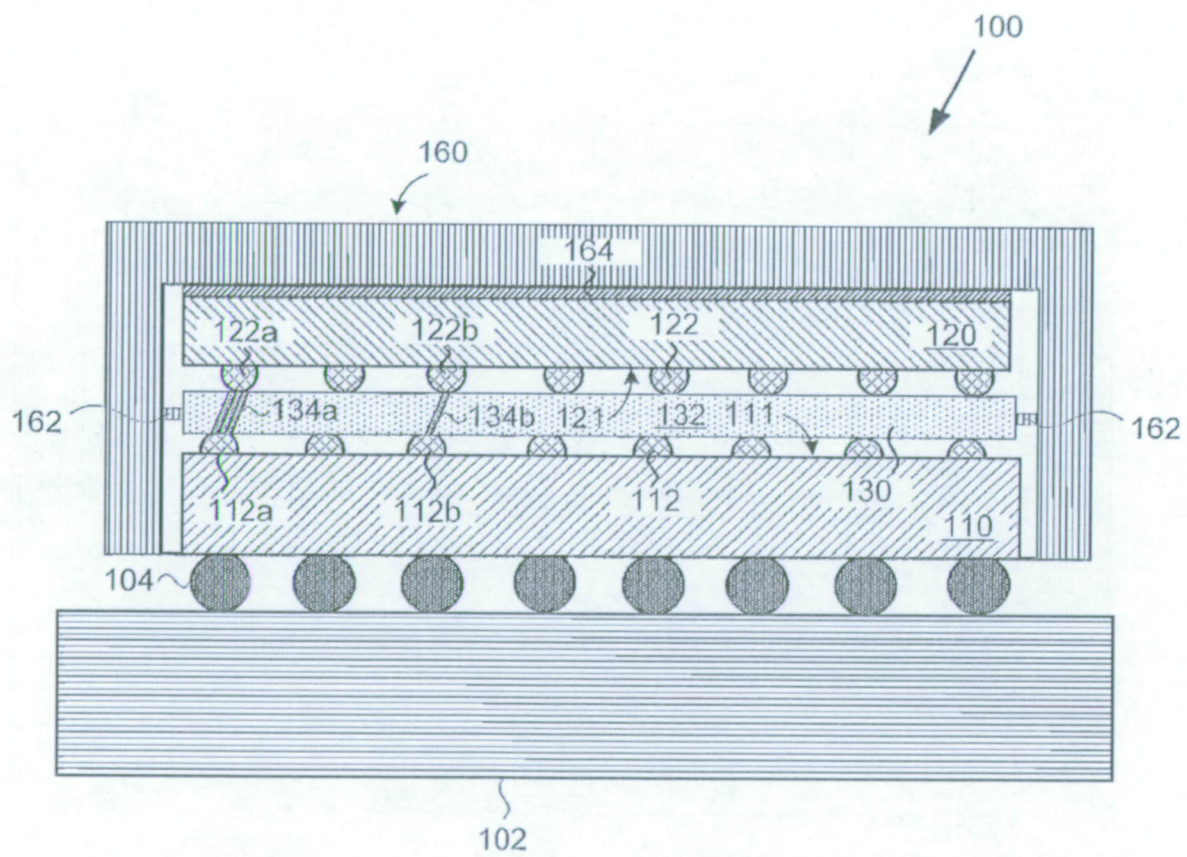


圖1

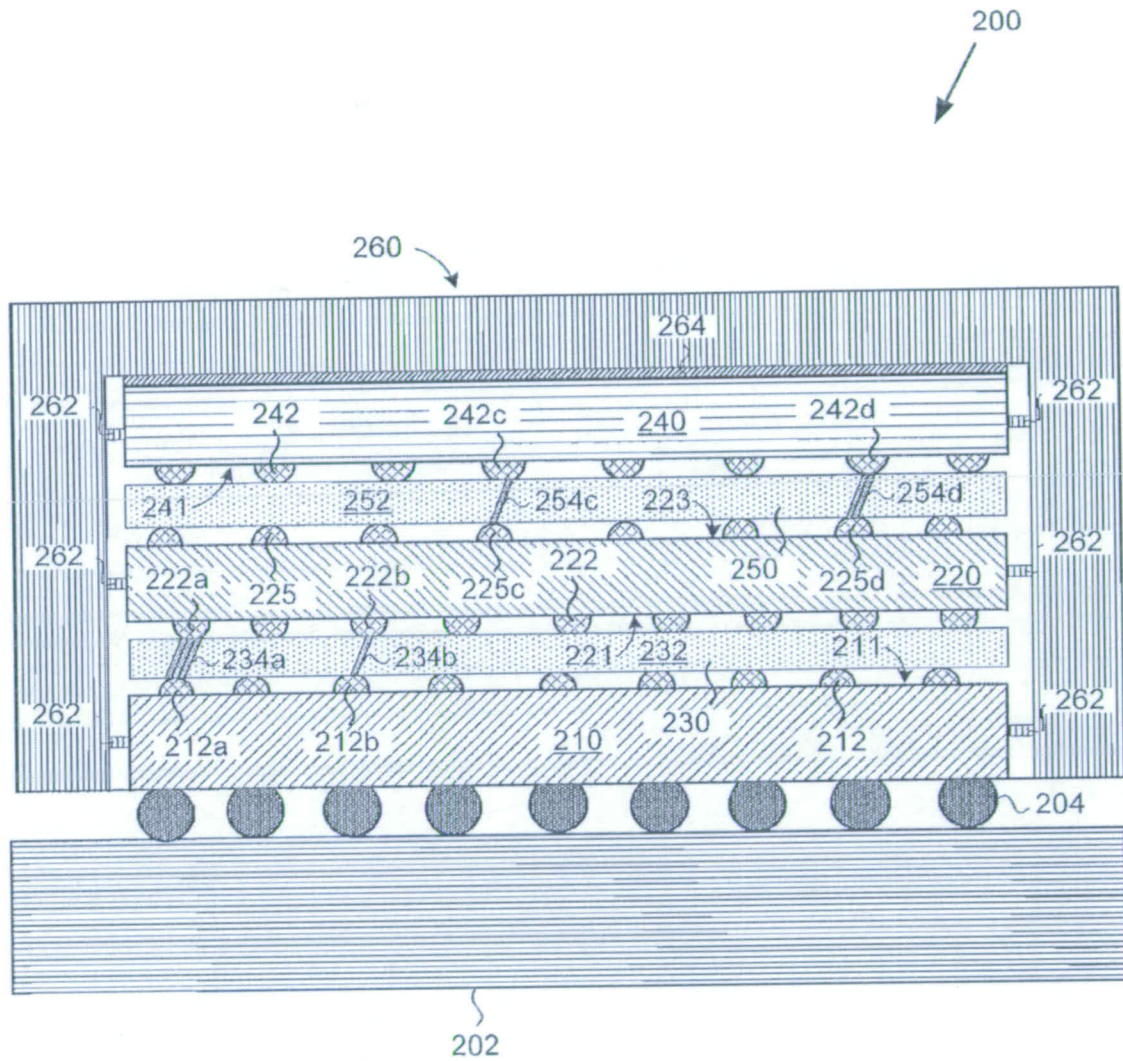


圖2

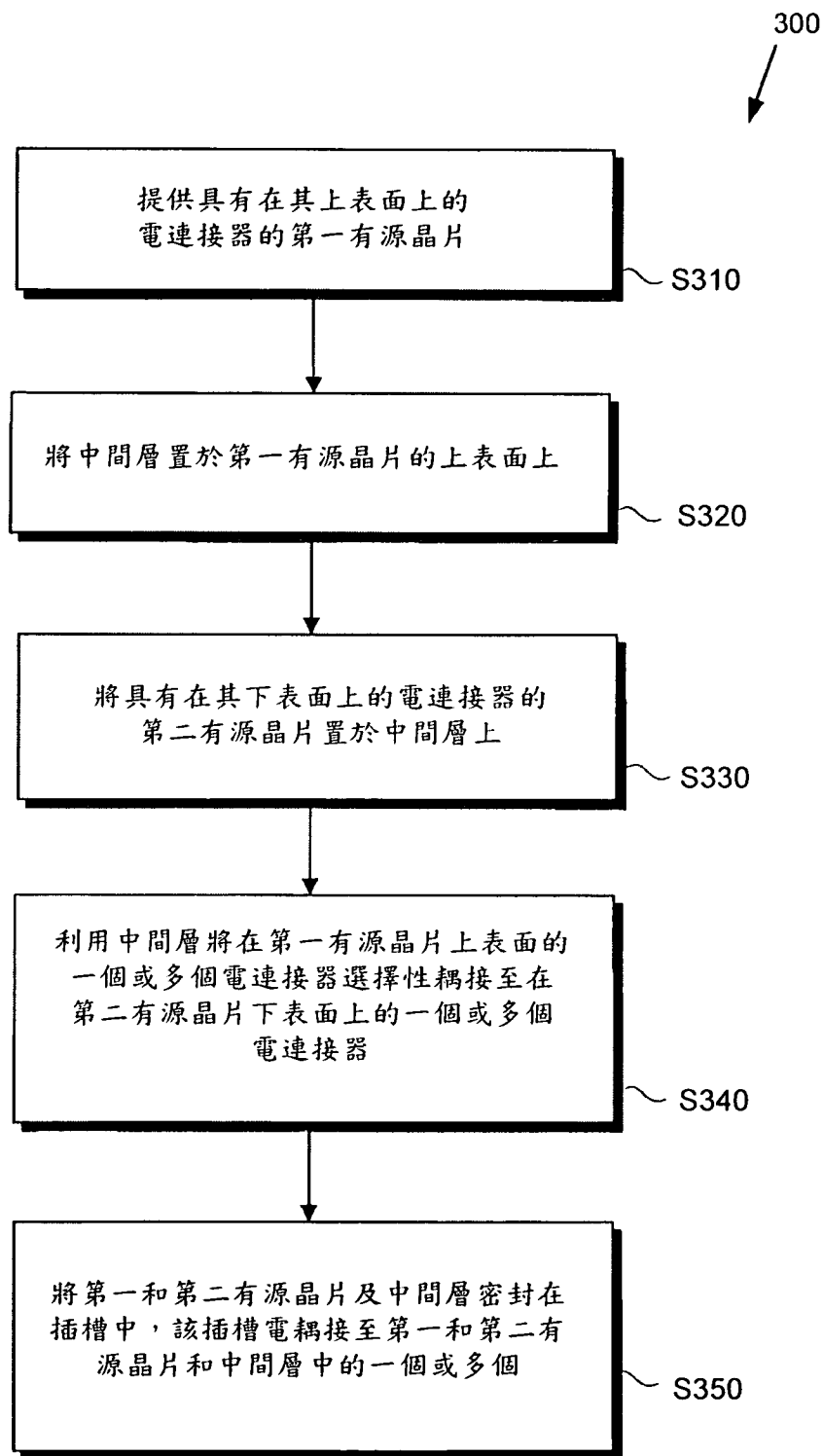


圖3