



PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

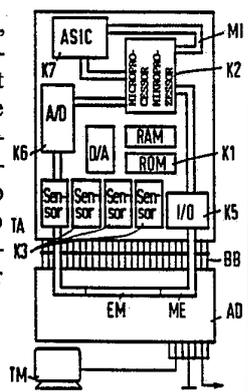
|  |   |   |
|--|---|---|
| <p>(51) Internationale Patentklassifikation <sup>5</sup> :<br/><br/>G06F 11/26</p>   | <p>A1</p>   | <p>(11) Internationale Veröffentlichungsnummer: <b>WO 93/02415</b><br/><br/>(43) Internationales Veröffentlichungsdatum: 4. Februar 1993 (04.02.93)</p> |
| <p>(21) Internationales Aktenzeichen: PCT/DE92/00535<br/>(22) Internationales Anmeldedatum: 29. Juni 1992 (29.06.92)<br/><br/>(30) Prioritätsdaten:<br/>P 41 24 708.6 25. Juli 1991 (25.07.91) DE<br/><br/>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-8000 München 2 (DE).<br/><br/>(72) Erfinder; und<br/>(75) Erfinder/Anmelder (nur für US) : BECK, Christoph [DE/DE]; Walchenseepplatz 2, D-8000 München 90 (DE). DYMANN, Franck [DE/DE]; Friedrich Engelsbogen 3, D-8000 München 83 (DE). HANSTEIN, Bernd [DE/DE]; Helmut-Käutner-Straße 21, D-8000 München 83 (DE). SEVERLOH, Horst [DE/DE]; Eichenstraße 4, D-8131 Unterbrunn (DE).</p> | <p>(74) Gemeinsamer Vertreter: SIEMENS AG; Postfach 22 16 34z 2, D-8000 München 22 (DE).<br/><br/>(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IT, LU, MC, NL, SE).<br/><br/>Veröffentlicht<br/>Mit internationalem Recherchenbericht.</p> |   |

(54) Title: DEVICE FOR TESTING ELECTRONIC COMPONENTS OF A UNIT INTERCONNECTED ACCORDING TO THE APPLICATION

(54) Bezeichnung: EINRICHTUNG ZUM PRÜFEN VON ENTSPRECHEND DEM ANWENDUNGSFALL MITEINANDER VERBUNDENEN ELEKTRONISCHEN KOMPONENTEN EINER BAUGRUPPE

(57) Abstract

Units, e.g. printed circuit boards (LP), containing a very wide variety of components, e.g. digital, analog and sensor components, are tested for faults by the use of a microprocessor or microcontroller fitted in the unit in any case. This microprocessor contains a test program permitting the generation of test vectors and the checking of the test reply given on the basis of the test vectors. In order to be able to use the test vectors to check the components in the unit, the microprocessor makes it possible for the components to be checked to be interconnected via measuring loops formed using the available electrical connections in logical arrangements and to be able to supply test signals to the unit's inputs which correspond to the signals applied to the unit in actual use. A self-test adapter (AD) which connects outputs of the unit to its inputs is used for this purpose. The components of the unit can be logically interconnected via the measuring loops and thus a check can be made to discover whether there are any faults in the components or their connections.



(57) Zusammenfassung

Baugruppen, z.B. Leiterplatten (LP), die unterschiedlichste Arten von elektronischen Komponenten enthalten, z.B. digitale, analoge, sensorische Komponenten, werden dadurch auf Fehlerfreiheit geprüft, daß ein auf der Baugruppe sowieso vorhandener Mikroprozessor oder Mikrocontroller zum Prüfen verwendet wird. In diesem Mikroprozessor ist ein Prüfprogramm enthalten, das das Erzeugen von Testvektoren veranlaßt und die Überprüfung der aufgrund der Testvektoren abgegebenen Testantwort ermöglicht. Um die Testvektoren zur Prüfung der auf der Baugruppe vorhandenen Komponenten verwenden zu können, veranlaßt der Mikroprozessor, daß die zu prüfenden Komponenten über Meßschleifen, die unter Ausnützung der vorhandenen elektrischen Verbindungen gebildet werden, in sinnvoller Anordnung miteinander verbunden werden und um den Eingängen der Baugruppe Prüfungssignale zuführen zu können, die den Signalen entsprechen, die im Einsatzfall der Baugruppe zugeführt werden. Dazu wird ein Eigentestadapter (AD) verwendet, der Ausgänge der Baugruppe mit Eingängen der Baugruppe verbindet. Über die Meßschleifen können die Komponenten der Baugruppe in sinnvoller Weise miteinander verbunden werden und damit überprüft werden, ob die Komponenten bzw. deren Verbindungen fehlerfrei sind.

**LEDIGLICH ZUR INFORMATION**

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

|     |                                |    |                                   |    |                                |
|-----|--------------------------------|----|-----------------------------------|----|--------------------------------|
| AT  | Österreich                     | FI | Finnland                          | MN | Mongolei                       |
| AU  | Australien                     | FR | Frankreich                        | MR | Mauritanien                    |
| BB  | Barbados                       | GA | Gabon                             | MW | Malawi                         |
| BE  | Belgien                        | GB | Vereinigtes Königreich            | NL | Niederlande                    |
| BF  | Burkina Faso                   | GN | Guinea                            | NO | Norwegen                       |
| BG  | Bulgarien                      | GR | Griechenland                      | PL | Polen                          |
| BJ  | Benin                          | HU | Ungarn                            | RO | Rumänien                       |
| BR  | Brasilien                      | IE | Irland                            | RU | Russische Föderation           |
| CA  | Kanada                         | IT | Italien                           | SD | Sudan                          |
| CF  | Zentrale Afrikanische Republik | JP | Japan                             | SE | Schweden                       |
| CG  | Kongo                          | KP | Demokratische Volksrepublik Korea | SN | Senegal                        |
| CH  | Schweiz                        | KR | Republik Korea                    | SU | Sowjet Union                   |
| CI  | Côte d'Ivoire                  | LI | Liechtenstein                     | TD | Tschad                         |
| CM  | Kamerun                        | LK | Sri Lanka                         | TG | Togo                           |
| CS  | Tschechoslowakei               | LU | Luxemburg                         | US | Vereinigte Staaten von Amerika |
| DE* | Deutschland                    | MC | Monaco                            |    |                                |
| DK  | Dänemark                       | MG | Madagaskar                        |    |                                |
| ES  | Spanien                        | ML | Mali                              |    |                                |

-1-

Einrichtung zum Prüfen von entsprechend dem Anwendungsfall miteinander verbundenen elektronischen Komponenten einer Baugruppe

Das Prüfen von Baugruppen, die aus miteinander verbundenen elektronischen Komponenten bestehen, stellt eine wachsende Herausforderung dar. Beispiele solcher Baugruppen sind Leiterplatten, auf denen elektronische Komponenten angeordnet sind, die über Leitungen verbunden sind. Bei solchen Leiterplatten steigt die Komplexität, weiterhin werden neue Fertigungstechnologien entwickelt, wie z.B. SMD (Surface Mounted Devices). Die elektronischen Komponenten können digitale oder analoge Komponenten sein, sowie Bauteile aus der Sensor- und Leistungselektronik.

Einrichtungen zur Prüfung von solchen Baugruppen sind bekannt. Im wesentlichen werden zwei Prüfverfahren unterschieden. Beim In-Circuit-Test werden ausgewählte Punkte der Leiterplatte durch einen Nadeladapter kontaktiert. Auf diese Weise ist es möglich, die Werte diskreter Bauelemente, wie Widerstände, Transistoren usw., zu bestimmen. Durch die Einführung z.B. der SMD-Technologie bei beiderseitiger Bestückung von Leiterplatten wird aber dieser In-Circuit-Test zunehmend schwieriger.

Ein andere Möglichkeit des Prüfens besteht darin, die Leiterplatte mit Hilfe eines Testautomaten zu prüfen. Der Testautomat ist eine aufwendige Einzelanfertigung, mit deren Hilfe die reale Einbettung einer Leiterplatte oder einer Baugruppe nachgebildet werden soll. Die auf dem Meßturm ablaufenden Prüfungen sind aufwendig und zeitintensiv. Außerdem stellt die Prüfung unter extremen dynamischen Bedingungen ein weiteres Problem dar.

-2-

Die der Erfindung zugrundeliegende Aufgabe besteht darin, eine weitere Einrichtung anzugeben, mit der Baugruppen aus elektronischen Komponenten, Z.B. Leiterplatten, geprüft werden können, wobei die Prüfung bereits in der Entwicklung, aber auch im Einsatz des Produktes ohne großen Aufwand möglich ist. Diese Aufgabe wird gemäß den Merkmalen des Patentanspruches 1 gelöst.

Vorteilhaft ist, daß die Prüfeinrichtung für rein digitale, aber auch allgemeine Leiterplatten und Baugruppen verwendet werden kann. Auf der Baugruppe können somit digitale, analoge, sensorische Komponenten angeordnet sein und miteinander verbunden sein. Dabei wird zur Prüfung ein Mikroprozessor oder Mikrokontroller verwendet, der als Komponente auf der Leiterplatte bzw. auf der Baugruppe angeordnet ist und dort im Betrieb die Funktion des aus Baugruppe und Eigentestadapter bestehenden Systems steuert.

Bei dem Eigentestprinzip handelt es sich somit um einen Selbsttest der Baugruppe. Die Erzeugung der Testvektoren oder der Testmuster kann auf der Baugruppe und die Auswertung der Testantwort kann ebenfalls auf der Baugruppe unter Verwendung des Mikroprozessors erfolgen. Jedoch ist es auch möglich, den Eigentestadapter für diese Zwecke zu verwenden. Dazu ist es sinnvoll, wenn das Prüfprogramm in dem zu testenden System gespeichert ist.

Die Prüfung erfolgt so, daß gesteuert von dem Mikroprozessor die auf der Baugruppe bereits vorhandenen Komponenten verbindende elektrischen Leitungen zu internen Meßschleifen zusammengeschaltet werden. Um auch die Baugruppe vom Eingang bzw. Ausgang her prüfen zu können, können externe Meßschleifen über einen Eigentestadapter gebildet werden. Der Eigentestadapter ist z.B. über einen Kabelbaum mit den Ein- und Ausgängen verbunden. Auf dem Eigentestadapter können elektronische Komponenten angeordnet werden, die den Anwendungsfall der Baugruppe

-3-

simulieren, und daher den Eingängen der Baugruppe Signale zuführen, die denen des Einsatzfalles der Baugruppe entsprechen.

Das Verfahren nach dem Eigentestprinzip hat den weiteren Vorteil, daß die Überprüfung der Baugruppe sowohl bei der Fertigung als auch beim Einsatz möglich ist. Erforderlich ist nur, daß das Prüfprogramm auf dem System gespeichert ist und zu bestimmten Zeitpunkten auch gestartet wird. Ein sinnvoller Zeitpunkt wäre z.B. dann gegeben, wenn die Versorgungsspannung für die Baugruppe eingeschaltet wird.

Die auf dem Eigentestadapter angeordneten Schaltungen, die die externen Meßschleifen bilden, sind an den jeweiligen Einsatzfall angepaßt. Sie können aus reinen elektrischen Verbindungsleitungen bestehen, es ist aber auch möglich, kompliziertere Schaltungen einzusetzen, um den realen Einsatzfall zu simulieren.

Anhand eines Ausführungsbeispieles, das in den Figuren dargestellt ist, wird die Erfindung weiter erläutert.

Figur 1 zeigt dabei ein System aus einer Leiterplatte plus Eigentestadapter und

Figur 2 und Figur 3 zeigen als Beispiel wie eine Meßschleife auf dem Eigentestadapter realisiert sein kann.

In Figur 1 ist eine Prüfeinrichtung oder System TA prinzipiell dargestellt. Die Prüfeinrichtung TA soll dazu dienen, um eine Baugruppe LP, z.B. eine Leiterplatte LP, auf Fehlerfreiheit zu überprüfen. Die Baugruppe LP kann aus Komponenten K bestehen, die beispielhaft in Figur 1 dargestellt sind. Zum Beispiel kann die Komponente K1 ein PROM, die Komponente K2 ein Mikroprozessor, die Komponente K3 einen Sensorschaltkreis, die Komponente K5 eine Ein- und Ausgabeschaltung, die Komponente K6 ein Analog/Digital Wandler, die Komponente K7 ein ASIC-Baustein sein. Die elektronischen Komponenten K1 bis K7 sind über elektrische

-4-

Leitungen miteinander verbunden, die in Figur 1 allerdings nur teilweise dargestellt sind. Diese Verbindungen ergeben sich aus dem Anwendungsfall der Baugruppe.

Die Prüfeinrichtung TA weist weiterhin einen Eigentestadapter AD auf, über den Ausgänge der Baugruppe mit Eingängen der Baugruppe verbunden werden können. Auf dem Eigentestadapter AD sind Schaltkreise angeordnet, die bei der Verbindung der Ausgänge mit den Eingängen der Baugruppe den realen Einsatzfall nachbilden.

Zur Prüfung der Baugruppe LP wird der Mikroprozessor K2 verwendet, der als Komponente sowieso auf der Baugruppe vorgesehen ist. Im Mikroprozessor K2 wird ein Prüfprogramm zum Ablauf gebracht, das folgende Schritte veranlaßt:  
Zunächst werden interne Meßschleifen MI gebildet, wozu die vorhandenen elektrischen Verbindungen der Komponenten K verwendet werden. Diese Meßschleifen MI sind derart gebildet, daß die Prüfung der einzelnen Komponenten K möglich ist. Weiterhin wird der Eigentestadapter AD über einen Kabelbaum BB mit den Ein- und Ausgängen der Baugruppe LP verbunden. Über den Eigentestadapter AD werden nun externe Meßschleifen ME erzeugt. Die externen Meßschleifen ME verbinden über Simulationsschaltkreise EM Ausgänge der Baugruppe LP mit Eingängen der Baugruppe LP.

Nachdem die internen Meßschleifen MI und die externen Meßschleifen ME gebildet worden sind, erzeugt der Mikroprozessor K2 Testmuster oder Testvektoren bestehend aus einzelnen Testsignalen. Diese Testmuster werden vom Mikroprozessor K2 den Eingängen der internen Meßschleifen zugeleitet und gelangen von dort über die internen Meßschleifen MI und externen Meßschleifen ME liegenden Komponenten zum Ausgang der Meßschleife und damit wieder zum Mikroprozessor. Damit kann der Mikroprozessor K2 die an den Ausgängen der Meßschleifen auftretenden Testantwortsignalen auf Fehlerfreiheit überprüfen, z.B. indem

-5-

er sie mit Sollsignalen vergleicht. Es ist jedoch auch möglich, die Testantworten extern überprüfen zu lassen, z.B. mit Hilfe eines Terminals TM.

Im Ausführungsbeispiel der Figur 1 ist z.B. eine externe Meßschleife ME gebildet worden vom Mikroprozessor K2 über den Eingabe/Ausgabeschaltkreis K5, den Eigentestadapter AD zurück über den analogen Schaltkreis K6 zum Sensorschaltkreis K4 und von dort wieder zum Mikroprozessor K2. Entsprechend der Prüfung der einzelnen Komponenten werden selbstverständlich auch weitere interne bzw. externe Meßschleifen erzeugt.

Der Eigentestadapter AD hat die bereits angegebene Aufgabe, er soll Signale, die an den Ausgängen der Baugruppe LP auftreten, Eingängen der Baugruppe zuführen und zwar derart, daß die an den Eingängen der Baugruppe zugeführten Signale denen entsprechen, die im realen Anwendungsfall auftreten würden. Der Eigentestadapter AD bildet somit den realen Einsatzfall beim Prüfen ab. Von dem Eigentestadapter AD können selbstverständlich auch die Testantwortesignale abgegeben werden, um einer externen Prüfeinrichtung TM zum Vergleich Istwert mit Sollwert zugeleitet zu werden.

Die auf dem Eigentestadapter AD angeordneten Schaltkreise EM zur Simulation der realen Außenwelt können in der Regel aus passiven Bauelementen bestehen. Wenn die Baugruppe kompliziertere Funktionen ausführen soll, muß der entsprechende Schaltkreis EM entsprechend komplizierter sein. Ein Beispiel eines ersten solchen Schaltkreises EM zeigt Figur 2. Er besteht aus passiven Komponenten, im Beispiel Figur 2 aus Widerständen, R2, R3, R4. In Figur 2 ist die Baugruppe LP zweimal gezeigt, einmal als Ausgang AD und einmal als Eingang EG. Der Ausgang AG der Baugruppe enthält z.B. einen Pull up-Widerstand R1, der Eingang einen Pull down-Widerstand R5. Zwischen Ausgang AD und Eingang EG ist ein Widerstandsnetzwerk geschaltet, das dafür sorgt, daß ein dem Eingang zugeführtes Signal, das aus Signalen

-6-

am Ausgang abgeleitet wird, die Werte hat, die dem Anwendungsfall entsprechen. Die Schaltung nach Figur 2 kann z.B. dazu verwendet werden, um einen digitalen Ausgang mit einem digitalen Eingang zu verbinden. Sie kann auch verwendet werden, um einen einfachen analogen Ausgang mit einem analogen Eingang zu verbinden.

Es ist auch möglich, daß Eingänge direkt über eine elektrische Leitung mit Ausgängen der Leiterplatte verbunden sind. Oder es könnte ein Ausgang der Baugruppe LP mit mehreren Eingängen der Baugruppe verbunden sein. Derartig einfache Schaltkreise ermöglichen schon einen ausreichenden Test der Komponenten auf der Baugruppe.

Figur 3 zeigt einen weiteren Schaltkreis EM. Er besteht aus Übertrager UT1, passiven Phasenschieber PHP, aktiven Phasenschieber PHA, Träger TR, zweiten Übertrager UT2 und Frequenzteiler FT. Mit diesem Schaltkreis können am Ausgang AG abgegebene Signale bezüglich Phase, Frequenz und Amplitude verändert werden und damit dem Anwendungsfall angepaßt werden.

Die geschilderte Testeinrichtung hat den Vorteil, daß die Prüfung der Baugruppe unter Verwendung eines auf der Baugruppe sowieso vorhandenen Mikroprozessors erfolgen kann. Zusätzlich zum normalen Aufbau der Baugruppe ist hiermit nur noch der Eigentestadapter nötig, der zur Simulation der Außenwelt dienen soll. Das zu Prüfung verwendete Prüfprogramm befindet sich auf der zu testenden Baugruppe, also auf einem Speicher des Mikroprozessors, z.B. einem ROM oder PROM. Die Auslösung des Prüfprogramms kann zu bestimmten Zeitpunkten erfolgen, z.B., wenn die Versorgungsspannung eingeschaltet wird. Dann läuft die Prüfung der Baugruppe automatisch ab, wobei sowohl die Erzeugung des Prüfvektors als auch der Prüftestantwort auf der Baugruppe selbst durch den Mikroprozessor erfolgen kann. Damit wäre sichergestellt, daß die Prüfung der Baugruppe auch in der Einsatzumgebung erfolgen kann, also unter den klimatischen

-7-

Bedingungen, der die Baugruppe ausgesetzt ist. Mit diesen Eigentestverfahren können dabei alle Fehler auf der Baugruppe entdeckt werden, die über Meßschleifen erfaßbar sind.

-8-

## Patentansprüche

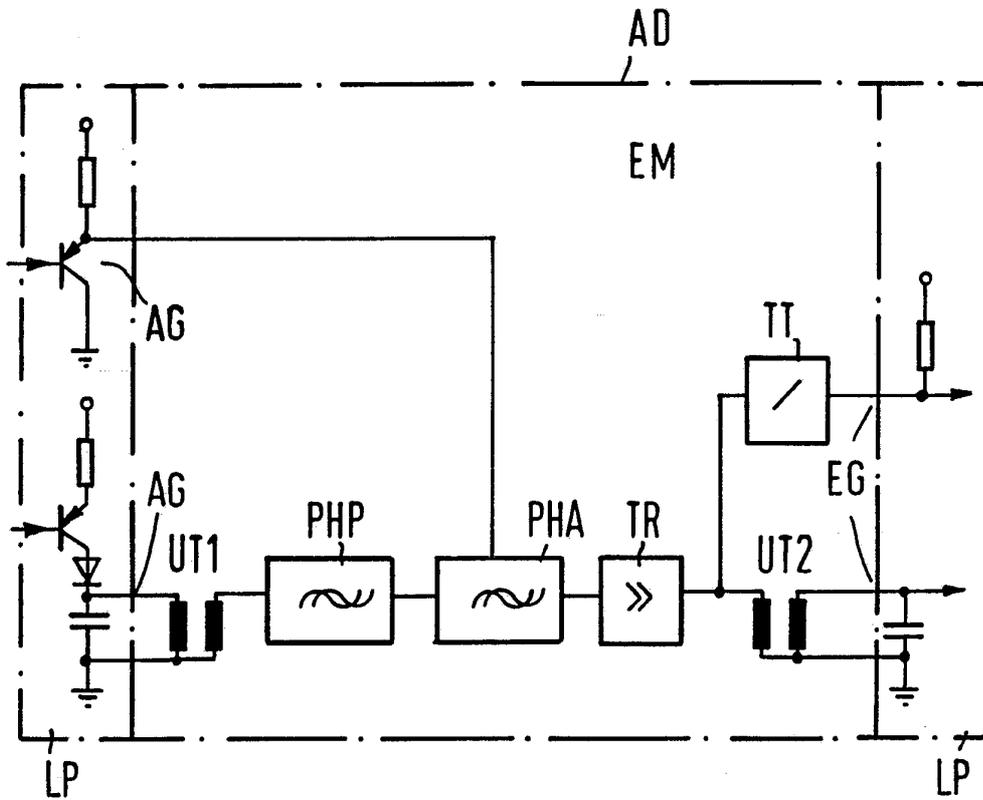
1. Einrichtung zum Prüfen von entsprechend dem Anwendungsfall miteinander verbundenen elektronischen Komponenten einer Baugruppe nach dem Eigentestprinzip,
  - a) bei der eine als Mikroprozessor vorhandene Komponente der Baugruppe zum Prüfen einsetzbar ist,
  - b) bei der ein Eigentestadapter (AD) zur Verbindung von Ausgängen der Baugruppe (LP) mit Eingängen der Baugruppe (LP) über eine externe Meßschleife (ME) vorgesehen ist,
  - c) bei der auf dem Mikroprozessor (K2) ein Testprogramm mit der Folge abläuft, daß
    - c1) interne Meßschleifen (ME) aus den vorgegebenen Verbindungen der Komponenten gebildet werden,
    - c2) Testvektoren erzeugt werden, die den Eingängen der Meßschleifen zugeleitet werden,
    - c3) Testantworten an den Ausgängen der Meßschleifen abgenommen werden und mit Sollwerten verglichen werden.
2. Einrichtung nach Anspruch 1, bei der das Einschalten der Versorgungsspannung das Prüfprogramm des Mikroprozessors startet.
3. Einrichtung nach Anspruch 1 oder 2, bei der die externen Meßschleifen (ME) und die in den externen Meßschleifen liegenden elektrischen Schaltkreise (EM) derart gewählt sind, daß sie Signale erzeugen, die denen entsprechen, die im Anwendungsfall den Baugruppen an Eingängen zugeführt werden.
4. Einrichtung nach einem der vorhergehenden Ansprüche, bei dem das Testprogramm auf der Baugruppe gespeichert ist.
5. Einrichtung nach einem der vorhergehenden Ansprüche, bei dem als Schaltkreis des Eigentestadapter in einer Meßschleife ein Widerstandsnetzwerk vorgesehen ist.

-9-

6. Einrichtung nach einem der Ansprüche 1 bis 4, bei dem die Schaltkreise im Eigentestadapter (AD) derart ausgeführt sind, die ein Signal am Ausgang (AG) der Baugruppe bezüglich Amplitude, Phase und Frequenz einstellbar einem Eingang der Baugruppe zuführen.



FIG 3



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE92/00535

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. 5 G06F11/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. 5 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| X         | COMPUTER<br>Vol. 13, No. 3, March 1990, LONG BEACH US, pages 17-25<br>J.P. HAYES ET AL. 'Testability considerations in<br>microprocessor based design' see page 20, left-hand<br>column, line 27 - page 24, left-hand column, line 14;<br>figure 4<br>--- | 1,4                   |
| Y         | US,A,4 275 464 (D.J. SCHMIDT)<br>23 June 1981, see column 2, line 4 - line 62, see<br>column 9, line 3 - column 11, line 2; figure 2<br>---   | 1,4                   |
| Y         | GB,A,2 121 997 (INTERNATIONAL COMPUTERS LTD.)<br>4 January 1984, see page 1, line 33 - page 2, line 102,<br>figure 1<br>---   | 1,4                   |
| A         | IBM TECHNICAL DISCLOSURE BULLETIN<br>Vol. 33, No. 1B, June 1990, NEW YORK US, pages 306-309<br>'Built-in self-test of arrays embedded in logic chips'<br>*see the whole document*<br>---  | 1                     |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

22 September 1992 (22.09.1992)

Date of mailing of the international search report

21 October 1992 (21.10.1992)

Name and mailing address of the ISA/

European Patent Office

Facsimile No.

Authorized officer

Telephone No.

**ANNEX TO THE INTERNATIONAL SEARCH REPORT  
ON INTERNATIONAL PATENT APPLICATION NO. DE 9200535  
SA 61046**

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on  
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information. 22/09/92

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|--|------------------|-------------------------|------------------|
| US-A-4275464                           | 23-06-81         | None                    |                  |
| GB-A-2121997                           | 04-01-84         | AU-B- 553094            | 03-07-86         |
|  |                  | AU-A- 1571183           | 15-12-83         |
|  |                  | JP-B- 4001371           | 10-01-92         |
|  |                  | JP-A- 59003561          | 10-01-84         |
|  |                  | US-A- 4697234           | 29-09-87         |

| I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben) <sup>6</sup>   |  |  |
|---|--|--|
| Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC<br>Int.Kl. 5 G06F11/26  |  |  |
| II. RECHERCHIERTE SACHGEBIETE   |  |  |
| Recherchierter Mindestprüfstoff <sup>7</sup>  |  |  |
| Klassifikationssystem   | Klassifikationssymbole   |  |
| Int.Kl. 5   | G06F   |  |
| Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen <sup>8</sup>  |  |  |
|   |  |  |
| III. EINSCHLAGIGE VERÖFFENTLICHUNGEN <sup>9</sup>   |  |  |
| Art. <sup>9</sup>   | Kennzeichnung der Veröffentlichung <sup>11</sup> , soweit erforderlich unter Angabe der maßgeblichen Teile <sup>12</sup>   | Betr. Anspruch Nr. <sup>13</sup>                   |
| X   | COMPUTER<br>Bd. 13, Nr. 3, März 1980, LONG BEACH US<br>Seiten 17 - 25<br>J.P. HAYES ET AL. 'Testability considerations in microprocessor based design'<br>siehe Seite 20, linke Spalte, Zeile 27 -<br>Seite 24, linke Spalte, Zeile 14;<br>Abbildung 4 | 1, 4   |
| Y   | US,A,4 275 464 (D.J. SCHMIDT)<br>23. Juni 1981<br>siehe Spalte 2, Zeile 4 - Zeile 62<br>siehe Spalte 9, Zeile 3 - Spalte 11, Zeile 2; Abbildung 2  | 1, 4   |
|   | ---  |  |
|   |  | -/--   |
| <p><sup>10</sup> Besondere Kategorien von angegebenen Veröffentlichungen:</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p> |  |  |
| IV. BESCHEINIGUNG   |  |  |
| Datum des Abschlusses der internationalen Recherche   |  | Absenddatum des internationalen Recherchenberichts |
| 22. SEPTEMBER 1992  |  | 23 OCT. 1992                                       |
| Internationale Recherchenbehörde  |  | Unterschrift des bevollmächtigten Bediensteten     |
| EUROPAISCHES PATENTAMT  |  | GORZEWSKI M. <i>M. Gorzewski</i>                   |

| III. EINSCHLAGIGE VERÖFFENTLICHUNGEN (Fortsetzung von Blatt 2) |   |                    |
|--|---|--------------------|
| Art °  | Kennzeichnung der Veröffentlichung, soweit erforderlich unter Angabe der maßgeblichen Teile   | Betr. Anspruch Nr. |
| Y  | GB,A,2 121 997 (INTERNATIONAL COMPUTERS LTD.)<br>4. Januar 1984<br>siehe Seite 1, Zeile 33 - Seite 2, Zeile 102; Abbildung 1<br>---   | 1,4                |
| A  | IBM TECHNICAL DISCLOSURE BULLETIN.<br>Bd. 33, Nr. 1B, Juni 1990, NEW YORK US<br>Seiten 306 - 309 'Built-in self-test of arrays embedded in logic chips'<br>* Insgesamt *<br>----- | 1                  |

**ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT  
 ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.**

DE 9200535  
 SA 61046

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentdokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

22/09/92

| Im Recherchenbericht<br>angeführtes Patentdokument | Datum der<br>Veröffentlichung | Mitglied(er) der<br>Patentfamilie | Datum der<br>Veröffentlichung |
|--|-------------------------------|-----------------------------------|-------------------------------|
| US-A-4275464                                       | 23-06-81                      | Keine                             |                               |
| GB-A-2121997                                       | 04-01-84                      | AU-B- 553094                      | 03-07-86                      |
|  |                               | AU-A- 1571183                     | 15-12-83                      |
|  |                               | JP-B- 4001371                     | 10-01-92                      |
|  |                               | JP-A- 59003561                    | 10-01-84                      |
|  |                               | US-A- 4697234                     | 29-09-87                      |

EPO FORM P0473

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82