

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6584955号
(P6584955)

(45) 発行日 令和1年10月2日(2019.10.2)

(24) 登録日 令和1年9月13日(2019.9.13)

(51) Int.Cl.

H03F 1/52 (2006.01)
H03F 3/195 (2006.01)

F 1

H03F 1/52
H03F 3/195

220

請求項の数 15 (全 20 頁)

(21) 出願番号 特願2015-549740 (P2015-549740)
 (86) (22) 出願日 平成25年12月19日 (2013.12.19)
 (65) 公表番号 特表2016-501501 (P2016-501501A)
 (43) 公表日 平成28年1月18日 (2016.1.18)
 (86) 國際出願番号 PCT/US2013/076715
 (87) 國際公開番号 WO2014/100491
 (87) 國際公開日 平成26年6月26日 (2014.6.26)
 審査請求日 平成28年11月22日 (2016.11.22)
 (31) 優先権主張番号 13/720,836
 (32) 優先日 平成24年12月19日 (2012.12.19)
 (33) 優先権主張国・地域又は機関
米国(US)

(73) 特許権者 595020643
クアアルコム・インコーポレイテッド
QUALCOMM INCORPORATED
アメリカ合衆国、カリフォルニア州 92
121-1714、サン・ディエゴ、モア
ハウス・ドライブ 5775
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100158805
弁理士 井関 守三
(74) 代理人 100194814
弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】增幅器カスコードデバイスの静電放電保護

(57) 【特許請求の範囲】

【請求項1】

增幅器であって、
バイアス電圧を受けるように構成された第1のトランジスタと、
前記第1のトランジスタに結合され、入力パッドを介して入力電圧を受けるように構成
された少なくとも1つの回路要素と、
前記第1のトランジスタのドレインに結合され、前記入力パッドによって引き起こされ
る前記増幅器の内部ノードにおける電圧電位を制限するように構成された少なくとも1つ
のダイオード、ここにおいて、前記少なくとも1つのダイオードは、前記増幅器の通常動作
中は導通せず、前記入力パッドにおける静電放電(ESD)イベント中に導通するよう
に前記バイアス電圧に基づいて構成される、と、

を備え、

前記少なくとも1つのダイオードは、前記第1のトランジスタのドレインに接続された
インダクタと少なくとも1つのキャパシタとの共振による電力スイングを制限する、増幅
器。

【請求項2】

前記少なくとも1つのダイオードが、前記第1のトランジスタのゲートと前記ドレイン
、前記第1のトランジスタの前記ドレインと電源電圧、および前記第1のトランジスタの
前記ドレインと基準電圧、のうちの1つの間に結合された、請求項1に記載の増幅器。

【請求項3】

10

20

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートに結合されたカソードと、前記第 1 のトランジスタの前記ドレインと出力とに結合されたアノードとを有する、請求項 1 に記載の増幅器。

【請求項 4】

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートに結合されたカソードを有する第 1 のダイオードと、前記第 1 のダイオードのアノードに結合されたカソードと前記第 1 のトランジスタの前記ドレインに結合されたアノードとを有する第 2 のダイオードとを備える、請求項 1 に記載の増幅器。

【請求項 5】

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートに結合されたアノードと、前記第 1 のトランジスタの前記ドレインに結合されたカソードとを有する、請求項 1 に記載の増幅器。 10

【請求項 6】

前記第 1 のトランジスタと基準電圧との間に結合された第 2 のトランジスタと、前記第 1 のトランジスタと出力パッドとに結合された第 2 の回路要素と、をさらに備える、請求項 1 に記載の増幅器。

【請求項 7】

前記少なくとも 1 つのダイオードが、前記基準電圧に結合されたアノードと、前記第 2 の回路要素に結合されたカソードとを有する、請求項 6 に記載の増幅器。 20

【請求項 8】

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタの前記ドレインと前記第 2 の回路要素とに結合されたアノードと、電源電圧に結合されたカソードとを有する、請求項 6 に記載の増幅器。

【請求項 9】

低雑音増幅器 (LNA) において信号を受信すること、前記 LNA は、バイアス電圧を受けるように構成されたカスコードトランジスタと、入力パッドを介して前記信号を受けるように構成された第 1 のトランジスタとを含む、と、

静電放電 (ESD) イベント中に前記第 1 のトランジスタに結合された前記入力パッドによって引き起こされる電圧電位を、前記カスコードトランジスタのドレインにおける少なくとも 1 つのダイオードを用いて制限すること、ここにおいて、前記少なくとも 1 つのダイオードは、前記 LNA の通常動作中は導通せず、前記入力パッドにおける静電放電 (ESD) イベント中に導通するように前記バイアス電圧に基づいて構成される、と 30 を備え、

前記少なくとも 1 つのダイオードは、前記カスコードトランジスタの前記ドレインに接続されたインダクタと少なくとも 1 つのキャパシタンスとの共振による電力スイングを制限する、方法。

【請求項 10】

前記制限することが、前記カスコードトランジスタのゲートと前記ドレイン、前記カスコードトランジスタの前記ドレインと電源電圧、および前記カスコードトランジスタの前記ドレインと基準電圧、のうちの 1 つの間に結合された前記少なくとも 1 つのダイオードを用いて前記電圧電位を制限することを備えるか、または、前記制限することが、前記カスコードトランジスタの前記ドレインに結合されたアノードと、前記カスコードトランジスタのゲートに結合されたカソードとを有するダイオードを用いて前記電圧電位を制限することを備える、請求項 9 に記載の方法。 40

【請求項 11】

前記制限することが、前記カスコードトランジスタのゲートに結合されたカソードを有する第 1 のダイオードと、前記第 1 のダイオードのアノードに結合されたカソードと前記カスコードトランジスタの前記ドレインに結合されたアノードとを有する第 2 のダイオードとを用いて前記電圧電位を制限することを備える、請求項 9 に記載の方法。

【請求項 12】

50

20

30

40

50

前記制限することが、前記カスコードトランジスタの前記ドレインに結合されたカソードと、前記カスコードトランジスタのゲートに結合されたアノードとを有するダイオードを用いて前記電圧電位を制限すること、および前記カスコードトランジスタの前記ドレインに結合されたカソードと、接地電圧に結合されたアノードとを有するダイオードを用いて前記電圧電位を制限することのうちの1つを備える、請求項9に記載の方法。

【請求項13】

前記制限することが、前記カスコードトランジスタの前記ドレインに結合されたアノードと、電源電圧に結合されたカソードとを有するダイオードを用いて前記電圧電位を制限することを備える、請求項9に記載の方法。

【請求項14】

少なくとも1つの回路要素を介して前記LNAの出力から出力パッドに前記信号を伝達することと、

カスコードトランジスタのドレインに結合された少なくとも1つのダイオードを用いて前記カスコードトランジスタの前記ドレインにおける電圧電位を制限することと、

を備え、前記制限することが、前記カスコードトランジスタのゲートと前記ドレイン、前記カスコードトランジスタの前記ドレインと電源電圧、および前記カスコードトランジスタの前記ドレインと基準電圧、のうちの1つの間に結合された前記少なくとも1つのダイオードを用いて前記電圧電位を制限することを備え、前記少なくとも1つのダイオードを用いて前記電圧電位を前記制限することが、前記カスコードトランジスタの前記ゲートと前記ドレインとの間に結合された複数のダイオードを用いて前記電圧電位を制限することを備える、請求項9に記載の方法。

【請求項15】

前記制限することが、前記カスコードトランジスタの前記ドレインに結合されたアノードと、前記カスコードトランジスタのゲートおよび電源電圧のうちの1つに結合されたカソードとを有する前記少なくとも1つのダイオードを用いて前記電圧電位を制限することを備え、および

前記伝達することが、インダクタ、キャパシタ、整合ネットワーク、およびミキサのうちの少なくとも1つを介して、前記出力から出力パッドに前記信号を伝達することを備える、請求項14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

[0001]本発明は、一般に静電放電保護に関する。より詳細には、本発明は、低雑音増幅器カスコードデバイス(cascode device)の静電放電保護のためのシステム、デバイス、および方法に関する。

【背景技術】

【0002】

[0002]信号増幅を行うために、様々なエレクトロニクスデバイス中で増幅器が通常使用される。異なる用途のために異なるタイプの増幅器が利用可能である。たとえば、セルラーフォンなどワイヤレス通信デバイスは、双方向通信のために送信機と受信機とを含み得る。受信機は低雑音増幅器(LNA: low noise amplifier)を利用し得、送信機は電力増幅器(PA: power amplifier)を利用し得、受信機および送信機は可変利得増幅器(VGA: variable gain amplifier)を利用し得る。

【0003】

[0003]増幅器は、様々な集積回路(ICS)プロセスを用いて作製され得る。コストを低減し、集積を改善するために、ワイヤレスデバイスおよび他のエレクトロニクスデバイス中の無線周波数(RF)回路のためにサブミクロン相補型金属酸化物半導体(CMOS: complementary metal oxide semiconductor)作製プロセスが通常使用される。ただし、サブミクロンCMOSプロセスを用いて作製されたトランジスタは、一般に、小さい物理的寸法を有し、静電放電(ESD: electro-static discharge)によるストレスおよび場

10

20

30

40

50

合によっては障害をより受けやすい。E S Dは、静電気および／または他のソースから生じ得る急激な大きい瞬時電荷である。性能への影響を最小限に抑えながらE S Dを効果的に除去することが望ましい。

【0004】

[0004]誘導性負荷をもつ共通ソースカスコードL N Aでは、L N A出力の出力と接地ノードとの間に負荷同調キャパシタが存在し得る。一般に、カスコードデバイスのゲートおよび電源電圧は、バイパスキャパシタを介して接地ノードに近接して結合される。L N Aの入力におけるE S Dイベント中に、L N A出力におけるL C共振により、L N A出力とカスコードデバイスのゲートとの間に大きい電圧電位が生じ、カスコードデバイスのゲートドレイン接合を潜在的に破壊することがある。集積された受信機では、L N A出力は、内部ノードであり得、それはダウンコンバータに結合する。この場合、一般に、カスコードデバイスのためのE S D保護はなく、したがって、相互コンダクタンストランジスタ(transconductance transistor)が損傷を受けていないにもかかわらず、L N A出力スイッチがカスコードデバイスに損傷を与える。

【0005】

[0005]したがって、L N AカスコードデバイスのE S D保護が望ましい。より詳細には、E S Dに対してL N Aカスコードトランジスタを保護するためのシステム、デバイス、および方法が必要である。

【図面の簡単な説明】

【0006】

【図1】[0006]ワイヤレス通信デバイスのブロック図。

【図2】[0007]主トランジスタとカスコードトランジスタとを含む増幅器を示す図。

【図3】[0008]低雑音増幅器のカスコードトランジスタと主トランジスタとのゲートドレイン間電圧を示すプロット。

【図4】[0009]低雑音増幅器の動作中の様々な電圧レベルを示すプロット。

【図5 A】[0010]本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードを有するデバイスを示す図。

【図5 B】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードを有するデバイスを示す図。

【図5 C】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードを有するデバイスを示す図。

【図5 D】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードを有するデバイスを示す図。

【図5 E】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードを有するデバイスを示す図。

【図6】[0011]図5 A～図5 Eに示されたデバイスのカスコードトランジスタのゲートドレイン間電圧を示すプロット。

【図7 A】[0012]本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードと、カスコードトランジスタのドレインと出力パッドとの間に結合された少なくとも1つの回路要素とを有するデバイスを示す図。

【図7 B】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードと、カスコードトランジスタのドレインと出力パッドとの間に結合された少なくとも1つの回路要素とを有するデバイスを示す図。

【図7 C】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードと、カスコードトランジスタのドレインと出力パッドとの間に結合された少なくとも1つの回路要素とを有するデバイスを示す図。

【図7 D】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合されたダイオードと、カスコードトランジスタのドレインと出力パッドとの間に結合された少なくとも1つの回路要素とを有するデバイスを示す図。

【図7 E】本発明の例示的な実施形態による、カスコードトランジスタのドレインに結合

10

20

30

40

50

されたダイオードと、カスコードトランジスタのドレインと出力パッドとの間に結合された少なくとも1つの回路要素とを有するデバイスを示す図。

【図8】[0013]本発明の例示的な実施形態による、方法を示すフローチャート。

【図9】[0014]本発明の例示的な実施形態による、別 の方法を示すフローチャート。

【発明を実施するための形態】

【0007】

[0015]添付の図面とともに以下に示す発明を実施するための形態は、本発明の例示的な実施形態を説明するものであり、本発明が実施され得る唯一の実施形態を表すものではない。この説明全体にわたって使用する「例示的」という用語は、「例、事例、または例示の働きをすること」を意味し、必ずしも他の例示的な実施形態よりも好ましいまたは有利であると解釈すべきではない。発明を実施するための形態は、本発明の例示的な実施形態の完全な理解を与える目的で具体的な詳細を含む。本発明の例示的な実施形態はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。いくつかの事例では、本明細書で提示する例示的な実施形態の新規性を不明瞭にしないように、よく知られている構造およびデバイスをブロック図の形式で示す。

10

【0008】

[0016]改善されたE S D保護回路をもつL N Aの様々な例示的な設計について、本明細書で説明する。L N Aは、ワイヤレスおよびワイヤライン通信デバイス、セルラーフォン、携帯情報端末(P D A)、ハンドヘルドデバイス、ワイヤレスモデム、ラップトップコンピュータ、コードレスフォン、B l u e t o o t h(登録商標)デバイスなど、様々なエレクトロニクスデバイスのために使用され得る。明快のために、ワイヤレス通信デバイスのための増幅器の使用について以下で説明する。以下の説明、添付の図面および添付の特許請求の範囲の考慮にもかかわらず、本発明の他の態様、ならびに様々な態様の特徴および利点が当業者には明らかになろう。

20

【0009】

[0017]図1に、ワイヤレス通信デバイス100のブロック図を示し、これはセルラーフォンまたは何らかの他のデバイスであり得る。図1に示された例示的な設計では、ワイヤレスデバイス100は、双方向通信をサポートする受信機130と送信機150とを含む。概して、ワイヤレスデバイス100は、任意の数の通信システムと任意の数の周波数帯域とのための任意の数の受信機と任意の数の送信機とを含み得る。

30

【0010】

[0018]受信経路では、アンテナ110は、基地局および/または他の送信機局によって送信された信号を受信し、受信R F信号を与え、受信R F信号は、デュプレクサ/スイッチ112を介して伝達され、受信機130に与えられる。受信機130内で、受信R F信号は、同相(I)および直交位相(Q)ダウンコンバートされた信号を取得するために、低雑音増幅器(L N A)132によって増幅され、受信復調器(R X D e m o d)134によって復調される。ダウンコンバートされた信号は、IおよびQ入力ベースバンド信号を取得するために、増幅器(A m p)136によって増幅され、低域フィルタ138によってフィルタ処理され、増幅器140によってさらに増幅され、それはデータプロセッサ170に与えられる。

40

【0011】

[0019]送信経路では、データプロセッサ170は、送信されるべきデータを処理し、送信機150にIおよびQ出力ベースバンド信号を与える。送信機150内で、出力ベースバンド信号は、被変調信号を取得するために、増幅器152によって増幅され、低域フィルタ154によってフィルタ処理され、増幅器156によって増幅され、送信(T X)変調器158によって変調される。電力増幅器(P A)160は、所望の出力電力レベルを取得するために被変調信号を増幅し、送信R F信号を与える。送信R F信号は、デュプレクサ/スイッチ112を介してルーティングされ、アンテナ110を介して送信される。局部発振器(L O)信号生成器162は、受信機130中の復調器134のためのダウンコンバージョンL O信号を生成し、送信機150中の変調器158のためのアップコンバ

50

ーション L O 信号を生成する。

【 0 0 1 2 】

[0020]図 1 に、トランシーバの例示的な設計を示す。概して、送信機および受信機における信号の調整は、増幅器、フィルタ、アップコンバータ、ダウンコンバータなどの 1 つまたは複数の段によって実行され得る。回路ブロックは、図 1 に示された構成とは異なって構成され得る。さらに、図 1 に示されていない他の回路ブロックも送信機および受信機において信号を調整するために使用され得る。また、図 1 中のいくつかの回路ブロックが省略され得る。

【 0 0 1 3 】

[0021]図 1 に示された例示的な設計では、受信機 130 および送信機 150 は R F 集積回路 (R F I C) 120 上に実装され得る。L N A 130 および増幅器 152 は、R F I C 120 の外部にあるデバイスから入力信号を受信し得、したがって、それらの入力は I C ピンに結合され得る。これらの I C ピンは、E S D 電荷を受けやすいことがあり、それは I C ピンに結合された回路に損傷を与える。L N A 130 および増幅器 152 は、I C ピンを介して結合された E S D 電荷を処理することができる E S D 保護回路とともに実装され得る。図 2 に、第 1 のトランジスタ M 1 、それは本明細書では「カスコードトランジスタ」と呼ばれ得る、および、第 2 のトランジスタ M 2 、それは本明細書では「主トランジスタ」と呼ばれ得る、とを含む増幅器 200 を示す。図 2 に示されているように、トランジスタ M 1 は、インダクタ L を介して電源電圧 V DD に結合されたドレインと、トランジスタ M 2 のドレインに結合されたソースと、電圧（たとえば、バイアス電圧）を受けるように構成されたゲートとを有する。さらに、トランジスタ M 2 は、接地電圧 G R N D に結合されたソースと、入力パッド 205 からの電圧（たとえば、入力電圧）を受けるように構成されたゲートとを有する。当業者によって諒解されるように、従来の増幅器は、周波数同調のために出力と電源電圧との間に結合されたキャパシタ、電源雑音をフィルタ処理するために電源電圧と接地電圧 G R N D との間に結合されたバイパスキャパシタ C 2 、および / またはバイアス電圧雑音をフィルタ処理するためにカスコードトランジスタ（すなわち、トランジスタ M 1 ）のゲートと接地電圧 G R N D との間に結合されたバイパスキャパシタ C 3 をも含み得る。

【 0 0 1 4 】

[0022]したがって、動作中、カスコードトランジスタのゲートは、ゲートバイパスキャパシタンスにより接地電位に密接に追従し得、出力ノード（すなわち、カスコードトランジスタのドレイン）は、L C 共振による電圧スイングを観測し得る。インダクタ負荷がカスコードデバイス（すなわち、トランジスタ M 1 ）のドレインキャパシタンスおよび同調キャパシタンスと共に共振し得ることに留意されたい。この共振により、電圧過渡が、カスコードデバイスのドレインにおいて V DD に対してより高くなるだけでなく、位相遅延を経験し得る。L N A 入力ポートにおける E S D イベント中に、カスコードトランジスタゲートに関するこの L N A 出力スイングは、カスコードデバイスに損傷を与えるほど十分に大きくなり得るが、主トランジスタは元のままであり得る。

【 0 0 1 5 】

[0023]図 3 は、L N A 入力における負の電荷デバイスマネル (C D M : charge device model) E S D イベント中の L N A (たとえば、図 2 の増幅器 200) のカスコードトランジスタ（たとえば、図 2 のトランジスタ M 1 ）と主トランジスタ（たとえば、図 2 のトランジスタ M 2 ）とのシミュレートされたゲートドレイン間電圧を示すプロット 250 である。波形 252 は L N A 増幅器のカスコードトランジスタのゲートドレイン間電圧を示し、波形 254 は L N A 増幅器の主トランジスタのゲートドレイン間電圧を示す。プロット 250 に示されているように、カスコードトランジスタのゲートドレイン間電圧は、比較的大きい電圧スパイクを含み、それはカスコードトランジスタに損傷を引き起こし得る。この特定の事例では、トランジスタは、損傷なしに、短い持続時間の間、それらの端子の両端間で約 7 . 5 V を処理することが可能であった。したがって、図示された事例では、主トランジスタは元のままであるが、カスコードトランジスタは損傷を受けた。

10

20

30

40

50

【0016】

[0024]図4は、LNA(たとえば、図2の増幅器200)の負のCDM ESDイベント中の様々な例示的な電圧を示すプロット300である。波形302は、カスコードトランジスタのゲートドレイン間電圧を示し、波形304は、電源電圧に対するカスコードトランジスタのゲート電圧($V_{g_{cascode}} - V_{DD}$)を示し、波形306は、電源電圧に対するカスコードトランジスタのドレイン電圧($V_{DD} - V_{d_{cascode}}$)を示し、波形308は、接地電圧に対する電源電圧($V_{DD} - GND$)を示す。当業者によって諒解されるよう10に、カスコードトランジスタのゲート電圧は比較的密接に電源電圧に追従し、電源電圧は比較的密接に接地電圧GNDに追従する。ただし、カスコードトランジスタのドレイン電圧は、インダクタLの両端間の電圧降下により、電源電圧 V_{DD} と接地電圧GNDの両方から外れる。

【0017】

[0025]図5Aに、本発明の例示的な実施形態による、カスコードデバイスのESD保護のために構成されたデバイス350を示す。LNAを備え得るデバイス350は、回路要素352に結合されたカスコードトランジスタM1を含む。回路要素352は、入力パッド205を介して電圧(たとえば、入力電圧)を受けるように構成される。例示的な一実施形態によれば、回路要素352はトランジスタを備え得る。カスコードトランジスタM1のドレインはノードN1に結合され、カスコードトランジスタM1のゲートは電圧(たとえば、バイアス電圧)を受けるように構成される。デバイス350はまた、カスコードトランジスタM1のドレインとカスコードトランジスタM1のゲートとの間に結合されたダイオードD1を含む。ノードN1は内部ノードであり得る(すなわち、ノードN1は入出力(I/O)パッドに直接結合されないことがある)ことに留意されたい。さらに、デバイス350は、図2に関して上記で開示したように、出力において1つまたは複数のバイパス結合キャパシタとLC負荷とを含み得ることに留意されたい。20

【0018】

[0026]この例示的な実施形態では、ダイオードD1のカソードはカスコードトランジスタM1のゲートに結合され、ダイオードD1のアノードはカスコードトランジスタM1のドレインに結合される。CDMイベント中に、カスコードトランジスタM1のドレインおよびゲートの両端間に電圧が生じると、ダイオードD1は導通し始め、したがって、ドレインおよびゲートの両端間に十分に大きい電圧が生じ得る前に、ノードN1を放電する。したがって、ダイオードD1は、トランジスタM1のゲートドレイン端子の両端間の電圧を効果的にクランプする。したがって、デバイス350中に構成されたダイオードD1は、たとえば、入力パッド205によって引き起こされるESDイベント中にカスコードトランジスタM1のゲートドレイン間電圧を制限し得る。したがって、本発明の例示的な実施形態によれば、デバイス350は、デバイス350の内部ノード(すなわち、ノードN1)を保護するように構成される。より詳細には、例示的な一実施形態によれば、ダイオードD1はデバイス350の内部ノードにESD保護を与える。ただし、ダイオードD1はまた、デバイス350の出力において大きいスイングがあるとき、通常動作中にオンになり得る。それは電圧スイングをクリッピングすることがあるので、これはデバイス350の性能、特に線形性を劣化させ得る。40

【0019】

[0027]図5Bに、本発明の例示的な実施形態による、カスコードデバイスのESD保護のために構成されたデバイス360を示す。デバイス360は、LNAを備え得、回路要素352に結合されたカスコードトランジスタM1を含む。回路要素352は、入力パッド205を介して電圧(たとえば、入力電圧)を受けるように構成され、単に例として、トランジスタを備え得る。カスコードトランジスタM1のドレインはノードN1に結合され、カスコードトランジスタM1のゲートは電圧(たとえば、バイアス電圧)を受けるように構成される。デバイス360はまた、カスコードトランジスタM1のドレインとカスコードトランジスタM1のゲートとの間に結合されたダイオードD1と第2のダイオードD2とを含む。上述したように、ノードN1は内部ノードであり得る(すなわち、ノー50

D N 1 は入出力 (I / O) パッドに直接結合されないことがある)。さらに、デバイス 3 6 0 は、図 2 に関して上記で開示したように、出力において 1 つまたは複数のバイパス結合キャパシタと L C 負荷とを含み得る。

【 0 0 2 0 】

[0028] この例示的な実施形態では、ダイオード D 1 のカソードはカスコードトランジスタ M 1 のゲートに結合され、ダイオード D 1 のアノードはダイオード D 2 のカソードに結合される。さらに、ダイオード D 2 のアノードはカスコードトランジスタ M 1 のドレインに結合される。カスコードトランジスタ M 1 のドレインおよびゲートの両端間に電圧が生じると、ダイオード D 1 および D 2 は導通し始め、したがって、ノード N 1 を放電する。したがって、デバイス 3 6 0 中に構成されたダイオード D 1 および D 2 は、たとえば、入力パッド 2 0 5 によって引き起こされる E S D イベント中にカスコードトランジスタ M 1 のゲートドレイン間電圧を制限し得る。したがって、本発明の例示的な実施形態によれば、デバイス 3 6 0 は、デバイスの内部ノード (すなわち、ノード N 1) を保護するために構成される。より詳細には、例示的な一実施形態によれば、ダイオード D 1 および D 2 はデバイス 3 6 0 の内部ノードに E S D 保護を与える。カスケードダイオードにより、デバイス 3 5 0 と比較して、はるかに大きい電圧 (すなわち、2 倍の電圧) がカスコードトランジスタ M 1 のドレインおよびゲートの両端間に生じ得、それにより、その負の C D M

E S D 性能が低減することになることに留意されたい。さらに、デバイス 3 5 0 と比較して、通常動作中に、ダイオード D 1 および D 2 がクリッピングすることを開始する前に、はるかに大きい電圧スイングがデバイス 3 6 0 の出力において許容され得る。したがって、デバイス 3 6 0 は、デバイス 3 5 0 と比較して改善された線形性を示し得る。

【 0 0 2 1 】

[0029] 図 5 C に、本発明の例示的な実施形態による、カスコードデバイスの E S D 保護のために構成されたデバイス 3 7 0 を示す。デバイス 3 7 0 は、L N A を備え得、回路要素 3 5 2 に結合されたカスコードトランジスタ M 1 を含む。回路要素 3 5 2 は、入力パッド 2 0 5 を介して電圧 (たとえば、入力電圧) を受けるように構成される。前記のように、回路要素 3 5 2 は、単に例として、トランジスタを備え得る。カスコードトランジスタ M 1 のドレインはノード N 1 に結合され、カスコードトランジスタ M 1 のゲートは電圧 (たとえば、バイアス電圧) を受けるように構成される。デバイス 3 7 0 はまた、カスコードトランジスタ M 1 のドレインとカスコードトランジスタ M 1 のゲートとの間に結合されたダイオード D 3 を含む。上述したように、ノード N 1 は内部ノードであり得る。さらに、デバイス 3 7 0 は、図 2 に関して上記で開示したように、出力において 1 つまたは複数のバイパス結合キャパシタと L C 負荷とを含み得る。

【 0 0 2 2 】

[0030] この例示的な実施形態では、ダイオード D 3 のアノードはカスコードトランジスタ M 1 のゲートに結合され、ダイオード D 3 のカソードはカスコードトランジスタ M 1 のドレインに結合される。カスコードトランジスタ M 1 のドレインおよびゲートの両端間の電圧がダイオード D 3 の逆方向破壊電圧 (reverse breakdown voltage) を上回って増加すると、ダイオード D 3 は導通し始める。したがって、ダイオード D 3 は、その逆方向破壊電圧において電圧を維持し、ノード N 1 を放電する。したがって、デバイス 3 7 0 中に構成されたダイオード D 3 は、たとえば、入力パッド 2 0 5 によって引き起こされる E S D イベント中にカスコードトランジスタ M 1 のゲートドレイン間電圧を制限し得る。したがって、本発明の例示的な実施形態によれば、デバイス 3 7 0 は、デバイスの内部ノード (すなわち、ノード N 1) を保護するように構成される。より詳細には、例示的な一実施形態によれば、ダイオード D 3 はデバイス 3 7 0 の内部ノードに E S D 保護を与える。デバイス 3 6 0 と同様に、これは、通常動作中に L N A 線形性にほとんど影響を及ぼさない。

【 0 0 2 3 】

[0031] 図 5 D に、本発明の例示的な実施形態による、カスコードデバイスの E S D 保護のために構成されたデバイス 3 8 0 を示す。デバイス 3 8 0 は、L N A を備え得、回路要

10

20

30

40

50

素 3 5 2 に結合されたカスコードトランジスタM 1を含み、それは入力パッド 2 0 5 を介して電圧（たとえば、入力電圧）を受けるように構成される。カスコードトランジスタM 1のドレインはノード N 1 に結合され、カスコードトランジスタM 1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス 3 8 0 はまた、カスコードトランジスタM 1のドレインと、基準電圧との間に結合されたダイオード D 4 を含み、それは接地電圧 G R N D を備え得る。前に上記のように、ノード N 1 は内部ノードであり得る。さらに、デバイス 3 8 0 は、図 2 に関して上記で開示したように、出力において 1 つまたは複数のバイパス結合キャパシタと L C 負荷とを含み得る。

【 0 0 2 4 】

[0032]この例示的な実施形態では、ダイオード D 4 のアノードは接地電圧 G R N D に結合され、ダイオード D 4 のカソードはカスコードトランジスタM 1のドレインに結合される。トランジスタ M 1 のドレイン電圧がダイオード D 4 の逆方向破壊電圧限界を超えたとき、ダイオード D 4 は、導通し始め、ノード N 1 と接地電圧 G R N D との間の電圧スイングを制限し、接地電圧 G R N D は、（図 5 D に示されていない）バイパスキャパシタにより、カスコードトランジスタM 1のゲート電圧によって密接に追従される。したがって、ドレンゲート間電圧は制限される。したがって、デバイス 3 8 0 中に構成されたダイオード D 4 は、たとえば、入力パッド 2 0 5 によって引き起こされる E S D イベント中にカスコードトランジスタM 1のゲートドレイン間電圧を制限し得る。したがって、本発明の例示的な実施形態によれば、デバイス 3 8 0 は、デバイスの内部ノード（すなわち、ノード N 1 ）を保護するように構成される。より詳細には、例示的な一実施形態によれば、ダイオード D 4 はデバイス 3 8 0 の内部ノードに E S D 保護を与える。

【 0 0 2 5 】

[0033]図 5 E に、本発明の例示的な実施形態による、カスコードデバイスの E S D 保護のために構成されたデバイス 3 9 0 を示す。デバイス 3 9 0 は、L N A を備え得、回路要素 3 5 2 に結合されたカスコードトランジスタM 1を含み、それは入力パッド 2 0 5 を介して電圧（たとえば、入力電圧）を受けるように構成される。カスコードトランジスタM 1のドレインはノード N 1 に結合され、カスコードトランジスタM 1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス 3 9 0 はまた、カスコードトランジスタM 1のドレインと電源電圧 V_{DD}との間に結合されたダイオード D 5 を含む。上記で開示したように、ノード N 1 は内部ノードであり得る。さらに、デバイス 3 9 0 は、図 2 に関して上記で開示したように、出力において 1 つまたは複数のバイパス結合キャパシタと L C 負荷とを含み得る。

【 0 0 2 6 】

[0034]この例示的な実施形態では、ダイオード D 5 のカソードは電源電圧に結合され、ダイオード D 5 のアノードはカスコードトランジスタM 1のドレインに結合される。ダイオード D 5 は、ノード N 1 に、供給バイパスキャパシタにより、電源電圧 V_{DD}に追従させ、それは、接地電圧 G R N D に近接して結合される。前の事例の場合のように、接地電圧 G R N D はまた、カスコードトランジスタM 1のゲートにおけるフィルタリングキャパシタを介してカスコードトランジスタM 1のゲートに結合される。したがって、デバイス 3 9 0 中に構成されたダイオード D 5 は、たとえば、入力パッド 2 0 5 によって引き起こされる E S D イベント中にカスコードトランジスタM 1のゲートドレイン間電圧を制限し得る。したがって、本発明の例示的な実施形態によれば、デバイス 3 9 0 は、デバイスの内部ノード（すなわち、ノード N 1 ）を保護するように構成される。より詳細には、例示的な一実施形態によれば、ダイオード D 5 はデバイス 3 9 0 の内部ノードに E S D 保護を与える。

【 0 0 2 7 】

[0035]図 6 は、デバイス 3 5 0 、 3 6 0 、 3 7 0 、 3 8 0 、および 3 9 0 のカスコードトランジスタのゲートドレイン間電圧と、C D M E S D イベント中のカスコード E S D 保護なしのカスコードトランジスタのゲートドレイン間電圧とを示すプロット 4 0 0 である。より詳細には、波形 4 1 0 は、カスコード保護なしのカスコードトランジスタのゲー

10

20

30

40

50

トドレイン間電圧を示し、波形 420 は、デバイス 350（すなわち、カスケードトランジスタのドレインとゲートとの間に結合された 1 つのダイオードを有する）のカスコードトランジスタのゲートドレイン間電圧を示し、波形 430 は、デバイス 360（すなわち、カスケードトランジスタのドレインとゲートとの間に結合された複数のダイオードを有する）のカスコードトランジスタのゲートドレイン間電圧を示し、波形 440 は、デバイス 370（すなわち、カスケードトランジスタのドレインとゲートとの間に結合された 1 つのダイオードを有する）のカスコードトランジスタのゲートドレイン間電圧を示し、波形 450 は、デバイス 380（すなわち、カスケードトランジスタのドレインと接地電圧との間に結合された 1 つのダイオードを有する）のカスコードトランジスタのゲートドレイン間電圧を示し、波形 460 は、デバイス 390（すなわち、カスケードトランジスタのドレインと電源電圧との間に結合された 1 つのダイオードを有する）のカスコードトランジスタのゲートドレイン間電圧を示す。10

【0028】

[0036] プロット 400 に示されているように、この例では、カスコード保護なしのカスコードトランジスタのゲートドレイン間電圧は、12.5 ボルト超の電圧スパイクを有し、デバイス 380 のカスコードトランジスタのゲートドレイン間電圧は、約 11.0 ボルトの電圧スパイクを有し、デバイス 370 のカスコードトランジスタのゲートドレイン間電圧は、約 10.0 ボルトの電圧スパイクを有し、デバイス 390 のカスコードトランジスタのゲートドレイン間電圧およびデバイス 360 のカスコードトランジスタのゲートドレイン間電圧はそれぞれ、約 8.0 ボルトの電圧スパイクを有し、デバイス 350 のカスコードトランジスタのゲートドレイン間電圧は、約 5.5 ボルトの電圧スパイクを有する。デバイス 350 は最適 ESD 保護を与えるが、デバイス 350 の出力における電圧スイッチングに応じて、ダイオード D1 が順バイアスされ得、雑音および線形性性能に影響を及ぼし得ることに留意されたい。20

【0029】

[0037] 図 7A に、本発明の例示的な実施形態による、カスコードデバイスの ESD 保護のために構成されたを含むデバイス 600 を示す。デバイス 600 は、負荷 N17 と、カスコードトランジスタ M1と、回路要素 352 とを含む。この例示的な実施形態では、回路要素 352 は主トランジスタ M2 を備え、ここにおいて、カスコードトランジスタ M1のソースは主トランジスタ M2 のドレインに結合される。さらに、主トランジスタ M2 のソースは基準電圧（たとえば、接地電圧 GND）に結合され、主トランジスタ M2 のゲートは入力パッド 205 を介して電圧（たとえば、入力電圧）を受けるように構成される。トランジスタ M2 のソースは接地電圧に直接結合される必要はなく、むしろ、回路要素（たとえば、抵抗器またはおよびインダクタ）がトランジスタ M2 のソースと接地電圧との間に存在し得ることに留意されたい。カスコードトランジスタ M1のドレインは、ノード N2 に結合され、それは内部ノードを備える。さらに、カスコードトランジスタ M1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス 600 はまた、カスコードトランジスタ M1のドレインとカスコードトランジスタ M1のゲートとの間に結合されたダイオード D1 を含む。この例示的な実施形態では、ダイオード D1 のカソードはカスコードトランジスタ M1のゲートに結合され、ダイオード D1 のアノードはカスコードトランジスタ M1のドレインに結合される。30

【0030】

[0038] 本発明の例示的な実施形態によれば、デバイス 600 は、ノード N2 と出力パッド 614 との間に結合された少なくとも 1 つの回路要素 612 を含み得る。単に例として、回路要素 612 は、インダクタ、キャパシタ、ミキサ、整合ネットワーク、または任意のそれらの組合せを備え得る。したがって、デバイス 600 のカスコードトランジスタ M1のドレインは、出力パッド 614 に直接結合されないことがある。

【0031】

[0039] 図 7B に、本発明の例示的な実施形態による、カスコードデバイスの ESD 保護のために構成されたを含むデバイス 610 を示す。デバイス 610 は、負荷 N17 と、カ50

スコードトランジスタM1と、回路要素352とを含む。この例示的な実施形態では、回路要素352は主トランジスタM2を備え、ここにおいて、カスコードトランジスタM1のソースは主トランジスタM2のドレインに結合される。さらに、主トランジスタM2のソースは基準電圧（たとえば、接地電圧G R N D）に結合され、主トランジスタM2のゲートは入力パッド205を介して電圧（たとえば、入力電圧）を受けるように構成される。カスコードトランジスタM1のドレインは、ノードN2に結合され、それは内部ノードを備える。さらに、カスコードトランジスタM1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス610はまた、カスコードトランジスタM2のドレインとカスコードトランジスタM1のゲートとの間に結合されたダイオードD1と第2のダイオードD2とを含む。この例示的な実施形態では、ダイオードD1のカソードはカスコードトランジスタM1のゲートに結合され、ダイオードD1のアノードはダイオードD2のカソードに結合される。さらに、ダイオードD2のアノードはカスコードトランジスタM1のドレインに結合される。デバイス610はさらに、ノードN2と出力パッド614との間に結合された少なくとも1つの回路要素612を含む。したがって、デバイス610のカスコードトランジスタM1のドレインは、出力パッド614に直接結合されないことがある。

【0032】

[0040]図7Cに、本発明の例示的な実施形態による、カスコードデバイスのE S D保護のために構成されたを含むデバイス620を示す。デバイス620は、負荷617と、カスコードトランジスタM1と、回路要素352とを含む。この例示的な実施形態では、回路要素352は主トランジスタM2を備え、ここにおいて、カスコードトランジスタM1のソースは主トランジスタM2のドレインに結合される。さらに、主トランジスタM2のソースは基準電圧（たとえば、接地電圧G R N D）に結合され、主トランジスタM2のゲートは入力パッド205を介して電圧（たとえば、入力電圧）を受けるように構成される。カスコードトランジスタM1のドレインは、ノードN2に結合され、それは内部ノードを備える。さらに、カスコードトランジスタM1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス620はまた、カスコードトランジスタM1のドレインとカスコードトランジスタM1のゲートとの間に結合されたダイオードD3を含む。この例示的な実施形態では、ダイオードD3のアノードはカスコードトランジスタM1のゲートに結合され、ダイオードD3のカソードはカスコードトランジスタM1のドレインに結合される。さらに、デバイス620は、ノードN2と出力パッド614との間に結合された少なくとも1つの回路要素612を含む。したがって、デバイス620のカスコードトランジスタM1のドレインは、出力パッド614に直接結合されないことがある。

【0033】

[0041]図7Dに、本発明の例示的な実施形態による、カスコードデバイスのE S D保護のために構成されたを含むデバイス630を示す。デバイス630は、負荷617と、カスコードトランジスタM1と、回路要素352とを含む。この例示的な実施形態では、回路要素352は主トランジスタM2を備え、ここにおいて、カスコードトランジスタM1のソースは主トランジスタM2のドレインに結合される。さらに、主トランジスタM2のソースは基準電圧（たとえば、接地電圧G R N D）に結合され、主トランジスタM2のゲートは入力パッド205を介して電圧（たとえば、入力電圧）を受けるように構成される。カスコードトランジスタM1のドレインは、ノードN2に結合され、それは内部ノードを備える。さらに、カスコードトランジスタM1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス630はまた、カスコードトランジスタM1のドレインと、基準電圧との間に結合されたダイオードD4を含み、その基準電圧は接地電圧G R N Dを備え得る。この例示的な実施形態では、ダイオードD4のアノードは接地電圧G R N Dに結合され、ダイオードD4のカソードはカスコードトランジスタM1のドレインに結合される。さらに、デバイス630は、ノードN2と出力パッド614との間に結合された少なくとも1つの回路要素612を含む。したがって、デバイス630のカス

10

20

30

40

50

コードトランジスタM1のドレインは、出力パッド614に直接結合されないことがある。

【0034】

[0042]図7Eに、本発明の例示的な実施形態による、カスコードデバイスのESD保護のために構成されたを含むデバイス640を示す。デバイス640は、負荷617と、カスコードトランジスタM1と、回路要素352とを含む。この例示的な実施形態では、回路要素352は主トランジスタM1を備え、ここにおいて、カスコードトランジスタM1のソースは主トランジスタM2のドレインに結合される。さらに、主トランジスタM2のソースは基準電圧（たとえば、接地電圧GRND）に結合され、主トランジスタM2のゲートは入力パッド205を介して電圧（たとえば、入力電圧）を受けるように構成される。
10
。カスコードトランジスタM1のドレインは、ノードN1に結合され、それは内部ノードを備える。さらに、カスコードトランジスタM1のゲートは電圧（たとえば、バイアス電圧）を受けるように構成される。デバイス640はまた、カスコードトランジスタM1のドレインと電源電圧V_{DD}との間に結合されたダイオードD5を含む。この例示的な実施形態では、ダイオードD5のカソードは電源電圧に結合され、ダイオードD5のアノードはカスコードトランジスタM1のドレインに結合される。さらに、デバイス640は、ノードN2と出力パッド614との間に結合された少なくとも1つの回路要素412を含む。したがって、デバイス640のカスコードトランジスタM1のドレインは、出力パッド614に直接結合されないことがある。デバイス600、610、620、630、および640の各々は、図2に関して上記で開示したように、出力において1つまたは複数のバイパス結合キャパシタとLC負荷とを含み得ることに留意されたい。
20

【0035】

[0043]図8は、1つまたは複数の例示的な実施形態による、方法700を示すフローチャートである。方法700は、（数字702によって示される）入力パッドを介して低雑音増幅器（LNA）において信号を受信することを含み得る。方法900はまた、（数字704によって示される）カスコードトランジスタのドレインに結合された少なくとも1つのダイオードを用いて、LNAの内部ノードにおける入力パッドによって引き起こされる電圧電位を制限することを含み得る。

【0036】

[0044]図9は、1つまたは複数の例示的な実施形態による、別的方法750を示すフローチャートである。方法750は、（数字752によって示される）入力パッドを介して低雑音増幅器（LNA）の入力において信号を受信することを含み得る。方法950はまた、（数字754によって示される）少なくとも1つの回路要素を介してLNAの出力から出力パッドに信号を搬送することを含み得る。さらに、方法750は、（数字756によって示される）出力とカスコードトランジスタのドレインとに結合された少なくとも1つのダイオードを用いてカスコードトランジスタのドレインにおける電圧電位を制限することを含み得る。
30

【0037】

[0045]情報および信号は多種多様な技術および技法のいずれかを使用して表され得ることを、当業者は理解されよう。たとえば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁性粒子、光場または光学粒子、あるいはそれらの任意の組合せによって表され得る。
40

【0038】

[0046]さらに、本明細書で開示する例示的な実施形態について説明した様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを、当業者は諒解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、上記では概してこれらの機能について説明した。そのような機能をハードウェアとして実装するか、ソフ
50

トウェアとして実装するかは、特定の適用例および全体的なシステムに課された設計制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装の決定は、本発明の例示的な実施形態の範囲からの逸脱を生じるものと解釈すべきではない。

【 0 0 3 9 】

[0047] 本明細書で開示する例示的な実施形態に関して説明した様々な例示的な論理プロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ（D S P）、特定用途向け集積回路（A S I C）、フィールドプログラマブルゲートアレイ（F P G A）または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明した機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、D S Pとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、D S Pコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実装され得る。10

【 0 0 4 0 】

[0048] 1つまたは複数の例示的な実施形態では、説明した機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、1つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶されるか、あるいはコンピュータ可読媒体を介して送信され得る。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を可能にする任意の媒体を含む、コンピュータ記憶媒体と通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、R A M、R O M、E E P R O M（登録商標）、C D - R O Mまたは他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージデバイス、あるいは命令またはデータ構造の形態の所望のプログラムコードを搬送または記憶するために使用され得、コンピュータによってアクセスされ得る、任意の他の媒体を備えることができる。また、いかなる接続もコンピュータ可読媒体と適切に呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線（D S L）、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、D S L、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用するディスク（disk）およびディスク（disc）は、コンパクトディスク（disc）（C D）、レーザーディスク（登録商標）（disc）、光ディスク（disc）、デジタル多用途ディスク（disc）（D V D）、フロッピー（登録商標）ディスク（disk）およびb l u - r a y（登録商標）ディスク（disc）を含み、ディスク（disk）は、通常、データを磁気的に再生し、ディスク（disc）は、データをレーザーで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。203040

【 0 0 4 1 】

[0049] 開示する例示的な実施形態の前述の説明は、当業者が本発明を実施または使用できるようにするために提供したものである。これらの例示的な実施形態への様々な修正は当業者には容易に明らかであり、本明細書で定義した一般原理は、本発明の趣旨または範囲から逸脱することなく他の実施形態に適用され得る。したがって、本発明は、本明細書に示す例示的な実施形態に限定されるものではなく、本明細書で開示する原理および新規の特徴と一致する最も広い範囲を与えられるべきある。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

増幅器であつて、

バイアス電圧を受けるように構成されたトランジスタと、
前記トランジスタに結合され、入力パッドを介して入力電圧を受けるように構成された
少なくとも 1 つの回路要素と、

前記第 1 のトランジスタのドレインに結合され、前記入力パッドによって引き起こされる
前記増幅器の内部ノードにおける電圧電位を制限するように構成された少なくとも 1 つ
のダイオードと、を備える、増幅器。

[C 2]

前記少なくとも 1 つのダイオードが、前記トランジスタのゲートと前記ドレイン、前記
トランジスタの前記ドレインと電源電圧、および前記トランジスタの前記ドレインと基準
電圧、のうちの 1 つの間に結合された、C 1 に記載の増幅器。

10

[C 3]

前記少なくとも 1 つのダイオードが、前記トランジスタのゲートに結合されたカソード
と、前記トランジスタの前記ドレインと出力とに結合されたアノードとを有する、C 1 に
記載の増幅器。

[C 4]

前記少なくとも 1 つのダイオードが、前記トランジスタのゲートに結合されたカソード
を有する第 1 のダイオードと、前記第 1 のダイオードのアノードに結合されたカソードと
前記トランジスタの前記ドレインに結合されたアノードとを有する第 2 のダイオードとを
備える、C 1 に記載の増幅器。

20

[C 5]

前記少なくとも 1 つのダイオードが、前記トランジスタのゲートに結合されたアノード
と、前記トランジスタの前記ドレインに結合されたカソードとを有する、C 1 に記載の增
幅器。

[C 6]

第 1 のトランジスタと、

前記第 1 のトランジスタと基準電圧との間に結合された第 2 のトランジスタと、

前記第 1 のトランジスタのドレインに結合され、出力パッドに結合するために構成され
た少なくとも 1 つの回路要素と、

前記第 1 のトランジスタの前記ドレインに結合され、前記第 1 のトランジスタに結合さ
れた内部ノードに静電放電 (E S D) 保護を与えるように構成された少なくとも 1 つのダ
イオードと、を備える、デバイス。

30

[C 7]

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートと前記ドレイン
、前記第 1 のトランジスタの前記ドレインと電源電圧、および前記第 1 のトランジスタの
前記ドレインと前記基準電圧、のうちの 1 つの間に結合された、C 6 に記載のデバイス。

[C 8]

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートに結合されたカ
ソードと、前記第 1 のトランジスタの前記ドレインと前記少なくとも 1 つの回路要素とに
結合されたアノードとを有する、C 6 に記載のデバイス。

40

[C 9]

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートに結合されたカ
ソードを有する第 1 のダイオードと、前記第 1 のダイオードのアノードに結合されたカソ
ードと前記第 1 のトランジスタのドレインに結合されたアノードとを有する第 2 のダイオ
ードとを備える、C 6 に記載のデバイス。

[C 10]

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタのゲートに結合されたア
ノードと、前記第 1 のトランジスタのドレインに結合されたカソードとを有する、C 6 に
記載のデバイス。

[C 11]

前記少なくとも 1 つのダイオードが、前記基準電圧に結合されたアノードと、前記少な

50

くとも 1 つの回路要素に結合されたカソードとを有する、C 6 に記載のデバイス。

[C 1 2]

前記少なくとも 1 つのダイオードが、前記第 1 のトランジスタの前記ドレインと前記少なくとも 1 つの回路要素とに結合されたアノードと、電源電圧に結合されたカソードとを有する、C 6 に記載のデバイス。

[C 1 3]

入力パッドを介して低雑音増幅器 (LNA) において信号を受信することと、
カスケードトランジスタのドレインに結合された少なくとも 1 つのダイオードを用いて
、静電放電 (ESD) イベント中に前記 LNA の内部ノードにおける前記入力パッドによ
つて引き起こされる電圧電位を制限することとを備える、方法。 10

[C 1 4]

前記制限することが、前記カスケードトランジスタのゲートと前記ドレイン、前記カス
ケードトランジスタの前記ドレインと電源電圧、および前記カスケードトランジスタの前
記ドレインと基準電圧、のうちの 1 つの間に結合された前記少なくとも 1 つのダイオード
を用いて前記電圧電位を制限することとを備える、C 1 3 に記載の方法。

[C 1 5]

前記制限することが、前記カスケードトランジスタの前記ドレインに結合されたアノー
ドと、前記カスケードトランジスタのゲートに結合されたカソードとを有するダイオード
を用いて前記電圧電位を制限することとを備える、C 1 3 に記載の方法。

[C 1 6]

前記制限することが、前記カスケードトランジスタのゲートに結合されたカソードを有
する第 1 のダイオードと、前記第 1 のダイオードのアノードに結合されたカソードと前記
カスケードトランジスタの前記ドレインに結合されたアノードとを有する第 2 のダイオー
ドとを用いて前記電圧電位を制限することとを備える、C 1 3 に記載の方法。 20

[C 1 7]

前記制限することが、前記カスケードトランジスタの前記ドレインに結合されたカソー
ドと、前記カスケードトランジスタのゲートに結合されたカソードとを有するダイオード
を用いて前記電圧電位を制限すること、および前記カスケードトランジスタの前記ドレイ
ンに結合されたカソードと、接地電圧に結合されたアノードとを有するダイオードを用い
て前記電圧電位を制限することのうちの 1 つを備える、C 1 3 に記載の方法。 30

[C 1 8]

前記制限することが、前記カスケードトランジスタの前記ドレインに結合されたアノー
ドと、電源電圧に結合されたカソードとを有するダイオードを用いて前記電圧電位を制限
することとを備える、C 1 3 に記載の方法。

[C 1 9]

入力パッドを介して低雑音増幅器 (LNA) の入力において信号を受信することと、
少なくとも 1 つの回路要素を介して前記 LNA の出力から出力パッドに前記信号を伝達
することと、

カスケードトランジスタのドレインに結合された少なくとも 1 つのダイオードを用いて
前記カスケードトランジスタの前記ドレインにおける電圧電位を制限することと、を備え
る、方法。 40

[C 2 0]

前記制限することが、前記カスケードトランジスタのゲートと前記ドレイン、前記カス
ケードトランジスタの前記ドレインと電源電圧、および前記カスケードトランジスタの前
記ドレインと基準電圧、のうちの 1 つの間に結合された前記少なくとも 1 つのダイオード
を用いて前記電圧電位を制限することとを備える、C 1 9 に記載の方法。

[C 2 1]

前記少なくとも 1 つのダイオードを用いて前記電圧電位を前記制限することが、前記カ
スケードトランジスタの前記ゲートと前記ドレインとの間に結合された複数のダイオード
を用いて前記電圧電位を制限することとを備える、C 2 0 に記載の方法。 50

[C 2 2]

前記制限することが、前記カスケードトランジスタの前記ドレインに結合されたアノードと、前記カスケードトランジスタのゲートおよび電源電圧のうちの 1 つに結合されたカソードとを有する前記少なくとも 1 つのダイオードを用いて前記電圧電位を制限することを備える、C 1 9 に記載の方法。

[C 2 3]

前記伝達することが、インダクタ、キャパシタ、整合ネットワーク、およびミキサのうちの少なくとも 1 つを介して、前記出力から出力パッドに前記信号を伝達することを備える、C 1 9 に記載の方法。

[C 2 4]

10
入力パッドを介して低雑音増幅器（LNA）において信号を受信するための手段と、カスケードトランジスタのドレインに結合された少なくとも 1 つのダイオードを用いて、前記 LNA の内部ノードにおける前記入力パッドによって引き起こされる電圧電位を制限するための手段と、を備える、デバイス。

[C 2 5]

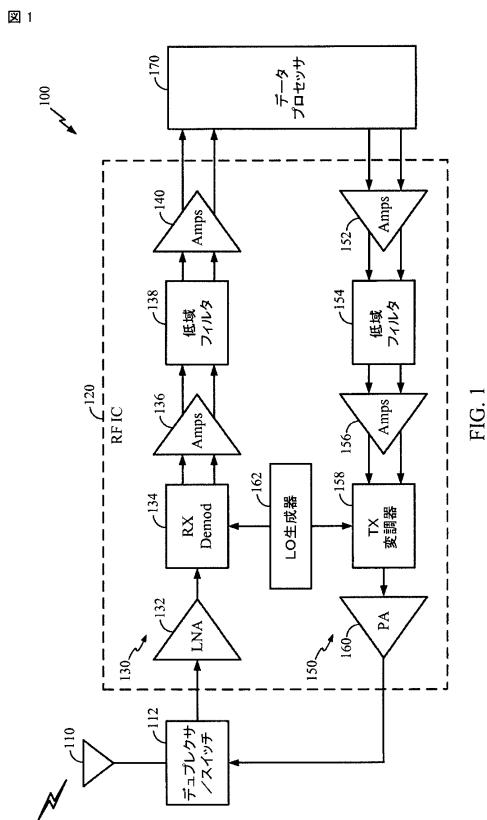
入力パッドを介して低雑音増幅器（LNA）の入力において信号を受信するための手段と、

少なくとも 1 つの回路要素を介して前記 LNA の出力から出力パッドに前記信号を伝達するための手段と、

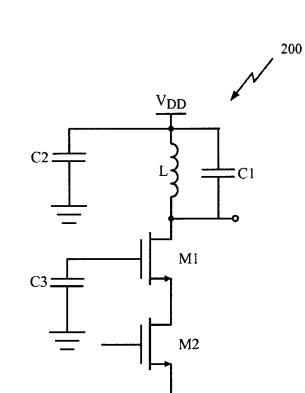
前記出力とカスケードトランジスタのドレインとに結合された少なくとも 1 つのダイオードを用いて前記カスケードトランジスタの前記ドレインにおける電圧電位を制限するための手段と、を備える、デバイス。

20

【図 1】

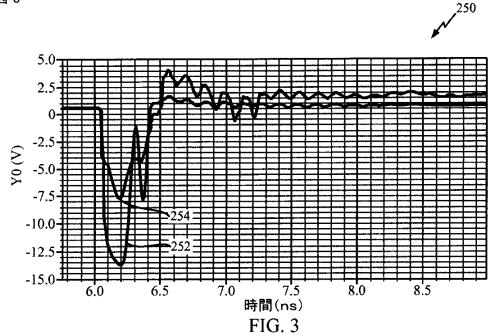


【図 2】



【図3】

図3



【図5A】

図5A

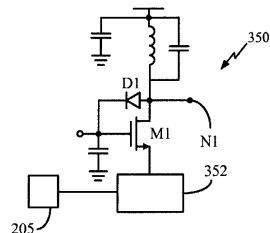
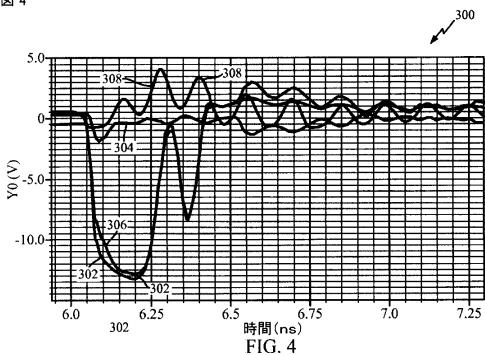


FIG. 5A

【図4】

図4



【図5B】

図5B

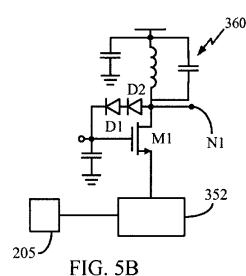


FIG. 5B

【図5C】

図5C

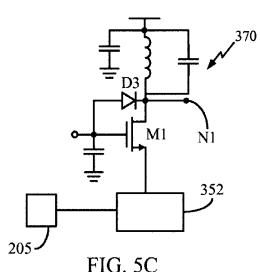


FIG. 5C

【図5E】

図5E

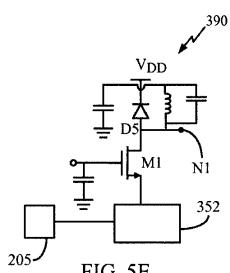


FIG. 5E

【図5D】

図5D

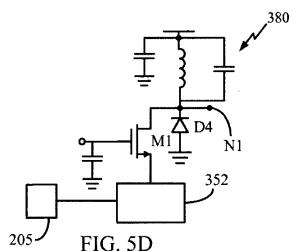
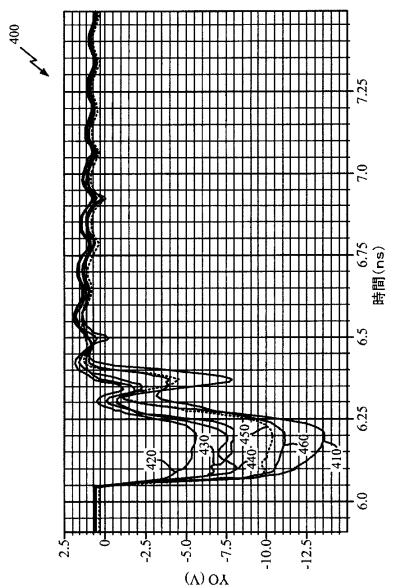


FIG. 5D

【図6】

図6



【図7A】

図7A

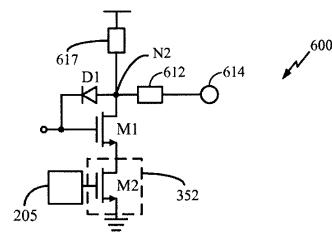


FIG. 7A

【図7B】

図7B

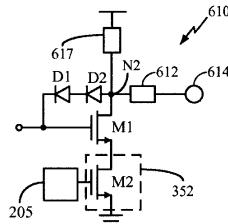


FIG. 7B

【図7C】

図7C

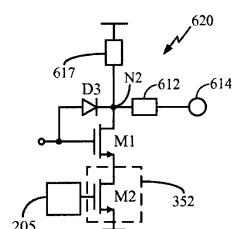


FIG. 7C

【図7E】

図7E

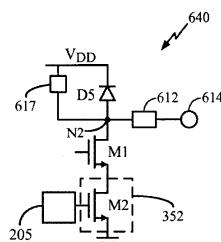


FIG. 7E

【図7D】

図7D

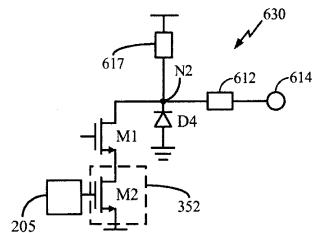


FIG. 7D

【図8】

図8

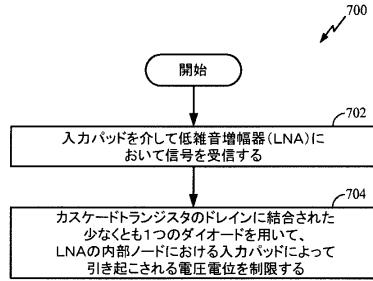


FIG. 8

【図9】

図9

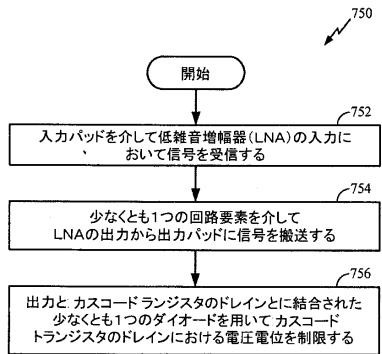


FIG. 9

フロントページの続き

(72)発明者 クハトリ、ヒマンシュ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 チョクシ、オジャス・エム.

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ジュオ、ウェイ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 工藤 一光

(56)参考文献 特開2011-71502(JP,A)

特表2004-515937(JP,A)

特開平9-283770(JP,A)

米国特許出願公開第2007/0058308(US,A1)

特表2009-533862(JP,A)

特開平7-170654(JP,A)

特開昭60-74717(JP,A)

特開2007-336262(JP,A)

特開2011-139383(JP,A)

特開昭59-100579(JP,A)

特開2009-246276(JP,A)

国際公開第00/67323(WO,A1)

米国特許第6459340(US,B1)

米国特許第6529059(US,B1)

米国特許第6781805(US,B1)

Ming-Dou Ker et al, A Novel LC-Tank ESD Protection Design for Giga-Hz RF Circuits, RFI

C, 米国, IEEE, 2003年 6月 8日, p. 115-118

S. Hyvonen et al, Cancellation technique to provide ESD protection for multi-GHz RF inputs, ELECTRONICS LETTERS, 英国, IEE, 2003年 2月 6日, Vol. 39, No. 3

(58)調査した分野(Int.Cl., DB名)

H03F1/22

H03F1/52

H03F3/195

H02H9/04

H01L27/04

H01L27/06