(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月13日(13.03.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/052920 A1

(51) 国際特許分類:
H01G 4/33 (2006.01) *H01G 4/38* (2006.01)
H01G 4/30 (2006.01) *H01G 4/40* (2006.01)

(21) 国際出願番号： PCT/JP2024/029567

(22) 国際出願日： 2024年8月21日(21.08.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-146226 2023年9月8日(08.09.2023) JP

(71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

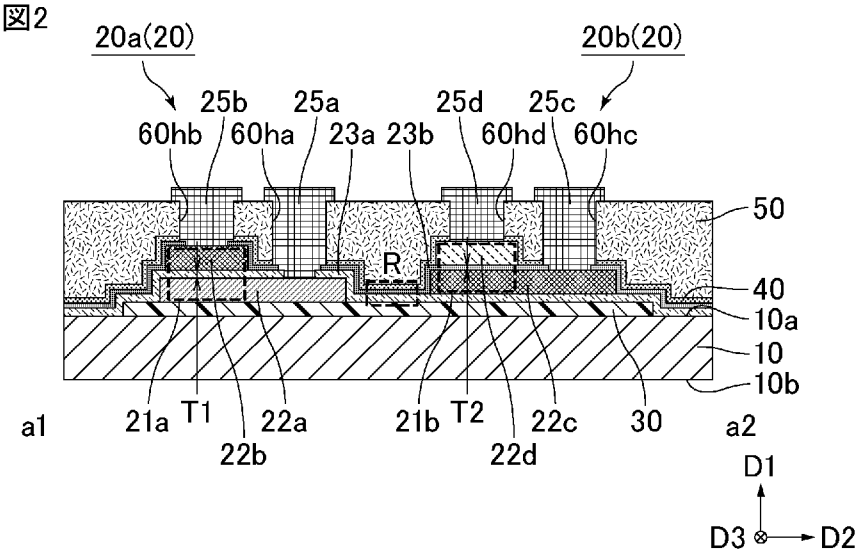
(72) 発明者: 原田 真臣 (HARADA, Masatomi); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 伊藤 是清 (ITO, Korekiyo); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 香川 武史 (KAGAWA, Takeshi); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 今村 勇太 (IMAMURA, Yuta); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人ＷｉｓｅＰｌｕｓ (WISEPLUS IP FIRM); 〒5320003 大阪府大阪市淀川区宮原３丁目５番３６号 Osaka (JP).

(54) **Title:** PASSIVE ELECTRONIC COMPONENT

(54) 発明の名称： 受動電子部品

図2



(57) **Abstract:** A passive electronic component 1A comprises: a substrate 10 having a first main surface 10a and a second main surface 10b facing each other in a first direction D1; and a plurality of capacitors 20 provided on the first main surface 10a side with respect to the substrate 10. The plurality of capacitors 20 include a first capacitor 20a and a second capacitor 20b separated from the first capacitor 20a in a second direction D2 perpendicular to the first direction D1. The first capacitor 20a includes a first capacitance formation part 21a including a first internal electrode layer 22a, a first dielectric layer 23a, and a second internal electrode layer 22b which are stacked in order from the substrate 10 side in the first direction D1. The second capacitor 20b has a second capacitance formation part 21b including a third internal electrode layer 22c, a second dielectric layer 23b, and a fourth internal electrode layer 22d which are stacked in order from the substrate 10 side in the first direction D1. At least a part of the second internal electrode layer 22b and at least a part of the third internal electrode layer 22c are in contact with the surface on the opposite side of the first dielectric

WO 2025/052920 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

layer 23a to the substrate 10.

(57) 要約：受動電子部品１Ａは、第１方向Ｄ１に相対する第１主面１０ａ及び第２主面１０ｂを有する基板１０と、基板１０に対して第１主面１０ａ側に設けられた複数のキャパシタ２０と、を備え、複数のキャパシタ２０は、第１キャパシタ２０ａと、第１方向Ｄ１に垂直な第２方向Ｄ２で第１キャパシタ２０ａから離れた第２キャパシタ２０ｂと、を含み、第１キャパシタ２０ａは、第１方向Ｄ１の基板１０側から順に積層された、第１内部電極層２２ａと、第１誘電体層２３ａと、第２内部電極層２２ｂとを含む第１容量形成部２１ａを有し、第２キャパシタ２０ｂは、第１方向Ｄ１の基板１０側から順に積層された、第３内部電極層２２ｃと、第２誘電体層２３ｂと、第４内部電極層２２ｄとを含む第２容量形成部２１ｂを有し、第２内部電極層２２ｂの少なくとも一部と、第３内部電極層２２ｃの少なくとも一部とは、第１誘電体層２３ａの基板１０と反対側の表面に接している。

明　細　書

発明の名称 ： 受動電子部品

技術分野

[0001]　本発明は、受動電子部品に関する。

背景技術

[0002]　特許文献１には、基板上に積層された複数の導体層を備える電子部品であって、上記複数の導体層のうち積層方向に隣接する２つの導体層及びこれらの間に位置する誘電体膜によって形成される第１のキャパシタと、上記複数の導体層のうち積層方向に隣接する２つの導体層及びこれらの間に位置する誘電体膜によって形成される第２のキャパシタと、を有し、上記第１のキャパシタを構成する上記誘電体膜と、上記第２のキャパシタを構成する上記誘電体膜の厚みが互いに異なることを特徴とする電子部品が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２２－１３００６６号公報

発明の概要

発明が解決しようとする課題

[0004]　特許文献１に記載の電子部品、例えば、特許文献１の図２に記載の電子部品１では、複数のキャパシタとして、導体パターン２５、第１の誘電体膜４、及び、導体パターン３１で形成される第１のキャパシタと、導体パターン２６、第２の誘電体膜５、及び、導体パターン３２で形成される第２のキャパシタと、導体パターン２５、第１の誘電体膜４、第２の誘電体膜５、及び、導体パターン３３で形成される第３のキャパシタとが設けられている。

[0005]　特許文献１の図２に記載の電子部品１の製造方法は、特許文献１の図７～図１５に示されている。

[0006]　特許文献１の図２に記載の電子部品１を製造するにあたっては、第２の誘電体膜５を導体パターン２６上に形成するために、特許文献１の図９に示さ

れているように、導体パターン２６上に予め形成された第１の誘電体膜４をパターニングで除去することにより、導体パターン２６を露出させている。しかしながら、導体パターン２６上に形成された第１の誘電体膜４をパターニングで除去すると、導体パターン２６の表面に金属酸化層、金属フッ化層等の不純物層が形成される。導体パターン２６の表面に不純物層が形成された状態で、特許文献１の図１１及び図１２に示されているように、導体パターン２６上に第２の誘電体膜５及び導体パターン３２を順に形成すると、得られる第２のキャパシタにおいて、導体パターン２６の表面に形成された不純物層での誘電正接（ｔａｎδ）が大きくなる。そのため、特許文献１の図２に記載の電子部品１では、第２のキャパシタでの電力損失が大きくなり、結果的に、高周波特性に優れた電気性能を発揮することができない。

[0007] また、特許文献１の図２に記載の電子部品１を製造するにあたっては、特許文献１の図１０に示されているように、導体パターン２５の第１の領域２５Ａ上に第１の誘電体膜４を介して導体パターン３１を形成している。導体パターン３１は、シード層Ｓ及びメッキ層Ｐの積層体からなる。導体パターン３１を形成する際には、まず、シード層Ｓを第１の誘電体膜４の全面上に形成した後、導体パターン３１を形成する領域（導体パターン２５の第１の領域２５Ａに重なる領域）のシード層Ｓが露出するように、シード層Ｓ上でレジスト層をパターニングする。次に、シード層Ｓを給電体とする電解メッキを行うことにより、シード層Ｓ上にメッキ層Ｐを形成する。その後、レジスト層を除去し、表面に露出するシード層Ｓ（メッキ層Ｐが形成されていない領域のシード層Ｓ）を除去することにより、特許文献１の図１０に示されているような、シード層Ｓ及びメッキ層Ｐの積層体からなる導体パターン３１を形成する。しかしながら、上記の方法では、導体パターン３１を形成しない第１の誘電体膜４上、例えば、導体パターン２５の第２の領域２５Ｂを覆う第１の誘電体膜４上にもシード層Ｓを一旦形成した後で、そのシード層Ｓを除去するため、導体パターン２５の第２の領域２５Ｂを覆う第１の誘電体膜４の表面に、シード層Ｓを除去する際のプロセスダメージによる不純物

層が形成される。導体パターン２５の第２の領域２５Ｂを覆う第１の誘電体膜４の表面に不純物層が形成された状態で、特許文献１の図１１及び図１２に示されているように、第１の誘電体膜４上に第２の誘電体膜５及び導体パターン３３を順に形成すると、得られる第３のキャパシタにおいて、第１の誘電体膜４の表面に形成された不純物層での誘電正接が大きくなる。そのため、特許文献１の図２に記載の電子部品１では、第３のキャパシタでの電力損失が大きくなり、結果的に、高周波特性に優れた電気性能を発揮することができない。

[0008] 以上のように、特許文献１に記載の電子部品には、複数のキャパシタを有する構成で高周波特性に優れた電気性能を発揮可能とする点で、改善の余地がある。

[0009] 本発明は、上記の問題を解決するためになされたものであり、複数のキャパシタを有する構成で高周波特性に優れた電気性能を発揮可能な受動電子部品を提供することを目的とするものである。

課題を解決するための手段

[0010] 本発明の受動電子部品は、第１方向に相対する第１主面及び第２主面を有する基板と、上記基板に対して上記第１主面側に設けられた複数のキャパシタと、を備え、複数の上記キャパシタは、第１キャパシタと、上記第１方向に垂直な第２方向で上記第１キャパシタから離れた第２キャパシタと、を含み、上記第１キャパシタは、上記第１方向の上記基板側から順に積層された、第１内部電極層と、第１誘電体層と、第２内部電極層とを含む第１容量形成部を有し、上記第２キャパシタは、上記第１方向の上記基板側から順に積層された、第３内部電極層と、第２誘電体層と、第４内部電極層とを含む第２容量形成部を有し、上記第２内部電極層の少なくとも一部と、上記第３内部電極層の少なくとも一部とは、上記第１誘電体層の上記基板と反対側の表面に接している、ことを特徴とする。

発明の効果

[0011] 本発明によれば、複数のキャパシタを有する構成で高周波特性に優れた電

気性能を発揮可能な受動電子部品を提供できる。

図面の簡単な説明

[0012] [図1]図１は、本発明の実施形態１の受動電子部品の一例を示す平面模式図である。

[図2]図２は、図１に示す受動電子部品の線分ａ１－ａ２に沿う断面の一例を示す断面模式図である。

[図3]図３は、本発明の実施形態１の受動電子部品の製造方法の一例において基板を準備する工程を示す断面模式図である。

[図4]図４は、本発明の実施形態１の受動電子部品の製造方法の一例において絶縁層を形成する工程を示す断面模式図である。

[図5]図５は、本発明の実施形態１の受動電子部品の製造方法の一例において第１内部電極層を形成する工程を示す断面模式図である。

[図6]図６は、本発明の実施形態１の受動電子部品の製造方法の一例において第１誘電体層を形成する工程を示す断面模式図である。

[図7]図７は、本発明の実施形態１の受動電子部品の製造方法の一例において第２内部電極層及び第３内部電極層を形成する工程を示す断面模式図である。

[図8]図８は、本発明の実施形態１の受動電子部品の製造方法の一例において第２誘電体層を形成する工程を示す断面模式図である。

[図9]図９は、本発明の実施形態１の受動電子部品の製造方法の一例において第４内部電極層を形成する工程を示す断面模式図である。

[図10]図１０は、本発明の実施形態１の受動電子部品の製造方法の一例において耐湿保護層を形成する工程を示す断面模式図である。

[図11]図１１は、本発明の実施形態１の受動電子部品の製造方法の一例において樹脂保護層を形成する工程を示す断面模式図である。

[図12]図１２は、本発明の実施形態１の受動電子部品の製造方法の一例において第１外部電極、第２外部電極、第３外部電極、及び、第４外部電極を形成する工程を示す断面模式図である。

[図13]図１３は、本発明の実施形態１の受動電子部品の別の一例を示す平面模式図である。

[図14]図１４は、図１３に示す受動電子部品の線分ａ３－ａ４に沿う断面の一例を示す断面模式図である。

[図15]図１５は、本発明の実施形態２の受動電子部品の一例を示す平面模式図である。

[図16]図１６は、図１５に示す受動電子部品の線分ｂ１－ｂ２に沿う断面の一例を示す断面模式図である。

[図17]図１７は、本発明の実施形態２の受動電子部品の別の一例を示す平面模式図である。

[図18]図１８は、図１７に示す受動電子部品の線分ｂ３－ｂ４に沿う断面の一例を示す断面模式図である。

[図19]図１９は、本発明の実施形態３の受動電子部品の一例を示す等価回路図である。

[図20]図２０は、本発明の実施形態３の受動電子部品の一例を示す平面模式図である。

[図21]図２１は、図２０に示す受動電子部品の線分ｃ１－ｃ２に沿う断面の一例を示す断面模式図である。

[図22]図２２は、図２０に示す受動電子部品の線分ｄ１－ｄ２に沿う断面の一例を示す断面模式図である。

[図23]図２３は、図２０に示す受動電子部品の線分ｅ１－ｅ２に沿う断面の一例を示す断面模式図である。

[図24]図２４は、本発明の実施形態４の受動電子部品の一例を示す平面模式図である。

[図25]図２５は、図２４に示す受動電子部品の線分ｆ１－ｆ２に沿う断面の一例を示す断面模式図である。

[図26]図２６は、図２４に示す受動電子部品の線分ｇ１－ｇ２に沿う断面の一例を示す断面模式図である。

発明を実施するための形態

[0013] 以下、本発明の受動電子部品について説明する。なお、本発明は、以下の構成に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更されてもよい。また、以下において記載する個々の好ましい構成を複数組み合わせたものもまた本発明である。

[0014] 以下に示す各実施形態は例示であり、異なる実施形態で示す構成の部分的な置換又は組み合わせが可能であることは言うまでもない。実施形態２以降では、実施形態１と共通の事項についての記載は省略し、異なる点を主に説明する。特に、同様の構成による同様の作用効果については、実施形態毎に逐次言及しない。

[0015] 以下の説明において、各実施形態を特に区別しない場合、単に「本発明の受動電子部品」と言う。

[0016] 以下では、本発明の受動電子部品の一例として、キャパシタを有する電子部品を示す。本発明の受動電子部品は、キャパシタそのものであってもよい。

[0017] 以下に示す図面は模式図であり、その寸法、縦横比の縮尺等は実際の製品と異なる場合がある。

[0018] 本明細書中、特に断らない限り、要素間の関係性を示す用語（例えば、「平行」、「垂直」等）及び要素の形状を示す用語は、文字通りの厳密な態様のみを意味するだけではなく、実質的に同等な範囲、例えば、数％程度の差異を含む範囲も意味する。

[0019] 本発明の受動電子部品は、第１方向に相対する第１主面及び第２主面を有する基板と、上記基板に対して上記第１主面側に設けられた複数のキャパシタと、を備え、複数の上記キャパシタは、第１キャパシタと、上記第１方向に垂直な第２方向で上記第１キャパシタから離れた第２キャパシタと、を含み、上記第１キャパシタは、上記第１方向の上記基板側から順に積層された、第１内部電極層と、第１誘電体層と、第２内部電極層とを含む第１容量形成部を有し、上記第２キャパシタは、上記第１方向の上記基板側から順に積

層された、第３内部電極層と、第２誘電体層と、第４内部電極層とを含む第２容量形成部を有し、上記第２内部電極層の少なくとも一部と、上記第３内部電極層の少なくとも一部とは、上記第１誘電体層の上記基板と反対側の表面に接している、ことを特徴とする。

[0020] ［実施形態１］

図１は、本発明の実施形態１の受動電子部品の一例を示す平面模式図である。図２は、図１に示す受動電子部品の線分ａ１－ａ２に沿う断面の一例を示す断面模式図である。

[0021] 図１及び図２に示す受動電子部品１Ａは、基板１０と、複数のキャパシタ２０と、を有している。

[0022] 基板１０は、第１方向Ｄ１に相対する第１主面１０ａ及び第２主面１０ｂを有している。

[0023] 基板１０は、半導体基板であることが好ましい。この場合、基板１０の材料としては、例えば、シリコン、ガリウム砒素等の半導体材料が挙げられる。

[0024] 基板１０は、絶縁基板であってもよい。この場合、基板１０の材料としては、例えば、ガラス、アルミナ等の絶縁材料が挙げられる。

[0025] 複数のキャパシタ２０は、基板１０に対して第１主面１０ａ側に設けられている。

[0026] 複数のキャパシタ２０は、第１キャパシタ２０ａと、第２キャパシタ２０ｂと、を含んでいる。

[0027] 第１キャパシタ２０ａは、第１容量形成部２１ａを有している。

[0028] 第１容量形成部２１ａは、第１方向Ｄ１の基板１０側から順に積層された、第１内部電極層２２ａと、第１誘電体層２３ａと、第２内部電極層２２ｂと、を含んでいる。第１容量形成部２１ａでは、第１方向Ｄ１に隣り合う第１内部電極層２２ａ及び第２内部電極層２２ｂと、第１内部電極層２２ａ及び第２内部電極層２２ｂに挟まれた第１誘電体層２３ａとによって、ＭＩＭ構造を有する１つのキャパシタ素子が構成されている。

[0029] 図１及び図２に示す例において、第２内部電極層２２ｂの全体は、第１誘電体層２３ａを挟んで、第１方向Ｄ１で第１内部電極層２２ａに重なっている。

[0030] 第１キャパシタ２０ａにおいて、第１内部電極層２２ａは、第２内部電極層２２ｂよりも第１方向Ｄ１に垂直な方向（例えば、第２方向Ｄ２又は第３方向Ｄ３）に大きく広がっていてもよい。

[0031] 第２キャパシタ２０ｂは、第１方向Ｄ１に垂直な第２方向Ｄ２で第１キャパシタ２０ａから離れている。

[0032] 図１に示す例において、第２方向Ｄ２は、第１方向Ｄ１に垂直な方向のうち、後述する第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、及び、第４外部電極２５ｄを通る方向である。なお、図１に示す例において、第３方向Ｄ３は、第１方向Ｄ１に垂直な方向のうち、第２方向Ｄ２にも垂直な方向に相当する。

[0033] 以上のことから、図１に示す例において、第１方向Ｄ１、第２方向Ｄ２、及び、第３方向Ｄ３は、互いに垂直の関係にある。

[0034] 図１に示す例において、第２方向Ｄ２は受動電子部品１Ａの長手方向に相当し、第３方向Ｄ３は受動電子部品１Ａの短手方向に相当する。なお、第２方向Ｄ２が受動電子部品１Ａの短手方向に相当し、第３方向Ｄ３が受動電子部品１Ａの長手方向に相当してもよい。

[0035] 第２キャパシタ２０ｂは、第２容量形成部２１ｂを有している。

[0036] 第２容量形成部２１ｂは、第１方向Ｄ１の基板１０側から順に積層された、第３内部電極層２２ｃと、第２誘電体層２３ｂと、第４内部電極層２２ｄと、を含んでいる。第２容量形成部２１ｂでは、第１方向Ｄ１に隣り合う第３内部電極層２２ｃ及び第４内部電極層２２ｄと、第３内部電極層２２ｃ及び第４内部電極層２２ｄに挟まれた第２誘電体層２３ｂとによって、ＭＩＭ構造を有する１つのキャパシタ素子が構成されている。

[0037] 第２キャパシタ２０ｂにおいて、第３内部電極層２２ｃは、第４内部電極層２２ｄよりも第１方向Ｄ１に垂直な方向（例えば、第２方向Ｄ２又は第３

方向Ｄ３）に大きく広がっていてもよい。

[0038] 各内部電極層の材料としては、例えば、銅、銀、金、アルミニウム、白金等の金属、これらの金属の少なくとも１種を含有する合金、等の導電材料が挙げられる。

[0039] 各内部電極層の材料は、互いに同じであってもよいし、互いに異なっていてもよいし、一部で異なっていてもよい。

[0040] 各誘電体層の材料としては、例えば、二酸化ケイ素、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の酸化物、窒化ケイ素等の窒化物、等の誘電材料が挙げられる。

[0041] 各誘電体層の材料は、互いに同じであってもよいし、互いに異なっていてもよいし、一部で異なっていてもよい。

[0042] なお、図１では、上述した各誘電体層が示されていない。

[0043] 受動電子部品１Ａにおいて、第２内部電極層２２ｂの少なくとも一部と、第３内部電極層２２ｃの少なくとも一部とは、第１誘電体層２３ａの基板１０と反対側の表面に接している。

[0044] 図２に示す例において、第１内部電極層２２ａ及び第２内部電極層２２ｂに挟まれた第１誘電体層２３ａは、第３内部電極層２２ｃの基板１０側の表面に接するように、第１容量形成部２１ａから第２容量形成部２１ｂにわたって連続的に延びている。つまり、図２に示す例において、第２内部電極層２２ｂの基板１０側の表面に接する第１誘電体層２３ａは、第３内部電極層２２ｃの基板１０側の表面に接するように、第１容量形成部２１ａから第２容量形成部２１ｂにわたって連続的に延びている。このように、図２に示す例において、第２内部電極層２２ｂの全体と、第３内部電極層２２ｃの全体とは、第１誘電体層２３ａの基板１０と反対側の表面に接している。

[0045] 受動電子部品１Ａでは、第２内部電極層２２ｂの少なくとも一部と、第３内部電極層２２ｃの少なくとも一部とが、第１誘電体層２３ａの基板１０と反対側の表面に接していることにより、受動電子部品１Ａの製造過程において、特に、第３内部電極層２２ｃ上に第２誘電体層２３ｂ及び第４内部電極

層２２ｄを順に積層することで第２容量形成部２１ｂを形成するにあたって、第３内部電極層２２ｃ及び第２誘電体層２３ｂの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されずに済む。具体的には、後述する受動電子部品１Ａの製造方法の一例において説明する。

[0046] 受動電子部品１Ａでは、その製造過程において、第３内部電極層２２ｃ及び第２誘電体層２３ｂの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されずに済むため、第２キャパシタ２０ｂ（第２容量形成部２１ｂ）での電力損失が大きくならない。よって、受動電子部品１Ａは、複数のキャパシタ（ここでは、第１キャパシタ２０ａ及び第２キャパシタ２０ｂ）を有する構成でありながらも、例えば、特許文献１に記載の電子部品よりも高周波特性に優れた電気性能を発揮可能である。

[0047] 受動電子部品１Ａでは、第２内部電極層２２ｂの少なくとも一部と、第３内部電極層２２ｃの少なくとも一部とが、第１誘電体層２３ａの基板１０と反対側の表面に接しているため、基板１０の第１主面１０ａを基準とする第１方向Ｄ１での高さを定義したとき、第１容量形成部２１ａ及び第２容量形成部２１ｂが、互いに異なる高さに位置することになる。例えば、第１容量形成部２１ａの第１内部電極層２２ａの基板１０側の表面と、第２容量形成部２１ｂの第３内部電極層２２ｃの基板１０側の表面とは、互いに異なる高さに位置することになる。このように、受動電子部品１Ａでは、第１容量形成部２１ａ及び第２容量形成部２１ｂが互いに異なる高さに位置することにより、第１容量形成部２１ａ及び第２容量形成部２１ｂが互いに同じ高さに位置する場合と比較して、電界結合及び磁界結合が小さくなり、結果的に、クロストークが低減しやすくなる。

[0048] 第１容量形成部２１ａの第１誘電体層２３ａと、第２容量形成部２１ｂの第２誘電体層２３ｂとは、第１方向Ｄ１における寸法が互いに異なっていることが好ましい。この場合、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの容量（静電容量）を、独立して設定しやすくなる。

[0049] 第１容量形成部２１ａの第１誘電体層２３ａの第１方向Ｄ１における寸法

Ｔ１は、第１キャパシタ２０ａのうち、あくまで第１容量形成部２１ａを構成する第１誘電体層２３ａの第１方向Ｄ１における寸法を指す。具体的には、第１容量形成部２１ａの第１誘電体層２３ａの第１方向Ｄ１における寸法Ｔ１は、第１誘電体層２３ａのうち、第１内部電極層２２ａ及び第２内部電極層２２ｂに挟まれた部分の第１方向Ｄ１における寸法を指す。

[0050] 第２容量形成部２１ｂの第２誘電体層２３ｂの第１方向Ｄ１における寸法Ｔ２は、第２キャパシタ２０ｂのうち、あくまで第２容量形成部２１ｂを構成する第２誘電体層２３ｂの第１方向Ｄ１における寸法を指す。具体的には、第２容量形成部２１ｂの第２誘電体層２３ｂの第１方向Ｄ１における寸法Ｔ２は、第２誘電体層２３ｂのうち、第３内部電極層２２ｃ及び第４内部電極層２２ｄに挟まれた部分の第１方向Ｄ１における寸法を指す。

[0051] 図２に示す例において、第１容量形成部２１ａの第１誘電体層２３ａの第１方向Ｄ１における寸法Ｔ１は、第２容量形成部２１ｂの第２誘電体層２３ｂの第１方向Ｄ１における寸法Ｔ２よりも大きい。

[0052] なお、第１容量形成部２１ａの第１誘電体層２３ａの第１方向Ｄ１における寸法Ｔ１は、第２容量形成部２１ｂの第２誘電体層２３ｂの第１方向Ｄ１における寸法Ｔ２よりも小さくてもよい。

[0053] また、第１容量形成部２１ａの第１誘電体層２３ａの第１方向Ｄ１における寸法Ｔ１は、第２容量形成部２１ｂの第２誘電体層２３ｂの第１方向Ｄ１における寸法Ｔ２と同じであってもよい。

[0054] 第３内部電極層２２ｃ及び第４内部電極層２２ｄに挟まれた第２誘電体層２３ｂは、第２内部電極層２２ｂを基板１０と反対側から覆うように、第２容量形成部２１ｂから第１容量形成部２１ａにわたって連続的に延びていることが好ましい。

[0055] 第１誘電体層２３ａ及び第２誘電体層２３ｂは、第２方向Ｄ２での第１キャパシタ２０ａ（第１容量形成部２１ａ）と第２キャパシタ２０ｂ（第２容量形成部２１ｂ）との間の領域において、第１方向Ｄ１の基板１０側から順に積層されていてもよい。つまり、第１誘電体層２３ａ及び第２誘電体層２

３ｂは、第２方向Ｄ２での第１容量形成部２１ａと第２容量形成部２１ｂとの間の領域において、第１方向Ｄ１で互いに接していてもよい。

[0056] 第１誘電体層２３ａ及び第２誘電体層２３ｂは、第２方向Ｄ２での第１キャパシタ２０ａ（第１容量形成部２１ａ）と第２キャパシタ２０ｂ（第２容量形成部２１ｂ）との間の領域Ｒにおいて設けられていなくてもよい。この場合、第１キャパシタ２０ａ及び第２キャパシタ２０ｂに設けられた誘電体層を通る電界による受動電子部品１ＡのＱ値（品質係数）の低下が抑制される。

[0057] 第１キャパシタ２０ａは、第１内部電極層２２ａに接続された第１外部電極２５ａを更に有していることが好ましい。

[0058] 図１及び図２に示す例において、第１外部電極２５ａは、第１内部電極層２２ａのうち、第１方向Ｄ１で第２内部電極層２２ｂに重ならない部分に接続されている。

[0059] 第１キャパシタ２０ａは、第２内部電極層２２ｂに接続された第２外部電極２５ｂを更に有していることが好ましい。

[0060] 図１及び図２に示す例において、第２外部電極２５ｂは、第２方向Ｄ２で第１外部電極２５ａから離れている。

[0061] 図１及び図２に示す例において、第２外部電極２５ｂは、第２内部電極層２２ｂのうち、第１方向Ｄ１で第１内部電極層２２ａに重なる部分に接続されている。

[0062] 第１キャパシタ２０ａが第１外部電極２５ａ及び第２外部電極２５ｂを有している場合、第１キャパシタ２０ａは、２端子のキャパシタを構成することになる。

[0063] 第２キャパシタ２０ｂは、第３内部電極層２２ｃに接続された第３外部電極２５ｃを更に有していることが好ましい。

[0064] 図１及び図２に示す例において、第３外部電極２５ｃは、第３内部電極層２２ｃのうち、第１方向Ｄ１で第４内部電極層２２ｄに重ならない部分に接続されている。

[0065] 第２キャパシタ２０ｂは、第４内部電極層２２ｄに接続された第４外部電極２５ｄを更に有していることが好ましい。

[0066] 図１及び図２に示す例において、第４外部電極２５ｄは、第２方向Ｄ２で第３外部電極２５ｃから離れている。

[0067] 図１及び図２に示す例において、第４外部電極２５ｄは、第４内部電極層２２ｄのうち、第１方向Ｄ１で第３内部電極層２２ｃに重なる部分に接続されている。

[0068] 第２キャパシタ２０ｂが第３外部電極２５ｃ及び第４外部電極２５ｄを有している場合、第２キャパシタ２０ｂは、２端子のキャパシタを構成することになる。

[0069] 第１キャパシタ２０ａが第１外部電極２５ａ及び第２外部電極２５ｂを有し、第２キャパシタ２０ｂが第３外部電極２５ｃ及び第４外部電極２５ｄを有している場合、受動電子部品１Ａは単体で機能できる。

[0070] 各外部電極の材料としては、例えば、銅、ニッケル、銀、金、アルミニウム、パラジウム、チタン、スズ等の金属、これらの金属の少なくとも１種を含有する合金、等の導電材料が挙げられる。

[0071] 各外部電極の材料は、互いに同じであってもよいし、互いに異なっていてもよいし、一部で異なっていてもよい。

[0072] 各外部電極は、単層構造を有していてもよいし、複層構造を有していてもよい。

[0073] 外部電極が複層構造を有している場合、外部電極は、基板１０側から順に、シード層と、第１めっき層と、第２めっき層と、を有していてもよい。

[0074] シード層としては、例えば、チタンからなる導体層と銅からなる導体層とが基板１０側から順に積層されてなる積層体等が挙げられる。

[0075] 第１めっき層としては、例えば、ニッケルめっき層等が挙げられる。

[0076] 第２めっき層としては、例えば、金めっき層、スズめっき層等が挙げられる。

[0077] 各外部電極の層構造は、互いに同じであってもよいし、互いに異なってい

てもよいし、一部で異なっていてもよい。

[0078] 第１方向Ｄ１から平面視したとき、第２外部電極２５ｂの周縁は、第２内部電極層２２ｂの周縁よりも内側に位置していることが好ましい。この場合、第２外部電極２５ｂと第１内部電極層２２ａとの間の寄生容量が最小化されるため、受動電子部品１ＡのＱ値が高まりやすくなる。

[0079] 第１方向Ｄ１から平面視したとき、第４外部電極２５ｄの周縁は、第４内部電極層２２ｄの周縁よりも内側に位置していることが好ましい。この場合、第４外部電極２５ｄと第３内部電極層２２ｃとの間の寄生容量が最小化されるため、受動電子部品１ＡのＱ値が高まりやすくなる。

[0080] 第１方向Ｄ１から平面視したとき、第１外部電極２５ａは、第２内部電極層２２ｂに重なっていないことが好ましい。この場合、第１外部電極２５ａと第２内部電極層２２ｂとの間の寄生容量が最小化されるため、受動電子部品１ＡのＱ値が高まりやすくなる。

[0081] 第１方向Ｄ１から平面視したとき、第３外部電極２５ｃは、第４内部電極層２２ｄに重なっていないことが好ましい。この場合、第３外部電極２５ｃと第４内部電極層２２ｄとの間の寄生容量が最小化されるため、受動電子部品１ＡのＱ値が高まりやすくなる。

[0082] 受動電子部品１Ａは、第１方向Ｄ１での基板１０と第１キャパシタ２０ａとの間、及び、第１方向Ｄ１での基板１０と第２キャパシタ２０ｂとの間に設けられた絶縁層３０を更に有していることが好ましい。

[0083] 図１及び図２に示す例において、絶縁層３０は、第１方向Ｄ１での基板１０と第１キャパシタ２０ａとの間、及び、第１方向Ｄ１での基板１０と第２キャパシタ２０ｂとの間にわたって連続的に延びている。

[0084] 絶縁層３０は、第１方向Ｄ１で基板１０に接していることが好ましい。

[0085] 絶縁層３０は、第１方向Ｄ１で第１キャパシタ２０ａに接していることが好ましい。

[0086] 絶縁層３０は、第１方向Ｄ１で第２キャパシタ２０ｂに接していることが好ましい。

[0087] 絶縁層３０は、基板１０の第１主面１０ａの全体を覆うように設けられていてもよいし、基板１０の第１主面１０ａの一部を覆うように設けられていてもよい。

[0088] 基板１０が半導体基板である場合、絶縁層３０が設けられていると、基板１０と第１キャパシタ２０ａとの間の寄生容量、及び、基板１０と第２キャパシタ２０ｂとの間の寄生容量が低減されるため、受動電子部品１ＡのＱ値が高まる。

[0089] なお、基板１０が絶縁基板である場合、絶縁層３０は設けられていなくてもよい。絶縁層３０が設けられていない場合、基板１０及び第１キャパシタ２０ａは第１方向Ｄ１で接していることが好ましく、更に、基板１０及び第２キャパシタ２０ｂは第１方向Ｄ１で接していることが好ましい。

[0090] 第１方向Ｄ１からの平面視において、絶縁層３０の周縁は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂに含まれるすべての内部電極層の周縁よりも外側に位置していることが好ましい。

[0091] 絶縁層３０の材料としては、例えば、二酸化ケイ素、酸化アルミニウム等の酸化物、窒化ケイ素等の窒化物、等の絶縁材料が挙げられる。

[0092] 受動電子部品１Ａは、第１容量形成部２１ａ及び第２容量形成部２１ｂを覆う耐湿保護層４０を更に有していることが好ましい。この場合、第１容量形成部２１ａ及び第２容量形成部２１ｂの耐湿性が高まる。具体的には、耐湿保護層４０が設けられていることにより、第１容量形成部２１ａ及び第２容量形成部２１ｂの内部電極層への水分の侵入が抑制されるため、内部電極層の腐食が抑制される。

[0093] 耐湿保護層４０は、第１キャパシタ２０ａの内部電極層及び誘電体層の全体のうち、第１外部電極２５ａ及び第２外部電極２５ｂが設けられた領域以外を覆っていることが好ましい。

[0094] 耐湿保護層４０は、第２キャパシタ２０ｂの内部電極層及び誘電体層の全体のうち、第３外部電極２５ｃ及び第４外部電極２５ｄが設けられた領域以外を覆っていることが好ましい。

[0095] 耐湿保護層４０の材料としては、例えば、二酸化ケイ素等の酸化物、窒化ケイ素等の窒化物、等の耐湿材料が挙げられる。

[0096] なお、図１では、耐湿保護層４０が示されていない。

[0097] 受動電子部品１Ａは、基板１０、第１容量形成部２１ａ、及び、第２容量形成部２１ｂを覆う樹脂保護層５０を更に有していることが好ましい。この場合、基板１０、第１容量形成部２１ａ、及び、第２容量形成部２１ｂが水分から保護される。

[0098] 樹脂保護層５０は、第１キャパシタ２０ａの内部電極層及び誘電体層の全体のうち、第１外部電極２５ａ及び第２外部電極２５ｂが設けられた領域以外を覆っていることが好ましい。

[0099] 樹脂保護層５０は、第２キャパシタ２０ｂの内部電極層及び誘電体層の全体のうち、第３外部電極２５ｃ及び第４外部電極２５ｄが設けられた領域以外を覆っていることが好ましい。

[0100] 樹脂保護層５０の材料としては、例えば、ポリイミド樹脂、ソルダーレジスト中の樹脂等の樹脂材料が挙げられる。

[0101] なお、図１では、樹脂保護層５０が示されていない。

[0102] 受動電子部品１Ａが耐湿保護層４０及び樹脂保護層５０を有している場合、樹脂保護層５０は、耐湿保護層４０の全体を覆っていることが好ましい。

[0103] 受動電子部品１Ａが耐湿保護層４０及び樹脂保護層５０を有している場合、第１外部電極２５ａは、少なくとも耐湿保護層４０及び樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔６０ｈａの内部に設けられていることが好ましい。つまり、第１外部電極２５ａは、貫通孔６０ｈａを介して、第１内部電極層２２ａに接続されていることが好ましい。

[0104] 受動電子部品１Ａが耐湿保護層４０及び樹脂保護層５０を有している場合、第２外部電極２５ｂは、少なくとも耐湿保護層４０及び樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔６０ｈｂの内部に設けられていることが好ましい。つまり、第２外部電極２５ｂは、貫通孔６０ｈｂを介して、第２内部電極層２２ｂに接続されていることが好ましい。

[0105] 受動電子部品１Ａが耐湿保護層４０及び樹脂保護層５０を有している場合、第３外部電極２５ｃは、少なくとも耐湿保護層４０及び樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔６０ｈｃの内部に設けられていることが好ましい。つまり、第３外部電極２５ｃは、貫通孔６０ｈｃを介して、第３内部電極層２２ｃに接続されていることが好ましい。

[0106] 受動電子部品１Ａが耐湿保護層４０及び樹脂保護層５０を有している場合、第４外部電極２５ｄは、少なくとも耐湿保護層４０及び樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔６０ｈｄの内部に設けられていることが好ましい。つまり、第４外部電極２５ｄは、貫通孔６０ｈｄを介して、第４内部電極層２２ｄに接続されていることが好ましい。

[0107] 受動電子部品１Ａは、例えば、以下の方法で製造される。

[0108] ＜基板を準備する工程＞

図３は、本発明の実施形態１の受動電子部品の製造方法の一例において基板を準備する工程を示す断面模式図である。

[0109] 図３に示すように、基板１０を準備する。

[0110] ＜絶縁層を形成する工程＞

図４は、本発明の実施形態１の受動電子部品の製造方法の一例において絶縁層を形成する工程を示す断面模式図である。

[0111] 絶縁材料からなる絶縁層を、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法、ＰＶＤ（Ｐｈｙｓｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法等により、基板１０の第１主面１０ａ上に形成する。その後、この絶縁層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図４に示すような絶縁層３０を形成する。

[0112] ＜第１内部電極層を形成する工程＞

図５は、本発明の実施形態１の受動電子部品の製造方法の一例において第１内部電極層を形成する工程を示す断面模式図である。

[0113] 導電材料からなる電極層を、ＣＶＤ法、ＰＶＤ法等により、図４に示す構

造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この電極層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図５に示すような第１内部電極層２２ａを形成する。

[0114] ＜第１誘電体層を形成する工程＞

図６は、本発明の実施形態１の受動電子部品の製造方法の一例において第１誘電体層を形成する工程を示す断面模式図である。

[0115] 誘電材料からなる誘電体層を、ＣＶＤ法、ＰＶＤ法等により、図５に示す構造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この誘電体層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図６に示すような第１誘電体層２３ａを形成する。具体的には、基板１０、第１内部電極層２２ａ、及び、絶縁層３０を基板１０の第１主面１０ａ側から覆うように、第１誘電体層２３ａを形成する。この際、第１内部電極層２２ａの一部が露出するように、第１誘電体層２３ａを第１方向Ｄ１に貫通する貫通孔２３ａｈを設ける。

[0116] 本工程では、第１誘電体層２３ａを第１内部電極層２２ａ上に形成するにあたって、第１内部電極層２２ａのうちで後に第１容量形成部２１ａを構成する領域に対して、誘電体層をパターニングで除去する等の処理を行わない。そのため、本工程では、第１誘電体層２３ａを第１内部電極層２２ａ上に形成するにあたって、後に第１容量形成部２１ａを構成する第１内部電極層２２ａの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されることがない。

[0117] ＜第２内部電極層及び第３内部電極層を形成する工程＞

図７は、本発明の実施形態１の受動電子部品の製造方法の一例において第２内部電極層及び第３内部電極層を形成する工程を示す断面模式図である。

[0118] 導電材料からなる電極層を、ＣＶＤ法、ＰＶＤ法等により、図６に示す構造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この電極層のパターニングを、フォトリソグラフィー法及びエッチング法を組み

合わせて行うことにより、図７に示すような第２内部電極層２２ｂ及び第３内部電極層２２ｃを形成する。具体的には、第１方向Ｄ１で第１誘電体層２３ａを挟んで第１内部電極層２２ａに隣り合う位置に第２内部電極層２２ｂを、第１方向Ｄ１で第１誘電体層２３ａを挟んで第１内部電極層２２ａに隣り合わない位置に第３内部電極層２２ｃを、各々形成する。これにより、第２内部電極層２２ｂの少なくとも一部（図７に示す例では、第２内部電極層２２ｂの全体）と、第３内部電極層２２ｃの少なくとも一部（図７に示す例では、第３内部電極層２２ｃの全体）とが、第１誘電体層２３ａの基板１０と反対側の表面に接することになる。

[0119] 本工程では、第２内部電極層２２ｂを第１誘電体層２３ａ上に形成するにあたって、第１誘電体層２３ａのうちで後に第１容量形成部２１ａを構成する領域（第１誘電体層２３ａのうちで第２内部電極層２２ｂが形成される領域）に対して、電極層をパターニングで除去する等の処理を行わない。そのため、本工程では、第２内部電極層２２ｂを第１誘電体層２３ａ上に形成するにあたって、後に第１容量形成部２１ａを構成する第１誘電体層２３ａの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されることがない。

[0120] 本工程では、第２内部電極層２２ｂ及び第３内部電極層２２ｃを、同じタイミングで第１誘電体層２３ａ上に形成することが好ましい。なお、本工程では、第２内部電極層２２ｂ及び第３内部電極層２２ｃを、異なるタイミングで第１誘電体層２３ａ上に形成してもよい。

[0121] 以上の工程により、第１内部電極層２２ａ、第１誘電体層２３ａ、及び、第２内部電極層２２ｂが第１方向Ｄ１の基板１０側から順に積層されてなる、第１容量形成部２１ａが形成される。

[0122] ＜第２誘電体層を形成する工程＞

図８は、本発明の実施形態１の受動電子部品の製造方法の一例において第２誘電体層を形成する工程を示す断面模式図である。

[0123] 誘電材料からなる誘電体層を、ＣＶＤ法、ＰＶＤ法等により、図７に示す

構造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この誘電体層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図８に示すような第２誘電体層２３ｂを形成する。具体的には、第２内部電極層２２ｂ、第３内部電極層２２ｃ、及び、第１誘電体層２３ａを基板１０の第１主面１０ａ側から覆うように、第２誘電体層２３ｂを形成する。この際、第１内部電極層２２ａの一部が露出するように、第１方向Ｄ１で貫通孔２３ａｈに重なる位置に、第２誘電体層２３ｂを第１方向Ｄ１に貫通する貫通孔２３ｂｈａを設ける。また、第２内部電極層２２ｂの一部が露出するように、第２誘電体層２３ｂを第１方向Ｄ１に貫通する貫通孔２３ｂｈｂを設ける。更に、第３内部電極層２２ｃの一部が露出するように、第２誘電体層２３ｂを第１方向Ｄ１に貫通する貫通孔２３ｂｈｃを設ける。

[0124] 本工程では、第２誘電体層２３ｂを第３内部電極層２２ｃ上に形成するにあたって、第３内部電極層２２ｃのうちで後に第２容量形成部２１ｂを構成する領域に対して、誘電体層をパターニングで除去する等の処理を行わない。そのため、本工程では、第２誘電体層２３ｂを第３内部電極層２２ｃ上に形成するにあたって、後に第２容量形成部２１ｂを構成する第３内部電極層２２ｃの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されることがない。

[0125] ＜第４内部電極層を形成する工程＞

図９は、本発明の実施形態１の受動電子部品の製造方法の一例において第４内部電極層を形成する工程を示す断面模式図である。

[0126] 導電材料からなる電極層を、ＣＶＤ法、ＰＶＤ法等により、図８に示す構造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この電極層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図９に示すような第４内部電極層２２ｄを形成する。具体的には、第１方向Ｄ１で第２誘電体層２３ｂを挟んで第３内部電極層２２ｃに隣り合う位置に、第４内部電極層２２ｄを形成する。

[0127] 本工程では、第４内部電極層２２ｄを第２誘電体層２３ｂ上に形成するにあたって、第２誘電体層２３ｂのうちで後に第２容量形成部２１ｂを構成する領域（第２誘電体層２３ｂのうちで第４内部電極層２２ｄが形成される領域）に対して、電極層をパターニングで除去する等の処理を行わない。そのため、本工程では、第４内部電極層２２ｄを第２誘電体層２３ｂ上に形成するにあたって、後に第２容量形成部２１ｂを構成する第２誘電体層２３ｂの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されることがない。

[0128] 以上の工程により、第３内部電極層２２ｃ、第２誘電体層２３ｂ、及び、第４内部電極層２２ｄが第１方向Ｄ１の基板１０側から順に積層されてなる、第２容量形成部２１ｂが形成される。

[0129] 以上の工程では、第１内部電極層２２ａ上に第１誘電体層２３ａ及び第２内部電極層２２ｂを順に積層することで第１容量形成部２１ａを形成するにあたって、第１内部電極層２２ａ及び第１誘電体層２３ａの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されずに済む。そのため、後に得られる受動電子部品１Ａでは、第１キャパシタ２０ａ（第１容量形成部２１ａ）での電力損失が大きくならない。

[0130] 更に、以上の工程では、第３内部電極層２２ｃ上に第２誘電体層２３ｂ及び第４内部電極層２２ｄを順に積層することで第２容量形成部２１ｂを形成するにあたって、第３内部電極層２２ｃ及び第２誘電体層２３ｂの基板１０と反対側の表面に、誘電正接が大きくなる不純物層が形成されずに済む。そのため、後に得られる受動電子部品１Ａでは、第２キャパシタ２０ｂ（第２容量形成部２１ｂ）での電力損失が大きくならない。

[0131] 以上のことから、後に得られる受動電子部品１Ａは、複数のキャパシタ（ここでは、第１キャパシタ２０ａ及び第２キャパシタ２０ｂ）を有する構成で高周波特性に優れた電気性能を発揮可能である。

[0132] ＜耐湿保護層を形成する工程＞

図１０は、本発明の実施形態１の受動電子部品の製造方法の一例において

耐湿保護層を形成する工程を示す断面模式図である。

[0133] 耐湿材料からなる耐湿層を、ＣＶＤ法、ＰＶＤ法等により、図９に示す構造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この耐湿層のパターニングを、フォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図１０に示すような耐湿保護層４０を形成する。具体的には、第４内部電極層２２ｄ及び第２誘電体層２３ｂを基板１０の第１主面１０ａ側から覆うように、耐湿保護層４０を形成する。この際、第１内部電極層２２ａの一部が露出するように、第１方向Ｄ１で貫通孔２３ａｈ及び貫通孔２３ｂｈａに重なる位置に、耐湿保護層４０を第１方向Ｄ１に貫通する貫通孔４０ｈａを設ける。また、第２内部電極層２２ｂの一部が露出するように、第１方向Ｄ１で貫通孔２３ｂｈｂに重なる位置に、耐湿保護層４０を第１方向Ｄ１に貫通する貫通孔４０ｈｂを設ける。また、第３内部電極層２２ｃの一部が露出するように、第１方向Ｄ１で貫通孔２３ｂｈｃに重なる位置に、耐湿保護層４０を第１方向Ｄ１に貫通する貫通孔４０ｈｃを設ける。更に、第４内部電極層２２ｄの一部が露出するように、耐湿保護層４０を第１方向Ｄ１に貫通する貫通孔４０ｈｄを設ける。

[0134] ＜樹脂保護層を形成する工程＞

図１１は、本発明の実施形態１の受動電子部品の製造方法の一例において樹脂保護層を形成する工程を示す断面模式図である。

[0135] 樹脂材料からなる樹脂層を、スピンコート法等により、図１０に示す構造体を基板１０の第１主面１０ａ側から覆うように形成する。その後、この樹脂層のパターニングを、樹脂層の樹脂材料が感光性である場合はフォトリソグラフィー法のみを用い、また、樹脂層の樹脂材料が非感光性である場合はフォトリソグラフィー法及びエッチング法を組み合わせて行うことにより、図１１に示すような樹脂保護層５０を形成する。具体的には、耐湿保護層４０を基板１０の第１主面１０ａ側から覆うように、樹脂保護層５０を形成する。この際、第１内部電極層２２ａの一部が露出するように、第１方向Ｄ１で貫通孔２３ａｈ、貫通孔２３ｂｈａ、及び、貫通孔４０ｈａに重なる位置

に、樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔５０ｈａを設ける。また、第２内部電極層２２ｂの一部が露出するように、第１方向Ｄ１で貫通孔２３ｂｈｂ及び貫通孔４０ｈｂに重なる位置に、樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔５０ｈｂを設ける。また、第３内部電極層２２ｃの一部が露出するように、第１方向Ｄ１で貫通孔２３ｂｈｃ及び貫通孔４０ｈｃに重なる位置に、樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔５０ｈｃを設ける。更に、第４内部電極層２２ｄの一部が露出するように、第１方向Ｄ１で貫通孔４０ｈｄに重なる位置に、樹脂保護層５０を第１方向Ｄ１に貫通する貫通孔５０ｈｄを設ける。

[0136] 以上の工程により、第１内部電極層２２ａの一部が露出するように、貫通孔２３ａｈ、貫通孔２３ｂｈａ、貫通孔４０ｈａ、及び、貫通孔５０ｈａが第１方向Ｄ１に連通してなる貫通孔６０ｈａが形成される。また、第２内部電極層２２ｂの一部が露出するように、貫通孔２３ｂｈｂ、貫通孔４０ｈｂ、及び、貫通孔５０ｈｂが第１方向Ｄ１に連通してなる貫通孔６０ｈｂが形成される。また、第３内部電極層２２ｃの一部が露出するように、貫通孔２３ｂｈｃ、貫通孔４０ｈｃ、及び、貫通孔５０ｈｃが第１方向Ｄ１に連通してなる貫通孔６０ｈｃが形成される。更に、第４内部電極層２２ｄの一部が露出するように、貫通孔４０ｈｄ及び貫通孔５０ｈｄが第１方向Ｄ１に連通してなる貫通孔６０ｈｄが形成される。

[0137] ＜第１外部電極、第２外部電極、第３外部電極、及び、第４外部電極を形成する工程＞

図１２は、本発明の実施形態１の受動電子部品の製造方法の一例において第１外部電極、第２外部電極、第３外部電極、及び、第４外部電極を形成する工程を示す断面模式図である。

[0138] 図１２に示すように、めっき法、エッチング法等により、貫通孔６０ｈａの内部に第１外部電極２５ａを、貫通孔６０ｈｂの内部に第２外部電極２５ｂを、貫通孔６０ｈｃの内部に第３外部電極２５ｃを、貫通孔６０ｈｄの内部に第４外部電極２５ｄを、各々形成する。これにより、第１外部電極２５

ａが貫通孔６０ｈａを介して第１内部電極層２２ａに接続され、第２外部電極２５ｂが貫通孔６０ｈｂを介して第２内部電極層２２ｂに接続され、第３外部電極２５ｃが貫通孔６０ｈｃを介して第３内部電極層２２ｃに接続され、第４外部電極２５ｄが貫通孔６０ｈｄを介して第４内部電極層２２ｄに接続される。

[0139] 以上の工程により、第１容量形成部２１ａ、第１外部電極２５ａ、及び、第２外部電極２５ｂを有する第１キャパシタ２０ａが形成される。また、第２容量形成部２１ｂ、第３外部電極２５ｃ、及び、第４外部電極２５ｄを有する第２キャパシタ２０ｂが形成される。

[0140] 以上により、受動電子部品１Ａが製造される。

[0141] 本発明の実施形態１の受動電子部品において、内部電極層の形状、及び、外部電極の位置は、図１及び図２に示す例と異なっていてもよい。

[0142] 図１３は、本発明の実施形態１の受動電子部品の別の一例を示す平面模式図である。図１４は、図１３に示す受動電子部品の線分ａ３－ａ４に沿う断面の一例を示す断面模式図である。

[0143] 図１３及び図１４に示す受動電子部品１Ｂにおいて、第２内部電極層２２ｂの一部は、第１誘電体層２３ａを挟んで、第１方向Ｄ１で第１内部電極層２２ａに重なっている。

[0144] 図１４に示す例において、第２内部電極層２２ｂの基板１０側の表面には、段差が設けられている。また、図１４に示す例において、第２内部電極層２２ｂの基板１０と反対側の表面には、段差が設けられている。つまり、図１４に示す例において、基板１０の第１主面１０ａを基準とする第１方向Ｄ１での高さを定義したとき、第２内部電極層２２ｂは、第２方向Ｄ２での一方の端部側の部分が、第２方向Ｄ２での他方の端部側の部分と異なる高さになるように屈曲している。

[0145] 受動電子部品１Ｂにおいて、第４内部電極層２２ｄの一部は、第２誘電体層２３ｂを挟んで、第１方向Ｄ１で第３内部電極層２２ｃに重なっている。

[0146] 図１４に示す例において、第４内部電極層２２ｄの基板１０側の表面には

、段差が設けられている。また、図１４に示す例において、第４内部電極層２２ｄの基板１０と反対側の表面には、段差が設けられている。つまり、図１４に示す例において、基板１０の第１主面１０ａを基準とする第１方向Ｄ１での高さを定義したとき、第４内部電極層２２ｄは、第２方向Ｄ２での一方の端部側の部分が、第２方向Ｄ２での他方の端部側の部分と異なる高さになるように屈曲している。

[0147] 受動電子部品１Ｂにおいて、第２外部電極２５ｂは、第２内部電極層２２ｂのうち、第１方向Ｄ１で第１内部電極層２２ａに重ならない部分に接続されている。

[0148] 受動電子部品１Ｂにおいて、第４外部電極２５ｄは、第４内部電極層２２ｄのうち、第１方向Ｄ１で第３内部電極層２２ｃに重ならない部分に接続されている。

[0149] ［実施形態２］

本発明の実施形態２の受動電子部品において、本発明の実施形態１の受動電子部品と異なり、第２容量形成部は、第３内部電極層に対して第１方向の基板側に順に積層された、第１誘電体層と、第５内部電極層と、を更に含んでいる。

[0150] 図１５は、本発明の実施形態２の受動電子部品の一例を示す平面模式図である。図１６は、図１５に示す受動電子部品の線分ｂ１－ｂ２に沿う断面の一例を示す断面模式図である。

[0151] 図１５及び図１６に示す受動電子部品２Ａにおいて、第２容量形成部２１ｂは、第３内部電極層２２ｃに対して第１方向Ｄ１の基板１０側に順に積層された、第１誘電体層２３ａと、第５内部電極層２２ｅと、を更に含んでいる。これにより、第２容量形成部２１ｂでは、第３内部電極層２２ｃ、第２誘電体層２３ｂ、及び、第４内部電極層２２ｄによって構成されたキャパシタ素子と、第３内部電極層２２ｃ、第１誘電体層２３ａ、及び、第５内部電極層２２ｅによって構成されたキャパシタ素子とが直列接続されている。

[0152] 受動電子部品２Ａの第２容量形成部２１ｂでは、第１誘電体層２３ａを含

むキャパシタ素子と、第２誘電体層２３ｂを含むキャパシタ素子とが直列接続されている構成により、第１誘電体層２３ａ及び第２誘電体層２３ｂの積層体を誘電体層として有するキャパシタ素子と同等の容量を実現できる。

[0153] 受動電子部品２Ａの第２容量形成部２１ｂでは、上述した２つのキャパシタ素子が直列接続されている構成により、内部電極層の端部（例えば、第２方向Ｄ２での端部）から漏れる電界が低減される。そのため、受動電子部品２Ａの第２容量形成部２１ｂでは、内部電極層間の寄生容量が低減されるだけではなく、その寄生容量によるＱ値の低下も抑制される。

[0154] 受動電子部品２Ａの第２容量形成部２１ｂでは、上述した２つのキャパシタ素子が直列接続されている構成により、１つのキャパシタ素子のみからなる構成と比較して、容量偏差が小さくなる。容量形成部では、直列接続されるキャパシタ素子の数が多くなるほど、容量偏差が小さくなりやすい。

[0155] 受動電子部品２Ａの第２容量形成部２１ｂでは、上述した２つのキャパシタ素子が第１方向Ｄ１で直列接続されているため、２つのキャパシタ素子が第１方向Ｄ１に垂直な方向、例えば、第２方向Ｄ２で直列接続されている場合と比較して、第２キャパシタ２０ｂ、ひいては、受動電子部品２Ａの小型化が可能となる。

[0156] 受動電子部品２Ａの第２キャパシタ２０ｂにおいて、第５内部電極層２２ｅは、第３内部電極層２２ｃ及び第４内部電極層２２ｄよりも第１方向Ｄ１に垂直な方向（例えば、第２方向Ｄ２又は第３方向Ｄ３）に大きく広がっていてもよい。

[0157] 受動電子部品２Ａにおいて、受動電子部品１Ａ（図１及び図２参照）と同様に、第１キャパシタ２０ａは、第１内部電極層２２ａに接続された第１外部電極２５ａを更に有していることが好ましい。

[0158] 受動電子部品２Ａにおいて、受動電子部品１Ａと同様に、第１キャパシタ２０ａは、第２内部電極層２２ｂに接続された第２外部電極２５ｂを更に有していることが好ましい。

[0159] 受動電子部品２Ａにおいて、受動電子部品１Ａと異なり、第２キャパシタ

２０ｂは、第５内部電極層２２ｅに接続された第３外部電極２５ｃを更に有していることが好ましい。

[0160] 図１５及び図１６に示す例において、第３外部電極２５ｃは、第５内部電極層２２ｅのうち、第１方向Ｄ１で第３内部電極層２２ｃ及び第４内部電極層２２ｄに重ならない部分に接続されている。

[0161] 受動電子部品２Ａにおいて、第１方向Ｄ１から平面視したとき、第３外部電極２５ｃは、第３内部電極層２２ｃ及び第４内部電極層２２ｄに重なっていないことが好ましい。この場合、第３外部電極２５ｃと第３内部電極層２２ｃとの間の寄生容量、及び、第３外部電極２５ｃと第４内部電極層２２ｄとの間の寄生容量が最小化されるため、受動電子部品２ＡのＱ値が高まりやすくなる。

[0162] 受動電子部品２Ａにおいて、受動電子部品１Ａと同様に、第２キャパシタ２０ｂは、第４内部電極層２２ｄに接続された第４外部電極２５ｄを更に有していることが好ましい。

[0163] 受動電子部品２Ａにおいて、第１方向Ｄ１から平面視したとき、第４外部電極２５ｄの周縁は、第４内部電極層２２ｄの周縁よりも内側に位置していることが好ましい。この場合、第４外部電極２５ｄと第３内部電極層２２ｃとの間の寄生容量、及び、第４外部電極２５ｄと第５内部電極層２２ｅとの間の寄生容量が最小化されるため、受動電子部品２ＡのＱ値が高まりやすくなる。

[0164] 受動電子部品２Ａは、例えば、第１内部電極層２２ａを形成する工程で第５内部電極層２２ｅも形成すること以外、受動電子部品１Ａと同様にして製造される。第１内部電極層２２ａを形成する工程で第５内部電極層２２ｅを形成する際、第１内部電極層２２ａ及び第５内部電極層２２ｅを、同じタイミングで形成することが好ましいが、異なるタイミングで形成してもよい。

[0165] 本発明の実施形態２の受動電子部品において、内部電極層の形状は、図１５及び図１６に示す例と異なっていてもよい。また、本発明の実施形態２の受動電子部品において、外部電極の位置は、図１５及び図１６に示す例と異

なっていてもよい。

[0166] 図１７は、本発明の実施形態２の受動電子部品の別の一例を示す平面模式図である。図１８は、図１７に示す受動電子部品の線分ｂ３－ｂ４に沿う断面の一例を示す断面模式図である。

[0167] 図１７及び図１８に示す受動電子部品２Ｂにおいて、第２内部電極層２２ｂの一部は、第１誘電体層２３ａを挟んで、第１方向Ｄ１で第１内部電極層２２ａに重なっている。

[0168] 図１８に示す例において、第２内部電極層２２ｂの基板１０側の表面には、段差が設けられている。また、図１８に示す例において、第２内部電極層２２ｂの基板１０と反対側の表面には、段差が設けられている。つまり、図１８に示す例において、基板１０の第１主面１０ａを基準とする第１方向Ｄ１での高さを定義したとき、第２内部電極層２２ｂは、第２方向Ｄ２での一方の端部側の部分が、第２方向Ｄ２での他方の端部側の部分と異なる高さになるように屈曲している。

[0169] 受動電子部品２Ｂにおいて、第４内部電極層２２ｄの一部は、第２誘電体層２３ｂを挟んで、第１方向Ｄ１で第３内部電極層２２ｃに重なっている。

[0170] 図１８に示す例において、第４内部電極層２２ｄの基板１０側の表面には、段差が設けられている。また、図１８に示す例において、第４内部電極層２２ｄの基板１０と反対側の表面には、段差が設けられている。つまり、図１８に示す例において、基板１０の第１主面１０ａを基準とする第１方向Ｄ１での高さを定義したとき、第４内部電極層２２ｄは、第２方向Ｄ２での一方の端部側の部分が、第２方向Ｄ２での他方の端部側の部分と異なる高さになるように屈曲している。

[0171] 受動電子部品２Ｂにおいて、第２外部電極２５ｂは、第２内部電極層２２ｂのうち、第１方向Ｄ１で第１内部電極層２２ａに重ならない部分に接続されている。

[0172] 受動電子部品２Ｂにおいて、第４外部電極２５ｄは、第４内部電極層２２ｄのうち、第１方向Ｄ１で第３内部電極層２２ｃに重ならない部分に接続さ

れている。

[0173] ［実施形態３］

本発明の実施形態３の受動電子部品は、本発明の実施形態２の受動電子部品と異なり、少なくとも１層の導体層を含む内部配線が巻回されてなるインダクタを更に備えている。

[0174] 本発明の実施形態３の受動電子部品において、内部配線の巻回軸の方向は、基板の第１主面に垂直であり、すべての導体層は、各々独立して、第１内部電極層、第２内部電極層、第３内部電極層、第４内部電極層、第５内部電極層、第１外部電極、第２外部電極、第３外部電極、又は、第４外部電極と同じ材料を含んでいる。

[0175] 図１９は、本発明の実施形態３の受動電子部品の一例を示す等価回路図である。図２０は、本発明の実施形態３の受動電子部品の一例を示す平面模式図である。図２１は、図２０に示す受動電子部品の線分ｃ１－ｃ２に沿う断面の一例を示す断面模式図である。図２２は、図２０に示す受動電子部品の線分ｄ１－ｄ２に沿う断面の一例を示す断面模式図である。図２３は、図２０に示す受動電子部品の線分ｅ１－ｅ２に沿う断面の一例を示す断面模式図である。

[0176] 図１９、図２０、図２１、図２２、及び、図２３に示す受動電子部品３Ａは、基板１０、第１キャパシタ２０ａ、及び、第２キャパシタ２０ｂに加えて、インダクタ１００を更に有している。

[0177] 第１キャパシタ２０ａ及び第２キャパシタ２０ｂは、直列接続されている。具体的には、第１キャパシタ２０ａの第１外部電極２５ａと第２キャパシタ２０ｂの第４外部電極２５ｄとが接続されることにより、第１キャパシタ２０ａ及び第２キャパシタ２０ｂは直列接続されている。

[0178] 第１キャパシタ２０ａは、第２外部電極２５ｂを介して受動電子部品３Ａの外部に電気的に導出されている。

[0179] 第２キャパシタ２０ｂは、第３外部電極２５ｃを介して受動電子部品３Ａの外部に電気的に導出されている。

[0180] インダクタ１００の一方の端部は、第１キャパシタ２０ａと第２キャパシタ２０ｂとの接続部に接続されている。具体的には、インダクタ１００の一方の端部は、第１キャパシタ２０ａの第１外部電極２５ａと第２キャパシタ２０ｂの第４外部電極２５ｄとの接続部に接続されている。

[0181] 以上のように、インダクタ１００は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの両方に接続されている。なお、インダクタ１００は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの一方に接続されていてもよい。つまり、インダクタ１００は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの少なくとも一方に接続されていてもよい。

[0182] インダクタ１００の他方の端部は、第５外部電極２５ｅに接続されている。これにより、インダクタ１００は、第５外部電極２５ｅを介して受動電子部品３Ａの外部に電気的に導出されている。

[0183] インダクタ１００は、内部配線１１０が巻回されてなる。

[0184] 内部配線１１０は、巻回軸の方向に沿って螺旋状に巻回されている。

[0185] 内部配線１１０の巻回軸の方向は、基板１０の第１主面１０ａに垂直である。

[0186] 図２０、図２２、及び、図２３に示す例において、内部配線１１０の巻回軸の方向は、第１方向Ｄ１に平行である。つまり、内部配線１１０は、第１方向Ｄ１から見たときに螺旋状に巻回されている。

[0187] 内部配線１１０は、少なくとも１層の導体層を含んでいる。

[0188] 図２０、図２２、及び、図２３に示す例において、内部配線１１０は、第１導体層１１１ａ、第２導体層１１１ｂ、及び、第３導体層１１１ｃの３層の導体層を含んでいる。

[0189] 図２０、図２２、及び、図２３に示す例では、インダクタ１００の一方の端部側（第１キャパシタ２０ａ及び第２キャパシタ２０ｂ側）からインダクタ１００の他方の端部側（第１キャパシタ２０ａ及び第２キャパシタ２０ｂと反対側）に延びる内部配線１１０の経路に沿って、第１導体層１１１ａと、第２導体層１１１ｂ及び第３導体層１１１ｃの積層体とが順に接続されて

いる。

[0190] 内部配線１１０に含まれるすべての導体層は、各々独立して、第１内部電極層２２ａ、第２内部電極層２２ｂ、第３内部電極層２２ｃ、第４内部電極層２２ｄ、第５内部電極層２２ｅ、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じ材料を含んでいる。

[0191] 図２０、図２１、図２２、及び、図２３に示す例において、第１導体層１１１ａは、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じ材料を含んでいる。また、第２導体層１１１ｂは、第２内部電極層２２ｂ又は第３内部電極層２２ｃと同じ材料を含んでいる。更に、第３導体層１１１ｃは、第１内部電極層２２ａ又は第５内部電極層２２ｅと同じ材料を含んでいる。

[0192] 以上のように、受動電子部品３Ａでは、インダクタ１００の内部配線１１０に含まれるすべての導体層が、第１キャパシタ２０ａ及び第２キャパシタ２０ｂに含まれる内部電極層又は外部電極と同じ材料を含んでいることにより、受動電子部品３Ａの製造過程において、すべての導体層を、内部電極層又は外部電極と同じタイミングで形成できる。具体的には、第１導体層１１１ａを、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じタイミングで形成できる。また、第２導体層１１１ｂを、第２内部電極層２２ｂ又は第３内部電極層２２ｃと同じタイミングで形成できる。更に、第３導体層１１１ｃを、第１内部電極層２２ａ又は第５内部電極層２２ｅと同じタイミングで形成できる。したがって、受動電子部品３Ａの製造過程において、インダクタ１００を、第１キャパシタ２０ａ及び第２キャパシタ２０ｂと同じタイミングで形成できる。

[0193] 以上のように、受動電子部品３Ａの製造過程では、インダクタ１００を第１キャパシタ２０ａ及び第２キャパシタ２０ｂと同じタイミングで形成できるため、インダクタ１００の内部配線１１０に含まれる導体層を、第１キャパシタ２０ａ及び第２キャパシタ２０ｂに含まれる内部電極層と同様に厚く

形成できる。そのため、受動電子部品３Ａでは、インダクタ１００のＱ値を高めることが可能となる。

[0194] 受動電子部品３Ａは、例えば、第１内部電極層２２ａ又は第５内部電極層２２ｅを形成する工程で第３導体層１１１ｃを形成し、第２内部電極層２２ｂ又は第３内部電極層２２ｃを形成する工程で第２導体層１１１ｂを形成し、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄを形成する工程で第１導体層１１１ａを形成すること以外、受動電子部品２Ａと同様にして製造される。

[0195] 本発明の実施形態３の受動電子部品において、インダクタの内部配線に含まれる導体層の層数は、少なくとも１層であれば、上述した３層に限定されない。

[0196] 本発明の実施形態３の受動電子部品において、インダクタの内部配線に含まれるすべての導体層の材料の組み合わせは、第１内部電極層、第２内部電極層、第３内部電極層、第４内部電極層、第５内部電極層、第１外部電極、第２外部電極、第３外部電極、及び、第４外部電極から選択される組み合わせであれば、上述した組み合わせに限定されない。

[0197] ［実施形態４］

本発明の実施形態４の受動電子部品は、本発明の実施形態２の受動電子部品と異なり、複数層の導体層を含む内部配線が巻回されてなるインダクタを更に備えている。

[0198] 本発明の実施形態４の受動電子部品において、内部配線の巻回軸の方向は、基板の第１主面に平行であり、すべての導体層は、各々独立して、第１内部電極層、第２内部電極層、第３内部電極層、第４内部電極層、第５内部電極層、第１外部電極、第２外部電極、第３外部電極、又は、第４外部電極と同じ材料を含んでいる。

[0199] 図２４は、本発明の実施形態４の受動電子部品の一例を示す平面模式図である。図２５は、図２４に示す受動電子部品の線分ｆ１－ｆ２に沿う断面の一例を示す断面模式図である。図２６は、図２４に示す受動電子部品の線分

ｇ１－ｇ２に沿う断面の一例を示す断面模式図である。

[0200] 図２４、図２５、及び、図２６に示す受動電子部品４Ａは、基板１０、第１キャパシタ２０ａ、及び、第２キャパシタ２０ｂに加えて、インダクタ２００を更に有している。

[0201] 受動電子部品４Ａにおける第１キャパシタ２０ａ及び第２キャパシタ２０ｂの構成は、受動電子部品３Ａにおける第１キャパシタ２０ａ及び第２キャパシタ２０ｂの構成と同様である。

[0202] インダクタ２００の一方の端部は、第１キャパシタ２０ａと第２キャパシタ２０ｂとの接続部に接続されている。具体的には、インダクタ２００の一方の端部は、第１キャパシタ２０ａの第１外部電極２５ａと第２キャパシタ２０ｂの第４外部電極２５ｄとの接続部に接続されている。

[0203] 以上のように、インダクタ２００は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの両方に接続されている。なお、インダクタ２００は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの一方に接続されていてもよい。つまり、インダクタ２００は、第１キャパシタ２０ａ及び第２キャパシタ２０ｂの少なくとも一方に接続されていてもよい。

[0204] インダクタ２００は、他方の端部側で受動電子部品４Ａの外部に電気的に導出されている。

[0205] インダクタ２００は、内部配線２１０が巻回されてなる。

[0206] 内部配線２１０は、巻回軸の方向に沿って螺旋状に巻回されている。

[0207] 内部配線２１０の巻回軸の方向は、基板１０の第１主面１０ａに平行である。

[0208] 図２４及び図２６に示す例において、内部配線２１０の巻回軸の方向は、第２方向Ｄ２に平行である。つまり、内部配線２１０は、第２方向Ｄ２から見たときに螺旋状に巻回されている。

[0209] 内部配線２１０は、複数層の導体層を含んでいる。

[0210] 図２４及び図２６に示す例において、内部配線２１０は、第１導体層２１１ａ、第２導体層２１１ｂ、第３導体層２１１ｃ、第４導体層２１１ｄ、第

５導体層２１１ｅ、第６導体層２１１ｆ、第７導体層２１１ｇ、第８導体層２１１ｈ、第９導体層２１１ｊの９層の導体層を含んでいる。

[0211] 図２４及び図２６に示す例では、インダクタ２００の一方の端部側（第１キャパシタ２０ａ及び第２キャパシタ２０ｂ側）からインダクタ２００の他方の端部側（第１キャパシタ２０ａ及び第２キャパシタ２０ｂと反対側）に延びる内部配線２１０の経路に沿って、第１導体層２１１ａと、第２導体層２１１ｂ、第３導体層２１１ｃ、及び、第４導体層２１１ｄの積層体と、第５導体層２１１ｅと、第６導体層２１１ｆ、第７導体層２１１ｇ、及び、第８導体層２１１ｈの積層体と、第９導体層２１１ｊとが順に接続されている。

[0212] 内部配線２１０に含まれるすべての導体層は、各々独立して、第１内部電極層２２ａ、第２内部電極層２２ｂ、第３内部電極層２２ｃ、第４内部電極層２２ｄ、第５内部電極層２２ｅ、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じ材料を含んでいる。

[0213] 図２４、図２５、及び、図２６に示す例において、第１導体層２１１ａは、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じ材料を含んでいる。また、第２導体層２１１ｂは、第４内部電極層２２ｄと同じ材料を含んでいる。また、第３導体層２１１ｃは、第２内部電極層２２ｂ又は第３内部電極層２２ｃと同じ材料を含んでいる。また、第４導体層２１１ｄは、第１内部電極層２２ａ又は第５内部電極層２２ｅと同じ材料を含んでいる。また、第５導体層２１１ｅは、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じ材料を含んでいる。また、第６導体層２１１ｆは、第４内部電極層２２ｄと同じ材料を含んでいる。また、第７導体層２１１ｇは、第２内部電極層２２ｂ又は第３内部電極層２２ｃと同じ材料を含んでいる。また、第８導体層２１１ｈは、第１内部電極層２２ａ又は第５内部電極層２２ｅと同じ材料を含んでいる。更に、第９導体層２１１ｊは、第１外部電極２

５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じ材料を含んでいる。

[0214] 以上のように、受動電子部品４Ａでは、インダクタ２００の内部配線２１０に含まれるすべての導体層が、第１キャパシタ２０ａ及び第２キャパシタ２０ｂに含まれる内部電極層又は外部電極と同じ材料を含んでいることにより、受動電子部品４Ａの製造過程において、すべての導体層を、内部電極層又は外部電極と同じタイミングで形成できる。具体的には、第１導体層２１１ａを、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じタイミングで形成できる。また、第２導体層２１１ｂを、第４内部電極層２２ｄと同じタイミングで形成できる。また、第３導体層２１１ｃを、第２内部電極層２２ｂ又は第３内部電極層２２ｃと同じタイミングで形成できる。また、第４導体層２１１ｄを、第１内部電極層２２ａ又は第５内部電極層２２ｅと同じタイミングで形成できる。また、第５導体層２１１ｅを、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じタイミングで形成できる。また、第６導体層２１１ｆを、第４内部電極層２２ｄと同じタイミングで形成できる。また、第７導体層２１１ｇを、第２内部電極層２２ｂ又は第３内部電極層２２ｃと同じタイミングで形成できる。また、第８導体層２１１ｈを、第１内部電極層２２ａ又は第５内部電極層２２ｅと同じタイミングで形成できる。更に、第９導体層２１１ｊを、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄと同じタイミングで形成できる。したがって、受動電子部品４Ａの製造過程において、インダクタ２００を、第１キャパシタ２０ａ及び第２キャパシタ２０ｂと同じタイミングで形成できる。

[0215] 以上のように、受動電子部品４Ａの製造過程では、インダクタ２００を第１キャパシタ２０ａ及び第２キャパシタ２０ｂと同じタイミングで形成できるため、インダクタ２００の内部配線２１０に含まれる導体層を、第１キャパシタ２０ａ及び第２キャパシタ２０ｂに含まれる内部電極層と同様に厚く

形成できる。そのため、受動電子部品４Ａでは、インダクタ２００のＱ値を高めることが可能となる。

[0216] 更に、受動電子部品４Ａでは、インダクタ２００の内部配線２１０の巻回軸の方向が基板１０の第１主面１０ａに平行であるため、インダクタ１００の内部配線１１０の巻回軸の方向が基板１０の第１主面１０ａに垂直である受動電子部品３Ａと比較して、基板１０を貫通する磁束量が低減する。そのため、受動電子部品４Ａでは、インダクタ２００のＱ値を高めることが可能となる。

[0217] 受動電子部品４Ａは、例えば、第１内部電極層２２ａ又は第５内部電極層２２ｅを形成する工程で第４導体層２１１ｄ及び第８導体層２１１ｈを形成し、第２内部電極層２２ｂ又は第３内部電極層２２ｃを形成する工程で第３導体層２１１ｃ及び第７導体層２１１ｇを形成し、第４内部電極層２２ｄを形成する工程で第２導体層２１１ｂ及び第６導体層２１１ｆを形成し、第１外部電極２５ａ、第２外部電極２５ｂ、第３外部電極２５ｃ、又は、第４外部電極２５ｄを形成する工程で第１導体層２１１ａ、第５導体層２１１ｅ、及び、第９導体層２１１ｊを形成すること以外、受動電子部品２Ａと同様にして製造される。

[0218] 本発明の実施形態４の受動電子部品において、インダクタの内部配線に含まれる導体層の層数は、複数層であれば、上述した９層に限定されない。

[0219] 本発明の実施形態４の受動電子部品において、インダクタの内部配線に含まれるすべての導体層の材料の組み合わせは、第１内部電極層、第２内部電極層、第３内部電極層、第４内部電極層、第５内部電極層、第１外部電極、第２外部電極、第３外部電極、及び、第４外部電極から選択される組み合わせであれば、上述した組み合わせに限定されない。

[0220] 以上の実施形態では、第２内部電極層の全体と、第３内部電極層の全体とが、第１誘電体層の基板と反対側の表面に接している場合を例示したが、第２内部電極層の少なくとも一部と、第３内部電極層の少なくとも一部とが、第１誘電体層の基板と反対側の表面に接していればよい。つまり、第１誘電

体層の基板と反対側の表面に接しているのは、第２内部電極層の一部と第３内部電極層の一部との組み合わせであってもよいし、第２内部電極層の全体と第３内部電極層の一部との組み合わせであってもよいし、第２内部電極層の一部と第３内部電極層の全体との組み合わせであってもよいし、第２内部電極層の全体と第３内部電極層の全体との組み合わせであってもよい。例えば、図１４に示す受動電子部品１Ｂにおいて、第２内部電極層２２ｂのうち、第１方向Ｄ１で第１内部電極層２２ａに重ならない部分が、第１誘電体層２３ａを介さずに絶縁層３０に接する場合、第２内部電極層２２ｂの一部が、第１誘電体層２３ａの基板１０と反対側の表面に接することになる。また、図１４に示す受動電子部品１Ｂにおいて、第３内部電極層２２ｃのうち、第１方向Ｄ１で第４内部電極層２２ｄに重ならない部分が、第１誘電体層２３ａを介さずに絶縁層３０に接する場合、第３内部電極層２２ｃの一部が、第１誘電体層２３ａの基板１０と反対側の表面に接することになる。

[0221] 以上の実施形態では、１つの受動電子部品が、複数のキャパシタとして第１キャパシタ及び第２キャパシタを含む２つのキャパシタを有している場合を例示したが、１つの受動電子部品が、第１キャパシタ及び第２キャパシタを含む３つ以上のキャパシタを有していてもよい。

[0222] 本発明の受動電子部品では、すべてのキャパシタ（第１キャパシタ及び第２キャパシタを含む）について、容量形成部を構成する各キャパシタ素子は、複数層の誘電体層の積層体を含まずに、１層の誘電体層を含んでいることが好ましい。図２に示す例において、第１キャパシタ２０ａの第１容量形成部２１ａを構成する１つのキャパシタ素子は、１層の第１誘電体層２３ａを含んでいる。また、図２に示す例において、第２キャパシタ２０ｂの第２容量形成部２１ｂを構成する１つのキャパシタ素子は、１層の第２誘電体層２３ｂを含んでいる。

[0223] 本発明の受動電子部品が絶縁層を有している場合、絶縁層は、第１方向での基板とすべてのキャパシタ（第１キャパシタ及び第２キャパシタを含む）との間に設けられていることが好ましい。

[0224] 本発明の受動電子部品が耐湿保護層を有している場合、耐湿保護層は、すべてのキャパシタ（第１キャパシタ及び第２キャパシタを含む）の容量形成部を覆っていることが好ましい。

[0225] 本発明の受動電子部品が樹脂保護層を有している場合、樹脂保護層は、基板、及び、すべてのキャパシタ（第１キャパシタ及び第２キャパシタを含む）の容量形成部を覆っていることが好ましい。

[0226] 本明細書には、以下の内容が開示されている。

[0227] ＜１＞

第１方向に相対する第１主面及び第２主面を有する基板と、

上記基板に対して上記第１主面側に設けられた複数のキャパシタと、を備え、

複数の上記キャパシタは、第１キャパシタと、上記第１方向に垂直な第２方向で上記第１キャパシタから離れた第２キャパシタと、を含み、

上記第１キャパシタは、上記第１方向の上記基板側から順に積層された、第１内部電極層と、第１誘電体層と、第２内部電極層とを含む第１容量形成部を有し、

上記第２キャパシタは、上記第１方向の上記基板側から順に積層された、第３内部電極層と、第２誘電体層と、第４内部電極層とを含む第２容量形成部を有し、

上記第２内部電極層の少なくとも一部と、上記第３内部電極層の少なくとも一部とは、上記第１誘電体層の上記基板と反対側の表面に接している、ことを特徴とする受動電子部品。

[0228] ＜２＞

上記第１容量形成部の上記第１誘電体層と、上記第２容量形成部の上記第２誘電体層とは、上記第１方向における寸法が互いに異なっている、＜１＞に記載の受動電子部品。

[0229] ＜３＞

上記第１キャパシタは、上記第１内部電極層に接続された第１外部電極と

、上記第２内部電極層に接続された第２外部電極と、を更に有し、

上記第２キャパシタは、上記第３内部電極層に接続された第３外部電極と、上記第４内部電極層に接続された第４外部電極と、を更に有している、＜１＞又は＜２＞に記載の受動電子部品。

[0230] ＜４＞

上記第２容量形成部は、上記第３内部電極層に対して上記第１方向の上記基板側に順に積層された、上記第１誘電体層と、第５内部電極層と、を更に含んでいる、＜１＞又は＜２＞に記載の受動電子部品。

[0231] ＜５＞

上記第１キャパシタは、上記第１内部電極層に接続された第１外部電極と、上記第２内部電極層に接続された第２外部電極と、を更に有し、

上記第２キャパシタは、上記第５内部電極層に接続された第３外部電極と、上記第４内部電極層に接続された第４外部電極と、を更に有している、＜４＞に記載の受動電子部品。

[0232] ＜６＞

上記第１方向から平面視したとき、上記第２外部電極の周縁は、上記第２内部電極層の周縁よりも内側に位置している、＜３＞又は＜５＞に記載の受動電子部品。

[0233] ＜７＞

上記第１方向から平面視したとき、上記第４外部電極の周縁は、上記第４内部電極層の周縁よりも内側に位置している、＜３＞又は＜５＞に記載の受動電子部品。

[0234] ＜８＞

少なくとも１層の導体層を含む内部配線が巻回されてなるインダクタを更に備え、

上記内部配線の巻回軸の方向は、上記基板の上記第１主面に垂直であり、

すべての上記導体層は、各々独立して、上記第１内部電極層、上記第２内部電極層、上記第３内部電極層、上記第４内部電極層、上記第５内部電極層

、上記第１外部電極、上記第２外部電極、上記第３外部電極、又は、上記第４外部電極と同じ材料を含んでいる、＜５＞に記載の受動電子部品。

[0235] ＜９＞

複数層の導体層を含む内部配線が巻回されてなるインダクタを更に備え、

上記内部配線の巻回軸の方向は、上記基板の上記第１主面に平行であり、

すべての上記導体層は、各々独立して、上記第１内部電極層、上記第２内部電極層、上記第３内部電極層、上記第４内部電極層、上記第５内部電極層、上記第１外部電極、上記第２外部電極、上記第３外部電極、又は、上記第４外部電極と同じ材料を含んでいる、＜５＞に記載の受動電子部品。

[0236] ＜１０＞

上記第１方向での上記基板と上記第１キャパシタとの間、及び、上記第１方向での上記基板と上記第２キャパシタとの間に設けられた絶縁層を更に備えている、＜１＞～＜９＞のいずれか１つに記載の受動電子部品。

[0237] ＜１１＞

上記第１容量形成部及び上記第２容量形成部を覆う耐湿保護層を更に備えている、＜１＞～＜１０＞のいずれか１つに記載の受動電子部品。

[0238] ＜１２＞

上記基板、上記第１容量形成部、及び、上記第２容量形成部を覆う樹脂保護層を更に備えている、＜１＞～＜１１＞のいずれか１つに記載の受動電子部品。

符号の説明

[0239] １Ａ、１Ｂ、２Ａ、２Ｂ、３Ａ、４Ａ　受動電子部品

１０　基板

１０ａ　基板の第１主面

１０ｂ　基板の第２主面

２０　キャパシタ

２０ａ　第１キャパシタ

２０ｂ　第２キャパシタ

２１ａ　第１容量形成部

２１ｂ　第２容量形成部

２２ａ　第１内部電極層

２２ｂ　第２内部電極層

２２ｃ　第３内部電極層

２２ｄ　第４内部電極層

２２ｅ　第５内部電極層

２３ａ　第１誘電体層

２３ｂ　第２誘電体層

２５ａ　第１外部電極

２５ｂ　第２外部電極

２５ｃ　第３外部電極

２５ｄ　第４外部電極

２５ｅ　第５外部電極

３０　絶縁層

４０　耐湿保護層

５０　樹脂保護層

２３ａｈ、２３ｂｈａ、２３ｂｈｂ、２３ｂｈｃ、４０ｈａ、４０ｈｂ、４０ｈｃ、４０ｈｄ、５０ｈａ、５０ｈｂ、５０ｈｃ、５０ｈｄ、６０ｈａ、６０ｈｂ、６０ｈｃ、６０ｈｄ　貫通孔

１００、２００　インダクタ

１１０、２１０　内部配線

１１１ａ、２１１ａ　第１導体層

１１１ｂ、２１１ｂ　第２導体層

１１１ｃ、２１１ｃ　第３導体層

２１１ｄ　第４導体層

２１１ｅ　第５導体層

２１１ｆ　第６導体層

２１１ｇ　第７導体層

２１１ｈ　第８導体層

２１１ｊ　第９導体層

Ｄ１　第１方向

Ｄ２　第２方向

Ｄ３　第３方向

Ｒ　第２方向での第１キャパシタ（第１容量形成部）と第２キャパシタ（第２容量形成部）との間の領域

Ｔ１　第１容量形成部の第１誘電体層の第１方向における寸法

Ｔ２　第２容量形成部の第２誘電体層の第１方向における寸法

請求の範囲

[請求項1] 第１方向に相対する第１主面及び第２主面を有する基板と、

前記基板に対して前記第１主面側に設けられた複数のキャパシタと、を備え、

複数の前記キャパシタは、第１キャパシタと、前記第１方向に垂直な第２方向で前記第１キャパシタから離れた第２キャパシタと、を含み、

前記第１キャパシタは、前記第１方向の前記基板側から順に積層された、第１内部電極層と、第１誘電体層と、第２内部電極層とを含む第１容量形成部を有し、

前記第２キャパシタは、前記第１方向の前記基板側から順に積層された、第３内部電極層と、第２誘電体層と、第４内部電極層とを含む第２容量形成部を有し、

前記第２内部電極層の少なくとも一部と、前記第３内部電極層の少なくとも一部とは、前記第１誘電体層の前記基板と反対側の表面に接している、ことを特徴とする受動電子部品。

[請求項2] 前記第１容量形成部の前記第１誘電体層と、前記第２容量形成部の前記第２誘電体層とは、前記第１方向における寸法が互いに異なっている、請求項１に記載の受動電子部品。

[請求項3] 前記第１キャパシタは、前記第１内部電極層に接続された第１外部電極と、前記第２内部電極層に接続された第２外部電極と、を更に有し、

前記第２キャパシタは、前記第３内部電極層に接続された第３外部電極と、前記第４内部電極層に接続された第４外部電極と、を更に有している、請求項１又は２に記載の受動電子部品。

[請求項4] 前記第２容量形成部は、前記第３内部電極層に対して前記第１方向の前記基板側に順に積層された、前記第１誘電体層と、第５内部電極層と、を更に含んでいる、請求項１又は２に記載の受動電子部品。

[請求項5] 前記第１キャパシタは、前記第１内部電極層に接続された第１外部電極と、前記第２内部電極層に接続された第２外部電極と、を更に有し、

前記第２キャパシタは、前記第５内部電極層に接続された第３外部電極と、前記第４内部電極層に接続された第４外部電極と、を更に有している、請求項４に記載の受動電子部品。

[請求項6] 前記第１方向から平面視したとき、前記第２外部電極の周縁は、前記第２内部電極層の周縁よりも内側に位置している、請求項３又は５に記載の受動電子部品。

[請求項7] 前記第１方向から平面視したとき、前記第４外部電極の周縁は、前記第４内部電極層の周縁よりも内側に位置している、請求項３又は５に記載の受動電子部品。

[請求項8] 少なくとも１層の導体層を含む内部配線が巻回されてなるインダクタを更に備え、

前記内部配線の巻回軸の方向は、前記基板の前記第１主面に垂直であり、

すべての前記導体層は、各々独立して、前記第１内部電極層、前記第２内部電極層、前記第３内部電極層、前記第４内部電極層、前記第５内部電極層、前記第１外部電極、前記第２外部電極、前記第３外部電極、又は、前記第４外部電極と同じ材料を含んでいる、請求項５に記載の受動電子部品。

[請求項9] 複数層の導体層を含む内部配線が巻回されてなるインダクタを更に備え、

前記内部配線の巻回軸の方向は、前記基板の前記第１主面に平行であり、

すべての前記導体層は、各々独立して、前記第１内部電極層、前記第２内部電極層、前記第３内部電極層、前記第４内部電極層、前記第５内部電極層、前記第１外部電極、前記第２外部電極、前記第３外部

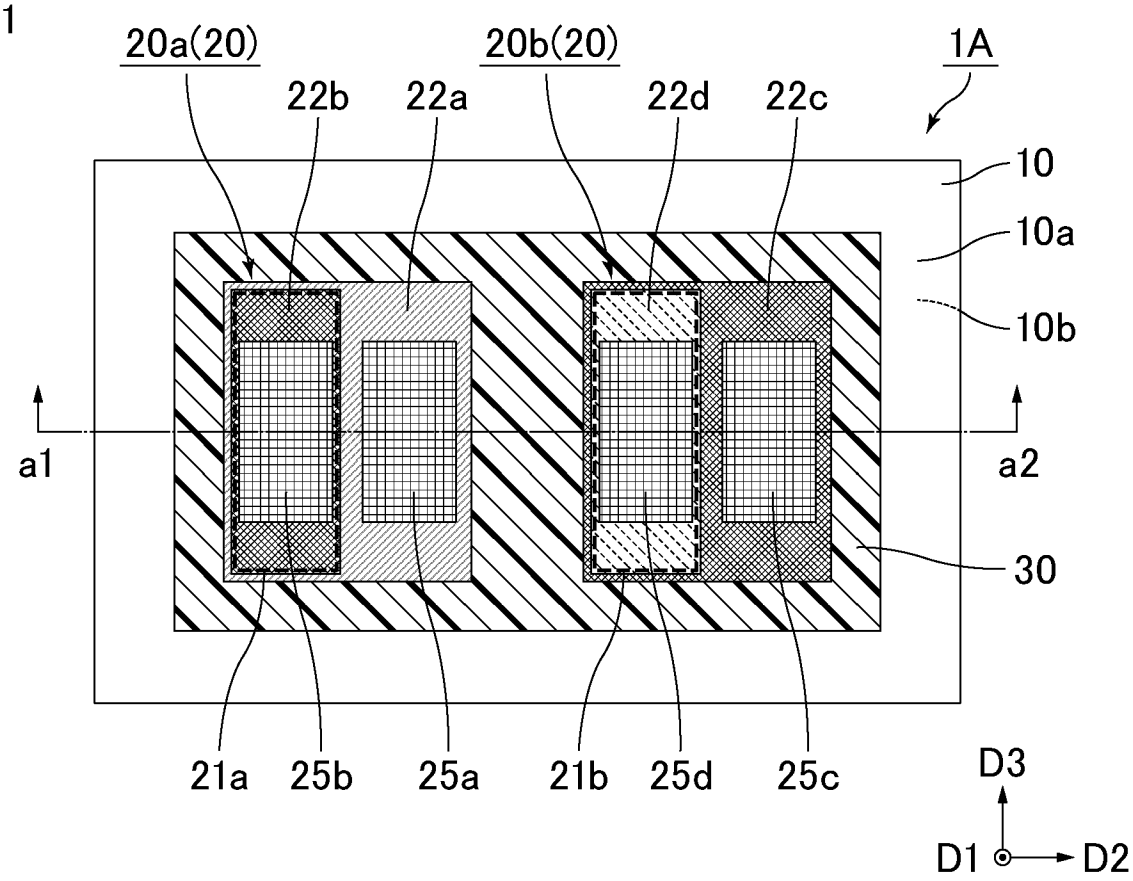
電極、又は、前記第４外部電極と同じ材料を含んでいる、請求項５に記載の受動電子部品。

[請求項10] 前記第１方向での前記基板と前記第１キャパシタとの間、及び、前記第１方向での前記基板と前記第２キャパシタとの間に設けられた絶縁層を更に備えている、請求項１～９のいずれか１つに記載の受動電子部品。

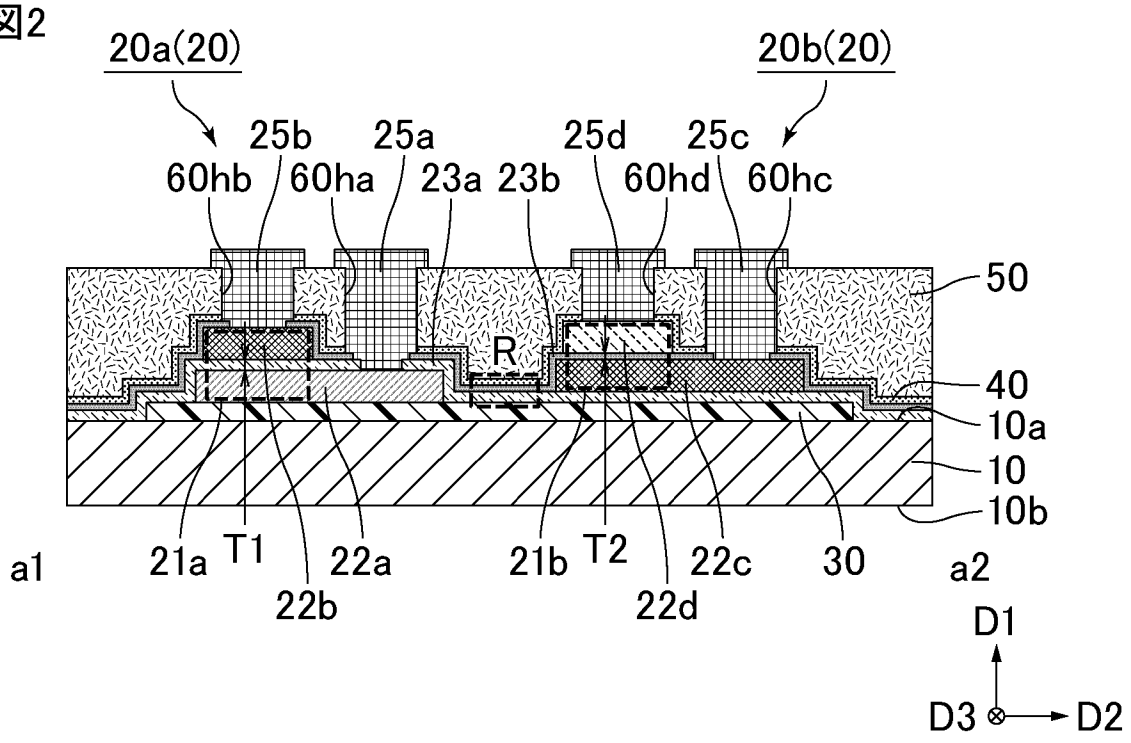
[請求項11] 前記第１容量形成部及び前記第２容量形成部を覆う耐湿保護層を更に備えている、請求項１～１０のいずれか１つに記載の受動電子部品。

[請求項12] 前記基板、前記第１容量形成部、及び、前記第２容量形成部を覆う樹脂保護層を更に備えている、請求項１～１１のいずれか１つに記載の受動電子部品。

[図1]
図1

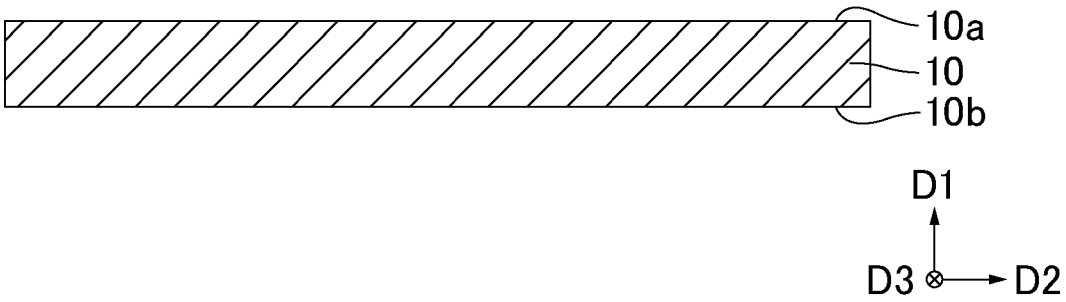

20a(20)
20b(20)
1A
22b
22a
22d
22c
10
10a
10b
a1
a2
30
21a
25b
25a
21b
25d
25c
D3
D1
D2

[図2]
図2


20a(20)
20b(20)
25b
25a
25d
25c
60hb
60ha
23a
23b
60hd
60hc
50
R
40
10a
10
10b
a1
21a
T1
22b
22a
21b
T2
22d
22c
30
a2
D1
D3
D2

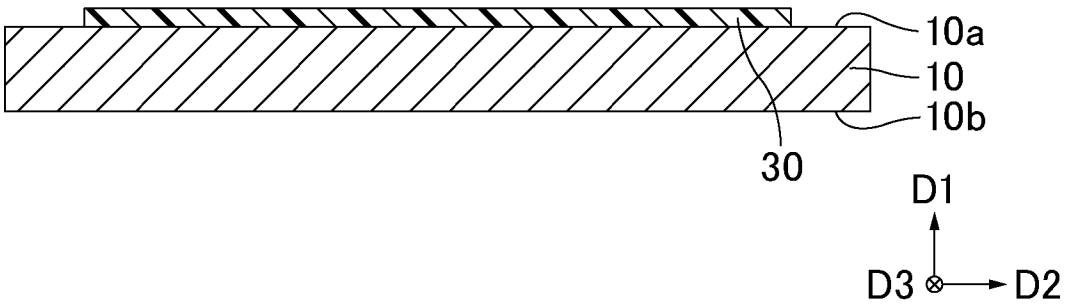
[図3]

図3



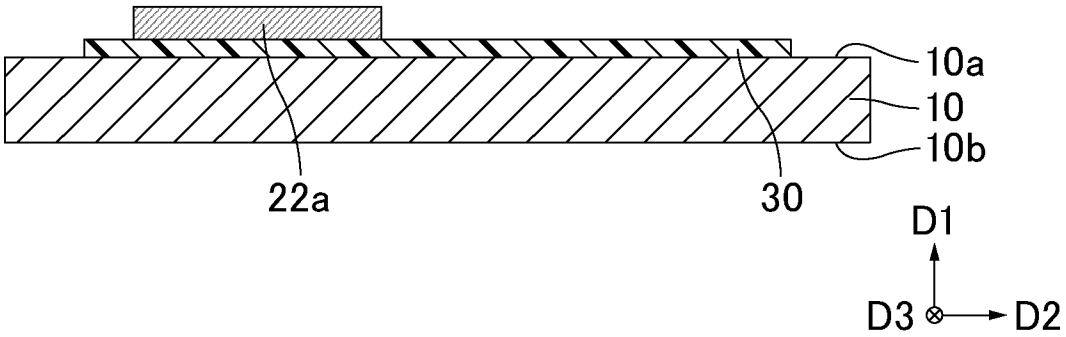
[図4]

図4



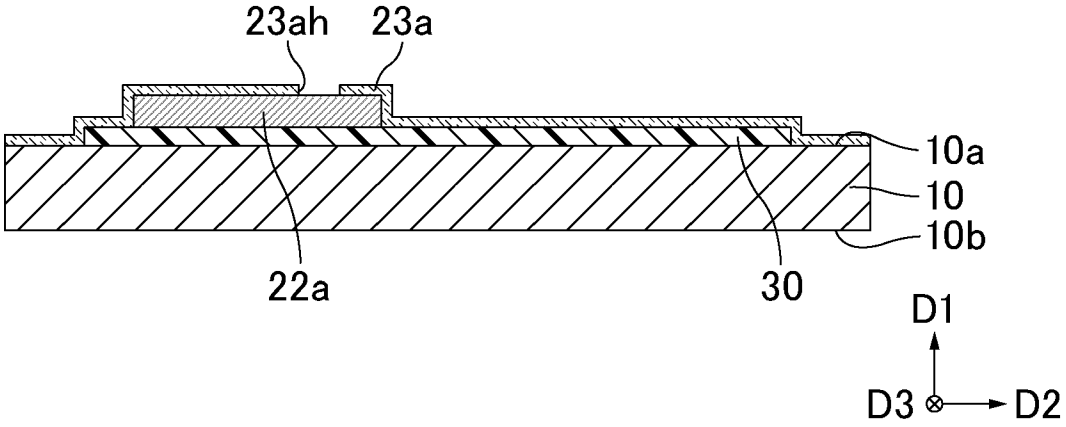
[図5]

図5



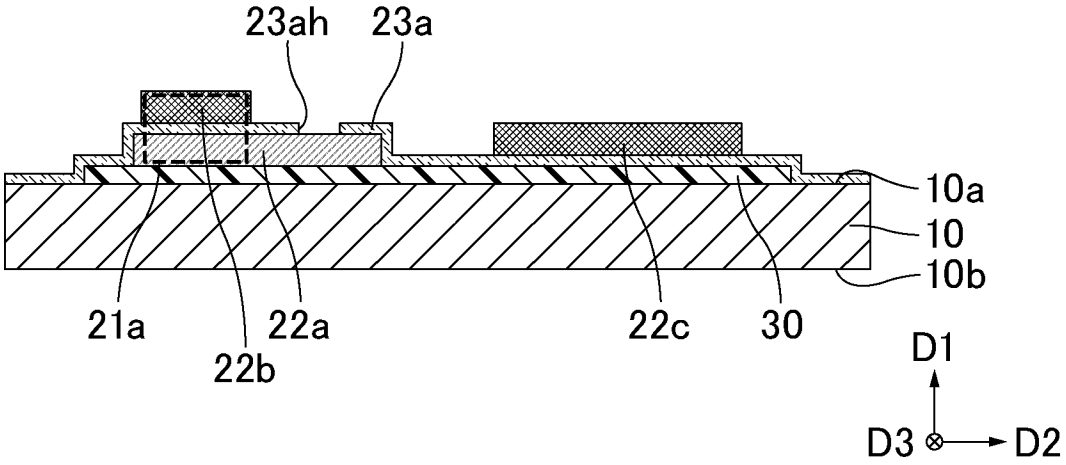
[図6]

図6



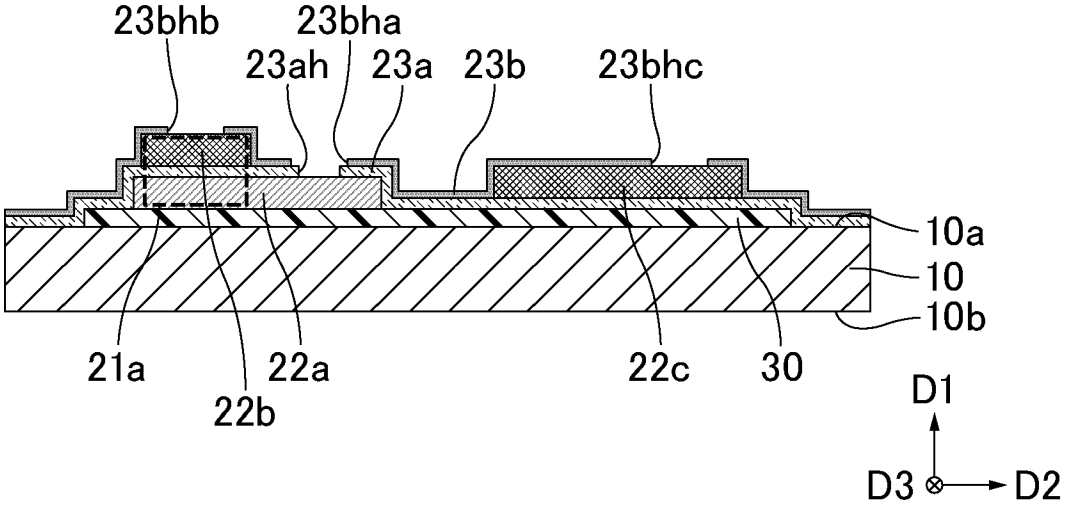
[図7]

図7



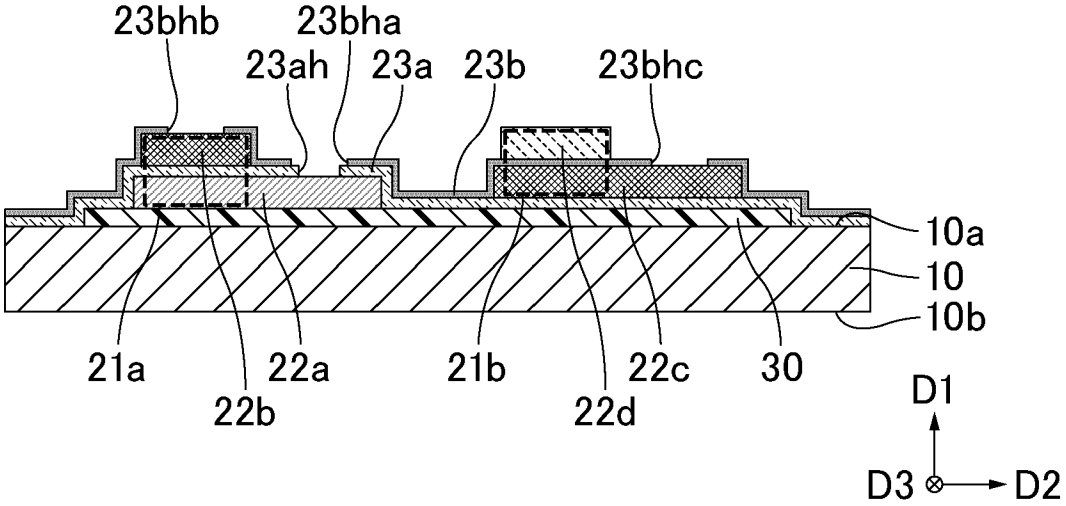
[図8]

図8



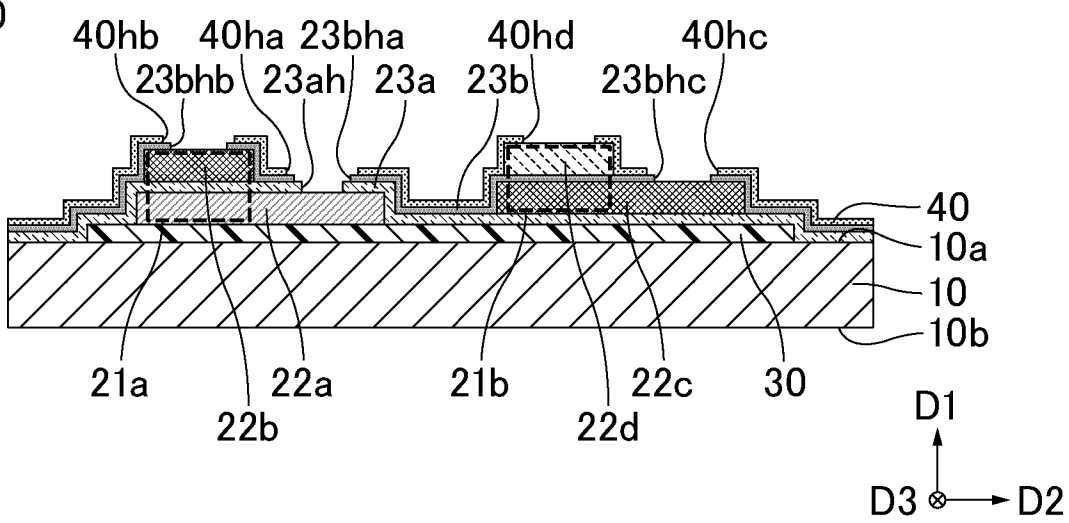
[図9]

図9



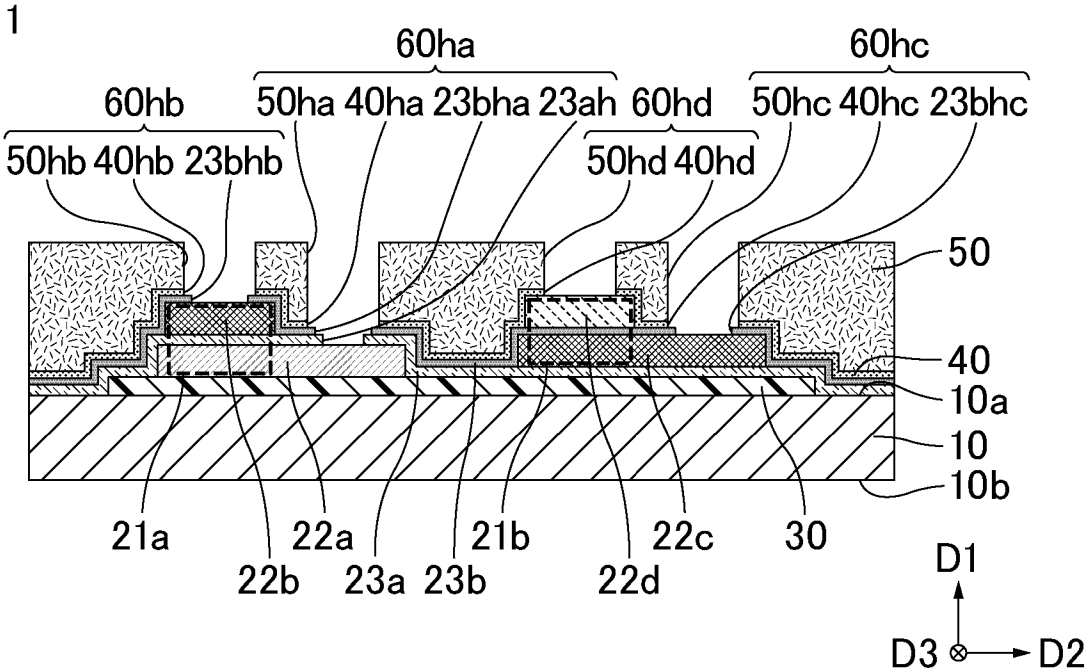
[図10]

図10



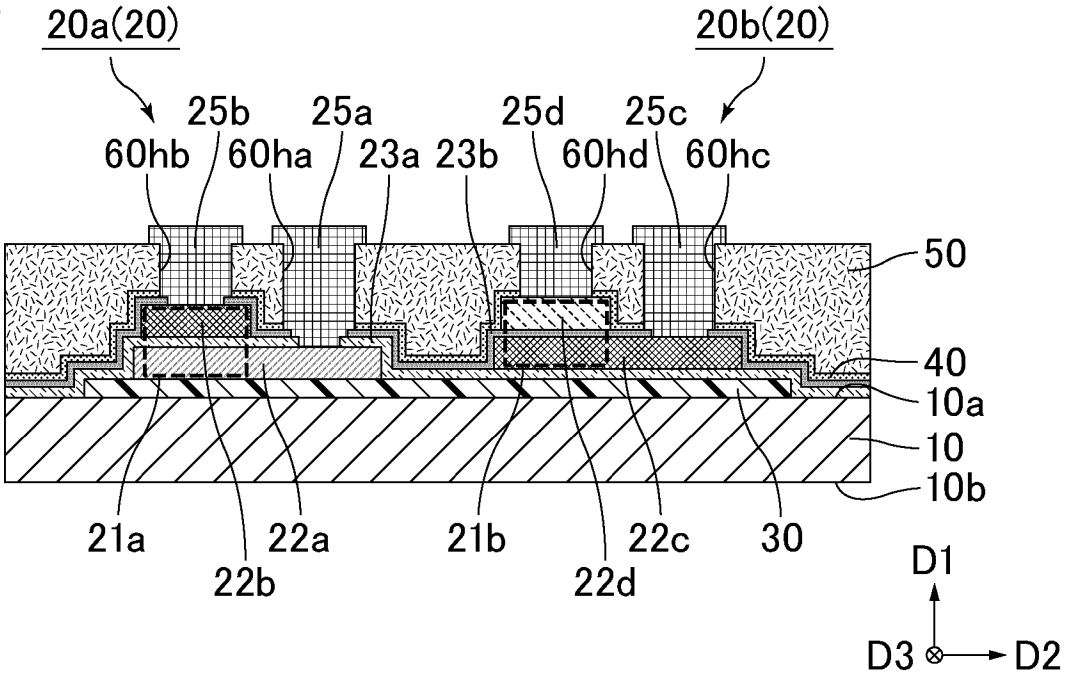
[図11]

図11



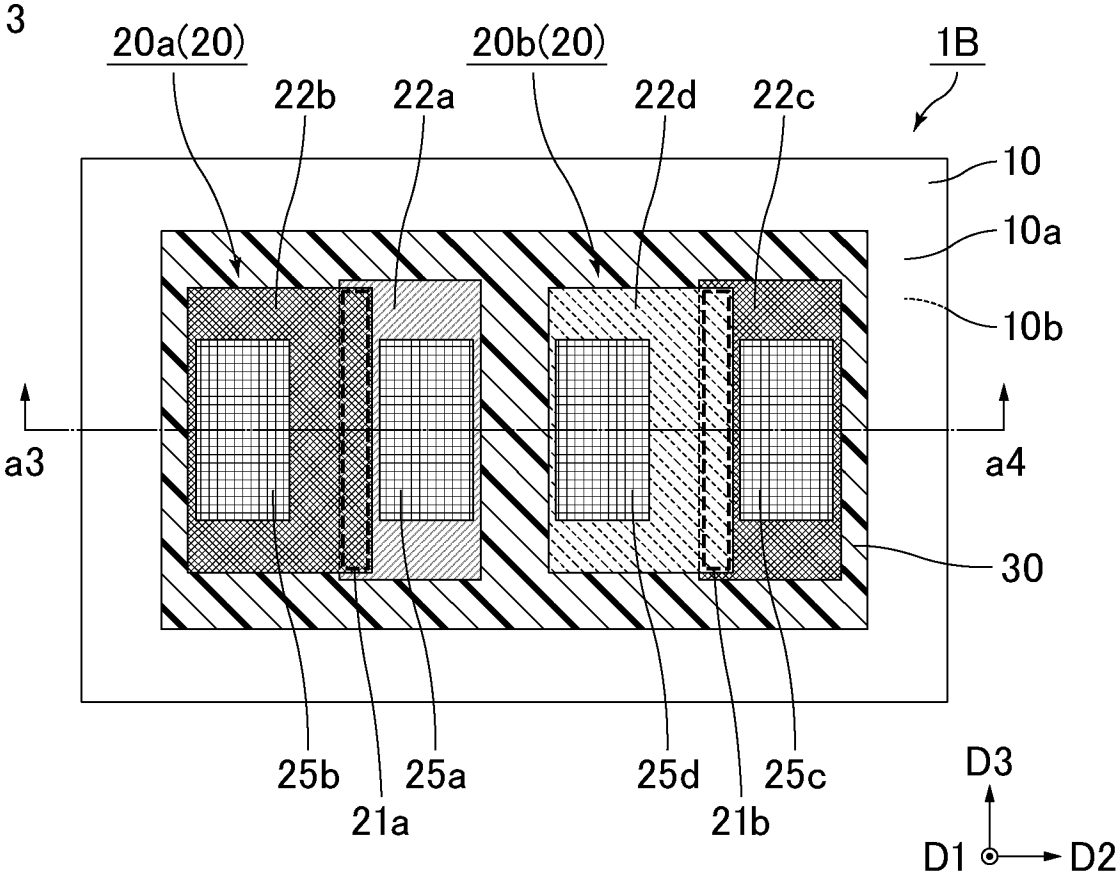
[図12]

図12



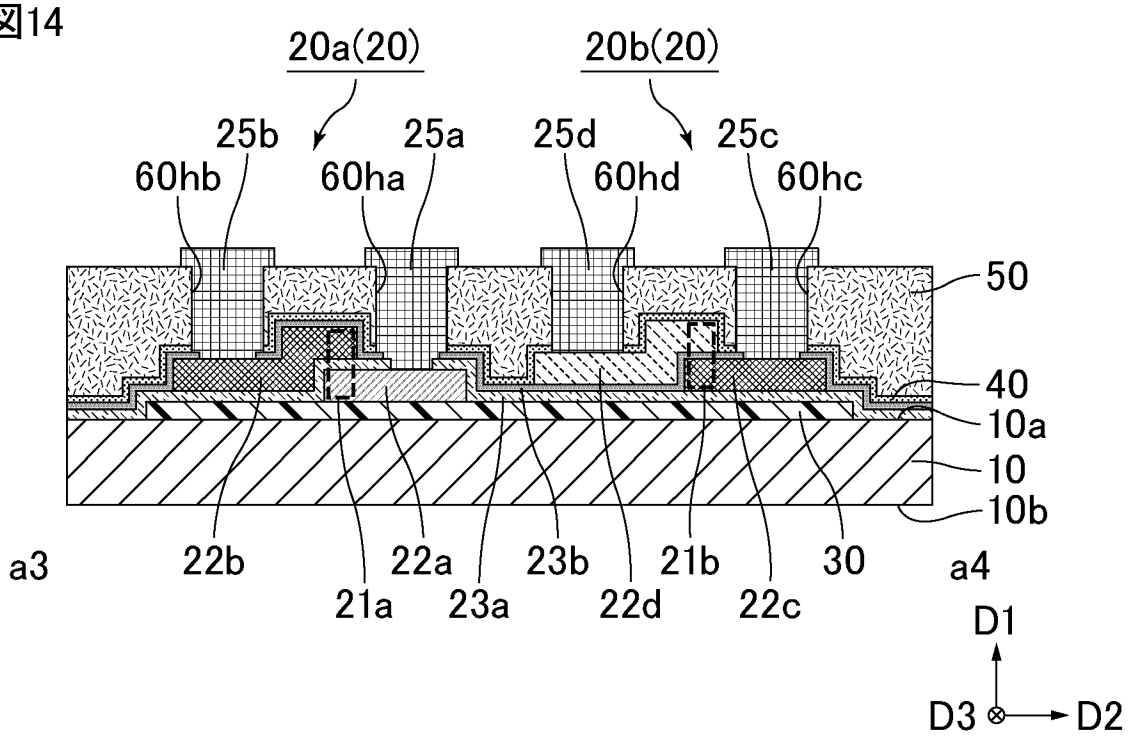
[図13]

図13



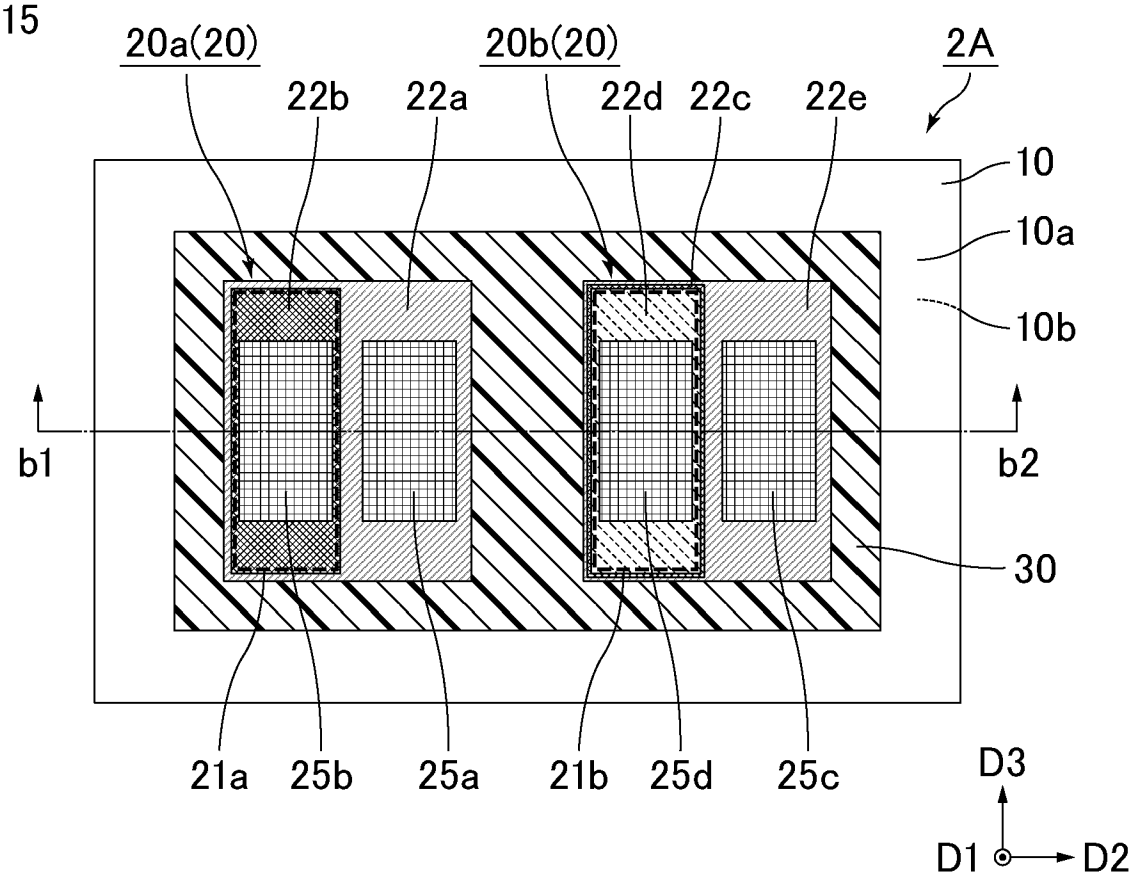
[図14]

図14



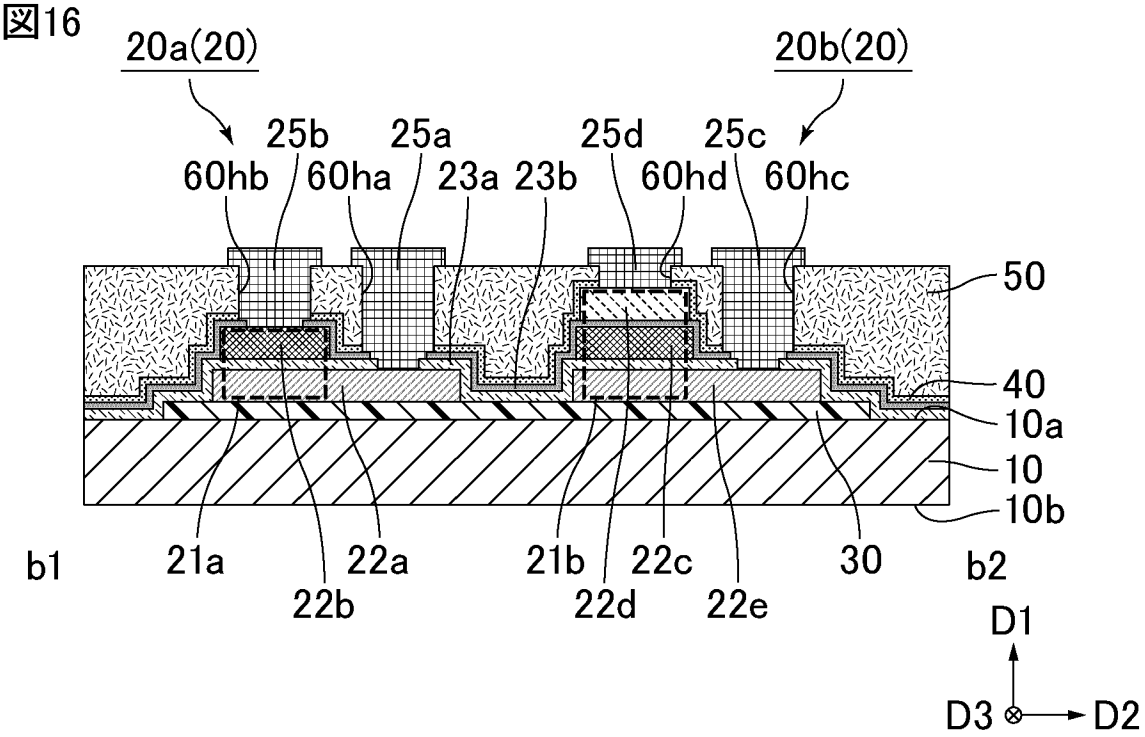
[図15]

図15



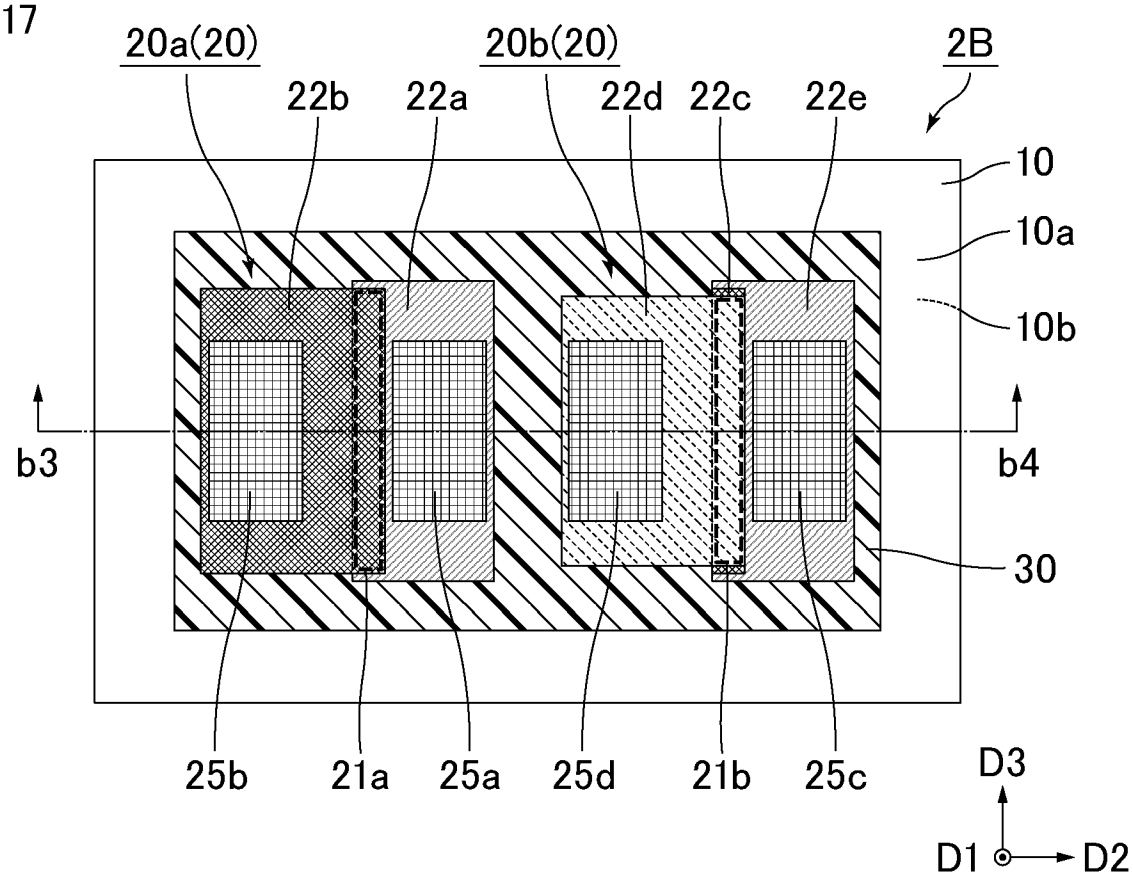
[図16]

図16

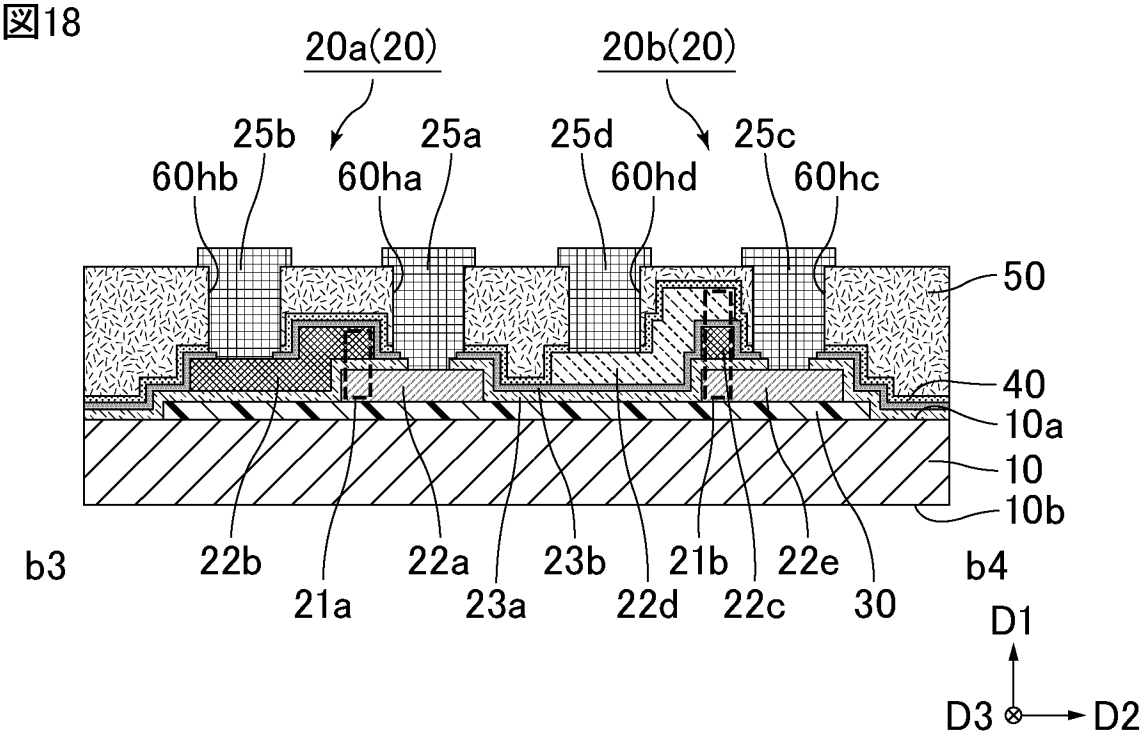


[図17]

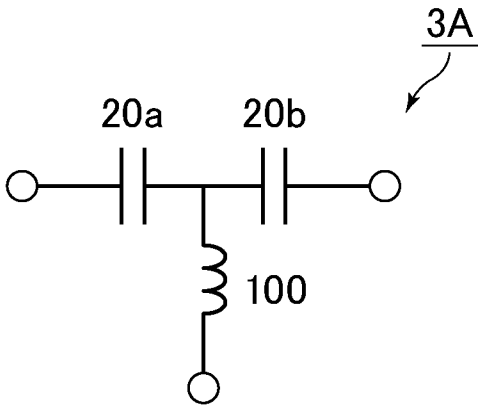
図17



[図18]
図18

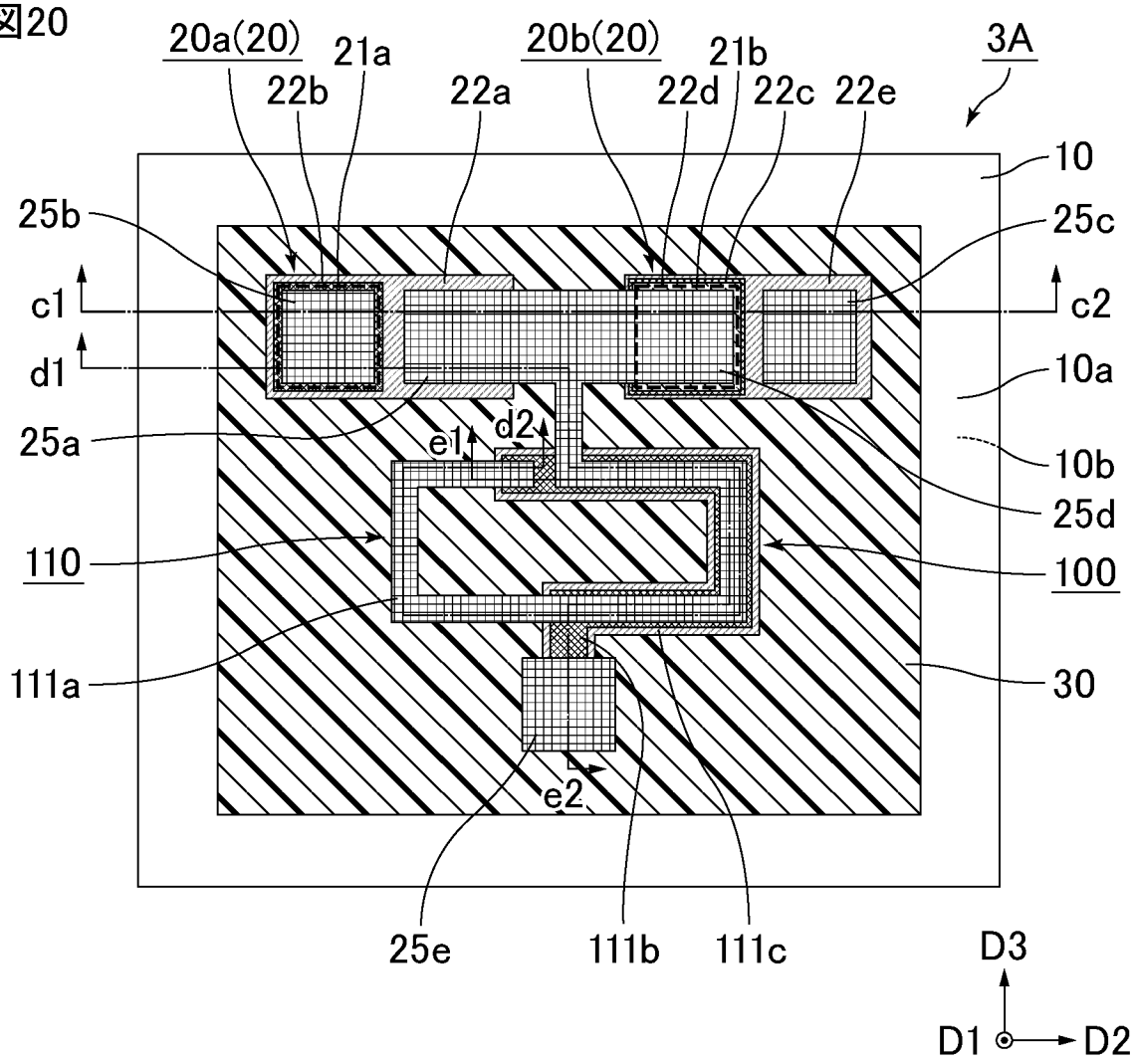


[図19]
図19



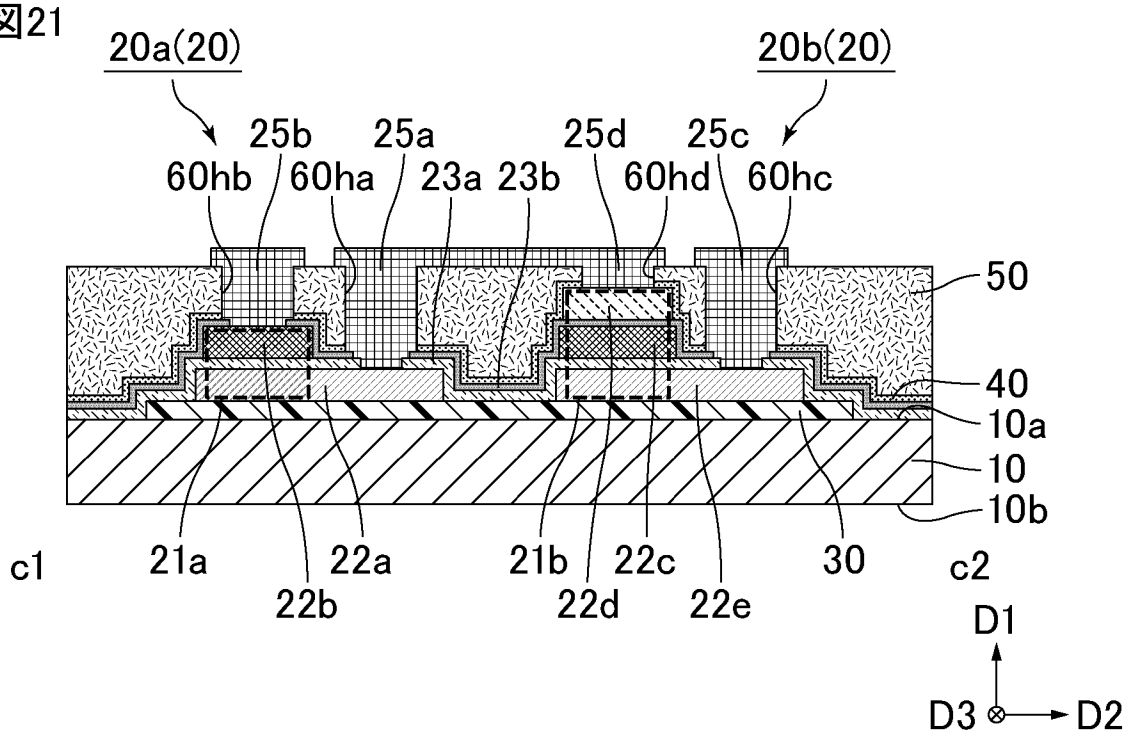
[図20]

図20



[図21]

図21



[図22]

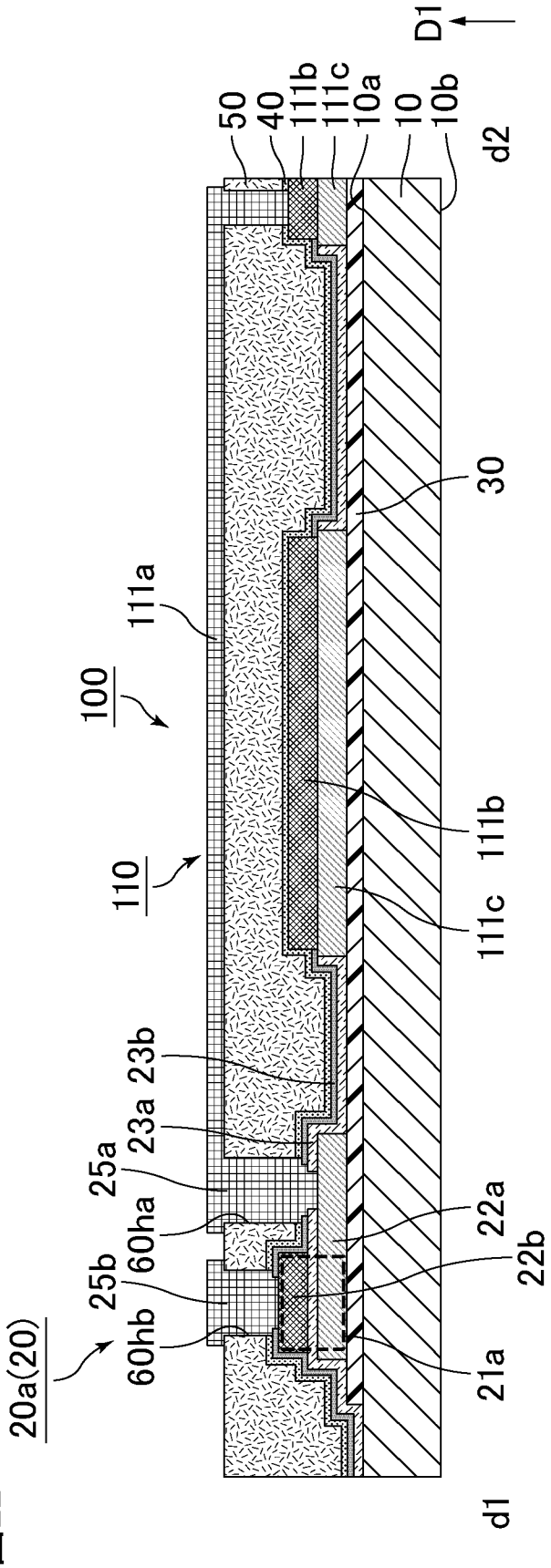

D1
50
40
111b
111c
10a
10
10b
d2
30
111a
100
110
111b
111c
23b
23a
25a
60ha
22a
25b
60hb
22b
20a(20)
21a
d1

図22

[図23]

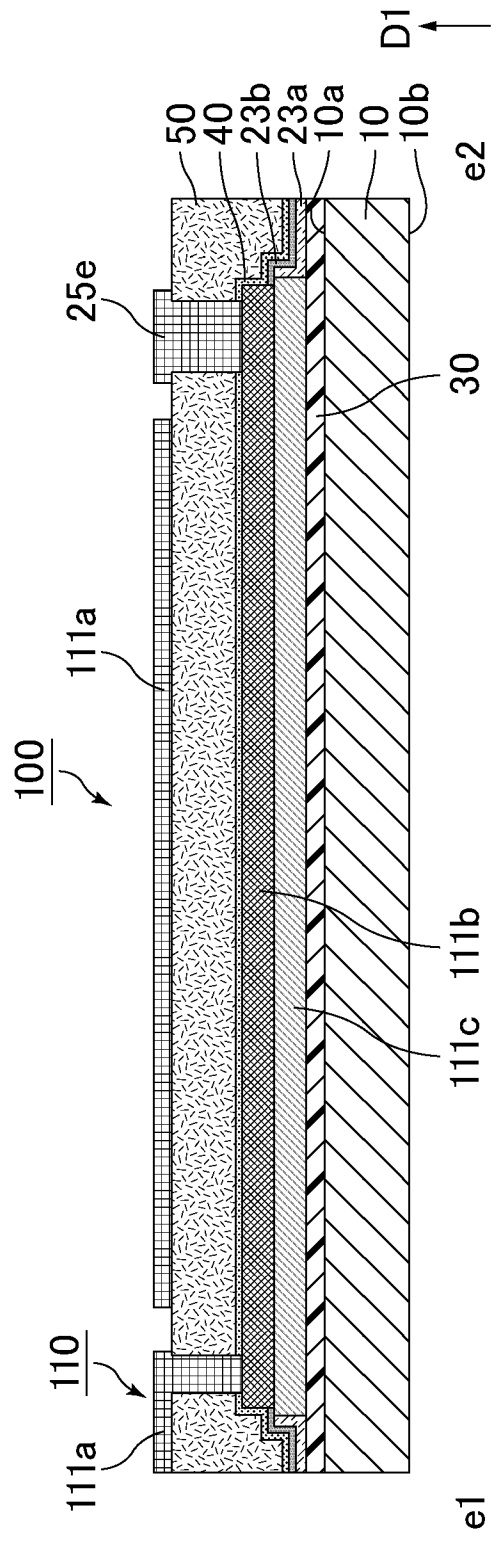
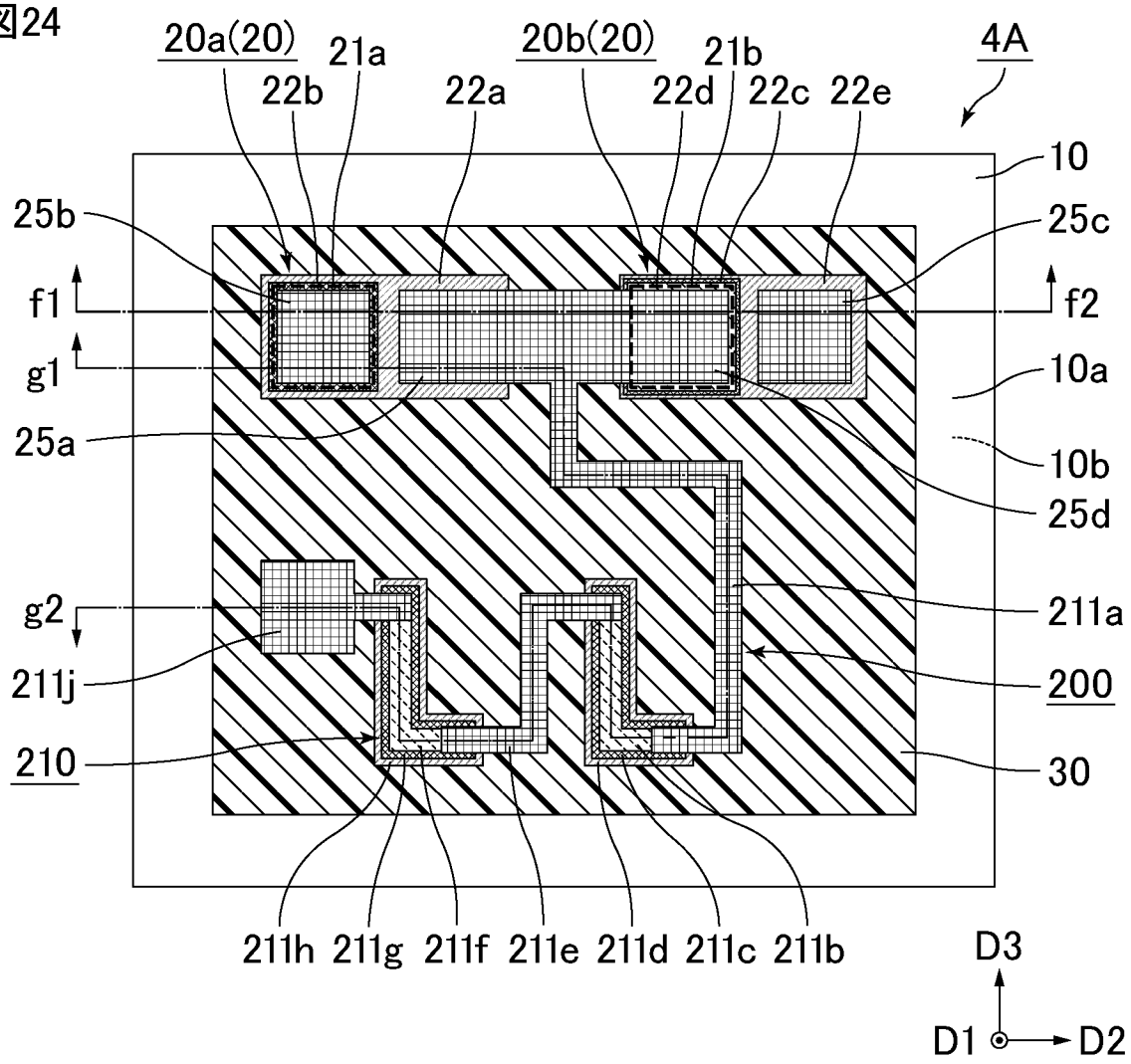

D1
50
40
23b
23a
10a
10
10b
e2
25e
30
111a
100
111b
111c
110
111a
e1

図23

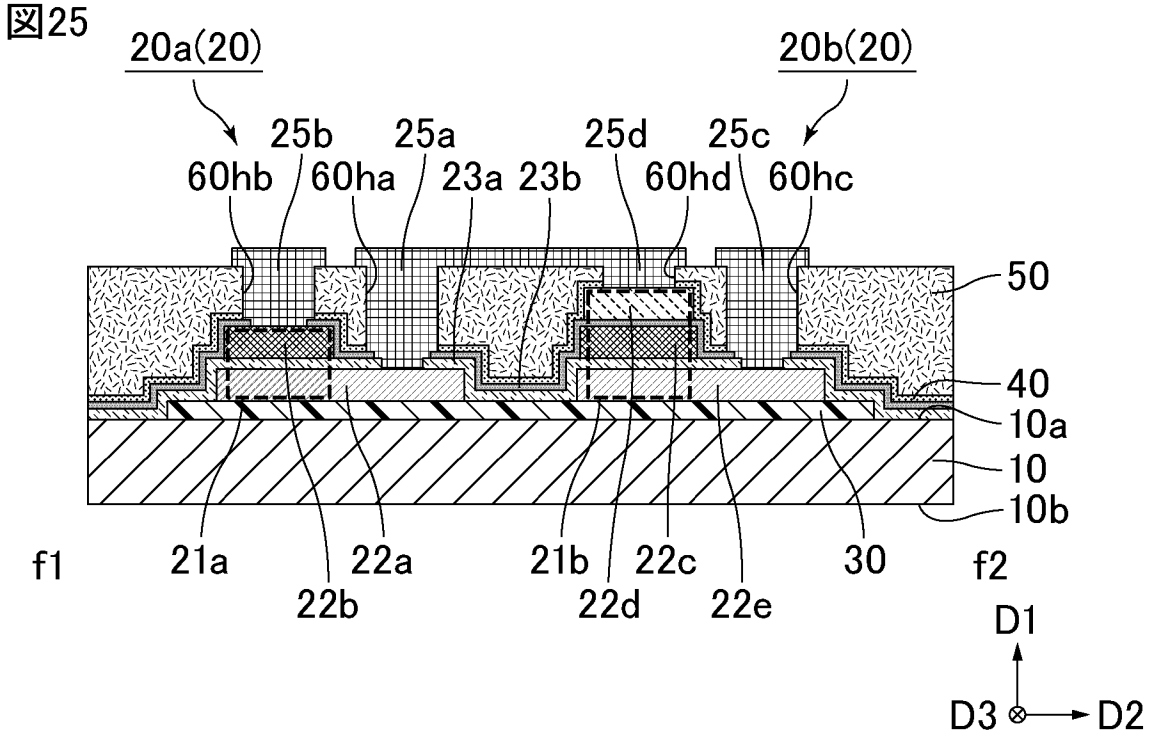
[図24]

図24



[図25]

図25



[図26]

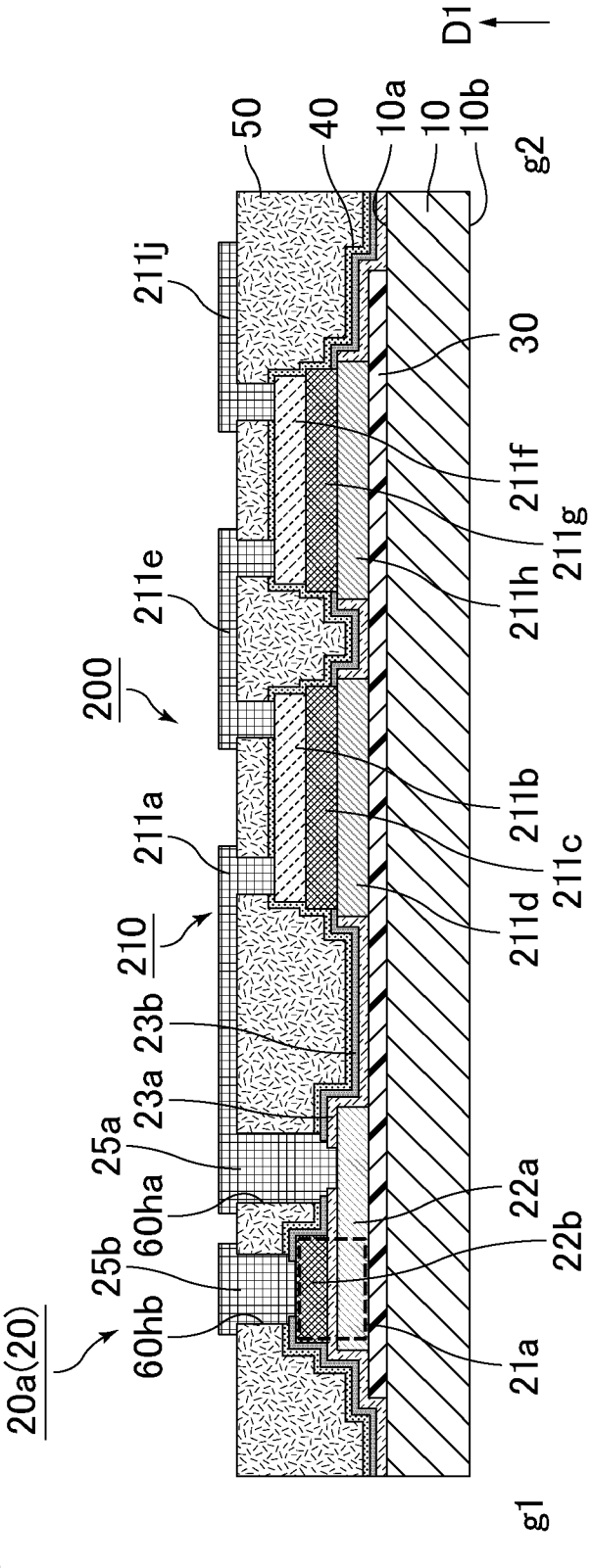

D1
50
40
10a
10
10b
g2
211j
30
211f
211g
211h
211e
200
211b
211c
211d
211a
210
23b
23a
25a
22a
60ha
25b
22b
60hb
20a(20)
21a
g1

図26

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/029567

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/33(2006.01)i; ***H01G 4/30***(2006.01)i; ***H01G 4/38***(2006.01)i; ***H01G 4/40***(2006.01)i
FI: H01G4/33 102; H01G4/30 541; H01G4/40 321A; H01G4/38 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/33; H01G4/30; H01G4/38; H01G4/40;H05K1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2022-103601 A (TDK CORPORATION) 08 July 2022 (2022-07-08)	1-12
A	JP 9-121023 A (OLYMPUS OPTICAL CO., LTD.) 06 May 1997 (1997-05-06)	1-12
A	WO 2022/239717 A1 (MURATA MANUFACTURING CO., LTD.) 17 November 2022 (2022-11-17)	1-12

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 September 2024	**01 October 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/029567

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-103601 A	08 July 2022	(Family: none)	
JP 9-121023 A	06 May 1997	(Family: none)	
WO 2022/239717 A1	17 November 2022	US 2024/0062958 A1	
		CN 117280433 A	

国際調査報告

国際出願番号
PCT/JP2024/029567

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01G 4/33(2006.01)i; H01G 4/30(2006.01)i; H01G 4/38(2006.01)i; H01G 4/40(2006.01)i
FI: H01G4/33 102; H01G4/30 541; H01G4/40 321A; H01G4/38 A

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01G4/33; H01G4/30; H01G4/38; H01G4/40;H05K1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2022-103601 A (ＴＤＫ株式会社) 08.07.2022 (2022-07-08)	1-12
A	JP 9-121023 A (オリンパス光学工業株式会社) 06.05.1997 (1997-05-06)	1-12
A	WO 2022/239717 A1 (株式会社村田製作所) 17.11.2022 (2022-11-17)	1-12

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.09.2024	01.10.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

小南　奈都子 5D 1981

電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/029567

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-103601 A	08.07.2022	（ファミリーなし）	
JP 9-121023 A	06.05.1997	（ファミリーなし）	
WO 2022/239717 A1	17.11.2022	US 2024/0062958 A1	
		CN 117280433 A	