[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H04N 5/95

[12]发明专利说明书

[21] ZL 专利号 95119127.6

[45]授权公告日 2002 年 2 月 27 日

[11]授权公告号 CN 1080064C

[22]申请日 1995.9.28 [24]颁证日 2002.2.27
[21]申请号 95119127.6
[30]优先权
[32]1994.9.28 [33]JP [31]232890/94
[32]1994.12.16 [33]JP [31]313215/94
[32]1995.3.27 [33]JP [31]67740/95
[73]专利权人 松下电器产业株式会社
地址 日本大阪府
[72]发明人 山内荣二 桥本清一 冈秀美
加代孝男 日高岩 山本芳纪
[56]参考文献
US 5065230 1991.11.12 H04N9/74
审查员 郭 雯

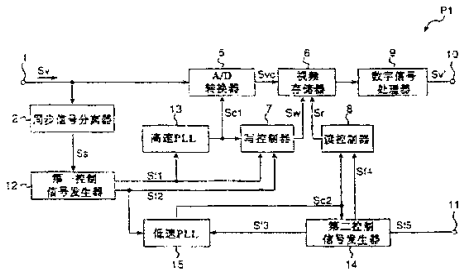
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 王 岳

权利要求书 3 页 说明书 31 页 附图页数 12 页

[54]发明名称 数字处理装置

[57]摘要

数字处理装置 P1 包括产生锁定在视频信号的水平同步信号 H. sync. 上的第一 时钟 信号 Sc1 的高速响应 PLL(13),模数转化装置 19 根据 Sc1 把输入视频 信号 Sv 转换成数字视频信号 SVc。写控制器 7 基于 Sc1 控制视频存储器 6 以 存储 Svc。低速响应 PLL(15)基于包括在 Sv 中的垂直同步信号 V. sync. 产 生第二时钟信号 Sc2。读控制器 8 基于信号 Sc2 控制视频存储器 6 以从其中 读出数字化视频信号 Svc。



ISSN1008-4274

权 利 要 求 书

1.一种数字处理装置(P1)，用于处理包括具有第一预定频率的第一同步信号(H.sync.)及具有小于所述第一预定频率的第二预定频率的第二同步信号(V.sync)的模拟量信号(Sv)，所述装置包括:

第一参考信号发生装置(2 和 12)，用于基于所述第一同步信号(H. sync.)产生第一参考信号(Sf1);

第二参考信号发生装置(2 和 12)，用于基于所述第一同步信号(H.sync.)产生第二参考信号(Sf2);

第一时钟信号发生装置(13)，用于产生其相位锁在所述第一参考信号(Sf1)上的第一时钟信号(Sc1);

一个模数转化装置(5)，用于根据所述第一时钟信号(Sc1)采样所述模拟量源信号(sv)以产生数字化源信号(Svc);

一个存储装置(6)，用于至少存储一场数字化信号;

一个写控制装置(7)，用于基于所述第一参考信号(Sf1)及所述第一时钟信号(Sc1)控制所述存储装置(6)以存储所述数字化源信号(Svc);

第三参考信号发生装置(14)，用于基于所述第二时钟信号(Sc2)产生第三及第四参考信号(Sf3 和 Sf4)，第三及第四参考信号(Sf3 和 Sf4)的每个具有一个为所述第二时钟信号(Sc2)分谐波的预定频率;

一个第二时钟信号发生装置(15)，用于产生与第二及第三参考信号(Sf2 和 Sf3)同步的第二时钟信号(Sc2);

一个读控制装置(8)，用于基于所述第四参考信号(Sf4)和所述第二时钟信号(Sc2)控制所述存储装置(6)以从其中读出所述存储的数字化源信号(Sv')。

2.根据权利要求 1 所述的数字处理装置(P1)，进一步包括一个记录装置(9, Ru, 23)，用于把这读出数字化源信号(Sv')记录到一个记录介质(22)中。

3.根据权利要求 1 所述的数字处理装置(P1)，其特征是: 所述存储装置(6)能够重新排列存储在其中的所述数字化数据的顺序。

4.根据权利要求 1 所述的数字处理装置(P1)，其特征是: 所述存储装置(6)通过改变在所述存储装置(6)中存储的信号频率能够变换亮度信号数据和

色差信号数据的频率并且读出所述数字化数据(Svc)。

5.根据权利要求 2 所述的数字处理装置(P1)，其特征是：所述第二控制信号发生器(14)根据所述记录介质(22)产生一个用于控制所述记录单元(Ru)的伺服信号(Sf5)。

6.一种数字处理装置(P2)，用于处理包括具有第一预定频率的第一同步信号(H.sync)及具有小于所述第一预定频率的第二预定频率的第二同步信号(V.sync)的模拟量源信号(Sv)，所述装置包括:

第一参考信号发生装置(2 和 12)，用于基于所述第一同步信号(H.sync.)产生第一参考信号(Sf1);

第二参考信号发生装置(2 和 12)，用于基于所述第一同步信号(V.sync.)产生第二参考信号(Sf1);

第一时钟信号发生装置(17)，用于产生其频率是恒定的第一时钟信号(Sc3);

第二时钟信号发生装置(18)，用于根据所述第一参考信号(Sf1)使所述第一时钟信号(Sc3)的相位移相以产生一个其相位锁在所述第一同步信号(H.sync.)上的第二时钟信号(Sf6);

一个模数转化装置(5)，用于根据所述第二时钟信号(Sf6)采样所述模拟量源信号(Sv)以产生一个第一数字化源信号(Svc);

一个相位变换装置(19)，用于基于所述第一参考信号(Sf1)把所述第二时钟信号(Sf6)的相位变换成在所述第一参考信号(Sf1)和所述第一数字化源信号(Svc)之间保持相对定时的所述第一时钟信号(Sc3)的相位，以便分别产生一个第三参考信号(Sf1')，一个第四参考信号(Sf2')和一个第二数字化源信号(Svc');

一个存储装置(6)，用于至少存储一场数字化信号;

一个写控制装置(7)，用于基于所述时钟信号(Sc3)，所述第三参考信号(Sf1')和所述第四参考信号(Sf2')控制所述存储装置(6)以存储所述第二数字化源信号(Svc');

一个第三时钟信号发生装置(15)，用于产生与所述第二和第三参考信号(Sf2 和 Sf3)同步的第三时钟信号(Sc2)；和

一个第五参考信号发生装置(14)，用于基于所述第三时钟信号(Sc2)产

生第五及第六参考信号(Sf3 和 Sf4)，第五及第六参考信号(Sf3 和 Sf4)的每个具有一个为所述第三时钟信号(Sc2)分谐波的预定频率；

一个读控制装置(8)，用于基于所述第六参考信号(Sf4)和所述第三时钟信号(Sc2)，控制所述存储装置(6)以从其中读出所述存储的第二数字化源信号(Sv')。

7.根据权利要求 1 的一种数字处理装置(P1)，其特征在于所述第一和第二参考信号发生装置(2 和 12)是一个参考信号发生装置，用于基于所述第一和第二同步信号(H.sync 和 V.sync)分别地产生第一参考信号和第二参考信号(Sf1 和 Sf2)。

8.根据权利要求 1 的一种数字处理装置(P1)，其特征在于中所述第一和第二参考信号发生装置和第一和第二时钟信号发生装置(2, 12, 13 和 15)是一个时钟信号发生装置，用于产生其相位分别地锁在所述第一同步信号(Sf1)和第二同步信号(Sf2 和 Sf3)上的第一和第二时钟信号(Sc1 和 Sc2)。

说　明　书

数字处理装置

本发明涉及使数字记录的源信号数字化的数字处理装置，尤其是用于数字记录装置如数字式盒式磁带录象机及可以数字记录非标准视频信号的数字视盘录象机中的数字处理装置。

近年来，已经开发出各种数字式磁带录象机，例如称为D1，D2，D3及D5型的录象机，用于商业应用。

同样也是为了商业应用，开发了包括能启动时间轴补偿的数字电路的盒式磁带录象机(VCR)，及使用能启动数字动画记录的图象压缩技术的盒式磁带录象机。这些VCR中有些具有使非标准信号的如包括抖动或伪同步信号的视频信号转换成标准信号的功能。

在图12中，表示用于消除抖动的时间轴补偿装置的一个例子，它被公开在“用于商用VTR的时基校正”中，ITEJ技术报告，第13卷，17-22页VIR′89-8，CE′89-4，1989年8月。这种类型的信号处理装置被通称为“TBC”。通过输入端子1输入到视频信号处理(TBC)装置PC的一个视频信号Sv供给一个摸数(A/D)转换器及一个同步信号分离器2。该分离器2分离出水平同步信号(H.Sync.)及垂直同步信号(V.Sync.)，以产生一个复合同步信号Ss。

控制信号发生器3基于复合同步信号Ss中的H.Sync. 分量产生出第一参考信号Sf1。该参考信号Sf1被传送给锁相环单元(PLL)4、写控制器70及读控制器80。根据参考信号Sf1，锁相环单元(PLL) 4

产生一个与输入视频信号Sv同步的时钟信号Sc。写控制器70 根据时钟信号Sc及参考信号Sf1产生写控制信号Sw。读控制器80基于参考信号Sf1产生读控制信号Sv。

另一方面，A/D转换器5根据来自PLL4的时钟信号Sc将视频信号Sv转换成数字格式。将这样被数字化的视频信号Sv 传送给视频存储器6，并基于来自PLL4的控制信号Sc及来自写控制器70 的写控制信号Sw在其中进行存储。该被存储数据基于读控制信号Sr 从视频存储器6中读出。从视频存储器6 中读出的数据被序贯地传送到数字信号处理器9，由它提供各种数字处理，例如改组、压缩、误差校正及调制。这样便将数字处理的视频信号通过输出端子10 输出到外部。

控制信号发生器3还根据复合同步信号Ss中的垂直同步分量产生第二参考信号Sf2，用于一个伺服电路(未示出)。 第二参考信号Sf2通过输出端子11传送到外部。根据包括这种传统数字信号处理装置Pc的视频信号记录装置，视频信号被以高效率编码，并被记录及重播，如以下所述。

伺服电路控制相对于记录介质的一个预定位置上的读出头。因此来自端子10的数字视频信号Sv可记录在记录介质如磁带、 磁盘或光盘的预定区域上。

同样地，日本公开专利申请文件(未审查)H62-249744(公开日1989年4月12日)中提出一个非标准视频信号转换装置的例子。 根据该例，使用了具有由振荡器提供的4fsc频率的时钟信号来将视频信号写入到视频存储器中。注意“fsc”表示彩色同步信号的频率。同时与彩色同步信号同步的具有频率为4fsc 的信号被用来从视频

存储器中读出视频信号。

此外，例如，在日本公开专利申请文件(未审查)H62-263700(公开日1989年4月26日)中提出了一种连续扫描转换电视接收机。根据该例子，使用了具有锁相在水平同步信号上的相位的时钟信号来将视频信号读入到视频存储器中。使用具有与输入视频信号的彩色同步信号同步的相位的另一时钟信号来从视频存储器中读出数据。

因此，写时钟信号具有锁在水平同步信号上的相位。在此例中，锁相时钟信号是由前馈时钟发生电路获得的，该电路每一水平周期从一组延时时钟信号中选择最接近水平同步信号的一个时钟信号。由于这些在每个水平周期中作为实时响应的特性，前馈时钟发生电路甚至可跟随高频的抖动，故被广泛地用在盒式磁带录相机中。

但是，上述这种结构的数字处理装置当被输入了非标准视频信号时将遇到麻烦。非标准视频信号意味着不能满足国际无线电咨询委员会(CCIR)对标准信号的要求的信号，它典型地包括：

(a)具有伪同步信号的视频信号；

(b)具有较大抖动的视频信号；

(c)具有彼此不规则关系的水平及垂直频率的视频信号；

(d)其水平信号中具有如家用盒式磁带录象机重播出的偏移的视频信号；

(e)从具有由调谐器调谐的弱磁场的信号中解调出的视频信号。

在读时钟Sr被固定锁相或同步于彩色同步的情况下，不可能使定时与输入视频信号Sv的垂直频率相匹配。这是因为在商用领域中彩色同步脉冲的频率被严格的控制，但是水平及垂直同步信号的

频率不被控制。换言这，在彩色同步脉冲的频率与垂直同步信号的频率之间没有相关性。其结果是，在一帧中的时钟脉冲数目是不稳定的，因此对于控制在记录介质上读数据的定时的控制及对从视频存储器读出的视频信号施加各种处理的定时的控制需要非常复杂的操作。

此外，当读时钟及写时钟的任一个被固定锁相的情况下，将无法作到使输入视频信号Sv 的水平频率及垂直频率及读时钟信号频率之间的定时相适配。因此，从视频存储器中读出的数据相对于输入视频信号的变化太大以致不能稳定地执行信号处理。

另外，在弱电磁场下前馈时钟发生电路也会发生故障。这样地每水平周期选择出的时钟信号在其中具有偏移。 根据这个偏移的时钟信号，很难在多个场所上执行信号处理，例如在A/D转换器及视频存储器之间进行滤波处理。这是因为每次信号处理将被清除，并且在那时的被处理值将置换到寄存器中。

因而本发明的目的在于提供能解决这些问题的光盘装置。

本发明是基本上考虑解决上述的缺点开发出来的，因此其基本目的是提供一种改进的数字处理装置。

为了实施上述目的，提供了一种数字处理装置，用于处理包括具有第一预定频率的第一同步信号及具有小于所述第一频率的第二频率的第二同步信号的模拟源信号，所述装置包括：第一参考信号发生装置，用于基于所述第一同步信号产生第一参考信号；第二参考信号发生装置，用于基于所述第二同步信号产生第二参考信号；第一时钟信号发生装置。 用于产生其相位锁在所述第一参考信号上的第一时钟信号；一个摸数转化装置，用于根据所述第一时钟信

号采样所述模拟源信号以产生数字化源信号;一个存储装置，用于至少存储一场数字化信号;一个写控制装置，用于基于所述第一参考信号及所述第一时钟信号控制所述存储装置以存储所述数字化源信号;第三参考信号发生装置，用于基于所述第二时钟信号产生第三及第四参考信号,第三及第四参考信号的每个具有一个为所述第二时钟信号分谐波的预定频率;一个第二时钟信号发生装置，用于产生与第二及第三参考信号同步的第二时钟信号;及一个读控制装置,用于基于所述第三参考信号及所述第二时钟信号控制所述存储装置以从其中读出所述存储的数字化源信号。

从以下参照附图结合优选实施例的描述,将使本发明的这些和另外的目的及特征变得更清楚,附图中同样的部件使用同样的标号,其附图为:

图1是根据本发明第一实施例包括在视频信号处理装置中的一个数字处理装置;

图2是出现在图1的数字处理装置中的各个信号的波形图;

图3是辅助说明图1 的数字处理装置的视频存储器中的视频数据内有效数据的图;

图4是表示根据本发明第二实施例的数字处理装置的方框图;

图5是表示使用在图4 的数字处理装置中的相位转换器的方框图;

图6是出现在图5的相位转换器中的波形图;

图7是根据本发明第三实施例的数字处理装置的方框图;

图8是根据本发明第四实施例的数字处理装置的方框图;

图9是表示出现在图8的数字处理装置中的复合同步信号Ss,水

平参考信号Sf1，及垂直参考信号Sf2的波形图；

图10是出现在图8的锁相检测器158b中的信号的波形图；

图11是出现在图8的偏移检测器158a中的信号的波形图；及

图12 是表示包括在视频信号处理装置中的传统数字处理装置的方框图。

第一种实施例

参照图1，它表示根据本发明第一实施例的包括在用于数字记录视频信号的视频信号处理装置中的数字处理装置。 该视频信号处理装置P1包括输入端子1，用于接收来自分开地设在外部的信号源的视频信号Sv。毋需说，该视频信号Sv其中可包括一个音频信号。一个同步信号分离器2与输入端子1相连接，用以从其中接收视频信号。同步信号分离器2从该视频信号Sv中分离出水平同步信号(H.Sync.)及垂直同步信号(V.Sync.)，以产生一个复合的同步信号Ss。

第一信号发生器12与分离器2相连接，用于从其中接收复合同步信号Ss。第一控制信号发生器12从复合同步信号Ss 中分离出水平同步分量H.Sync.以产生作为水平参考信号的第一参考信号Sf1.控制信号发生器12还从复合信号Ss中分离出垂直同步分量V.Sync.以产生作为第一垂直参考信号的第二参考信号Sf2。

一个高速锁相环单元(PLL)13与第一控制信号发生器12相连接，用以从其中接收第一参考信号Sf1。该PLL13 是由包括在其中的电压控制振荡器、分频器、相位比较器、及低通滤波器构成的。 分频器用于输出其频率为输入的时钟信号分谐波的输出波形，相位比较器将参考信号的相位与分频器输出信号的相位相比较。 低通滤

波器分离出相位比较器输出中的低频分量并将其供给到压控振荡器。

高速PLL13响应于水平参考信号Sf1的高频，并产生出作为第一时钟信号的高速时钟信号。因此，高速时钟信号Sc1 具有与输入视频信号Sv中的水平同步信号同步的相位，并能快速地跟随水平参考信号Sf1的变化。

写控制器7与高速PLL13相连接，用以从其中接收高速时钟信号Sc1，并还和第一控制信号发生器12相连接，用以从其中接收参考信号Sf1及Sf2两者。写控制器7基于垂直及水平参考信号Sf1及Sf2并根据时钟信号Sc1计算有效数据。例如，当视频信号Sv与NTSC 制相一致时，有效数据相应于起始于23至262行，及起始于285至524行的范围，并相当于由水平参考信号Sf1的后沿计数的自123到842 个采样的范围。然后，写控制器7 产生一个指示这样产生出的有效数据的写信号SW。

一个摸数(A/D)转换器5与输入端1及高速PLL13相连接，用以分别从它们接收视频信号Sv及高速时钟信号Sc1。A/D转换器5根据时钟信号Sc1采样视频信号Sv，并产生出一个数字化的视频信号Svc。

用于存储大于一场视频数据的视频存储器6与A/D转换器5及读控制器7相连接，用以从它们分别接收数字化视频信号Svc及写信号Sw。视频存储器6基于写信号Sw将视频数据Svc写入其中。

低速锁相环单元(PLL)15与第一控制信号发生器12相连接，用以接收垂直参考信号Sf2，并产生作为第二时钟信号的低速时钟信号Sc2。该低速PLL15由产生时钟信号的压控振荡器、比较两信号相位的相位比较器、及从相位比较器输出中分离出低频分量并将

这样分离出的低频分量提供给压控振荡器的低通滤波器构成。

第二控制信号发生器14与低速PLL15相连接，用以从其中接收低速时钟信号Sc2。基于该信号Sc2，信号发生器14产生出作为第二垂直参考信号的第三参考信号Sf3。该信号发生器14还根据第二时钟信号Sc2使该第三参考信号Sf3延时一个预定周期Pd，以产生出作为第三垂直参考信号的第四参考信号Sf4。该延时周期Pd是根据视频存储器的容量决定的并由第二时钟信号Sc2 测量出。 这些信号Sf3及Sf4的频率为低速时钟信号Sc2的频率的分数。

信号发生器14 还根据垂直同步信号Sc2 产生出第五参考信号Sf5作为伺服参考信号，用于伺服控制。当该数字处理装置P1 装入在一个数字式磁带录象机中时，例如，由控制单元中的伺服电路控制读/写头相对于记录介质的位置，以便在该介质的预定区域上记录数字化视频信号Sv。

低速PLL15还与第二信号发生器14相连接，用以从其中接收第三参考信号Sf3。PLL15将第二(垂直)参考信号Sf2的相位与第三(垂直)参考信号Sf3的相位相比较。该PLL足够地使这些比较信号的带变窄，并构成响应足够慢的误差变化的锁相环，以产生第四参考信号Sf4。

读控制器8与低速PLL15及第二控制信号发生器14相连接，用以分别地从它们接收低速时钟信号Sc2及第四参考信号Sf4。 基于这些信号Sf4及Sc2，读控制器8产生出读信号Sr。

视频存储器6还与读控制器8 相连接，用以从其中接收读信号Sr。基于该读信号Sv，从视频存储器6中读出数据。

数字信号处理器9与视频信号存储器6相连接，用按顺序地接收

从其中读出的视频数据。该处理器9提供各种数字处理，例如改组、压缩、误差校正、及调制。 这样就产生出一个数字处理的视频信号Sv'。

第一输出端子10与数字信号处理器9相连接，用以通过它将这样数字处理的视频信号Sr'输送到外部 。

第二输出端子11与第二控制信号发生器14相连接，用以通过它将第五参考信号Sf5传送到外部的控制单元，如伺服电路。

在工作时，输入到数字处理装置1的模拟量视频信号Sv 经由端子1提供到同步信号发生器2及A/D转换器5。发生器2产生包括水平及垂直同步分量的复合同步信号Ss。

第一控制信号发生器12对复合同步信号Ss提供各种处理、 例如去除噪音及定时调节，产生出水平及垂直参考信号Sf1及Sf2。基于水平参考信号Sf1，高速PLL13产生出能赶上输入视频信号Sv中水平同步信号变化的高速时钟信号Sc1。

另一方面，A/D 转换器5 根据来自高速PLL13 的高速时钟信号Sc1将视频信号Sv从模拟量格式转换成数字格式。写控制器7 基于高速时钟信号Sc1及参考信号Sf1及Sf2产生写信号Sw， 用以控制由视频存储器6的数据写操作。基于写信号Sw，视频存储器6存储作为图象数据的数字视频信号Sv。

低速PLL15及第二控制信号发生器14构成一个锁相环系统并工作如下。第二控制信号发生器14利用对由低速PLL15输出的低速时钟信号Sc2分频产生出第三参考信号Sf3。包括在低速PLL15中的相位比较器将信号Sf3与由第一控制信号发生器12输出的第一垂直参考信号的相位相比较。

由比较器输出的信号再经过具有足够窄带的低通滤波器，因此低速PLL14可对足够慢的误差变化进行响应，并产生出第四参考信号Sf4。其结果是，可以获得同步于垂直同步信号并相对误差变化很稳定地低速时钟信号。

基于第四参考信号Sf4，读控制器8根据低速时钟信号Sc2 产生读信号Sr。基于读信号Sr，视频存储器6被操作，从其中将视频数据Svc读出到数字信号处理器9中。

数字信号处理器9对由存储器6读出的视频数据Svc提供各种数字处理，然后通过第一输出端子10将这样处理过的视频数据输出。注意第四参考信号Sf4也是用于存储器6 从其中读出数据的一个参考，并具有一个选择确定的周期、如一场、一帧等。同时，第四参考信号Sf4与第一垂直参考信号Sf2或第二垂直参考信号Sf3的相位相差一个所需的量。

在数字视频信号Sv′通过第一输出端子10输出的同时，伺服参考信号Sf5通过第二输出端子11输出。基于该伺服参考信号Sf5，由一伺服控制电路来控制记录头及记录介质之间的位置关系。 该伺服控制电路包括在这样一个数字信号记录装置中，即它以高效率编码图象信息数据并将该编码数据记录到记录介质上，例如是一个数字盒式磁带和录象机及一个数字视盘记录机。

根据这类数字信号记录装置，数据记录操作如下。基于指示相对记录介质的记录头当前位置的信息使来自视频信号处理单元的视频数据或信号Sv′供给到记录头。作为其结果，通过端子10 输出的图象数据Sv′的预定部分被记录在记录介质如磁带或盘的预定区域上。

参照图2，它表示本发明的数字处理装置用于NTSC 制时的信号Ss、Sf1、Sf2、Sf3及Sf4的波形。在该例中，虽然每个信号是相对一帧的视频信号Sv表示的，但当使用一场的视频信号Sv时这些波形图是基本相同的。在信号Sf2及Sf3之间出现的阴影区域De 表示范围为从23至262行及从285于524行的有效数据区域，其中为了简明起见从25至523行的区域被省略了。

如图2中可清楚看到的，第一垂直参考信号Sf2具有在行1至9之间的均衡脉冲区域中的后沿。在此例中，后沿落在行4中。 根据第一垂直信号Sf2的该后沿，第二垂直参考信号Sf3也从高位(HIGH)变化到低位(LOW)。注意到直至信号Sf3返回到高位(HIGH) 时低速时钟信号Sc2中的脉冲数为常数，不管输入视频信号Sv 的误差变化如何。第三垂直参考信号Sf4比第二垂直参考信号Sf3 延迟一个预定的延时周期Pd，并在该例中在第9行内返回低位(LOW)。该延时周期Pd通常在NTSC制中是一帧20行。根据信号Sf4的后沿，写信号SW(图2中未示出)使存储器6从其中读出数据。

参照图3，它以放大比例表示出关于例如23及24 的有效数据的水平参考信号Sf1、高速时钟信号Sc1、及写信号Sw之间的关系。如上所述，因为输入视频信号Sv是一个非标准信号，行23及24 中的各个脉冲宽度T1μ及T2μ不是相同的周期。

在此例中，高速时钟信号Sc1对于周期T1计数858个时钟信号。在此周期T1中，写信号Sw控制视频存储器6如下地从A/D转换器5 将数据写入其中。在过去第一个122时钟信号后，在以下720个时钟信号时写信号Sw存储器6存储数据。然后，在剩下的16 个时钟信号时存储器6被释放。例如，高速时钟信号Sc1及低速时钟信号的频率分

别为13.5MHz及18MHz。

从上述的说明中可清楚看出，根据该实施例的数字处理装置P1包括高速PLL13及低速PLL15。高速PLL13产生出与输入视频信号Sv的H.Sync.信号同步的高速时钟信号Sc1。低速PLL15产生与信号Sv的V.Sync. 信号同步的低速时钟信号Sc2 。 使用高速时钟信号Sc1，使输入模拟量视频信号Sv 转换成数字信号并存储到视频存储器6中。使用低速时钟信号Sc2，使这样存入的数据从存储器6 中被读出。其结果是，甚至当输入视频信号Sv偏离由国际无线电咨询委员会(CCIR)规定的标准信号很大时，也可用高效率精确地执行视频信号的各种数字处理。

尤其是，在数字处理器9中的时钟与输入视频信号Sv的V.Sync.信号同步。因此用于一场或一帧输入视频信号Sv 的时钟数保持恒定。通常，在输入视频信号Sr中的数据数目对于一个水平扫描周期来说是恒定的，并对于一个垂直扫描周期来说也是恒定的。其结果是，甚至当在某些场或帧上进行数字信号处理，例如数据压缩、 误差校正编码及调制时，例如对消隐周期所必须的空出区间也未留出。因此该装置的电路能有效地在时分多路传输中使用。

此外，甚至当具有其速度超出允许值的垂直及水平同步信号的非标准视频信号或其垂直同步频率或相位很差地变化时，视频存储器6也能吸收这种非标准变化分量。因为存储器6 利用吸收它们除消了这些非标准分量，就稳定了其中的图象数据。因此在后面各处的处理能被可靠地进行。

注意存储器6也可用于重新安排视频信号Sv的次序，这种重安排操作通常被称为“改组”（“Shuffling”）。这种改组操作例如

可如下来简便地实现。将高速PLL13置成产生具有频率为13．5MHz的第一时钟信号。利用这样获得的频率 13．5MHz 及它的半频 6．75MHz分别地对视频信号的亮度信号及色差信号(Cv,Cb)进行采样。

然后，低速PLL15被置成产生具有频率为18MHz的低速时钟信号Sc2。 相对时轴倍增的色差信号及亮度信号基于高速时钟信号Sc1被写入到视频存储器6中。利用基于低速时钟信号Sc2从存储器6中交替地读亮度信号及色差信号，可同时地执行数据改组及频率变换。

通常，改组操作对于一场或一帧数据进行。但是对于一场数据改组视频存储器的容量小于一场，对于一帧数据改组则小于一帧。

当将当前商业市场中可得到的通用存储器用于视频存储器6时，基本上不可能使用它们的整个容量，这是由于这种通用存储器具有如1M bits及4M bits的预定容量，它们不正好是视频存储器6 所需者。因而，将具有大容量的存储器用作存储器6 就会产生没有使用的存储器容量的过大余量。

然而，根据本发明，甚至这种额外或剩余容量也可用于吸收视频信号Sv中的不稳定的抖动分量。 试验表明足够用于吸收几十个水平扫描周期中的不稳定分量的剩余容量是适用的。 注意到几十个水平扫描周期对于通常时轴补偿装置是足够好的。

以下根据本发明的描述不稳定抖动的吸收。 该数字处理装置P1是一种时轴补偿装置。高速PLL13相应于输入视频信号Sv中的抖动，并从存储器6中读出的信号与抖动分量无关。 在模拟量记录系统的磁带录象机中，时轴补偿是在信号重播的时间上进行的。

但是，在以数字格式条件下记录数据的装置中，抖动分量可以在摸数转换期间来吸收。否则水平同步信号的相位信息将会丢掉。

注意到这个相位信息是在高效率编码操作期间对跳动检测的参考。因此，在信号重播时对检测抖动将没有测量标准。

此外，利用使读出视频存储器6的定时与伺服控制电路同步，对于读出视频存储器6的定时及对于将视频数据发送到记录头的定时变化可仅被限制在记录头的定时上，缓冲存储器的空余可被减少。

当输入视频信号Sv转换到另一种时，将在其垂直同步信号的相位中没有连续性。当这个非连续视频信号Sv 被传送到伺服控制电路时，记录头被不正确的控制。在此情况下，数据不能被记录在记录介质上。为了防止伺服控制电路的这种误操作，将低速PLL15 的响应置于降低的速率上，但是不影响伺服控制电路的响应。

第二种实施例

参照图4，它表示根据本发明第二实施例的数字处理装置。 在此实施例中，数字处理装置P2具有与图1中装置类似的结构。但是，该数字处理装置P2附加地包括插在A/D转换器5及视频存储器6之间的相位转换器19。同时，一个记录单元Ru附加地连接在第一及第二输出端子10及11之间。此外，高速PLL1被第三时钟信号发生器52取代。

第三时钟信号发生器52包括：一个时钟振荡器17，用于产生具有预定频率的第三时钟信号Sc3，及一时钟选择器18，它与时钟振荡器17相连接，用于从其中接收信号Sc3。时钟选择器18 还与第一控制信号发生器12相连接，用于从其中接收第一参考信号Sf1。

基于第三时钟信号Sc3及第一(水平)参考信号Sf1，时钟选择器18将第三时钟信号Sc3的相位锁在水平参考信号Sf1的相位上，并产生作为第六参考信号Sf6的锁相信号。该第六参考信号Sf6 替代由

图1的高速PLL13产生的高速时钟信号Sc1被提供给A/D转换器15。

尤其是，包括在时钟选择器18 中的延时装置使第三时钟信号Sc3延时50步，每步为2ns。换言之，50个时钟脉冲，每个脉冲具有的相位导前或滞后相邻的脉冲相位2ns。时钟选择器18选择这50个脉冲中其后沿最接近水平参考信号Sf1的一个，并将它作为第三时钟信号Sc3输出。时钟选择器18对于单个水平信号连续地输出这个选择信号Sc3，当参考信号Sf1的下一后沿被输入时结束该输出。在此意义上，参考信号Sf1是一个偏移水平信号。

因此，利用时钟振荡器17及时钟选择器18，不使用在图1的高速PLL13中所用的压控振荡器，可实现高速响应的PLL，它能产生其相位锁在水平参考信号上的时钟信号Sc3。

相位变换器19还与第一控制信号发生器12、时钟振荡器17、及时钟选择器18相连接，如图4中清楚示出的，用于分别从它们中接收信号Sf2，Sf1，Sc3及Sf6。相位变换器19根据信号Sf1，Sf6及 Sc3锁定数字化视频信号Svc，并将该锁定信号作为锁定视频信号 Svc′通过导线输出到视频存储器6。类似地，相位变换器19根据信号Sf1，Sf6及Sc3锁定水平及垂直参考信号Sf1及Sf2，并将这些锁定信号分别作为水平及垂直参考信号Sf1′及Sf2′输出给写控制器7。

参照图5，它表示相位变换器19的细节。如上面参照图4所述，相位变换19将三个信号Svc，Sf1及Sf2转换成锁定信号Svc′，Sf1′及Sf2′。

为了视频信号Sv的相位转换，该相位转换器19 具有四个输入端子30、33、35及38，它们分别与第一控制信号发生器12、信号选择器18、A/D转换器5、及时钟振荡器17相连接。 第一相位控制信号

发生器31与端子30相连接，用以从其上接收水平参考信号Sf1。 基于该信号Sf1，第一相位控制信号发生器31产生第一置位(复位) 信号St1。类似地，第二相位控制信号发生器32与端子30相连接，并产生第二置位(复位)信号St2。

第一分频器34和于使输入信号的频率减半，它与端子33相连接，用以从其上接收第六参考信号。该分频器34 还与第一相位控制信号发生器31相连接，用以从其中接收置位信号St1。分频器34 根据来自第一相位控制信号发生器31的置位信号 St1 将第六参考信号Sf6的频率分频，并产生第七参考信号Sf7。

第一寄存器36与输入端子35及第一分频器34相连接，用以分别从它们接收数字化视频信号Svc及第七参考信号Sf7。 第一寄存器36根据第七参考信号Sf7锁定数字化视频信号Svc，并产生第一锁定视频信号Sv1。

第二寄存器37与端子35 相连接，但以反相方式与第一分频器34相连接。类似地，第二寄存器37根据反相的第七参考信号锁定数字化视频信号Svc，并产生第二锁定视频信号Sv2。

第二分频器39用于使输入信号的频率减半，它与端子38及第二相位控制信号发生器32相连接，用以分别从它们接收第三时钟信号Sc3及第二置位信号St2。该分频器39 根据来自第二相位控制信号发生器32的置位信号St2使第三控制信号Sf6的频率分频，并产生第八参考信号Sf8

选择器40与第二分频39、第一寄存器36、及第二寄存器37 相连接，用于分别接收信号Sf8，Sv1及Sv2。基于第八参考信号Sf8，选择第一及第二锁定信号Sv1及Sv2中的任一个，以产生一个复合锁定

信号Sv5。

第三寄存器与选择器40及端子38相连接，用于分别从它们接收复合视频信号Sv5及第三控制信号Sc3。基于控制信号Sc3，选择器41锁定视频信号Sv4，以产生一个锁定的视频信号Svc′。该锁定的视频信号Svc′被经过输出端子42传送给视频存储器6。

为了水平参考信号Sf1的相位变换，该相位变换器19还包括一个输入端子43、一个延时电路44、第四寄存器45、第五寄存器46及一个输出端子47。输入端子43与第一控制信号发生器12相连接，用以从其中接收水平参考信号Sf1。延时电路44与端子43相连接，用于接收并使参考信号Sf1延时一个预定周期Td，以产生一个延时的水平参考信号Sf1d。第四寄存器45与第二分频器39及延时电路44相连接，用于分别地从它们接收反相的第八参考信号Sf8及延时的信号Sf1d。第四寄存器45根据反相的参考信号Sf8锁定延时信号Sf1d，并产生一个锁定的信号Sf1r。第五寄存器46与端子38及第四寄存器45相连接，用于分别地从它们接收控制信号Sc3及锁定信号Sf1r。第五寄存器46根据控制信号Sc3锁定信号Sf1r，并产生一个锁定的水平参考信号Sf1′。该锁定的信号Sf1′经过输出端子47被输出到读控制器7。

为了垂直参考信号Sf2的相位变换，相位变换器19还包括一个输入端子47、一个地电路48、第六寄存器49、第七寄存器50及一输出端子51，它们实质上与输入端子43、延时电路44、第四寄存器45、第五寄存器46及输出端子47相同。为了简明起见，在图5中这些标号47，48，49，50及51分别地表示在标号43，44，45，46及47的后面。

类似地，延时电路48使通过输入端子47输入的来自第一控制信号发生器12的垂直参考信号Sf2延时一个预定周期Td，并产生延时的垂直参考信号Sf2d。第六寄存器49根据反相的参考信号Sf8锁定延时信号Sf2d，并产生一个锁定信号Sf2r。第七寄存器50根据控制信号Sc3锁定信号Sf2r，在产生锁定垂直参考信号Sf2′。该锁定信号Sf2′经由输出端子51被传送到写控制器7。

参照图6，示出了在相位变换器19中出现的用于视频率号Svc的相位变换的各种波形。第一个相位控制信号发生器31 在水平参考信号Sf1的前沿产生转换到“低”电平的第一置位信号St1 并且保持在“低”电平上一个预定的周期。

第一分频器34产生具有第六参考信号Sf6的一半频率的第七参考信号Sf7，但是当第一置位信号St1是“低”电平时迫使参考信号Sf7变为“低”电平。其结果是：第七信号Sf7的相位总是和水平参考信号Sf1的相位相同。

第一寄存器36在时间t1上相对于第七参考信号Sf7的前沿把数字化视频信号Svc锁定，和产生第一锁定的视频信号Sv1。第二寄存器37在时间t1上相对于第七参考信号Sf7的后沿把数字化视频信号Svc锁定，并产生第二锁定的视频信号Sv2。

第二相位控制信号发生器32在水平参考信号Sf1的前沿产生转换到“低”电平的第二置位信号St2并且保持在在“低”电平上一个预定的周期。

第二分频器39产生具有第三控制信号Sc3的一半频率的第八参考信号Sf8，但是当第二置位信号St2是“低”电平时，迫使该参考信号Sf8变成“高”电平。

当第八参考信号Sf8是“低”电平时，选择器40 通过输出第一锁定视频信号Sv1来产生复合视频信号Svc，并且当信号Sf8是“高”电平时，通过第二锁定视频信号Sv2产生复合视频信号Svc。

相对于第三时钟信号Sc3 的前沿通过闭锁复合的视频信号Svs来产生锁定的视频信号Svc′。

当水平参考信号Sf1输入给端43时，延迟电路44 把水平参考信号Sf1延迟一个预定周期Td。注意该周期Td比信号St1和St2的“低”电平周期更短。因此，延迟电路44产生延迟的水平参考信号Sf1d。第四寄存器45相对于第八参考信号Sf8的后沿锁定信号Sf1d并且作为锁定信号Sf1r被输出。第五寄存器46相对于时钟信号Sc3进一步锁定该锁定信号Sf1r并且作为锁定的水平参考信号Sf1′ 输出给端47。

其结果是：由端子47输出的信号Sf1′具有与由端子42输出的锁定的视频信号Svc′ 相同的时间顺序关系。 换句话说， 视频信号Svc′的单元S3对应于在信号Sf1′的每个前沿之后的第一个数据。注意：垂直参考信号Sf2 的相位变换操作实际上是与用于水平参考信号Sf1的操作是相同的。

参照附图4，记录单元Ru，例如是一个数字式磁带记录器，包括一个安装有一对磁头21a和21b的磁鼓20。该磁鼓20 的磁头21a 和21b被连接到第一输出端10用于接收经过它的最终的数字式视频信号Sv′并将该信号Sv′记录在一个记录磁带22上。记录磁带22 通过一对销24a和24b围绕着磁鼓20半周被引导。一个驱动器23 与第二输出端11相连接用于接收经过它的伺服控制信号Sf5以便来驱动磁鼓20和一个记录磁带22以致于磁头21a和21b位于磁带22 的适当部

分上。 不用说任何其它记录装置像适合于数字记录的一个数字式视频盘这样的记录装置能够被用作为该记录单元Ru。

在操作中，复合同步信号Ss被传送给第一控制信号发生器12。第一控制信号发生器产生水平参考信号 Sf1 和第一垂直参考信号Sf2。水平参考信号Sf1被传送给第三时钟信号发生器52 和相位变换器19。

在第三时钟信号发生器52中，时钟振荡器17产生具有预定频率而频率不变化的第三时钟信号Svc′。 时钟选择器18 把时钟信号Sc3的相位移到与水平参考信号Sf1的相位相同步，并且产生跟在输入视频信号Sv中的水平变量分量之后的第六参考信号Sf6。应该注意：对于一个水平扫描周期信号Sf6是连续的，但是每当水平参考信号Sf1被输入给时钟选择器18时在信号Sf6中具有偏移。 这是因为信号Sf6的相移量一收到信号Sf1就变化，如在上面所述的。A/D 转换器5对应于第六参考信号Sf6使视频信号Sv数字化。

相位变换器19起着把从根据信号Sf6驱动的A/D转换器5来的输出信号转换成连续的视频信号Svc′的时钟转换作用。换句话说，时钟信号Sf6被变换成时钟信号Scv′，同时保持在水平参考信号Sf1和由A/D转换器5来的数字化视频信号Svc之间的定时。然后相位变换器19产生锁定信号Svc′信号Sf1′和Sf2′。

正如从上面描述可以明显看出的：通过设置第三时钟信号发生器52和相位变换器19能够获得下列效果，根据该实施例的数字处理装置P2用于下列情况是非常有效的。

在当象频带限制的数字滤波这样的信号处理被进行时在A/D转换器5和视频存储器6之间具有延迟的情况下，传送该视频信号是不

可能的。 这是由于当视频信号的延迟大于消隐周期时和有效的视频数据区域重叠在第六参考信号Sf6的偏移点上时所引起的。

然而，根据本发明的这种实施例，视频信号的时钟被转换成连续的时钟信号Svc'，导致了这种与偏移点重叠的结果。此外，用于写控制器7的时钟信号也被转换成连续的信号，使控制器7能够更稳定地操作。

在输入视频信号Sv是由亮度信号(Y信号)、色差信号(R-Y信号，B-Y信号)和/或RGB信号组成的情况下，有时需要监视编码的复合信号。为了使彩色信号编码，需要一个具有非常高的频率稳定性的副载波信号。

然而，根据该实施例，通过利用一个石英振荡电路来构成时钟振荡器17 能够容易地获得用于产生这种副载波信号的一个参考信号。此外，用于一个编码电路的时钟信号是一个连续的信号。其结果是，在相位变换器19的下游设置的一个处理单元(在图4中没有示出)能够完成所有需要的编码处理。换句话说，通过利用连续的时钟信号能够容易地获得模拟视频图像信号。 不用说本发明的第一种实施例的所有效果能够适合于该实施例。

第三实施例

参照图7，示出了一个根据本发明的第三种实施例的数字处理装置。在这种实施例中，数字处理装置P3具有一个类似于在图4 中所示结构的结构。然而，利用一个第四控制信号发生器62来代替第三时钟信号发生器52。

第四时钟信号发生器62包括高速PLL13和时钟选择器18。高速PLL13与第一控制信号发生器12相连接，并且产生信号Sc3。时钟选

择器18与保护器16和高速PLL13相连接，并且产生信号Sf6。

相位变换器19与时钟选择器18、高速PLL13、A/D转换器5和第一控制信号发生器12相连接用于分别接收信号Sf6、Sc3、Svc，和Sf1。

根据该实施例，利用时钟振荡器17和时钟选择器18构成一个正馈时钟型发生器， 它具有所有由一个电压控制振荡器构成的常规PLL的跟踪点的优点。甚至当在处理信号中产生像噪声、数据不足、偏移和异相这样的非标准成分时，相位变位能够被限制在一个单个水平周期内。 结果是能够减小把数据读到视频存储器中的时间分配的变化。

在操作中，当在信号Ss中缺少水平和垂直同步分量时第一控制信号发生器12补偿用于这些分量的复合同步信号Ss，并且产生水平和垂直参考信号Sf1和Sf2。水平参考信号Sf1传送给第四时钟信号发生器62和相位变换器19。垂直参考信号Sf2 被传送给低速PLL15和相位变换器19。

高速PLL13产生信号Sc3，该信号Sc3 的频率和相位被锁定在水平参考信号Sf1的频率和相位上。时钟选择器18使信号Sc3 的相位移相以便与水平参考信号Sf1的相位同步。并且产生跟随在输入视频信号Sv中的水平同步分量的变化的时钟信号Sf6。

应注意，对于一个单一的水平扫描周期信号Sf6是连续的，但是每当水平参考信号Sf1输入给时钟选择器18时在信号Sf6 中具有偏移。这是因为一接收到信号Sf1，信号Sf6的移相量就变化，如在上面所述的。A/D转换器5根据信号Sf6使视频信号Sv数字化。

相位变换器19起着把从根据信号Sf6驱动的A/D转换器5来的输

出信号转换成连续的信号Sc3的时钟转换作用。换句话说，时钟信号Sf6被变换成时钟信号Sc3，同时保持在垂直参考信号Sf2、水平参考信号Sf1和从A/D转换器5来的数字化视频信号Svc之间的定时。然后，相位变换器19产生第二垂直参考信号Sf2′、第二水平参考信号Sf1′和视频数据Svc。相位变换器19的操作与上面结合图4 的描述是相同的。

第二垂直参考信号Sf2′和第二水平参考信号Sf1′ 提供给写控制器7。随后，写控制器7产生用于控制视频存储器6 的控制信号Sw以便把数据写入到视频存储器中。该控制信号Sw 被提供给视频存储器6。在从视频存储器6 中读出数据之后所进行的操作与在第二实施例中的操作方式是相同的。

正如从上面描述可清楚看到的，通过设置与电压控制振荡器、时钟选择器18和相位控制器19相结合的高速PLL13，在该实施例中能够获得除装置P2的效果之外的跟踪效果。例如，当一个磁带录象机被设置产生一个较大抖动时，将存在下列两个问题。

一个问题是在磁带与记录/重放磁头接触时产生冲击误差。这就意味着高频抖动。

另一个问题是由于录相机的机械原因在横向上有一个摆动。这就意味着低频率抖动，例如为30Hz，该频率是发生在VCR的磁鼓根据VHS以1800rpm的速率旋转期间的高频分量。

根据第二种实施例，利用正馈时钟发生电路能够吸收该高频抖动，但是不能吸收低频抖动。然而，根据该实施例，高频和低频抖动都能够被解决。

第四实施例

参照图8，示出了根据本发明的第四种实施例的数字处理装置。在这种实施例中，数字处理装置包括：输入端1，同步信号分离器 2，A/D转换器5，视频存储器6，写控制器7，读控制器8，数字信号处理器9，端子10和11，第一控制信号发生器12，第二控制信号发生14，低速PLL15，相位变换器19，驱动器23和记录单元Ru，它们根据各自功能相互连接起来，如参照图7所描述的。

该数字处理装置P4进一步包括：一个PLL150，一个信号选择器151，一个高速响应锁相环单元152，一个同步检测器158，它们与第一控制信号发生器12相连接用于接收从发生器12 来的水平参考信号Sf1。

时钟信号发生器152包括时钟振荡器17和时钟选择器18。时钟振荡器17产生具有一个预定频率的时钟信号Clk3。时钟选择器 18与振荡器17和第一控制信号发生器12 相连接以便分别地接收时钟信号Clk3和水平参考信号Sf1。时钟选择器 18 根据水平参考信号Sf1把时钟信号Clk3的相位延迟并且产生一个时钟信号Clk1。在这种意义上，时钟信号发生器152构成了一个高速响应PLL。

PLL150产生一个时钟信号Clk2，该信号Clk2的频率和相位被锁定在水平参考信号Sf1上。为了这个目的，PLL150 包括一个电压控制振荡器，一个低通滤波器，一个相位比较器，和一个分频器。其包含的相位比较器把水平参考信号Sf1的相位与具有大约为15．7KHz的频率的一个信号Vcodiv(图10)相比较，例如它是时钟信号Clk2的频率13.5MHz的分数值。 然后，PLL150 产生一个与水平参考信号Sf1相同步的水平参考信号Hd2。因而被产生的信号Clk2和Hd2分别地传送给信号选择151。

同步检测器158 包括一个偏移检测器158a 和一个锁相检测器158b。偏移检测器158a根据水平参考信号Sf1检测在一场输入视频信号Sv中存在的偏移。锁相检测器158b进一步与PLL150相连接，以便接收来自它的水平信号Hd2。根据水平参考信号Sf1和Hd2、锁相检测器158b检测是否PLL150被锁定在输入视频信号Sv上。 根据由这些检测器158a和158b产生的检测结果，同步检测器158 产生一个具有两个电平的同步误差信号。当通过检测器158a或158b 检测到没有锁相或偏移时该同步误差信号示出高电平。同步检测器158与信号选择器151相连接以便把同步误差检测信号提供给信号选择器151。

信号选择器151包括一个具有一个第一输出口01的第一选择开关Sw1，该第一输出口01与A/D转换器5和相位变换器19相连接。 第一选择开关Sw1具有分别与时钟选择器18和PLL150连接的第一和第二输入口P1和F1用于分别接收来自它们的信号Clk1和Clk2。 根据来自同步检测器158的同步误差检测信号，选择开关Sw1有选择地把输出口01与输入口P1和F1中的一个口相连接，该输入口P1和F1目前在分别地接收信号Clk1和Clk2。因此，一个结合信号Clk1和Clk2的时钟信号Sclk1通过输出口01传送给A/D转换器5和相位变换器19。信号选择器151包括一个第二选择开关Sw2和第三选择开关Sw3，它们类似于第一选择开关Sw1。

第二开关Sw2具有一个与相位变换器19和写控制器7 相连接的第二输出口02 。 开关Sw2 进一步具有分别地与时钟振荡器17 和PLL150相连接的第三种第四输入口P2和F2。类似地，第二选择开关Sw2根据来自同步检测器158 同步误差检测信号有选择地输出时钟

信号Clk3和Clk2中的一个信号，作为供给写控制器7 和相位变换器19的一个时钟信号Sclk2。

第三开关Sw3 具有一个与相位变换器19 相连接的第三输入口O3。开关Sw3还具有分别地与第一控制信号发生器12和PLL150相连接的第五和第六输入口P3和F3。类似地，第三选择开关Sw3 根据来自同步检测器158 的同步误差检测信号有选择地输出水平信号Sf1和Hd2中的一个信号，作为供给相位变换器19的水平参考信号Shd。

A/D转换器5根据来自开关Sw1的时钟信号Sclk1 把输入的视频信号转换成数字化的信号Svc。相位变换器19分别地把信号Svc、Shd和Sf2变换成与时钟信号Sclk3同步的信号Svc、Sf1′和Sf2′。注意:A/D变换器5、相位变换器19，和写控制器7实际上以与参考在图7中所示的数字处理装置P3所描述的相同方式进行操作。

参照图9、10和11，下面将简要地描述同步检测器158的操作。在图9中，示出了复合同步信号Ss、水平参考信号Sf1和垂直参考信号Sf2的波形图。在图10中，示出了在锁相检测器158b 中出现的信号波形。在图11中，示出了在偏移检测器158a中出现的信号波形图。

在操作中，复合同步信号Ss被传送给第一控制信号发生器12，由此产生水平和垂直参考信号Sf1和Sf2。这三个信号Ss、 Sf1 和Sf2具有如在图9中所示的波形。具有预定频率、例如为15.7KHz的水平参考信号Sf1被提供给PLL150、时钟信号发生器152 和同步检测器158。

如在图10中所示，PLL150把信号Sf1 供给到包括在内的相位比较器，以便于把具有大约为15.7KHz的频率的水平参考信号Sf1的相位与具有时钟信号Clk2的时钟信号频率(大约为13.5MHz) 的1/858

的时钟信号Vcodiv的相位相比较。 该相位比较器输出一个比较结果信号Pcout。低通滤波器从结果信号Pcout 中滤出除响应频带之外的频率分量，并且因此把滤出的结果信号Pcout 传送给电压控制振荡器。

因此，PLL150 产生分别地将供给信号选择器151 的选择开关Sw1和Sw2的输入口F1和F2的时钟信号Clk2。PLL150 还把时钟信号Clk2 的频率分频，并且产生将供给同步检测器158 的锁相检测器158b和信号选择器151的选择开关Sw3的输入口F3 的的水平参考信号Hd2。

在构成高速响应PLL的时钟信号发生器152中，时钟振荡器稳定地产生具有频率为13.5MHz的时钟信号Clk3。时钟选择器18使时钟信号Clk3移相为与水平参考信号Sf1的前沿同步，并且产生时钟信号Clk1。该时钟信号Clk1提供给信号选择器151的开关Sw1 的输入口P1。

下面将描述同步检测器158的操作。偏移检测器158a检测在一个预定周期中的水平参考信号Sf1的场中的偏移周期。当对于一行(在NTSC系统大约周期为具有频率13.5MHz的时钟信号的858个时钟)被检测的偏移周期的偏移超过±3个时钟时，偏移检测器158a 就确定信号被偏移了。

在图11中，当输入给偏移检测器158a的水平参考信号Sf1 在第518行中连续50个时钟周期显示出“低”电平时，一个信号Hdpoinf变为“高”电平。在这时，偏移检测器158a使其一个内部计数器计数完了。内部计数器在0至857的范围内增加计数值Count。当水平参考信号是在第20行中和计数的值Count是在从855至2的范围内时，

一个信号Lockwd变为“高”电平。在信号Hdpoint显示为“高”电平同时信号Lockwd显示为“高”电平的情况下，偏移检测器158a确定出水平参考信号Sf1没有偏移。在信号Hdpoint 显示为“高”电平同时信号Lockwd显示为“低”电平的情况下偏移检测器158a 确定出水平参考信号Sf1被偏移。

在图10 的左半部分中示出当PLL150 被锁定在水平参考信号Sf1上时的信号。信号Vcodiv是一个由电压控制振荡器产生的时钟信号，它具有时钟信号Clk2的频率的几分之一频率。如在图10中所示，当水平参考信号Sf1显示为“低”电平时，信号Vcodiv具有落在一个周期之内的后沿。

当在信号Sf1的“低”电平周期期间信号Vcodiv显示为“高”电平时，内部相位比较器产生具有“高”电平的结果信号Pcout。当在信号Sf1的“低”电平周期期间信号Vcodiv为“低”电平时，结果信号Pcout显示为“低”电平。当在信号Sf1 的“高”电平周期期间时，结果信号Pcout 显示为在“高”和“低”电平之间的一个中间电平。

在图10的右半部分中，示出了当水平参考信号 Sf1 具有除了PLL150抽步范围之外的频率时的信号。在这种情况下，信号Vcodiv的后沿几乎落在水平参考信号Sf1的“低”电平周期之后。如图10中所示。在考虑上述条件下，锁相检测器158b根据与水平参考信号Sf1的电平相对应的信号Vcodiv的后沿的出现来确定是否PLL150被锁定在输入信号Sf1上。注意在信号Vcodiv的后沿上信号 Lockinf显示为“高”电平。

在对于水平参考信号Sf1的一个单元周期，信号Lcokinf以一个

预定的速率，例如大于80%显示出“高”电平的情况下，锁相检测器158b检测到PLL150被锁定。否则，锁相检测器158b检测到PLL150没有被锁定。

当检测器158a和158b在同时检测到偏移和未锁定的情况时，同步检测器158把显示为“高”电平的同步误差检测信号传送给信号选择器151。这个“高”电平信号一旦被接收，三个选择开关Sw1、Sw2和Sw3分别地选择输入口P1、P2和P3。

当检测器158a和158b 检测到没有偏移和锁定时，同步检测器158 把显示为“低”电平的同步误差检测信号传送给信号选择器151。一旦接收到这个“低”电平信号，三个选择开关Sw1、Sw2 和Sw3分别地选择输入口F1，F2和F3。

A/D转换器5根据自来开关SW1的时钟信号Sclk1 使视频信号Sv数字化。把信号Shd、Sclk1、Svc、Sclk2、Shd和Sf2 分别地供给相位变换器19的输入端30、33、35、38、43和47。 数字处理装置P4 的其它部件的操作实际上与根据本发明的第三种实施例的操作的是相同的。

从上面所述可清楚地看出，通过设置同步检测器152 和信号选择器151，在这种实施例中能够获得除装置P3 的效果之外的跟踪效果。例如，当从由一个工作在弱电磁场条件下的调谐器输出的视频信号Sv中分离出水平参考信号Sf1时，这种信号Sf1对包含在该视频信号Sv中的噪音分量非常敏感。由于这种噪音分量，时钟选择器把时钟信号的相位移相到不正确的位置。其结果，水平参考信号也偏离正确位置，使在由视频信号Sv重放的图像产生更大的质量下降。

当时钟选择器被用在磁带录相机的重放侧时，使用者能够根据

重放图像的质量识别出噪音对时钟选择器的影响。 在重放图像质量如此下降的情况下，为了更好的重放图像，使用者可以取消时钟选择器的功能。然而，当时钟选择器被用在磁带录相机的记录侧上时， 使用者甚至利用根据本发明的第三种实施例的数字处理装置P3也不能取消时钟选择的功能。

为了解决这些问题，根据这种实施的数字处理装置P4，当视频信号(Sf1)没有偏移和没有频率变化时，水平参考信号和由具有一个有非常稳定的频率的晶体内置电压控制振荡器的PLL所产生的时钟信号被用于视频信号的随后数字处理。其结果是:即使在弱电磁场的情况下能够重放质量大大改进的图像。

此外，当具有较大偏移的视频信号被输入给数字处理装置时 ，PLL的响应时间变得大于电视信号的垂直消隐周期。在这种情况下，PLL不能够跟随在视频信号中的偏移。

为了处理这样的偏移视频信号，由时钟选择器产生的时钟信号更适合并且能够防止重放的图像在水平方向上失真。

根据第四种实施例，在弱电磁场条件下的视频信号或具有抖动的非标准视频信号能够在非常稳定的条件下被记录和重放。

值得注意的是：通过设置由偏移检测器158a 和锁相检测器158b构成的同步检测器158，能够在更多地考虑抑制抖动的情况下设置PLL150，它导致了抗弱电磁场特性的增加。换句话说，能够忽略对偏移的视频信号的响应时间。 在这种情况，仅有锁相检测器158b而没有偏移检测器158a是有效的。

此外，包含在PLL150中的电压控制振荡器能够由各种部件例如由利用晶体和LC's谐振的单元来构成。时钟选择器18 能够根据前

沿而不是后沿来选择时钟信号。偏移检测器158b 能够检测在水平参考信号Hd2中出现的偏移而不是在第一水平参考信号Sf1 中的偏移。锁相检测器158a 能够以不同于上面所述的方式被构成来检测信号的锁定状态。时钟信号Clk2能够代替来自时钟振荡器17 的输出信号被提供给时钟选择器18，如在第三种实施例中所实施的。

虽然本发明结合优选实施例参照附图已被完全地描述了，但是值得注意的是各种变化和变型对本领域里的技术人员来说是显而易见的。 这些变化和变型都包括在由附加权利要求所限定的本发明的保护范围之内是可以理解的。

图 1

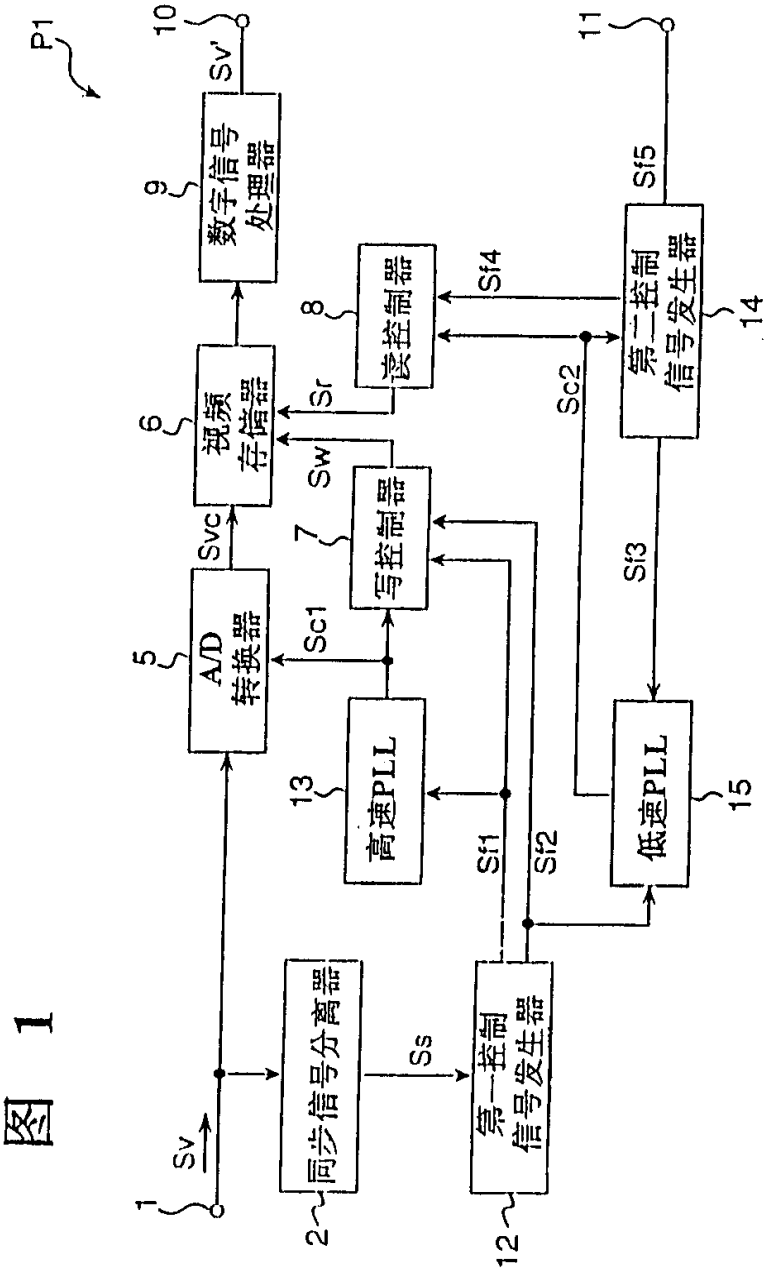

P1
1
Sv
2
同步信号分离器
Ss
12
第一控制信号发生器
Sf1
Sf2
5
A/D转换器
Svc
6
视频存储器
Sr
8
读控制器
Sf4
9
数字信号处理器
10
Sv'
Sw
7
写控制器
Sc1
13
高速PLL
Sc2
11
Sf5
第二控制信号发生器
14
Sf3
低速PLL
15

图 2

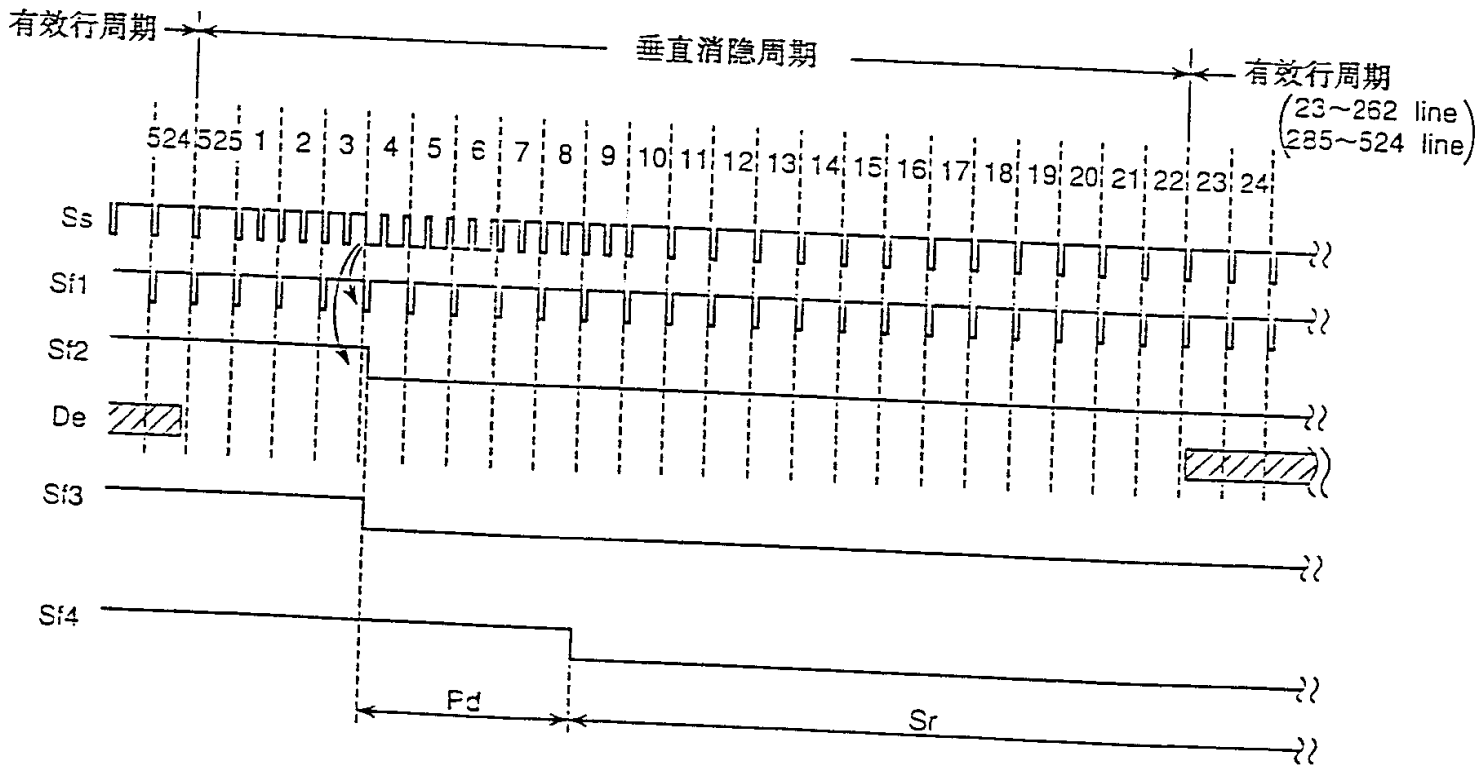

有效行周期
垂直消隐周期
有效行周期
(23~262 line
285~524 line)
524 525 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24
Ss
Sf1
Sf2
De
Sf3
Sf4
Pd
Sr

图 3

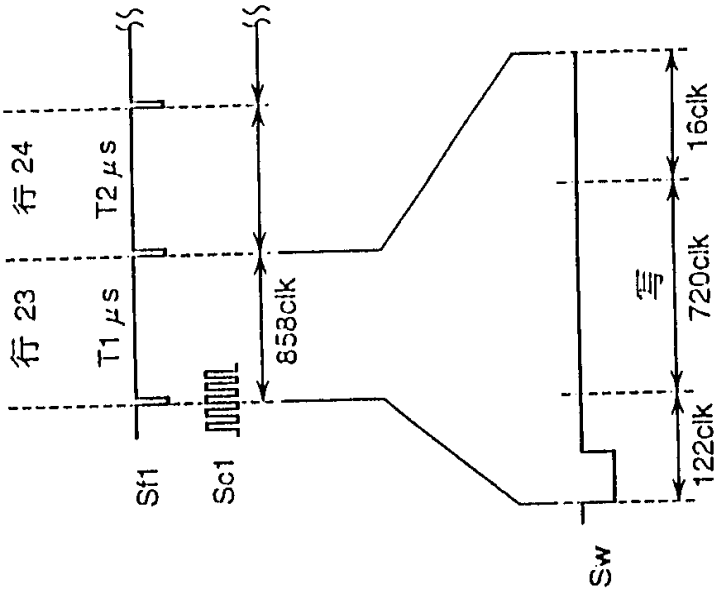


图 4

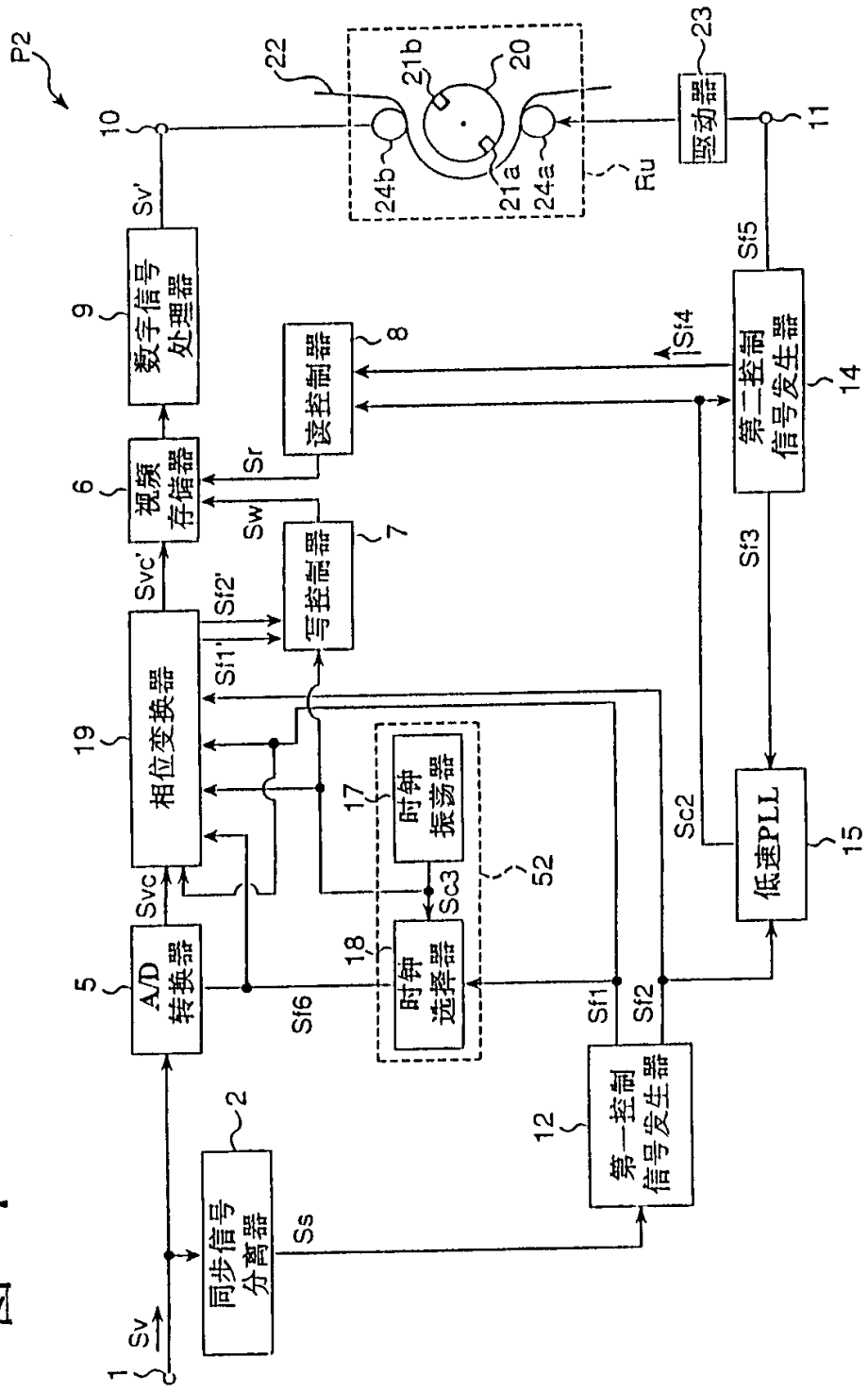

P2
1
Sv
2
同步信号分离器
Ss
5
A/D转换器
Svc
19
相位变换器
Svc'
6
视频存储器
Sv'
9
数字信号处理器
10
Sf1'
Sf2'
Sw
Sr
7
写控制器
8
读控制器
Sf4
Sf5
14
第二控制信号发生器
Sf3
Sc2
15
低速PLL
11
驱动器
23
22
21b
20
24b
21a
24a
Ru
12
第一控制信号发生器
Sf1
Sf2
Sf6
18
时钟选择器
Sc3
17
时钟振荡器
52

图 5

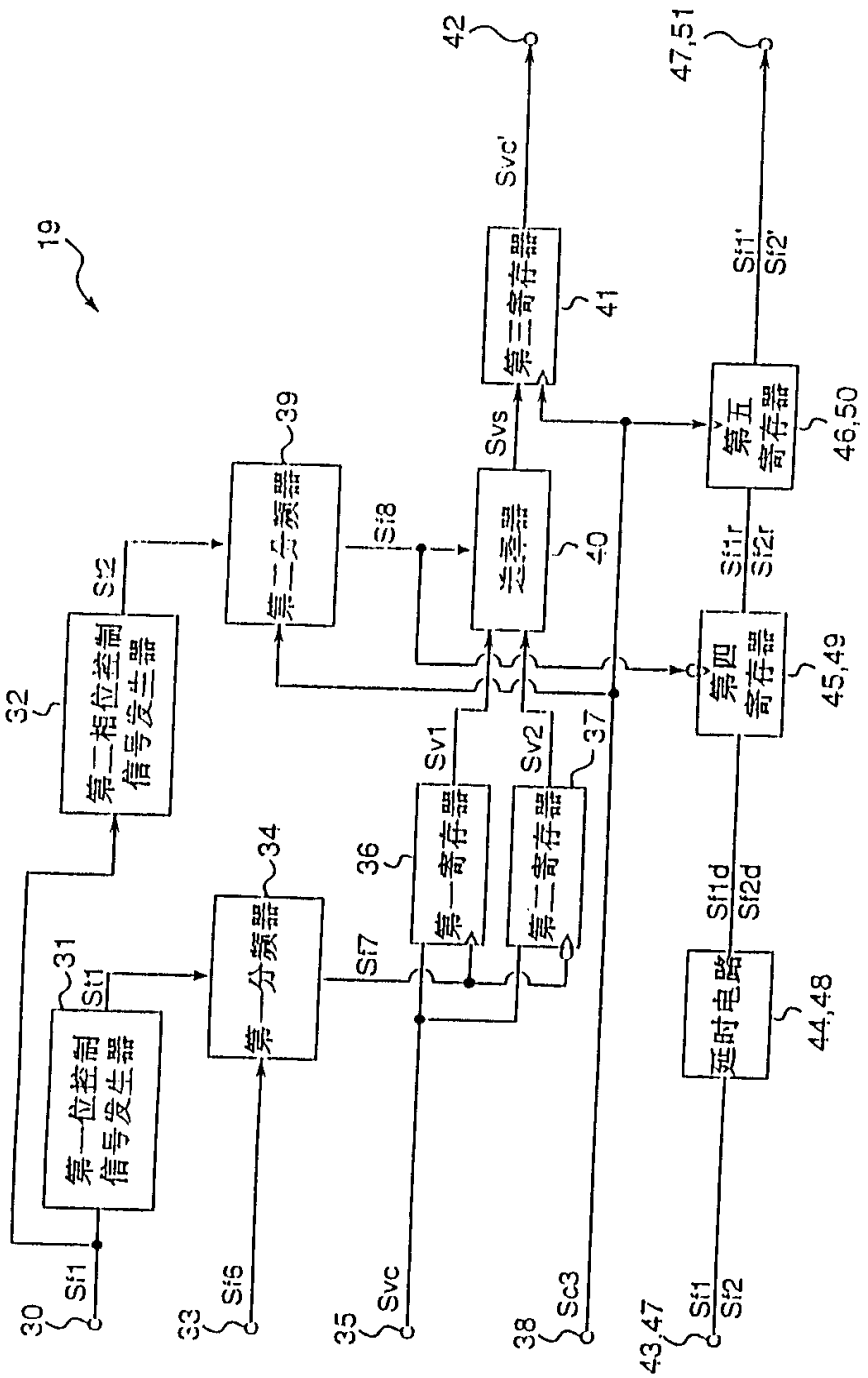
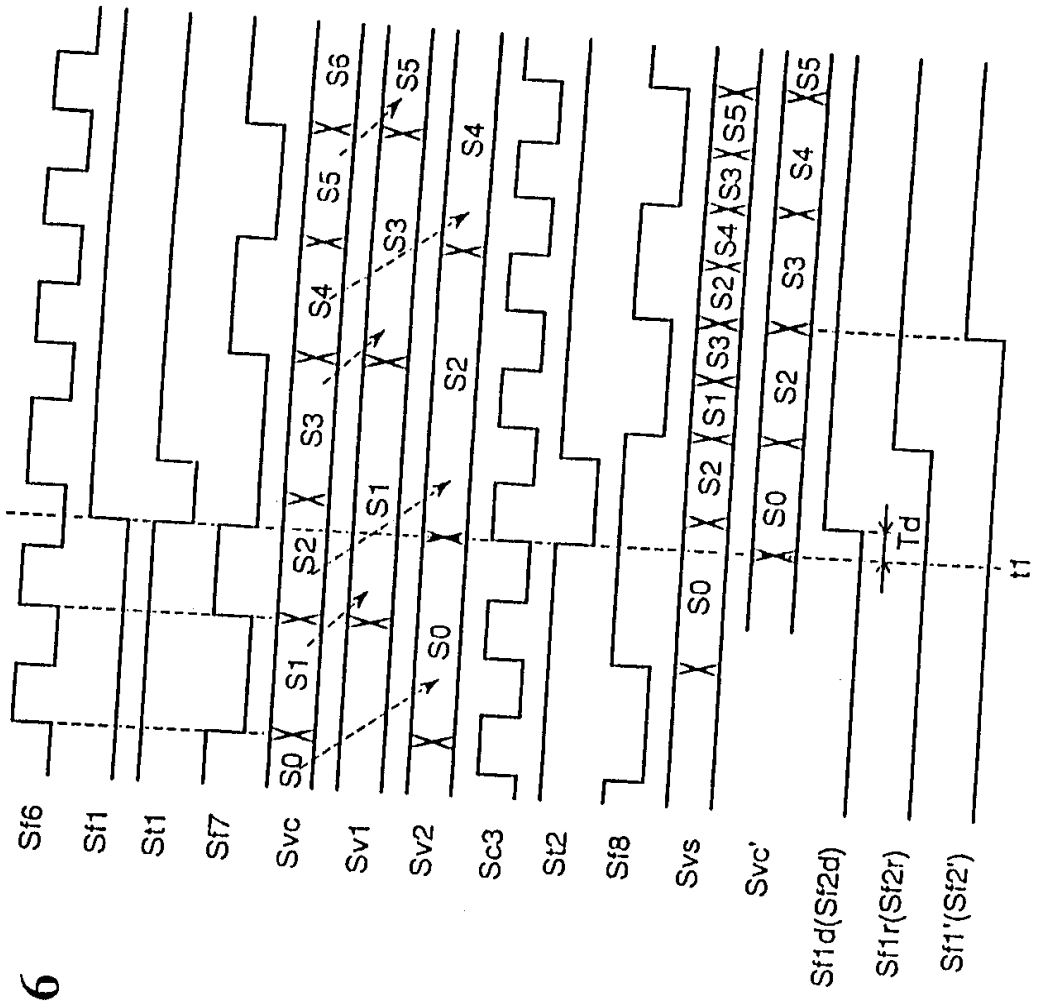

19
第一相位控制信号发生器
第二相位控制信号发生器
第一分频器
第二分频器
选择器
第一寄存器
第二寄存器
第三寄存器
第四寄存器
第五寄存器
延时电路
Sf1
Sf2
St1
St2
Si6
Si7
Si8
Sv1
Sv2
Svc
Svs
Svc'
Sc3
Sf1d
Sf2d
Sf1r
Sf2r
Sf1'
Sf2'
30
31
32
33
34
35
36
37
38
39
40
41
42
43,47
44,48
45,49
46,50
47,51

图 6


Sf6
Sf1
St1
Sf7
Svc
Sv1
Sv2
Sc3
St2
Sf8
Svs
Svc'
Sf1d(Sf2d)
Sf1r(Sf2r)
Sf1'(Sf2')
S0
S1
S2
S3
S4
S5
S6
Td
t1

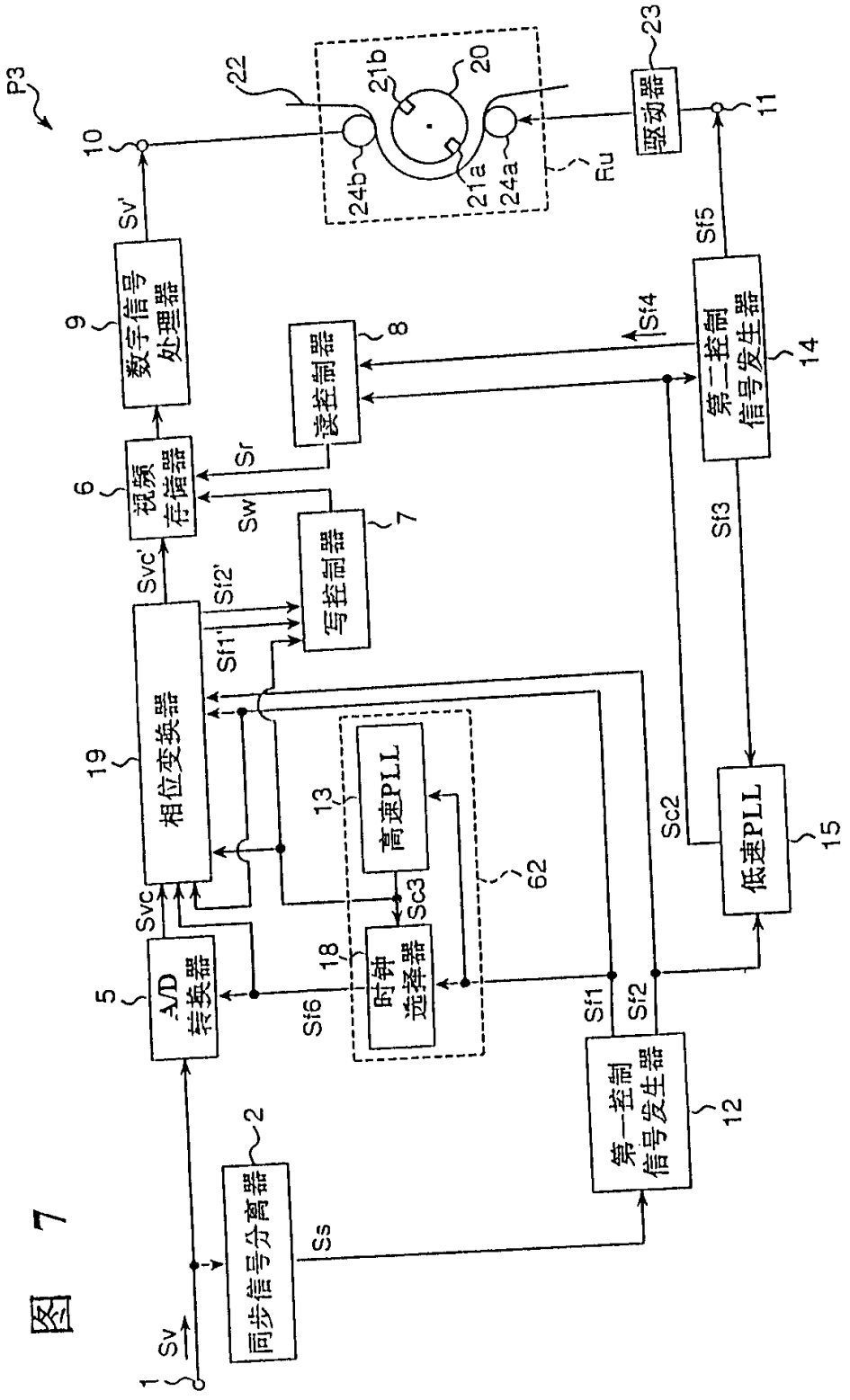

P3
1
Sv
2
同步信号分离器
Ss
5
A/D 转换器
Svc
19
相位变换器
Svc'
6
视频存储器
Sv'
9
数字信号处理器
10
Sf1''
Sf2'
7
写控制器
Sw
Sr
8
读控制器
22
24b
21b
20
21a
24a
Ru
23
驱动器
11
Sf5
Sf4
14
第二控制信号发生器
13
高速PLL
Sc3
62
18
时钟选择器
Sf6
Sf1
Sf2
Sf3
Sc2
15
低速PLL
12
第一控制信号发生器

图 7

图 8

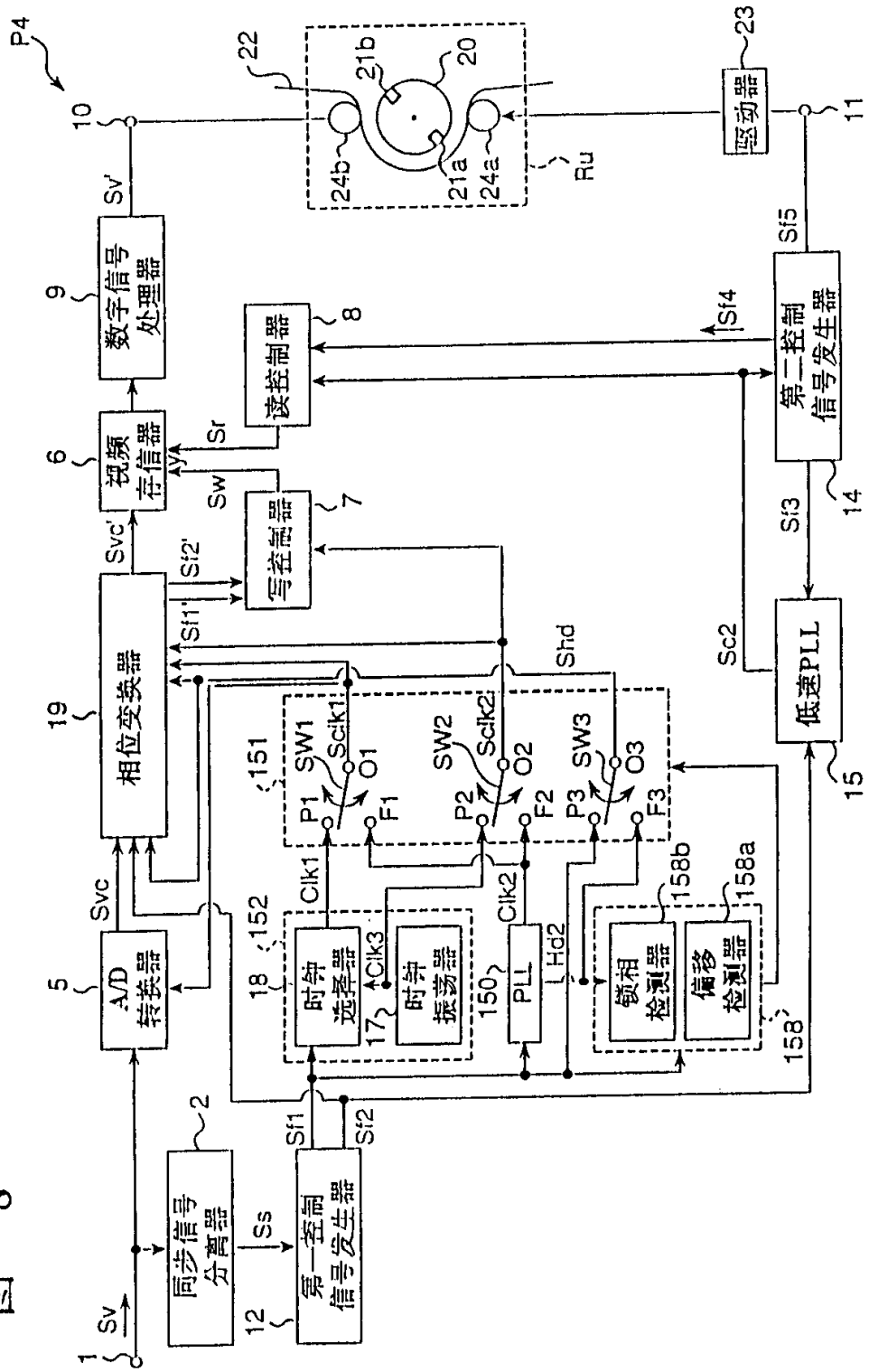

P4
1
Sv
2
同步信号分离器
Ss
12
第一控制信号发生器
Sf1
Sf2
5
A/D转换器
Svc
18
152
Clk1
Clk3
时钟选择器
17
时钟振荡器
150
PLL
Clk2
Hd2
151
SW1
Sclk1
O1
P1
F1
SW2
Sclk2
O2
P2
F2
SW3
O3
P3
F3
158
锁相检测器
158b
偏移检测器
158a
19
相位变换器
Svc'
Sf2'
Sf1'
Shd
6
视频存储器
Sv'
9
数字信号处理器
10
Sr
Sw
Ay
7
写控制器
8
读控制器
22
21b
20
24b
21a
24a
Ru
23
驱动器
11
Sf5
Sf4
第二控制信号发生器
14
Sf3
Sc2
低速PLL
15

图 9

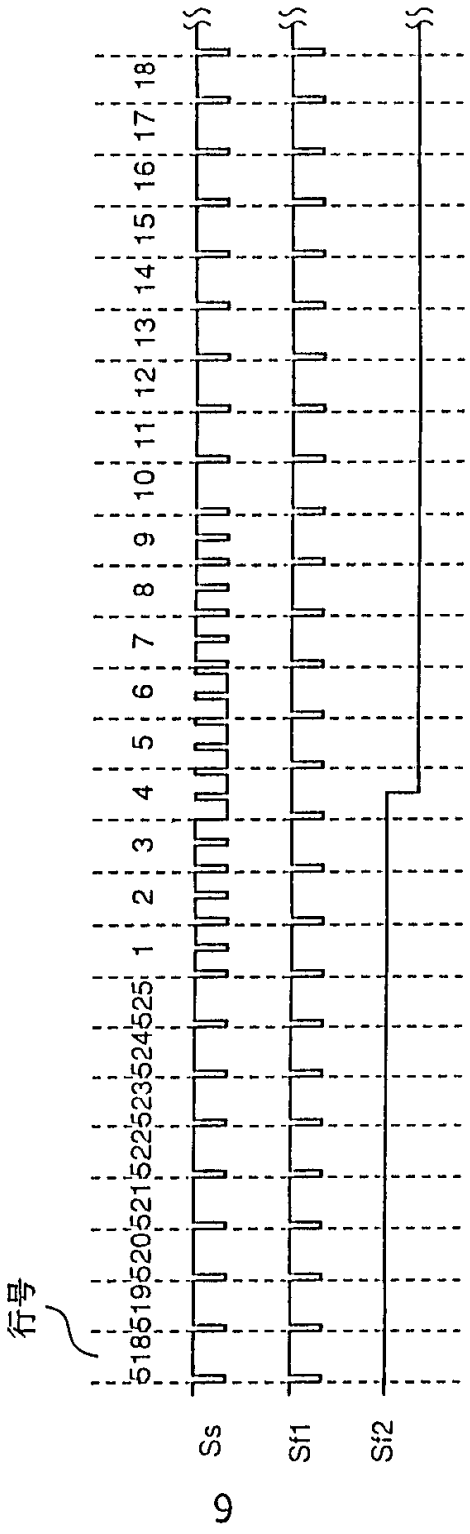

行号
518 519 520 521 522 523 524 525 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18
Ss
Sf1
Si2

图 10

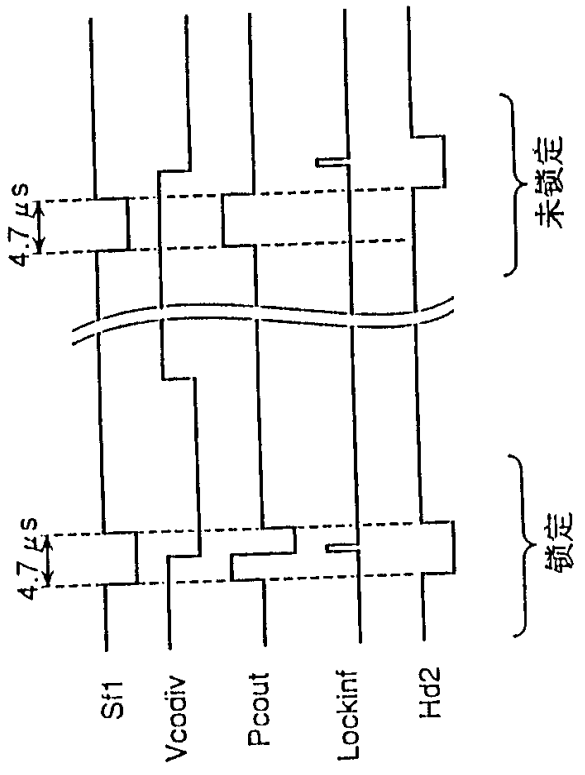


图 11

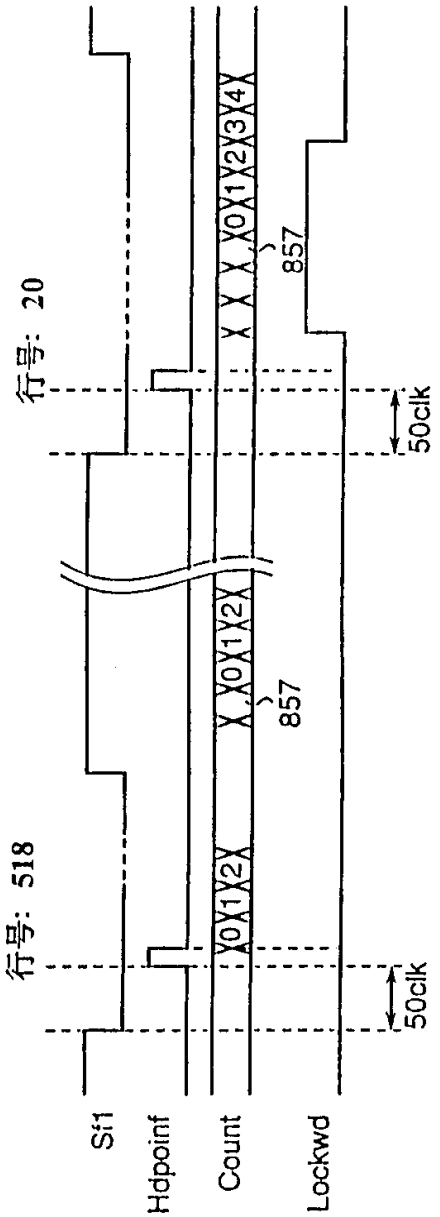
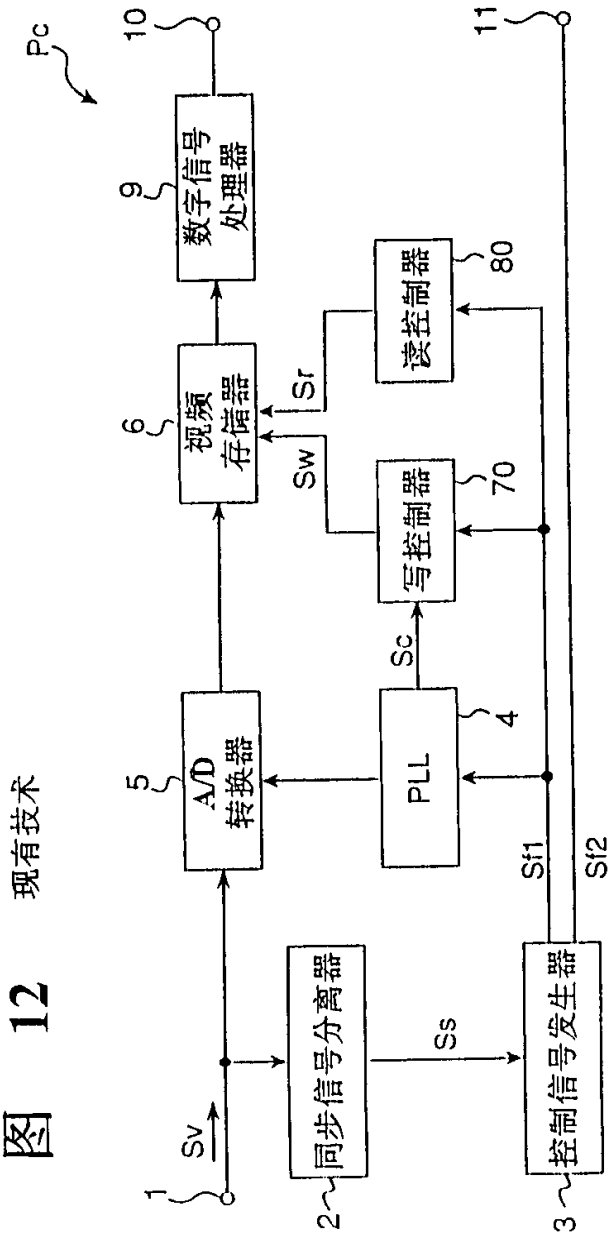

行号: 518
行号: 20
Sf1
Hdpoinf
Count
Lockwd
X0X1X2X
X X X X X0X1X2X3X4X
857
857
50clk
50clk

图 12 现有技术


Pc
10
11
9
数字信号处理器
6
视频存储器
Sr
Sw
读控制器
80
写控制器
70
Sc
5
A/D转换器
PLL
4
Sf1
Sf2
Sv
1
同步信号分离器
2
Ss
控制信号发生器
3