

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4122143号
(P4122143)

(45) 発行日 平成20年7月23日(2008.7.23)

(24) 登録日 平成20年5月9日(2008.5.9)

(51) Int. Cl.	F I
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z
HO 1 L 25/07 (2006.01)	HO 1 L 23/12 5 O 1 S
HO 1 L 25/18 (2006.01)	HO 1 L 23/12 Q
HO 1 L 23/12 (2006.01)	HO 1 L 23/14 S

請求項の数 4 (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-226172 (P2001-226172)
 (22) 出願日 平成13年7月26日(2001.7.26)
 (65) 公開番号 特開2003-46026 (P2003-46026A)
 (43) 公開日 平成15年2月14日(2003.2.14)
 審査請求日 平成17年5月26日(2005.5.26)

(73) 特許権者 000204284
 太陽誘電株式会社
 東京都台東区上野6丁目16番20号
 (74) 代理人 100069981
 弁理士 吉田 精孝
 (74) 代理人 100087860
 弁理士 長内 行雄
 (72) 発明者 加藤 俊夫
 東京都台東区上野6丁目16番20号 太陽誘電株式会社内
 審査官 宮崎 園子

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パッドとして露出する複数の再配置配線を設けた半導体装置において、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するようにして設けられた少なくとも1つの受動部品と、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、前記受動部品を覆うようにして設けられた半導体素子を備える第2の半導体装置と、

前記半導体装置の接続用パッドが露出する面の幾つかの接続用パッドに外部との接続を目的として設けられたはんだボールとを備え、

前記半導体装置の接続用パッドが露出する面に設けられた前記第2の半導体装置の高さは、前記半導体装置の接続用パッドが露出する面に設けられたはんだボールの高さよりも低い、

ことを特徴とする半導体装置。

【請求項2】

半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パッドとして露出する複数の再配置配線を設けた半導体装置において、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するようにして設けられた少なくとも1つの受動部品と、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、

前記受動部品を覆うようにして設けられた半導体素子を備える第2の半導体装置と、
前記半導体装置の接続用パッドが露出する面に前記第2の半導体装置を覆うようにして
設けられた表面保護膜と、

前記表面保護膜の外部との接続端子部分に形成された開口部に埋め込まれた導電体柱と
を備える、

ことを特徴とする半導体装置。

【請求項3】

半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パ
ッドとして露出する複数の再配置配線を設けた半導体装置の製造方法において、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するよう
にして少なくとも1つの受動部品を設け、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、
前記受動部品を覆うようにして第2の半導体装置を設け、

前記半導体装置の接続用パッドが露出する面の幾つかの接続用パッドに外部との接続を
目的としたはんだボールを設け、

前記半導体装置の接続用パッドが露出する面に設けられた前記第2の半導体装置の高さ
を、前記半導体装置の接続用パッドが露出する面に設けられたはんだボールの高さよりも
低くする、

ことを特徴とする半導体装置の製造方法。

【請求項4】

半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パ
ッドとして露出する複数の再配置配線を設けた半導体装置の製造方法において、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するよう
にして少なくとも1つの受動部品を設け、

前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、
前記受動部品を覆うようにして第2の半導体装置を設け、

前記半導体装置の接続用パッドが露出する面に前記第2の半導体装置を覆うようにして
表面保護膜を設け、

前記表面保護膜の外部との接続端子部分に開口を形成して該開口部に導電体柱を埋め込
む、

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板上に回路素子を搭載した半導体装置とその製造方法に関する。

【0002】

【従来の技術】

再配置配線を施した半導体装置の製造方法の一例を以下に説明する。

【0003】

まず、IC製造工程内で形成されたオリジナルパッドを有するシリコンウエハーの表面
全面に感光性ポリイミド樹脂層を形成し、露光現像処理によってオリジナルパッド部分を
露出させた後、ポリイミド樹脂層を加熱硬化させる。次に薄膜形成装置内でパッド表面に
形成されている酸化膜を除去した後、ウエハーの表面全面にCr層とCu層から成る2層
膜を形成する。次に2層膜の表面全面にメッキレジスト膜を形成し、露光現像処理によっ
て再配置配線部分を露出させ、メッキレジストの硬化処理後、露出部分にCuメッキを行
う。次にメッキレジスト膜を剥離し、2層膜上のCuメッキ部分以外のCu層とCr層を
エッチングで除去する。次にウエハー表面全面に感光性ポリイミド樹脂層を形成し、露光
現像処理によって再配置配線の一部を露出させた後、ポリイミド樹脂層を加熱硬化させる
。次に再配置配線の露出部分にバンプを形成する。

【0004】

10

20

30

40

50

【発明が解決しようとする課題】

前記半導体装置はICだけで構成されるわけではなく、ICの周辺には数多くの受動部品が配置接続されることで電気回路が形成され、所定の機能を実現している。半導体装置の小型化要求に対してはリアルサイズCSPや複数のICを一つのパッケージに組み込む手法が提案されているが、より高度な実装を実現するには、IC部分を小型化するだけでなく回路を構成している受動部品をも含めた対策が必要となる。

【0005】

本発明は前記事情に鑑みて創作されたもので、その目的とするところは、高密度実装の要求に追従できる半導体装置とその製造方法を提供することにある。

【0006】**【課題を解決するための手段】**

前記目的を達成するため、本発明に係る半導体装置は、半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パッドとして露出する複数の再配置配線を設けた半導体装置において、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するようにして設けられた少なくとも1つの受動部品と、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、前記受動部品を覆うようにして設けられた半導体素子を備える第2の半導体装置と、前記半導体装置の接続用パッドが露出する面の幾つかの接続用パッドに外部との接続を目的として設けられたはんだボールとを備え、前記半導体装置の接続用パッドが露出する面に設けられた前記第2の半導体装置の高さは、前記半導体装置の接続用パッドが露出する面に設けられたはんだボールの高さよりも低い、ことをその特徴とする。また、半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パッドとして露出する複数の再配置配線を設けた半導体装置において、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するようにして設けられた少なくとも1つの受動部品と、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、前記受動部品を覆うようにして設けられた半導体素子を備える第2の半導体装置と、前記半導体装置の接続用パッドが露出する面に前記第2の半導体装置を覆うようにして設けられた表面保護膜と、前記表面保護膜の外部との接続端子部分に形成された開口部に埋め込まれた導電体柱とを備える、ことをその特徴とする。

また、本発明に係る半導体装置の製造方法は、半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パッドとして露出する複数の再配置配線を設けた半導体装置の製造方法において、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するようにして少なくとも1つの受動部品を設け、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、前記受動部品を覆うようにして第2の半導体装置を設け、前記半導体装置の接続用パッドが露出する面の幾つかの接続用パッドに外部との接続を目的としたはんだボールを設け、前記半導体装置の接続用パッドが露出する面に設けられた前記第2の半導体装置の高さを、前記半導体装置の接続用パッドが露出する面に設けられたはんだボールの高さよりも低くする、ことをその特徴とする。また、半導体素子を備えた半導体基板に、オリジナルパッドと接続し、且つ、一部が接続用パッドとして露出する複数の再配置配線を設けた半導体装置の製造方法において、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続するようにして少なくとも1つの受動部品を設け、前記半導体装置の接続用パッドが露出する面に2以上の接続用パッドと接続し、且つ、前記受動部品を覆うようにして第2の半導体装置を設け、前記半導体装置の接続用パッドが露出する面に前記第2の半導体装置を覆うようにして表面保護膜を設け、前記表面保護膜の外部との接続端子部分に開口を形成して該開口部に導電体柱を埋め込む、ことをその特徴とする。

【0007】

この半導体装置及び半導体装置の製造方法によれば、再配置配線の接続用パッドを利用して他の回路素子を搭載することにより、半導体素子に他の回路素子を接続して三次元に構成された複合回路を簡単に構成することができ、これにより高密度実装の要求に追従で

10

20

30

40

50

きる半導体装置を提供できる。

【0008】

本発明の前記目的とそれ以外の目的と、構成特徴と、作用効果は、以下の説明と添付図面によって明らかとなる。

【0009】

【発明の実施の形態】

図1及び図2に示す半導体装置SC2にはパッド21に接続された種々形状の再配置配線22が設けられ、その一部に接続用パッド22aが形成されている。幾つかの再配置配線22の接続用パッド22aには外部との接続を目的としたはんだボール23が設けられ、また、幾つかの配置パターン22の接続用パッド22aは図3に示す他の半導体装置SC3用の接続端子としてそのままの状態で露出している。また、半導体装置SC2の部品実装面には、1つのコンデンサ部24が2つの再配置配線22の接続用パッド22aと接続するように設けられ、2つの抵抗部25がそれぞれ2つの再配置配線22の接続用パッド22aと接続するように設けられている。

10

【0010】

コンデンサ部24は積層セラミックコンデンサ等から成り、一方の外部端子を図中左側の再配置配線22の接続用パッド22aに接続され、他方の外部端子を図中右側の再配置配線22の接続用パッド22aに接続されている。このコンデンサ部24は予め作成したコンデンサ部品を半田や導電性接着剤を用いて接続する他、半導体装置SC2の部品実装面に積層構造のコンデンサ回路を直接形成することにより設けることも可能である。

20

【0011】

各抵抗部25は、2つの再配置配線22の接続用パッド22aに重なるようにスクリーン印刷等の厚膜形成法によって抵抗ペーストを塗布して硬化させることにより形成されている。抵抗部25用の抵抗ペーストには、熱硬化性或いは光硬化性の樹脂に金属粉末を添加したもの等から成る抵抗ペーストが使用できる。勿論、各抵抗部25は予め作成した抵抗部品を半田や導電性接着剤を用いて前記コンデンサ部品と同時に実装するようにしてもよい。

【0012】

図3に示した半導体装置SC3は6つのボール状のバンプ31を有している。図4及び図5に示すように、この半導体装置SC3は各バンプ31が半導体装置SC2に形成された接続用パッド22aに接続される。また、図4には半導体装置SC3がコンデンサ部24及び抵抗部25を覆うようにして半導体装置SC2に実装されている状態が図示されているが、コンデンサ部24及び抵抗部25の位置は半導体装置SC3の下に限定されず、半導体装置SC2の実装面上任意の位置に配置できることは言うまでもない。

30

【0013】

図5から分かるように、実装後の半導体装置SC3の高さを半導体装置SC2に設けられたはんだボール23の高さより低くすることで、半導体装置SC3が実装された半導体装置SC2を基板等を実装する場合、半導体装置SC3が実装の支障になることはない。

【0014】

このように図1及び図2に示した半導体装置SC2と図4及び図5に示した半導体装置によれば、再配置配線22の接続用パッド22aを利用してコンデンサ部24や抵抗部25等の受動部品や別の半導体装置SC3を半導体装置SC2に搭載することにより、半導体装置SC2の半導体素子に他の回路素子を接続して三次元に構成された複合回路(図1~図5参照)を簡単に構成でき、これにより高密度実装の要求に追従できる半導体装置を提供できる利点がある。

40

【0015】

尚、図1~図5に基づく説明では、チップサイズの半導体装置SC2にコンデンサ部24や抵抗部25や半導体装置SC3等の回路素子を搭載するものを例示したが、ウエハーサイズで回路素子を搭載した後ウエハーをチップサイズにカットして図1及び図2に示す半導体装置SC2や図4及び図5に示す半導体装置を得るようにしてもよい。

50

【0016】

また、回路素子としてコンデンサ部24と抵抗部25と半導体装置SC3を例示したが、これら以外の種々の回路素子を実装できることは言うまでもなく、再配置配線22の形状も任意に変更可能である。

【0017】

さらに、半導体装置SC2としてはんだボール23が設けられているものを示したが、予め作成したコンデンサ部品と抵抗部品を半導体装置SC2に実装する場合には、コンデンサ部品または抵抗部品を搭載する前に接続用パッド22a上にスクリーン印刷法によってはんだボール23用のはんだペーストを印刷しておき、コンデンサ部品と抵抗部品を半田によって接続するに際してリフロー炉を通過させるときに、印刷されたはんだボール23用の電極ペーストを加熱溶融してボール状のはんだボール23を形成するようにしてもよい。

10

【0018】

さらに、半導体装置SC2上に形成する再配置配線22は厚膜形成方法(スクリーン印刷法による導体ペーストの印刷とその硬化、ディスペンサ法による導体ペーストの描画及びその硬化、インクジェット法による導体ペーストの描画及びその硬化)によって形成することができる。また、従来例に示した様な薄膜技術を用いた再配置配線の形成方法により製造された半導体装置を半導体装置SC2として用いても前記同様の作用効果を得ることができる。

【0019】

さらに、図6に示す様に、各種の回路素子を搭載した半導体装置SC2の部品実装面に表面保護膜26を形成し、外部との接続端子部分を開口し、その開口部に導電体柱27を埋め込み、導電体柱27の上にはんだボール28を形成することで回路部品を組み込んだ真の意味でのSIP(システム・イン・パッケージ)をリアルサイズCSPで作ることができる。

20

【0020】

表面保護膜26の形成と接続端子部の開口には、スクリーン印刷法など各種の厚膜形成方法や半導体装置SC2の部品実装面全面に保護膜を形成し接続端子部分をレーザ加工で開口する方法が使用できる。導電体柱27の形成は無電解メッキ法や導電ペーストを充填する方法が用いられ、はんだボール28はクリームはんだ印刷法やはんだボールを直接搭載する方法で形成することができる。

30

【0021】

【発明の効果】

以上詳述したように、本発明によれば、半導体素子に他の回路素子を接続して三次元に構成された複合回路を簡単に構成することができ、これにより高密度実装の要求に追従できる半導体装置を提供できる。

【図面の簡単な説明】

【図1】 半導体装置の上に回路部品を搭載した状態を示す図

【図2】 図1の側面図

【図3】 図1に示した半導体装置に搭載される他の半導体装置を示す図

40

【図4】 図1に示した半導体装置に図3に示した半導体装置を搭載した状態を示す図

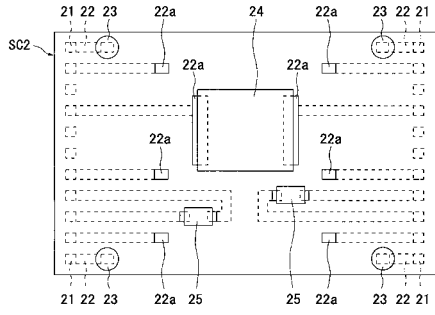
【図5】 図4の側面図

【図6】 図3に示した半導体装置に絶縁膜を形成してICパッケージとなった状態を示す図

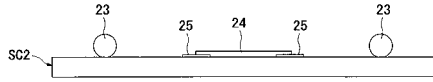
【符号の説明】

SC1...半導体装置、SC2...半導体装置、21...パッド、22...再配置配線、22a...接続用パッド、24...コンデンサ部、25...抵抗部、SC3...半導体装置。

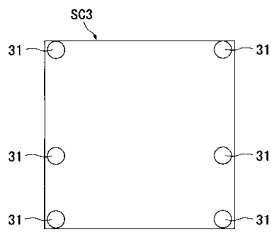
【 図 1 】



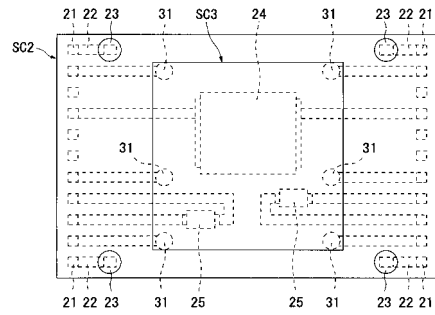
【 図 2 】



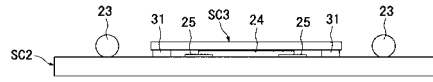
【 図 3 】



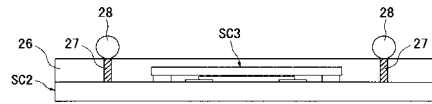
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L 23/14</i>	<i>(2006.01)</i>		H 0 1 L 21/56		E
<i>H 0 1 L 21/56</i>	<i>(2006.01)</i>		H 0 1 L 23/12		H

(56)参考文献 国際公開第98/040915(WO,A1)
実開昭63-049254(JP,U)
特開平11-145142(JP,A)
特開2000-077570(JP,A)
特開2000-100821(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 25/00

H01L 23/12

H01L 25/07