(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3540633号
(P3540633)

(45)発行日　平成16年7月7日(2004.7.7)　(24)登録日　平成16年4月2日(2004.4.2)

(51)Int.Cl.[7]	F I		
H01L 21/8247	H01L	27/10	434
H01L 21/76	H01L	21/76	L
H01L 27/115	H01L	29/78	371
H01L 29/78	H01L	29/78	301G
H01L 29/788	H01L	29/78	301R

請求項の数 10　(全 13 頁)　最終頁に続く

(21)出願番号　特願平10-320595
(22)出願日　平成10年11月11日(1998.11.11)
(65)公開番号　特開2000-150834(P2000-150834A)
(43)公開日　平成12年5月30日(2000.5.30)
審査請求日　平成14年4月1日(2002.4.1)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板上に第１のゲート絶縁膜を形成する工程と、
前記第１のゲート絶縁膜上に第１のゲート電極材を堆積する工程と、
前記第１のゲート電極材上に絶縁部材を堆積する工程と、
前記絶縁部材上に所定の素子領域を覆うフォトレジストパターンを形成し、このパターンに従って前記絶縁部材、前記第１のゲート電極材、前記第１のゲート絶縁膜及び前記半導体基板をエッチングしてトレンチを形成する工程と、
前記絶縁部材を少なくとも前記素子領域よりも寸法が小さくなるように部分的にエッチングする工程と、
前記第１のゲート電極材を前記絶縁部材をマスクにエッチングする工程と、
前記トレンチに絶縁物を埋め込む工程と、
前記絶縁物を前記絶縁部材の表面が露出するまで平坦化する工程と、
前記絶縁部材を除去する工程と、
前記第１のゲート電極材をパターニングする工程と
を具備したことを特徴とする半導体装置の製造方法。

【請求項２】

前記絶縁部材を除去する工程の後、前記第１のゲート電極材及び前記絶縁物上に亘って、第２のゲート絶縁膜を形成する工程と、前記第２のゲート絶縁膜上に第２のゲート電極材を形成する工程と、前記第２のゲート電極材及び前記第２のゲート絶縁膜をパターニング

する工程をさらに具備し、
前記第２のゲート電極材及び前記第２のゲート絶縁膜と自己整合的に前記第１のゲート電極材をパターニングすることを特徴とする請求項１記載の半導体装置の製造方法。
【請求項３】
半導体基板上に第１のゲート絶縁膜を堆積する工程と、
前記第１のゲート絶縁膜上に第１のゲート部材を堆積する工程と、
前記第１のゲート部材上に絶縁部材を堆積する工程と、
前記絶縁部材上に所定の素子領域を覆うフォトレジストパターンを形成し、このパターンに従って前記絶縁部材、前記第１のゲート部材、前記第１のゲート絶縁膜及び前記半導体基板をエッチングしてトレンチを形成する工程と、
前記絶縁部材を少なくとも前記素子領域よりも寸法が小さくなるように部分的にエッチングする工程と、
前記第１のゲート部材を前記絶縁部材をマスクにエッチングする工程と、
前記トレンチに絶縁物を埋め込む工程と、
前記絶縁物を前記絶縁部材の表面が露出するまで平坦化する工程と、
前記絶縁部材を除去する工程と、
前記第１のゲート部材上の前記絶縁部材が除去された部分に第２のゲート部材を形成することによって、第１のゲート電極材を形成する工程と、
前記第１のゲート電極材及び前記絶縁物上に亘って第２のゲート絶縁膜を形成する工程と、
前記第２のゲート絶縁膜上に第２のゲート電極材を形成する工程と、
前記第２のゲート電極材、第２のゲート絶縁膜及び第１のゲート電極材を前記トレンチに略直交するライン状にパターニングすることにより、前記第１のゲート電極材を浮遊ゲート、前記第２のゲート電極材を制御ゲートとするメモリセルのアレイ部としての配列を形成する工程と
を具備したことを特徴とする半導体装置の製造方法。
【請求項４】
前記第１のゲート電極材を形成する工程の後、前記絶縁物を所定量エッチバックする工程をさらに具備することを特徴とする請求項３記載の半導体装置の製造方法。
【請求項５】
前記第１のゲート部材はアモルファスシリコンからなる請求項３記載の半導体装置の製造方法。
【請求項６】
前記第２のゲート部材は導電性のポリシリコンからなる請求項３記載の半導体装置の製造方法。
【請求項７】
前記絶縁部材は窒化珪素からなる請求項３記載の半導体装置の製造方法。
【請求項８】
前記絶縁物は二酸化珪素からなる請求項３記載の半導体装置の製造方法。
【請求項９】
前記第２のゲート絶縁膜は酸化膜／窒化膜／酸化膜の三層膜を含む請求項３記載の半導体装置の製造方法。
【請求項１０】
前記第２のゲート電極材はポリシリコンからなる請求項８記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体装置の製造方法に係り、特に半導体基板に形成された浅いトレンチに絶縁膜を埋め込んで行う素子分離方法、いわゆるＳＴＩ（Sharrow Trench Isolation）を適用する半導体記憶装置のメモリセル製造方法に関する。

【０００２】
【従来の技術】
従来技術として、半導体メモリデバイスにおけるメモリセルの形成に関し、ＳＴＩを適用した素子分離方法を図１４（ａ）～（ｅ）を用いて説明する。
【０００３】
まず、図１４（ａ）に示すように、Ｐ型シリコン基板９０１の表面を酸化する（酸化膜９１１）。ここで各種のウェル、チャネルインプランテーション（チャネル領域の形成）を行う。
【０００４】
次に、酸化膜９１１を除去し、ゲート酸化膜９０４を形成する。このとき、図示しない周辺回路のゲート酸化膜（厚さが異なるものも含む）も形成する。次に、浮遊ゲート電極となるポリシリコン（９０５）、さらにストッパ材、例えばシリコン窒化膜９１２を堆積し、図示しないレジストを塗布しパターニングを行う。その後、図１４（ｂ）に示すように、図示しないレジストパターンをマスクにしてシリコン窒化膜９１２、ポリシリコン９０５、ゲート酸化膜９０４を順次異方性エッチングし、さらに露出したシリコン基板９０１を異方性エッチングする。これにより、基板にトレンチ９０２を形成する。次いで、図示しないレジストパターンを剥離する。
【０００５】
次に、図１４（ｃ）に示すように、エッチングのダメージを緩和するためにトレンチ９０２の内壁表面を酸化する（酸化膜９１３）。
次いで、上記トレンチ９０２内を埋め込むように、基板上にたとえばＴＥＯＳ（tetraethoxysilane ）などのシリコン酸化膜（９０３）を堆積する。その後、図１４（ｄ）に示すように、化学的機械的研磨法、いわゆるＣＭＰ（chemical mechanical polishing ）の技術を用いて、シリコン酸化膜９０３の表面を平坦にする。酸化膜９０３はシリコン窒化膜９１２の表面が露出されるまで削られ、トレンチ９０２の内部が埋め込まれた形状にされる。
【０００６】
最後に、図１４（ｅ）に示すように、ストッパ材としてのシリコン窒化膜９１２を除去して素子分離が完成する。この後、不揮発性半導体記憶装置であれば、ＯＮＯ膜、制御ゲート電極となるポリシリコン層などが堆積された後、ゲート形状にパターニングされてメモリセルが形成される。
【０００７】
このように、シリコン基板９０１上に、まずゲート酸化膜９０４、ゲート部材（９０５）等を順次形成した後、ゲート部材（９０５）、ゲート酸化膜９０４及びシリコン基板９０１を順次エッチングし、ゲート部材（９０５）と自己整合的にＳＴＩ構造を形成する素子分離方法では、素子分離領域に埋め込まれた絶縁膜が後工程で削られる恐れが少なく、良好な素子分離特性が得られやすいという特徴を有する。これは、シリコン基板にＳＴＩ構造の素子分離領域を形成した後、シリコン基板上にゲート酸化膜を介してゲート部材を堆積しパターニングする場合は、ＳＴＩ形成の際に基板上を被覆していた犠牲酸化膜を一旦剥離し、新たにゲート酸化膜を形成する必要があり、この際、素子分離領域に埋め込まれた絶縁膜の後退が避けられないのに対し、上記素子分離方法ではこうした犠牲酸化膜の剥離工程は伴わないからである（例えば特開平８－１７９４８号参照）。
【０００８】
ところで、上記図１４（ｂ）に示された、ＣＭＰのストッパ材（シリコン窒化膜９１２）の厚さまで含んだトレンチ９０２の深さをＤ１、ＳＴＩで構成された素子分離領域の幅をＷ１とする。微細加工が進むと、これらＤ１，Ｗ１の比の値Ｄ１／Ｗ１は大きくなる。この結果、ＳＴＩとして埋め込む絶縁膜（酸化膜９０３）の堆積直後の埋め込み形状が悪くなる。具体的には例えば、トレンチ幅の加工ばらつきの原因もあって、埋め込んだトレンチのうち一部で、トレンチ中心付近に隙間があいてしまう現象が起きる。このような状態を回避するため、酸化膜９０３の堆積後には、高温かつ長時間の熱工程を経る。これによ

り、トレンチを絶縁物で隙間なく埋め込んだ形状とする。

【０００９】

【発明が解決しようとする課題】

ＳＴＩ構造において、トレンチを絶縁物で隙間なく埋め込んだ形状とするためには、絶縁膜（酸化膜９０３）を堆積した後に、高温かつ長時間の熱工程を行わなければならない。しかしながら、上記のように素子領域形成工程（素子分離工程）よりも前にゲート酸化膜（９０４）等（厚さの違う周辺回路のゲート絶縁膜も含む）を形成する製造方法では、高温かつ長時間の熱工程を経ると、ゲート酸化膜が劣化する、拡散層のプロファイルの制御が困難になるといった信頼性の問題がある。

【００１０】

また、上記信頼性の問題を支障ない程度に抑えつつ行われる熱工程の後においても、トレンチの上端部に窪みが残り易い。この窪みが残ったとすると、後の工程で、例えば、制御ゲート電極となるポリシリコン層などを堆積し、ゲート形状にパターニングした際、エッチング残留物が窪みに残る可能性が高い。エッチング残留物が窪みに沿って残ると、最悪の場合、ゲート間ショートを起こす原因となる。

【００１１】

この発明は上記のような事情を考慮し、その課題は、素子の微細化、高集積化を実現するＳＴＩ構造のためのトレンチに関し、絶縁物の堆積直後において絶縁物が隙間なく埋め込まれ易い形状とし、もって、高集積度で高信頼性の半導体装置の製造方法を提供することにある。

【００１２】

【課題を解決するための手段】

この発明の半導体装置の製造方法は、半導体基板上に第１のゲート絶縁膜を形成する工程と、前記第１のゲート絶縁膜上に第１のゲート電極材を堆積する工程と、前記第１のゲート電極材上に絶縁部材を堆積する工程と、前記絶縁部材上に所定の素子領域を覆うフォトレジストパターンを形成し、このパターンに従って前記絶縁部材、前記第１のゲート電極材、前記第１のゲート絶縁膜及び前記半導体基板をエッチングしてトレンチを形成する工程と、前記絶縁部材を少なくとも前記素子領域よりも寸法が小さくなるように部分的にエッチングする工程と、前記第１のゲート電極材を前記絶縁部材をマスクにエッチングする工程と、前記トレンチに絶縁物を埋め込む工程と、前記絶縁物を前記絶縁部材の表面が露出するまで平坦化する工程と、前記絶縁部材を除去する工程と、前記第１のゲート電極材をパターニングする工程とを具備している。

【００１３】

この発明の方法では、素子領域を規定した絶縁部材をさらにエッチングすることにより後退させ、寸法の小さくなった絶縁部材をマスクとしたゲート電極材のエッチングで、トレンチの開口部が広がるようにすることにより、素子分離用の絶縁物堆積直後の埋め込み形状を改善する。

【００１４】

【発明の実施の形態】

図１は、この発明の半導体装置の製造方法における最も特徴的な製造工程途中の形態を示す断面図である。半導体基板上のＭＯＳ型素子間の素子分離領域が本発明の特徴を有したＳＴＩで構成されている。半導体基板１０１上にゲート酸化膜１０２が形成されている。ゲート酸化膜１０２上にゲート電極１０３が形成されている。ゲート電極１０３下の基板はチャネル領域である。ソース／ドレイン領域は、この断面の方向に対して垂直方向の断面においてゲート電極両側の基板表面に現れるもので、ここでは示されない。

【００１５】

ゲート電極１０３間の素子分離用のトレンチ１０４は、深さ方向の上部１０４ａが深さ方向の下部１０４ｂに対し段差部分１０４Ｓを経ることにより、深さ方向の下部１０４ｂに比べて深さ方向の上部１０４ａが広い寸法を有している。

【００１６】

上記トレンチの深さ方向の上部１０４ａとトレンチの深さ方向の下部１０４ｂの内壁は段差部分１０４Ｓを境に互いに異なる部分を構成している。ここでは、トレンチの深さ方向の下部１０４ｂの内壁は半導体基板１０１であり、トレンチの深さ方向の上部１０４ａの内壁はゲート電極１０３である。

【００１７】

このようなトレンチ１０４内に、絶縁物１０５が埋め込まれているが、トレンチ１０４の深さ方向の上部１０４ａが広い、つまり、トレンチの開口部が下部より大きいと、絶縁物が隙間やシームの発生なく埋め込まれやすい。すなわち、絶縁物堆積直後の埋め込み形状を改善できる。

【００１８】

また、絶縁物堆積時にトレンチの上部が早くふさがってしまいトレンチ内部に空洞ができるなどの不具合も防止できる。空洞ができると後の熱工程により空洞中の気圧が高くなり、応力が増大し物理的な破壊が起こる危険性もあり、このような危惧を解消する。

【００１９】

上記のようなトレンチ１０４の形成方法は、例えば、図２に示すように、ゲート電極１０３となる導電層（第１のゲート部材）の上に絶縁部材１０６を形成した構造に、フォトリソグラフィ技術を用いる。まず、素子領域を覆ったレジスト膜（図示せず）に従って絶縁部材１０６から基板１０１に至るトレンチの深さ方向の下部１０４ｂまでエッチングする。その後、絶縁部材１０６を例えばウェットエッチングなどで後退させる。

【００２０】

次いで、上記絶縁部材１０６に従ってゲート電極１０３を再度加工する。すなわち、ゲート電極１０３は素子領域よりも寸法が小さくなる。よって、トレンチの深さ方向の上部１０４ａをトレンチ下部１０４ｂより広く形成することができる（図３）。

【００２１】

その後は、トレンチ１０４の内壁を薄く酸化した後、トレンチ１０４内を埋めるようにＣＶＤ法（Chemical Vapor Deposition ）により絶縁物１０５が堆積される。次に、絶縁部材１０６をストッパとしたＣＭＰ法（chemical mechanical polishing ）を用いて絶縁物１０５を平坦にする。平坦化後、絶縁部材１０６は除去される。これにより、図１に示されるような構成となる。

【００２２】

また、図示しないが、絶縁部材１０６の除去部分に例えば低抵抗化のための導電材（第２のゲート部材）が埋め込まれてもよい。なお、ゲート電極１０３の材料としてはアモルファスシリコンを用いることが考えられる。アモルファス材料は加工精度に優れている。これにより、絶縁部材１０６に従って形成される、素子領域より寸法の小さいゲート幅を有するゲート電極１０３の加工精度を向上させる。

【００２３】

上記構成によれば、トレンチ内への絶縁物堆積時の埋め込み形状が改善できる。これにより、絶縁物堆積直後の埋め込み形状を良くするための熱工程が、従来よりも低温で、時間も大幅に短縮できる。

【００２４】

この結果、ゲート酸化膜を素子領域形成工程よりも前に形成する半導体装置の製造方法では、ゲート酸化膜の質の劣化が低減され、チャネル領域等の拡散層のプロファイルの制御も容易になるという利点が生じる。

【００２５】

このような利点が得られるものとして例えば、浮遊ゲートを有する電気的書き込み消去可能な不揮発性半導体メモリである、ＮＡＮＤ型ＥＥＰＲＯＭ、ＡＮＤ型ＥＥＰＲＯＭ、ＤＩＮＯＲ型ＥＥＰＲＯＭ、ＮＯＲ型ＥＥＰＲＯＭ等のメモリセルの形成があげられる。以下に、ＮＡＮＤ型ＥＥＰＲＯＭのメモリセルを代表して説明する。

【００２６】

図４（ａ）～（ｃ）は、この発明の半導体装置の製造方法に係る、ＮＡＮＤ型ＥＥＰＲＯ

Mのメモリセルの実施形態を示している。図４において、（ａ）は、メモリセルのアレイ部分の平面図、（ｂ）は（ａ）の１Ｂ－１Ｂ断面図、（ｃ）は（ａ）の１Ｃ－１Ｃ断面図である。

【００２７】

シリコン半導体基板１上には、ＳＴＩ技術で構成された素子分離領域（ＳＴＩ３と称する）と素子領域４が形成されている。ここでは、ＳＴＩ３によってストライプ状にメモリセルの素子領域４が画定され、メモリセルのアレイ部を構成している。素子領域４において、ソース／ドレイン拡散層９の間のチャネル領域上にはゲート酸化膜５を介在させて浮遊ゲート電極ＦＧとなる導体層６が形成されている。

【００２８】

この導体層６（浮遊ゲート電極ＦＧ）は、ＳＴＩ３におけるトレンチ２３上部の内壁を構成するもので、素子領域４より寸法が小さくなっている。これにより、トレンチの深さ方向の下部２３ｂに比べて深さ方向の上部２３ａが広い寸法を有している。この構成では、図１でも示したように、トレンチ２３の開口部がトレンチ下部より大きいので、絶縁物（３１）が隙間やシームの発生なく埋め込まれやすい。すなわち、ＳＴＩ３の形成に関し、絶縁物堆積直後の埋め込み形状を従来より改善できる構成となっている（図４（ｂ）参照）。

【００２９】

浮遊ゲート電極ＦＧ（６）上には層間の絶縁膜７を介在させて制御ゲート電極ＣＧとなる導体層８が形成されている。この制御ゲート電極ＣＧ（８）は、ストライプ状の素子領域４と交差する方向に連続してライン状に形成されている（図４（ｂ）参照）。この例では８本の制御ゲート電極ＣＧ１～８それぞれに対応して設けられた浮遊ゲートＦＧを有する積層ゲート構造の８個のメモリセルを１つのメモリセルユニットとしている。ソース／ドレイン領域９がチャネル領域を介して直列されるメモリセルユニットの一端は、選択ゲートＳＧ１を介在させてビット線コンタクトとなるドレインＤにつながり、メモリセルユニットの他端は、選択ゲートＳＧ２を介在させて拡散ソース線Ｓにつながる（図４（ｃ）参照）。

【００３０】

なお、図４（ｃ）には、層間絶縁膜１０を介してビット線コンタクトＤに接続されるビット線ＢＬを図示しているが、図４（ａ）ではビット線コンタクトＤを示すのみとしている。

【００３１】

本発明では、上記図４（ｂ）の断面に示されるように、ＳＴＩ　３の形成に関し、絶縁物堆積直後の埋め込み形状を従来より改善できる構成となり、埋め込み形状を良くする熱工程の温度の低減、時間の短縮が図れる。これにより、メモリセルの特性劣化につながるゲート絶縁膜質の劣化が低減され、また、チャネル領域等の拡散層のプロファイル制御性の向上が実現される。

【００３２】

以下、上記図４（ｂ）の断面に示されるような、ＮＡＮＤ型ＥＥＰＲＯＭが有するメモリセルの製造方法について説明する。

図５～図１２は、素子分離にＳＴＩ構造を適用したＮＡＮＤ型ＥＥＰＲＯＭが有するメモリセルの製造方法を工程順に示す断面図である。

【００３３】

まず、例えば、Ｐ型シリコン基板１の表面に犠牲酸化膜（図示せず）を形成し、各種のウェル、チャネルインプランテーション（チャネル領域の形成）を行う。その後、犠牲酸化膜を除去する。

【００３４】

次に、図５に示すように、半導体基板１上にゲート酸化膜５を形成する。このとき、図示しない周辺回路のゲート酸化膜（厚さが異なるものも含む）も形成する。次に、浮遊ゲート電極材となるアモルファスシリコン（第１のゲート部材）６１、さらに絶縁部材、例え

ばシリコン窒化膜２１をＣＶＤ法により堆積する。次に、フォトレジスト２２を塗布し素子領域を覆うパターニングを行う。

【００３５】

その後、図６に示すように、フォトレジスト２２のパターンをマスクにしてシリコン窒化膜２１、アモルファスシリコン６１、ゲート酸化膜５をＲＩＥ法（Reactive Ion Etching）を用いて順次異方性エッチングし、さらに露出したシリコン半導体基板１もＲＩＥ法を用いて異方性エッチングする。これにより、基板にトレンチ２３を形成する。トレンチ２３の幅は０．３μｍ程度、トレンチ２３の深さは、フォトレジスト２２を除いて０．５５μｍ程度で、うち基板１表面からの深さは０．３μｍ程度ある。

【００３６】

次に、図７に示すように、フォトレジスト２２を除去した後、シリコン窒化膜２１をウェットエッチングにより２０ｎｍ程度後退させ、フォトレジスト２２のパターンより寸法を小さくする。

【００３７】

次に、図８に示すように、寸法の小さくなったシリコン窒化膜２１をマスクに、アモルファスシリコン６１を異方性エッチングする。アモルファスシリコン材料は、例えばポリシリコン材料に比べて加工精度に優れ、エッチング側面の寸法精度が良好である。トレンチ２３は、下部の２３ｂに比べ上部２３ａ（トレンチの開口部）が広いものとなる。

【００３８】

次に、図９に示すように、エッチングのダメージを緩和するためにトレンチ２３の内壁表面を熱酸化する（シリコン酸化膜２５）。次いで、上記トレンチ２３内を埋め込むべく、基板上に例えばＴＥＯＳ（tetraethoxysilane）などのシリコン酸化膜３１をＣＶＤ法により堆積する。その後、酸化膜３１の埋め込み形状を良くする７００～８００℃の熱工程を３０分程度加える。

【００３９】

トレンチ２３上部、つまりアモルファスシリコン６１を内壁とするトレンチ開口部が、基板を内壁とするトレンチ下部より広いので、酸化膜３１堆積直後の埋め込み形状は従来より改善される。

【００４０】

これにより、その後の埋め込み形状を良くする上記熱工程の温度の低減、時間の短縮が図れる。従来、上記熱工程は、９００～１０００℃、１時間程度であった。本発明により、この熱工程が７００～８００℃で３０分程度と緩和されるのである。

【００４１】

次に、ＣＭＰ（chemical mechanical polishing）の技術を用いて、酸化膜３１を平坦化する。酸化膜３１はシリコン窒化膜２１の表面が露出されるまで削られる。シリコン窒化膜２１がＣＭＰのストッパ材となる。その後、シリコン窒化膜２１を除去する（図１０）。

【００４２】

次に、図１１に示すように、シリコン窒化膜２１の除去部分を埋め込むように導電性のポリシリコン（第２のゲート部材）６２が堆積される。さらに、アモルファスシリコン６１中にポリシリコン６２中の不純物が拡散され低抵抗化される。なお、上記アモルファスシリコン６１は既に非晶質でなくなっている可能性があるが、便宜上アモルファスシリコン６１と称している。その後、酸化膜３１をストッパとしたＣＭＰを経る。これによりアモルファスシリコン６１／ポリシリコン６２の積層膜が、浮遊ゲート電極材６となる。

【００４３】

次に、図１２に示すように、酸化膜３１を所定量エッチバックし、浮遊ゲート電極材６の側面を一部露出させる。次に、浮遊ゲート電極材６及び酸化膜３１上に、層間のＯＮＯ膜（酸化膜／窒化膜／酸化膜の３層膜）７を形成した後、制御ゲート電極となるポリシリコン層８を堆積する。その後、このポリシリコン層８を平坦化する。

【００４４】

次に、フォトリソグラフィ技術及びＲＩＥ法を用いてこのポリシリコン層８と層間のＯＮＯ膜７と浮遊ゲート電極材６を、トレンチ２３に略直交する方向にライン状にエッチングする。次いで、イオン注入によりソース／ドレイン領域９を形成する。これにより、浮遊ゲート電極（ＦＧ）６、制御ゲート電極（ＣＧ）８を有するメモリセルのアレイ部としての配列を形成する（図４（ａ），（ｃ）参照）。

【００４５】

上記のような実施形態においても、素子領域を規定する絶縁部材を、エッチングすることにより後退させ、寸法の小さくなった絶縁部材に従ってゲート電極材（トレンチ上部）を加工するので、トレンチ開口部が広げられる。こうして、絶縁物（シリコン酸化膜３１）堆積直後の埋め込み形状を改善できる。

【００４６】

これにより、絶縁物堆積直後の埋め込み形状を良くするための熱工程が、従来よりも低温で、時間も大幅に短縮できる。この結果、メモリセルの特性劣化につながるゲート絶縁膜質の劣化が低減され、また、チャネル領域等の拡散層のプロファイル制御性が向上する。

【００４７】

さらに、この実施形態では、素子分離領域形成後、第１のゲート部材（アモルファスシリコン６１）上に第２のゲート部材（ポリシリコン６２）を積み増しして浮遊ゲート電極材６を形成した後、素子分離領域の絶縁物（シリコン酸化膜３１）を所定量エッチバックして浮遊ゲート電極材６への側面の一部を露出させている。このため、トレンチ２３への絶縁物の埋め込み時にはトレンチ２３のアスペクト比を大きくすることなく、得られるメモリセルにおける浮遊ゲート電極（ＦＧ）６と制御ゲート電極（ＣＧ）８との間の結合容量を高めることができ、つまり、トレンチ２３内への絶縁物の埋め込み形状を良くしながら、メモリセルの積層ゲート構造のカップリング比を増大させることが可能となる。

【００４８】

なお、上記実施形態では、図７において、フォトレジスト２２を除去した後、シリコン窒化膜２１をウェットエッチングする方法を示したが、フォトレジスト２２を除去する前に、シリコン窒化膜２１をウェットエッチングする方法をとってもよい。その様子を図１３に示す。

【００４９】

このように、本発明の半導体装置の製造方法によれば、ＳＴＩにおいて、トレンチの深さ方向の下部（１０４ｂ，２３ｂ）は半導体基板（１０１，１）が内壁とされ、トレンチの深さ方向の上部（１０４ａ，２３ａ）はゲート酸化膜及びゲート電極（１０３，６）が内壁とされる。

【００５０】

以上、各実施形態によれば、トレンチに埋め込んだ絶縁物をＣＭＰ法で平坦化する際のストッパ材となる絶縁部材を、所定量エッチングし、この絶縁部材をマスクに、さらにトレンチの開口の部分を広げるエッチングを行う。この結果、トレンチを埋め込んだ直後の絶縁物に対し、トレンチ内での隙間やシームの発生を大幅に低減させる。トレンチの埋め込み形状を改善することにより、半導体装置の信頼性は向上する。

【００５１】

【発明の効果】

以上説明したようにこの発明によれば、ＳＴＩ構造の適用で埋め込まれる絶縁物の、埋め込み直後の形状を良くするトレンチの形を作る。これにより、埋め込み形状を補正するための熱工程が緩和され、信頼性が向上する半導体装置の製造方法が提供できる。

【図面の簡単な説明】

【図１】この発明の半導体装置の製造方法の最も特徴的な製造工程途中の形態を示す断面図。

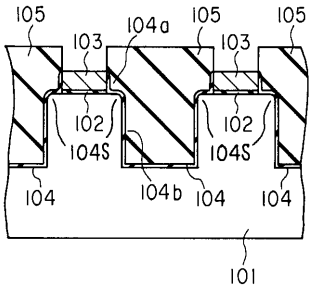
【図２】図１の構成の製造方法の工程途中を示す第１の断面図。

【図３】図１の構成の製造方法の工程途中を示す第２の断面図。

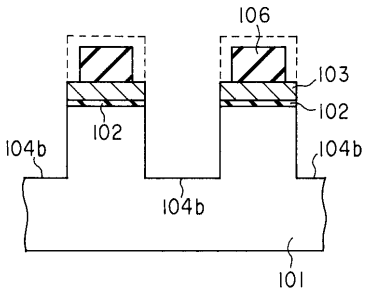
【図４】この発明の実施形態に係る、ＮＡＮＤ型ＥＥＰＲＯＭのメモリセルの構成を示し

、（ａ）はメモリセルのアレイ部分の平面図、（ｂ）は（ａ）の１Ｂ－１Ｂ断面図、（ｃ）は（ａ）の１Ｃ－１Ｃ断面図。
【図５】図４（ｂ）の断面に示されるような、素子分離にＳＴＩ構造を適用したＮＡＮＤ型ＥＥＰＲＯＭが有するメモリセルの製造方法を工程順に示すための第１の断面図。
【図６】図５に続く工程途中を示す第２の断面図。
【図７】図６に続く工程途中を示す第３の断面図。
【図８】図７に続く工程途中を示す第４の断面図。
【図９】図８に続く工程途中を示す第５の断面図。
【図１０】図９に続く工程途中を示す第６の断面図。
【図１１】図１０に続く工程途中を示す第７の断面図。
【図１２】図１１に続く工程途中を示す第８の断面図。
【図１３】別の方法で図６に続く工程途中を示す変形例としての断面図。
【図１４】（ａ）～（ｅ）は、従来の技術として、半導体メモリデバイスにおけるメモリセルの形成に関し、ＳＴＩを適用した素子分離方法を工程順に説明するための断面図。
【符号の説明】
１０１，１…半導体基板
１０２…ゲート酸化膜
１０３…ゲート電極
１０４，２３…トレンチ
１０４Ｓ…段差部分
１０５…絶縁物
１０６…絶縁部材
３…素子分離領域（ＳＴＩ）
４…素子領域
５…ゲート酸化膜
６…浮遊ゲート電極ＦＧとなる導体層
７…層間の絶縁膜（ＯＮＯ膜）
８…制御ゲート電極ＣＧとなる導体層
９…ソース／ドレイン領域
１０…層間絶縁膜
ＳＧ１，ＳＧ２…選択ゲート
２１…シリコン窒化膜
２２…フォトレジスト
２５…シリコン酸化膜（熱酸化膜）
３１…シリコン酸化膜（ＣＶＤ酸化膜）
６１…アモルファスシリコン
６２…ポリシリコン

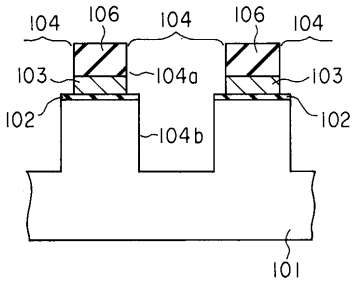
【図１】



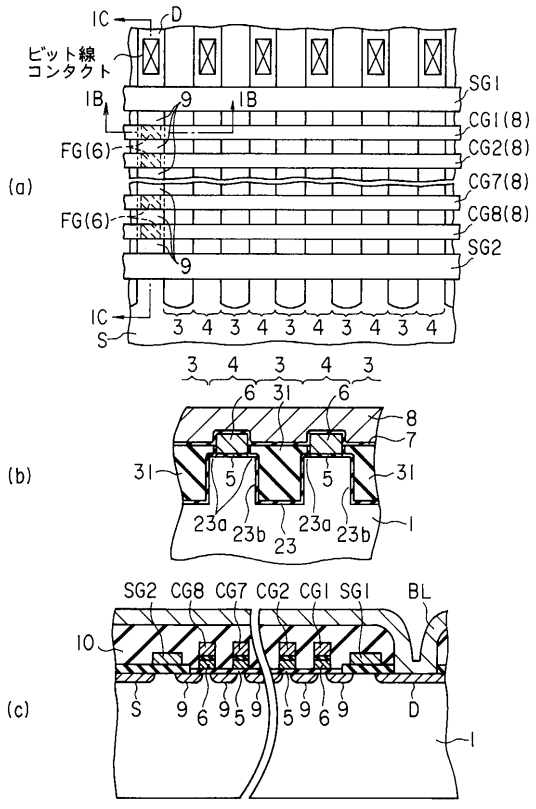
【図２】



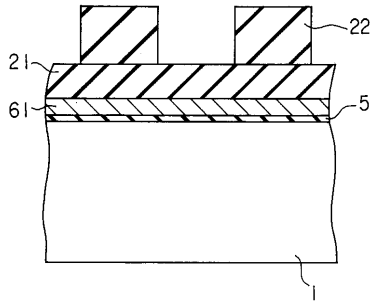
【図３】



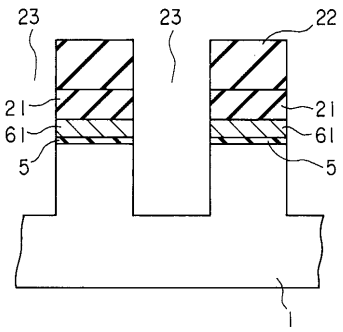
【図４】



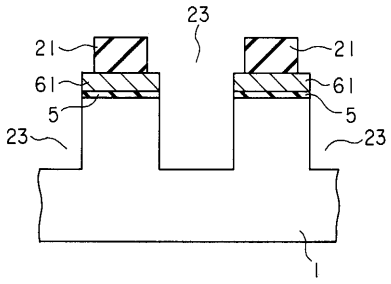
【図５】



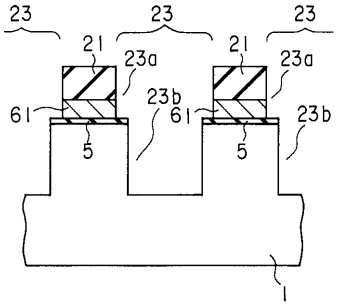
【図６】



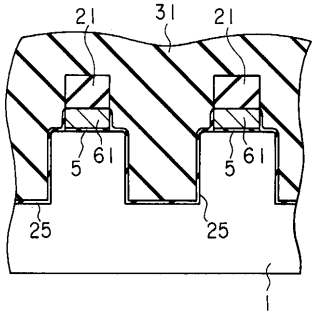
【図７】



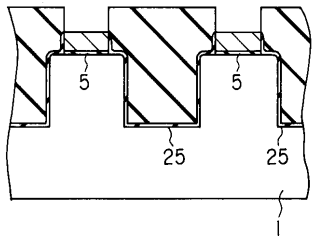
【図８】



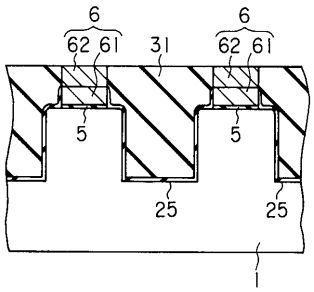
【図９】



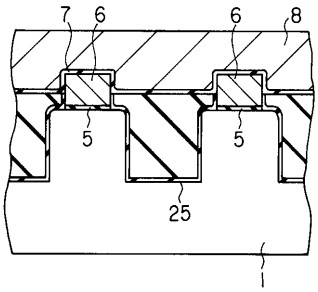
【図１０】



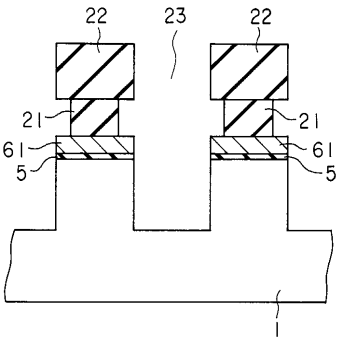
【図１１】



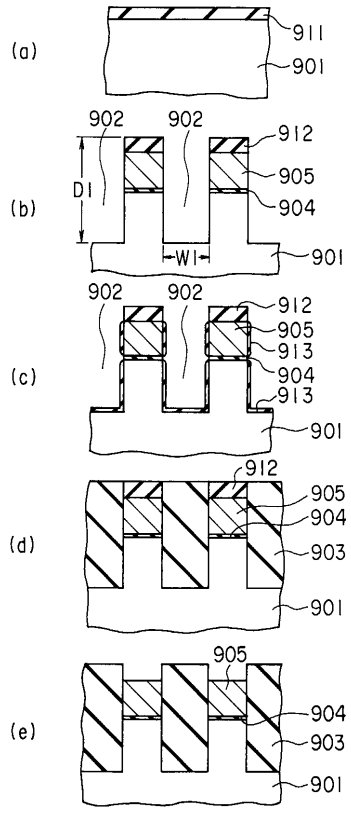
【図１２】



【図１３】



【図１４】


(a)
911
901
(b)
902
902
912
905
904
D1
W1
901
(c)
902
902
912
905
913
904
913
901
(d)
912
905
904
903
901
(e)
905
904
903
901

フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　ＨＯ１Ｌ　29/792

(74)代理人　100070437
　　弁理士　河井　将次
(72)発明者　小井土　直樹
　　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
(72)発明者　飯塚　裕久
　　神奈川県川崎市幸区堀川町５８０番１号　株式会社東芝半導体システム技術センター内
(72)発明者　白田　理一郎
　　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

審査官　松嶋　秀忠

(56)参考文献　特開平０５－１６０２５４（ＪＰ，Ａ）
　　特開平０８－０１７９４８（ＪＰ，Ａ）
　　特開平０９－２８３６１４（ＪＰ，Ａ）
　　特開平０９－３２６４３２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
　　H01L 27/115
　　H01L 21/8247
　　H01L 29/788
　　H01L 29/792
　　H01L 29/78
　　H01L 21/336
　　H01L 21/76