

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4421641号
(P4421641)

(45) 発行日 平成22年2月24日 (2010. 2. 24)

(24) 登録日 平成21年12月11日 (2009. 12. 11)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 670J
HO1L 51/50 (2006.01)	G09G 3/20 670K
	G09G 3/20 642A
	G09G 3/20 641E
請求項の数 6 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2007-228870 (P2007-228870)	(73) 特許権者	000153878
(22) 出願日	平成19年9月4日 (2007. 9. 4)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2002-54886 (P2002-54886) の分割		神奈川県厚木市長谷398番地
原出願日	平成14年2月28日 (2002. 2. 28)	(72) 発明者	納 光明
(65) 公開番号	特開2007-328373 (P2007-328373A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成19年12月20日 (2007. 12. 20)	(72) 発明者	宮崎 彩
審査請求日	平成19年9月4日 (2007. 9. 4)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	棚田 好文
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
		(72) 発明者	宮川 恵介
			神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 発光装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

発光素子を含む画素を有する発光装置の駆動方法であって、
 1 フレーム期間は、 n 個 (n は自然数、 $2 < n$) のサブフレーム期間を有し、
 前記 n 個のサブフレーム期間はそれぞれ、
 前記画素に対する映像信号の書き込みを行うアドレス期間と、
 前記映像信号に基づいて前記発光素子が発光または非発光となるサステイン期間と、を
 有し、
 前記 n 個のサブフレーム期間から選択された m 個 (m は自然数、 $0 < m < n - 1$) のサ
 ブフレーム期間はそれぞれ、
 前記画素に書き込まれるリセット信号に基づいて、前記発光素子が非発光となる消去期
 間を有し、
 前記 m 個のサブフレーム期間から選択された k 個 (k は自然数、 $0 < k < m$) のサブフ
 レーム期間はそれぞれ、
 前記画素に書き込まれる逆方向バイアス電圧を印加するための信号に基づいて、前記発
 光素子に逆方向バイアス電圧が印加される逆方向バイアス印加期間を有し、
 前記消去期間と前記逆方向バイアス印加期間は重なることを特徴とする発光装置の駆動
 方法。

【請求項2】

請求項1において、

前記発光素子が発光するときに前記発光素子に印加される順方向バイアス電圧 V_1 と、前記順方向バイアス電圧に対して極性の反転した前記逆方向バイアス電圧 V_2 は、 $|V_1| + |V_2|$ を満たすことを特徴とする発光装置の駆動方法。

【請求項 3】

第 1 乃至第 4 のトランジスタと、発光素子とを含む画素を有する発光装置の駆動方法であって、

前記第 1 のトランジスタのゲート電極は、第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、ソース信号線と電氣的に接続され、第 2 の電極は、前記第 2 のトランジスタの第 1 の電極及び前記第 3 のトランジスタのゲート電極と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、第 2 のゲート信号線と電氣的に接続され、第 2 の電極は、第 1 の電源線と電氣的に接続され、

前記第 3 のトランジスタの第 1 の電極は、前記第 1 の電源線と電氣的に接続され、第 2 の電極は、前記発光素子の第 1 の電極及び前記第 4 のトランジスタの第 1 の電極と電氣的に接続され、

前記第 4 のトランジスタのゲート電極は、第 3 のゲート信号線と電氣的に接続され、第 2 の電極は、第 2 の電源線と電氣的に接続され、

前記発光素子の第 2 の電極は、第 3 の電源線と電氣的に接続され、

1 フレーム期間内に、

前記第 1 のトランジスタがオン、前記第 2 及び前記第 4 のトランジスタがオフである第 1 の期間と、

前記第 1、前記第 2 及び前記第 4 のトランジスタがオフである第 2 の期間と、

前記第 2 のトランジスタがオン、前記第 1、前記第 3 及び前記第 4 のトランジスタがオフである第 3 の期間と、

前記第 1、前記第 2 及び前記第 3 のトランジスタがオフ、前記第 4 のトランジスタがオンである第 4 の期間と、を有し、

前記第 3 の期間において、前記発光素子は発光せず、

前記第 4 の期間において、前記発光素子に逆方向バイアス電圧が印加されることを特徴とする発光装置の駆動方法。

【請求項 4】

第 1 乃至第 4 のトランジスタと、発光素子とを含む画素を有する発光装置の駆動方法であって、

前記第 1 のトランジスタのゲート電極は、第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、ソース信号線と電氣的に接続され、第 2 の電極は、前記第 2 のトランジスタの第 1 の電極及び前記第 3 のトランジスタのゲート電極と電氣的に接続され、

前記第 2 のトランジスタのゲート電極は、第 2 のゲート信号線と電氣的に接続され、第 2 の電極は、第 1 の電源線と電氣的に接続され、

前記第 3 のトランジスタの第 1 の電極は、前記第 1 の電源線と電氣的に接続され、第 2 の電極は、前記発光素子の第 1 の電極及び前記第 4 のトランジスタの第 1 の電極と電氣的に接続され、

前記第 4 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、第 2 の電極は、第 2 の電源線と電氣的に接続され、

前記発光素子の第 2 の電極は、第 3 の電源線と電氣的に接続され、

1 フレーム期間内に、

前記第 1 のトランジスタがオン、前記第 2 及び前記第 4 のトランジスタがオフである第 1 の期間と、

前記第 1、前記第 2 及び前記第 4 のトランジスタがオフである第 2 の期間と、

前記第 1 及び前記第 3 のトランジスタがオフ、前記第 2 及び前記第 4 のトランジスタがオンである第 3 の期間と、を有し、

前記第 3 の期間において、前記発光素子に逆方向バイアス電圧が印加されることを特徴とする発光装置の駆動方法。

【請求項 5】

第 1 乃至第 4 のトランジスタと、発光素子とを含む画素を有する発光装置の駆動方法であって、

前記第 1 のトランジスタのゲート電極は、第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、ソース信号線と電氣的に接続され、第 2 の電極は、前記第 2 のトランジスタのゲート電極と電氣的に接続され、

前記第 2 のトランジスタの第 1 の電極は、第 1 の電源線と電氣的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、

前記第 3 のトランジスタのゲート電極は、第 2 のゲート信号線と電氣的に接続され、第 2 の電極は、前記第 4 のトランジスタの第 1 の電極及び前記発光素子の第 1 の電極と電氣的に接続され、

10

前記第 4 のトランジスタのゲート電極は、第 3 のゲート信号線と電氣的に接続され、第 2 の電極は、第 2 の電源線と電氣的に接続され、

前記発光素子の第 2 の電極は、第 3 の電源線と電氣的に接続され、

1 フレーム期間内に、

前記第 1 及び前記第 3 のトランジスタがオン、前記第 4 のトランジスタがオフである第 1 の期間と、

前記第 3 のトランジスタがオン、前記第 1 及び前記第 4 のトランジスタがオフである第 2 の期間と、

前記第 1、前記第 3 及び前記第 4 のトランジスタがオフである第 3 の期間と、

20

前記第 1 及び前記第 3 のトランジスタがオフ、前記第 4 のトランジスタがオンである第 4 の期間と、を有し、

前記第 3 の期間において、前記発光素子は発光せず、

前記第 4 の期間において、前記発光素子に逆方向バイアス電圧が印加されることを特徴とする発光装置の駆動方法。

【請求項 6】

第 1 乃至第 4 のトランジスタと、発光素子とを含む画素を有する発光装置の駆動方法であって、

前記第 1 のトランジスタのゲート電極は、第 1 のゲート信号線と電氣的に接続され、第 1 の電極は、ソース信号線と電氣的に接続され、第 2 の電極は、前記第 2 のトランジスタのゲート電極と電氣的に接続され、

30

前記第 2 のトランジスタの第 1 の電極は、第 1 の電源線と電氣的に接続され、第 2 の電極は、前記第 3 のトランジスタの第 1 の電極と電氣的に接続され、

前記第 3 のトランジスタのゲート電極は、第 2 のゲート信号線と電氣的に接続され、第 2 の電極は、前記第 4 のトランジスタの第 1 の電極及び前記発光素子の第 1 の電極と電氣的に接続され、

前記第 4 のトランジスタのゲート電極は、前記第 2 のゲート信号線と電氣的に接続され、第 2 の電極は、第 2 の電源線と電氣的に接続され、

前記発光素子の第 2 の電極は、第 3 の電源線と電氣的に接続され、

1 フレーム期間内に、

40

前記第 1 及び前記第 3 のトランジスタがオン、前記第 4 のトランジスタがオフである第 1 の期間と、

前記第 3 のトランジスタがオンであり、前記第 1 及び前記第 4 のトランジスタがオフである第 2 の期間と、

前記第 1 及び前記第 3 のトランジスタがオフ、前記第 4 のトランジスタがオンである第 3 の期間と、を有し、

前記第 3 の期間において、前記発光素子に逆方向バイアス電圧が印加されることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、エレクトロルミネッセンス(Electro Luminescence : E L)素子および、薄膜トランジスタ(以下T F Tと表記)を基板上に作り込んで形成された発光装置の駆動方法に関する。また発光装置を表示部に用いた電子機器に関する。ここでは発光素子の代表的なものとして、E L素子を例に挙げて述べる。

【 0 0 0 2 】

なお、本明細書中では、E L素子とは、一重項励起子からの発光(蛍光)を利用するものと、三重項励起子からの発光(燐光)を利用するものの両方を示すものとする。

【背景技術】

10

【 0 0 0 3 】

近年、発光素子として、E L素子を有した発光装置の開発が活発化している。発光装置は、液晶表示装置と異なり自発光型である。E L素子是一对の電極(陽極と陰極)間にE L層が挟まれた構造となっているが、E L層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているE L表示装置はほとんどこの構造を採用している。

【 0 0 0 4 】

また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に積層する構造、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

20

【 0 0 0 5 】

ここでは、陰極と陽極の間に設けられる全ての層を総称してE L層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L層に含まれる。

【 0 0 0 6 】

そして、上記構造でなるE L層に一对の電極(両電極)間に所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。この時、E L素子の発光輝度はE L素子に流れる電流に比例する。

30

【発明の開示】**【発明が解決しようとする課題】****【 0 0 0 7 】**

E L素子を用いた発光装置においては、素子自体の劣化により一定電流を流しても輝度が変化してしまう。このような劣化が生ずると、E L素子を発光装置として用いた場合、表示パターンの焼きつきを生じたり、正確な階調表示が出来なくなったりしてしまう。

【 0 0 0 8 】

特に、「初期劣化」と呼ばれる、初期点灯時におけるE L素子自体の劣化による輝度変化は著しい。そこで、E L素子自体の劣化を抑えるためにE L素子に逆方向バイアスを印加する方法が、特開2001-109432号公報、特開2001-222255号公報等にて提案されている。ここでは、E L素子に電流が流れるように陽極・陰極間に電圧を印加した状態、すなわち、陽極の電位が陰極の電位よりも高い状態を順方向バイアス、逆に、陰極の電位が陽極の電位よりも高い状態を逆方向バイアスとしている。順方向バイアスを印加した場合、その電圧に応じた電流がE L素子に流れて発光する。逆方向バイアスを印加した場合、E L素子には電流が流れず、発光しない。

40

【 0 0 0 9 】

さらに、E L素子に、順方向バイアスと逆方向バイアスとを周期的に切り替え

50

て印加し、駆動する方法を、ここでは交流駆動と定義している。

【 0 0 1 0 】

発光装置の型式としては、パッシブマトリクス型とアクティブマトリクス型とがあるが、高解像度化に伴う画素数の増加や動画表示のため、高速な動作が要求されるものに関しては、アクティブマトリクス型が向いている。

【 0 0 1 1 】

また、アクティブマトリクス型発光装置の駆動方法として、駆動 T F T の特性バラツキの影響を受けにくいデジタル時間階調方式がある。

【 0 0 1 2 】

更に、特開 2 0 0 1 - 3 4 3 9 3 3 号公報で開示されているように、デジタル時間階調方式で各画素に、駆動用 T F T ・スイッチング用 T F T の他に消去用 T F T を用いることで高精度の多階調表示を実現することが出来る。以後本明細書ではこの駆動方式を S E S (Simultaneous Erase Scan) 駆動と表記する。

10

【 0 0 1 3 】

前述のように、E L 素子自体の劣化が生ずると、各画素に同じ電流を流しても、劣化の程度に応じてそれぞれの画素の輝度に差が生じてしまい、表示パターンがやきついてしまったり、正確な階調表示が出来なくなったりしてしまう。

【 0 0 1 4 】

特に、「初期劣化」と呼ばれる、初期点灯時における E L 素子自体の劣化による輝度変化は著しい。そこで、E L 素子自体の劣化を抑えるために E L 素子に逆方向バイアスを印加する方法が提案されている。

20

【 0 0 1 5 】

本発明では、アクティブマトリクス型 E L パネルにおいて、S E S 駆動を採用し、更に E L 素子自体の劣化を低減するために逆方向バイアスを印加する場合の具体的な画素構成と駆動方法を提案することを課題とする。

【課題を解決するための手段】

【 0 0 1 6 】

本発明は、陽極、陰極共に上下させることなく E L 素子に逆方向バイアスを印加することを特徴とする。具体的には、従来の方法によって逆方向バイアスを印加する場合、電源電位を変化させることによって行っていたため、その変化に伴って、他の部分を構成する T F T の耐圧等が問題となりやすかった。本発明においては、新たに逆方向バイアス用の電位を有する電源線を設け、専用の T F T の O N 、 O F F によって逆方向バイアス印加のタイミングが決定される。さらに、前記専用の T F T によって、1 行ごとに逆方向バイアス印加のタイミングを決定することが可能となる。

30

よって、各ラインの消去期間中と逆方向バイアス期間を同期させることができ、高デューティ比を実現することが出来る。

【 0 0 1 7 】

さらに、順方向バイアスよりも逆方向バイアスを小さくすることにより、逆方向バイアスを印加することによる劣化防止の効果を十分に得て、かつ消費電流や、T F T および E L 素子の耐圧等にも問題のない構成とすることが出来る。

40

【 0 0 1 8 】

本発明の構成を以下に記す。

【 0 0 1 9 】

本発明の発光装置は、

発光素子が設けられた複数の画素がマトリクス状に配置された画素部と、前記画素部を駆動するソース信号線駆動回路およびゲート信号線駆動回路とが設けられたパネルと、

前記ソース信号線駆動回路およびゲート信号線駆動回路を駆動するタイミング信号および映像信号を生成する第 1 の手段と、

50

前記パネルにおいて用いられる所望の電源を供給する第2の手段とを有する発光装置であって、

前記複数の画素はそれぞれ、

画素への映像信号の入力を制御する第3の手段と、

入力された映像信号に従って、前期発光素子の発光もしくは非発光を決定し、前記発光素子の発光時に、前記発光素子の第1の電極と第2の電極との間に順方向バイアスを印加し、電流を供給する第4の手段と、

前記発光素子に供給される電流を強制的に遮断する第5の手段と、

前記発光素子の第1の電極と第2の電極との間に逆方向バイアスを印加する第6の手段とを有することを特徴としている。

10

【0020】

ここで、第1の手段および第2の手段は、前記パネルに一体形成されていても良い。さらに、第3乃至第6の手段は、映像信号を制御信号とし、同通、非導通が選択出来るものであれば良い。

【0021】

本発明の発光装置は、

発光素子が設けられた複数の画素を有する発光装置であって、

前記複数の画素はそれぞれ、

ソース信号線と、第1乃至第3のゲート信号線と、第1乃至第3の電源線と、第1乃至第4のトランジスタと、前記発光素子とを有し、

20

前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線と電気的に接続され、第2の電極は、前記第2のトランジスタの第1の電極および、前記第3のトランジスタのゲート電極と電気的に接続され、

前記第2のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続され、第2の電極は、前記第1の電源線と電気的に接続され、

前記第3のトランジスタの第1の電極は、前記第1の電源線と電気的に接続され、第2の電極は、前記発光素子の第1の電極および、前記第4のトランジスタの第1の電極と電気的に接続され、

前記第4のトランジスタのゲート電極は、前記第3のゲート信号線と電気的に接続され、第2の電極は、前記第2の電源線と電気的に接続され、

30

前記発光素子の第2の電極は、前記第3の電源線と電気的に接続されていることを特徴としている。

【0022】

本発明の発光装置は、

発光素子が設けられた複数の画素を有する発光装置であって、

前記複数の画素はそれぞれ、

ソース信号線と、第1、第2のゲート信号線と、第1乃至第3の電源線と、第1乃至第4のトランジスタと、前記発光素子とを有し、

前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線と電気的に接続され、第2の電極は、前記第2のトランジスタの第1の電極および、前記第3のトランジスタのゲート電極と電気的に接続され、

40

前記第2のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続され、第2の電極は、前記第1の電源線と電気的に接続され、

前記第3のトランジスタの第1の電極は、前記第1の電源線と電気的に接続され、第2の電極は、前記発光素子の第1の電極および、前記第4のトランジスタの第1の電極と電気的に接続され、

前記第4のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続され、第2の電極は、前記第2の電源線と電気的に接続され、

50

前記発光素子の第2の電極は、前記第3の電源線と電氣的に接続されていることを特徴としている。

【0023】

本発明の発光装置は、

発光素子が設けられた複数の画素を有する発光装置であって、

前記複数の画素はそれぞれ、

ソース信号線と、第1乃至第3のゲート信号線と、第1乃至第3の電源線と、第1乃至第4のトランジスタと、前記発光素子とを有し、

前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタのゲート電極と電氣的に接続され、

10

前記第2のトランジスタの第1の電極は、前記第1の電源線と電氣的に接続され、第2の電極は、前記第3のトランジスタの第1の電極と電氣的に接続され、

前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記第4のトランジスタの第1の電極および、前記発光素子の第1の電極と電氣的に接続され、

前記第4のトランジスタのゲート電極は、前記第3のゲート信号線と電氣的に接続され、第2の電極は、前記第2の電源線と電氣的に接続され、

前記発光素子の第2の電極は、前記第3の電源線と電氣的に接続されていることを特徴としている。

20

【0024】

本発明の発光装置は、

発光素子が設けられた複数の画素を有する発光装置であって、

前記複数の画素はそれぞれ、

ソース信号線と、第1、第2のゲート信号線と、第1乃至第3の電源線と、第1乃至第4のトランジスタと、前記発光素子とを有し、

前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタのゲート電極と電氣的に接続され、

前記第2のトランジスタの第1の電極は、前記第1の電源線と電氣的に接続され、第2の電極は、前記第3のトランジスタの第1の電極と電氣的に接続され、

30

前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記第4のトランジスタの第1の電極および、前記発光素子の第1の電極と電氣的に接続され、

前記第4のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記第2の電源線と電氣的に接続され、

前記発光素子の第2の電極は、前記第3の電源線と電氣的に接続されていることを特徴としている。

【0025】

本発明の発光装置の駆動方法は、

発光素子が設けられた複数の画素を有し、前記発光素子の発光時間の差を制御して階調の表現を行う発光装置の駆動方法であって、

40

1フレーム期間は、 n 個(n は自然数、 $2 < n$)のサブフレーム期間を有し、

前記サブフレーム期間はそれぞれ、

映像信号の画素への書き込みを行うアドレス(書き込み)期間と、

前記画素に書き込まれた映像信号に基づき、前記発光素子の発光、非発光を制御して表示を行う、サステイン(発光)期間とを有し、

前記 n 個のサブフレーム期間より選ばれた m 個(m は自然数、 $0 < m < n - 1$)のサブフレーム期間はそれぞれ、

前記サステイン(発光)期間の終了後、画素にリセット信号の書き込みを行う、

50

互いに期間の重複しない m 個のリセット期間と、

前記リセット信号が書き込まれた行において、前記発光素子の状態を強制的に非発光状態とする、互いに期間の重複しない m 個の消去期間とを有し、

前記 m 個のサブフレーム期間より選ばれた k 個(k は自然数、 $0 < k < m$)のサブフレーム期間はそれぞれ、

前記発光素子の発光時に、前記発光素子の第1の電極と第2の電極間に印加されている順方向バイアス電圧に対し、その極性の反転した逆方向バイアス電圧を印加する、互いに期間の重複しない k 個の逆方向バイアス期間と、

前記逆方向バイアス期間において印加された逆方向バイアス電圧が前記発光素子の第1の電極と第2の電極間に印加され続ける k 個の逆方向バイアス印加期間とを有し、

10

前記アドレス(書き込み)期間、前記サステイン(発光)期間、前記リセット期間、前記消去期間、前記逆方向バイアス期間、および前記逆方向バイアス印加期間は、それぞれが互いに一部重複する期間を有し、

かつ、ある特定のサブフレーム期間において、前記逆方向バイアス印加期間は、前記消去期間中に設けられていることを特徴としている。

【0026】

また、上記本発明の発光装置の駆動方法において、

前記順方向バイアス電圧を V_1 、前記逆方向バイアス電圧を V_2 としたとき、

$|V_1| > |V_2|$ を満たすことを特徴としている。

20

【発明の効果】

【0027】

本発明の発光装置によって、画素電極、対向電極共にその電位を変化させる必要なく、EL素子に逆方向バイアスを印加することが可能となった。さらに、従来行われていた逆方向バイアス印加の方法のように、電源線の電位を変化させることによって面内の画素全てを同時に逆方向バイアス印加の状態とするのではなく、行毎に逆方向バイアスを印加することが出来るため、SES駆動における消去期間と同期して逆方向バイアス期間を設けることが出来る。よって、新たに期間を設けてデューティ比の低下を招くことなく、逆方向バイアス期間を設けることが出来、EL素子の長寿命化に寄与する。

30

【0028】

さらに、順方向バイアス電圧よりも逆方向バイアス電圧を小さくすることで、ゲート信号線駆動回路の電源電圧を大きく上げる必要が無いので、消費電力の面でも有利となった。

【発明を実施するための最良の形態】

【0029】

[実施形態1]

図1は、本発明にて交流駆動を行うための画素構成の一実施形態を示している。

【0030】

40

図1(A)に示すように、各画素はソース信号線(S)101、書込用ゲート信号線(SEL)102、消去用ゲート信号線(RSE)103、逆方向バイアス用ゲート信号線(RBS)104、第3の手段にあたるスイッチング用TF T105、第5の手段にあたる消去用TF T106、第4の手段にあたる駆動用TF T107、第6の手段にあたる逆方向バイアス用TF T108、EL素子109、電流供給線(V_A)111、逆方向バイアス用電源線(V_B)112とを有している。EL素子109の一方の電極(画素電極)は、駆動用TF T107のソース領域もしくはドレイン領域のいずれか一方に接続され、他方の電極(対向電極)は、対向電源線(V_C)113に接続されている。

【0031】

50

図1(A)中、各信号線、電源線に付してある電位は、電源電位もしくは、信号のLレベル/Hレベルの電位を示す。例えば、ソース信号線101の場合、信号がLレベルのとき0V、Hレベルのとき7Vである。また、電流供給線111の電位は6V、逆方向バイアス用電源線112の電位は-14Vである。なお、ここに付した電位は一例であり、必ずしもこの電位としなくとも、図1(A)の回路は動作が可能である。各部のTFTのON、OFFのタイミングと、ゲート・ソース間電圧等を考慮して、適宜決定すれば良い。

【0032】

次に、例としてスイッチング用TFT105、消去用TFT106、逆方向バイアス用TFT108がいずれもNチャンネル型、駆動用TFT107がPチャンネル型、EL素子109において、電流供給線111に接続されている側が陽極、対向電源線113に接続されている側が陰極である場合の動作について説明する。

10

【0033】

まず、アドレス(書き込み)期間においては、図1(B)に示すように、書込用ゲート信号線102にパルスが入力され、Hレベル(9V)となり、スイッチング用TFT105がONし、ソース信号線101に出力されている映像信号が駆動用TFT107のゲート電極に入力される。ここでは駆動用TFT107がPチャンネル型であるため、映像信号がHレベル(7V)のときOFFし、Lレベル(0V)のときONする。

20

【0034】

続いて、サステイン(発光)期間においては、図1(C)に示すように、駆動用TFT107がONすることによって、電流供給線111の電位(6V)が画素電極に入力され、対向電源線113の電位(-10V)との電位差によりEL素子109に順方向バイアスが印加され、EL素子109に電流が流れ発光する。また、駆動用TFT107がOFFのときは、EL素子109には電流が流れず、非発光となる。

【0035】

続いて、リセット期間においては、図1(D)に示すように、消去用ゲート信号線103にパルスが入力され、Hレベル(9V)となり、消去用TFT106がONする。消去用TFT106がONすることによって、駆動用TFT107のゲート電極に電流供給線111の電位(6V)が入力され、したがって駆動用TFT107のゲート・ソース間電圧が0となり、駆動用TFT107がOFFする。よって、EL素子109は非発光となる。

30

【0036】

一方、逆方向バイアス期間においては、図1(E)に示すように、逆方向バイアス用ゲート信号線104にパルスが入力され、Hレベル(-10V)となり、逆方向バイアス用TFT108がONする。逆方向バイアス用TFT108がONすることによって、画素電極に逆方向バイアス用電源線112の電位(-14V)が入力される。ここで、逆方向バイアス用電源線112の電位(-14V)を対向電源線113の電位(-10V)よりも低く設定してあるので、EL素子109には逆方向バイアスが印加される。逆方向バイアス用ゲート信号線104にHレベルの電位(-10V)が入力されている間は、EL素子109に逆方向バイアスが印加され続ける。

40

【0037】

また、逆方向バイアス用ゲート信号線104にパルス入力終了し、逆方向バイアス用TFT108がOFFしても、EL素子109そのもの、つまりEL素子109の陽極・陰極間に寄生する容量、もしくは画素電極とある一定電位との間に設けられた容量によって、画素電極の電荷は保持され、EL素子109には逆方向バイアスが印加され続ける。

50

【 0 0 3 8 】

なお、図 1 に示した構成によると、消去用ゲート信号線と逆方向バイアス用ゲート信号線とは別に設けてあるので、消去期間に対して逆方向バイアス期間を任意の長さで設定することが出来る。また、逆方向バイアス期間と各ラインの消去期間とを同じタイミングで設けることによって、ディータ比を低下させることなく、交流駆動が可能となる。

【 0 0 3 9 】

[実施形態 2]

図 2 は、本発明にて交流駆動を行うための画素構成で、実施形態 1 とは異なる一実施形態を示している。

10

【 0 0 4 0 】

図 2 (A) に示すように、各画素はソース信号線 (S) 2 0 1、書込用ゲート信号線 (S E L) 2 0 2、消去・逆方向バイアス用ゲート信号線 (R S E) 2 0 3、スイッチング用 T F T 2 0 4、消去用 T F T 2 0 5、駆動用 T F T 2 0 6、逆方向バイアス用 T F T 2 0 7、E L 素子 2 0 8、電流供給線 (V_A) 2 1 0、逆方向バイアス用電源線 (V_B) 2 1 1 とを有し、E L 素子 2 0 8 の一方の電極 (画素電極) は、駆動用 T F T 2 0 6 のソース領域もしくはドレイン領域のいずれか一方に接続され、他方の電極 (対向電極) は、対向電源線 (V_C) 2 1 2 に接続されている。

【 0 0 4 1 】

図 2 (A) 中、各信号線、電源線に付してある電位は、電源電位もしくは、信号の L レベル / H レベルの電位を示す。例えば、ソース信号線 2 0 1 の場合、信号が L レベルのとき 0 V、H レベルのとき 7 V である。また、電流供給線 2 1 0 の電位は 6 V、逆方向バイアス用電源線 2 1 1 の電位は - 1 4 V である。なお、ここに付した電位は一例であり、必ずしもこの電位としなくとも、図 2 (A) の回路は動作が可能である。各部の T F T の O N、O F F のタイミングと、ゲート・ソース間電圧等を考慮して、適宜決定すれば良い。

20

【 0 0 4 2 】

ここでは、例としてスイッチング用 T F T 2 0 4、消去用 T F T 2 0 5、逆方向バイアス用 T F T 2 0 7 がいずれも N チャネル型、駆動用 T F T 2 0 6 が P チャネル型、E L 素子 2 0 8 において、電流供給線 2 1 0 に接続されている側が陽極、対向電源線 2 1 2 に接続されている側が陰極である場合の動作について説明する。

30

【 0 0 4 3 】

まず、アドレス (書き込み) 期間においては、図 2 (B) に示すように、書込用ゲート信号線 2 0 2 にパルスが入力され、H レベル (9 V) となり、スイッチング用 T F T 2 0 4 が O N し、2 0 1 に出力されている映像信号が駆動用 T F T 2 0 6 のゲート電極に入力される。ここでは駆動用 T F T 2 0 6 が P チャネル型であるため、映像信号が H レベル (7 V) のとき O F F し、L レベル (0 V) のとき O N する。

【 0 0 4 4 】

続いて、サステイン (発光) 期間においては、図 2 (C) に示すように、駆動用 T F T 2 0 6 が O N することによって、電流供給線 2 1 0 の電位 (6 V) が画素電極に入力され、対向電源線 2 1 2 の電位 (- 1 0 V) との電位差により E L 素子 2 0 8 に順方向バイアスが印加され、E L 素子 2 0 8 に電流が流れ発光する。また、駆動用 T F T 2 0 6 が O F F のときは、E L 素子 2 0 8 には電流が流れず、非発光となる。

40

【 0 0 4 5 】

続いて、リセット・逆方向バイアス期間においては、図 2 (D) に示すように、消去・逆方向バイアス用ゲート信号線 2 0 3 にパルスが入力され、H レベル (9 V) となり、消去用 T F T 2 0 5、逆方向バイアス用 T F T 2 0 7 が O N する。

50

消去用TFT205がONすることによって、駆動用TFT206のゲート電極に電流供給線210の電位(6V)が入力され、駆動用TFT206のゲート電極とソース電極の電位差が0となり、駆動用TFT206がOFFする。

【0046】

同時に、逆方向バイアス用TFT207がONすることによって逆方向バイアス用電源線211の電位(-14V)が画素電極に入力される。ここで、逆方向バイアス用電源線211の電位(-14V)を対向電源線212の電位(-10V)よりも低く設定してあるので、EL素子208には逆方向バイアスが印加される。消去・逆方向バイアス用ゲート信号線203にHレベルの電位(-10V)が入力されている間は、EL素子208に逆方向バイアスが印加され続ける。

10

【0047】

また、消去・逆方向バイアス用ゲート信号線203にパルス入力終了し、逆方向バイアス用TFT207がOFFしても、EL素子208そのものが有する容量、もしくは画素電極とある一定電位との間に設けられた容量によって、画素電極の電荷は保持され、EL素子208に逆方向バイアスが印加され続ける。

【0048】

この時、各ラインの消去期間と逆方向バイアス期間は同一期間となり、高duty比を実現出来る。また、消去・逆方向バイアス期間を延長し、任意の長さに設定するようにしても良い。

【0049】

20

[実施形態3]

図3は、本発明にて交流駆動を行うための画素構成で、実施形態1、2とは異なる一実施形態を示している。

【0050】

図3(A)に示すように、各画素はソース信号線(S)301、書込用ゲート信号線(SEL)302、消去用ゲート信号線(RSE)303、逆方向バイアス用ゲート信号線(RBS)304、スイッチング用TFT305、駆動用TFT306、消去用TFT307、逆方向バイアス用TFT308、EL素子309、電流供給線(V_A)311、逆方向バイアス用電源線(V_B)312とを有し、EL素子309の一方の電極(画素電極)は、駆動用TFT306のソース領域もしくはドレイン領域のいずれか一方に接続され、他方の電極(対向電極)は、対向電源線(V_C)313に接続されている。

30

【0051】

図3(A)中、各信号線、電源線に付してある電位は、電源電位もしくは、信号のLレベル/Hレベルの電位を示す。例えば、ソース信号線301の場合、信号がLレベルのとき0V、Hレベルのとき7Vである。また、電流供給線311の電位は6V、逆方向バイアス用電源線312の電位は-14Vである。なお、ここに付した電位は一例であり、必ずしもこの電位としなくとも、図3(A)の回路は動作が可能である。各部のTFTのON、OFFのタイミングと、ゲート・ソース間電圧等を考慮して、適宜決定すれば良い。

40

【0052】

ここでは、例としてスイッチング用TFT305、逆方向バイアス用TFT308がNチャネル型、駆動用TFT306、消去用TFT307がPチャネル型、EL素子309において、電流供給線311に接続されている側が陽極、対向電源線313に接続されている側が陰極である場合の動作について説明する。

【0053】

まず、アドレス(書き込み)期間においては、図3(B)に示すように、書込用ゲート信号線302にパルスが入力され、Hレベル(9V)となり、スイッチング用TFT305がONし、ソース信号線301に出力されている映像信号が駆動用TFT306のゲート電極に入力される。ここでは駆動用TFT306がPチャ

50

ネル型であるため、映像信号がHレベル(7V)のときOFFし、Lレベル(0V)のときONする。

【0054】

また、消去用ゲート信号線303にLレベルの電位(-2V)が入力され、消去用TFT307がONする。

【0055】

続いて、サステイン(発光)期間においては、図3(C)に示すように、消去用ゲート信号線303に常にLレベルの電位(-2V)が入力され、消去用TFT307はONし続ける。更に、駆動用TFT306がONすることによって、電流供給線311の電位(6V)が画素電極に入力され、対向電源線313の電位(-10V)との電位差によりEL素子309に順方向バイアスが印加され、EL素子309に電流が流れ発光する。また、駆動用TFT306がOFFのときは、EL素子309に電流は流れず、非発光となる。

10

【0056】

続いて、リセット期間においては、図3(D)に示すように、消去用ゲート信号線303に常にHレベルの電位(9V)が入力され、消去用TFT307がOFFし続ける。消去用TFT307がOFFすることによって、電流供給線311からEL素子309への電流供給の経路が遮断され、EL素子309は非発光となる。実施形態1、2の場合と異なり、ここでは消去用TFT307は、発光期間を通じてONし続け、消去期間を通じてOFFし続けている。

20

【0057】

一方、逆方向バイアス期間においては、図3(E)に示すように、逆方向バイアス用ゲート信号線304にパルスが入力され、Hレベル(-10V)となり、逆方向バイアス用TFT308がONする。逆方向バイアス用TFT308がONすることによって、画素電極に逆方向バイアス用電源線312の電位(-14V)が入力される。ここで、逆方向バイアス用電源線312の電位(-14V)を対向電源線313の電位(-10V)よりも低く設定してあるので、EL素子には逆方向バイアスが印加される。逆方向バイアス用ゲート信号線304にHレベルの電位(-10V)が入力されている間は、EL素子309に逆方向バイアスが印加され続ける。

30

【0058】

また、逆方向バイアス用ゲート信号線304にパルス入力終了し、逆方向バイアス用TFT308がOFFしても、EL素子309そのものが有する容量、もしくは画素電極とある一定電位との間に設けられた容量によって、画素電極の電荷は保持され、EL素子309には逆方向バイアスが印加され続ける。

【0059】

消去期間中、消去用TFT307は常にOFFさせる必要があり、逆方向バイアス期間図と各ラインの消去期間とを重ねることができ、高duty比が実現出来る。また、逆方向バイアス期間を任意の長さに設定することが出来る。

【0060】

40

[実施形態4]

図4は、本発明にて交流駆動を行うための画素構成で、実施形態1~3とは異なる一実施形態を示している。

【0061】

図4(A)に示すように、各画素はソース信号線(S)401、書込用ゲート信号線(SEL)402、消去・逆方向バイアス用ゲート信号線(RSE)403、スイッチング用TFT404、駆動用TFT405、消去用TFT406、逆方向バイアス用TFT407、EL素子408、電流供給線(V_A)410、逆方向バイアス用電源線(V_B)411とを有し、EL素子408の一方の電極(画素電極)は、駆動用TFT405のソース領域もしくはドレイン領域のいずれか一方に接続

50

され、他方の電極(対向電極)は、対向電源線(V_C) 4 1 2 に接続されている。

【 0 0 6 2 】

図 4 (A) 中、各信号線、電源線に付してある電位は、電源電位もしくは、信号の L レベル / H レベルの電位を示す。例えば、ソース信号線 4 0 1 の場合、信号が L レベルのとき 0 V、H レベルのとき 7 V である。また、電流供給線 4 1 0 の電位は 6 V、逆方向バイアス用電源線 4 1 1 の電位は - 1 4 V である。なお、ここに付した電位は一例であり、必ずしもこの電位としなくとも、図 4 (A) の回路は動作が可能である。各部の T F T の O N、O F F のタイミングと、ゲート・ソース間電圧等を考慮して、適宜決定すれば良い。

【 0 0 6 3 】

ここでは、スイッチング用 T F T 4 0 4、逆方向バイアス用 T F T 4 0 7 が N チャネル型、駆動用 T F T 4 0 5、消去用 T F T 4 0 6 が P チャネル型、電流供給線 4 1 0 を陽極電位、対向電源線 4 1 2 を陰極電位とした場合の駆動について説明する。E L 素子 4 0 8 において、電流供給線 4 1 0 に接続されている側が陽極、対向電源線 4 1 2 に接続されている側が陰極である場合の動作について説明する。

【 0 0 6 4 】

まず、アドレス(書き込み)期間においては、図 4 (B) に示すように、書込用ゲート信号線 4 0 2 にパルスが入力され、H レベル(9 V)となり、スイッチング用 T F T 4 0 4 が O N し、4 0 1 に出力されている映像信号が駆動用 T F T 4 0 5 のゲート電極に入力される。ここでは駆動用 T F T 4 0 5 が P チャネル型であるため、映像信号が H レベル(7 V)のとき O F F し、L レベル(0 V)のとき O N する。

【 0 0 6 5 】

また、消去・逆方向バイアス用ゲート信号線 4 0 3 に L レベルの電位(- 1 6 V)が入力され、消去用 T F T 4 0 6 が O N し、逆方向バイアス用 T F T 4 0 7 が O F F する。

【 0 0 6 6 】

続いて、サステイン(発光)期間においては、図 4 (C) に示すように、消去・逆方向バイアス用ゲート信号線 4 0 3 に常に L レベルの電位(- 1 6 V)が入力され、消去用 T F T 4 0 6 は O N し続け、逆方向バイアス用 T F T 4 0 7 は O F F し続ける。

【 0 0 6 7 】

更に、駆動用 T F T 4 0 5 が O N することによって、電流供給線 4 1 0 の電位(6 V)が画素電極に入力され、対向電源線 4 1 2 の電位(- 1 0 V)との電位差により E L 素子 4 0 8 に順方向バイアスが印加され、E L 素子 4 0 8 に電流が流れ発光する。また、駆動用 T F T 4 0 5 が O F F のときは、E L 素子 4 0 8 には電流が流れず、非発光となる。

【 0 0 6 8 】

続いて、リセット・逆方向バイアス期間においては、図 4 (D) に示すように、消去・逆方向バイアス用ゲート信号線 4 0 3 に常に H レベルの電位(9 V)が入力され、消去用 T F T 4 0 6 が O F F し、逆方向バイアス用 T F T 4 0 7 が O N する。この動作により、逆方向バイアス用電源線の電位(- 1 4 V)が画素電極に入力される。ここで、逆方向バイアス用電源線 4 1 1 の電位(- 1 4 V)を対向電源線 4 1 2 の電位(- 1 0 V)よりも低く設定してあるので、E L 素子 4 0 8 には逆方向バイアスが印加される。消去・逆方向バイアス用ゲート信号線 4 0 3 に H レベルの電位(9 V)が入力されている間は、消去用 T F T 4 0 6 が O F F し続けることによって電流供給線 4 1 0 から E L 素子 4 0 8 への電流供給経路が遮断され、E L 素子 4 0 8 は非発光となり、逆方向バイアス用 T F T 4 0 7 が O N し続けることによって E L 素子 4 0 8 に逆方向バイアスが印加され続ける。

10

20

30

40

50

【 0 0 6 9 】

この時、各ラインの消去期間と逆方向バイアス期間は同一期間となり、高 d u t y 比が実現出来る。また、消去・逆方向バイアス期間を延長し、任意の長さに設定することが出来る。

【 0 0 7 0 】

実施形態 1 ~ 4 の通り、各画素に逆方向バイアス用電源線を設けることで、カラー表示の発光装置において、R、G、Bそれぞれの E L 素子に合わせた任意の値の逆方向バイアスを印加することが出来る。

【 0 0 7 1 】

また、R、G、Bの中で最も高い逆方向バイアスを印加する際の電位に合わせて逆方向バイアス用電源線の電位を共通化し、隣接する画素で逆方向バイアス用電源線を共用しても良い。この場合、配線数を減らすことが出来、高開口率が期待出来る。

10

【 0 0 7 2 】

また、実施形態 1 ~ 4 では、駆動用 T F T を線形領域で動作させた場合、すなわち定電圧駆動方式を例にとって説明しているが、E L 素子の寿命を考慮した場合、駆動用 T F T を飽和領域で動作させ、E L 素子に一定の電流を供給することの出来る定電流駆動を行うことが望ましい。

【 0 0 7 3 】

以下に、本発明の実施例について記載する。

20

【実施例 1】

【 0 0 7 4 】

図 1 2 に示すように、携帯電話等の電子機器の表示部として発光装置が使用される場合は、発光装置 1 2 0 1 という形で内蔵される。ここで、発光装置 1 2 0 1 とは、パネルと、パネルを駆動するための信号処理用 L S I、メモリ等を実装した基板とを接続した形態を指す。

【 0 0 7 5 】

発光装置 1 2 0 1 をブロック図として、図 6 (A) に示す。発光装置 1 2 0 1 は、パネル 6 5 0、駆動回路 6 6 0 を有する。

【 0 0 7 6 】

30

駆動回路 6 6 0 は信号生成部 6 1 1、電源部 6 1 2 を有する。電源部 6 1 2 は、外部バッテリーより供給される電源より、ソース信号線駆動回路、ゲート信号線駆動回路、発光素子、信号生成部 6 1 1 等に、それぞれ所望の複数の電圧値の電源を生成し、供給する。信号生成部 6 1 1 には、電源、映像信号、同期信号が入力され、発光装置 6 5 0 にて処理が出来るように、各種信号の変換を行う他、ソース信号線駆動回路、ゲート信号線駆動回路を駆動するためのクロック信号等を生成する。

【 0 0 7 7 】

また、パネル 6 5 0 は基板上に、画素部 6 0 1、ソース信号線駆動回路 6 0 2、書込用ゲート信号線駆動回路 6 0 3、消去用ゲート信号線駆動回路 6 0 4、逆方向バイアス用ゲート信号線駆動回路 6 0 5、F P C 6 0 6 等を配置することによって構成される。

40

【 0 0 7 8 】

基板中央部には、画素部 6 0 1 が配置され、その周辺部には、ソース信号線駆動回路 6 0 2、書込用ゲート信号線駆動回路 6 0 3、消去用ゲート信号線駆動回路 6 0 4、逆方向バイアス用ゲート信号線駆動回路 6 0 5 等が配置されている。E L 素子の対向電極は、画素部 6 0 1 全体面に形成されており、F P C 6 0 6 を通じて、対向電位が与えられる。ソース信号線駆動回路 6 0 2、書込用ゲート信号線駆動回路 6 0 3、消去用ゲート信号線駆動回路 6 0 4、逆方向バイアス用ゲート信号線駆動回路 6 0 5 を駆動するための信号、及び電源の供給は F P C 6 0

50

6を通じて、駆動回路660より行われる。

【0079】

また、図6(B)に示すように、消去期間と逆方向バイアス期間を同じタイミングに設ける場合等は、消去・逆方向バイアス用ゲート信号線駆動回路607と、同一駆動回路を使用することができ、狭額縁化が可能である。

【0080】

本実施例にて示した発光装置1201は、パネル650と、信号生成部611および電源部612を含む駆動回路660とは独立して作成されているが、これらを基板上に一体形成して作製しても良い。

【実施例2】

【0081】

デジタル映像信号を用いて映像の表示を行う場合の、ソース信号線駆動回路の概略図を図7に、ゲート信号線駆動回路の概略図を図8に示す。

【0082】

ソース信号線駆動回路は、D-フリップフロップ701を複数段用いてなるシフトレジスタ702、第1のラッチ回路703a、第2のラッチ回路703b、レベルシフタ704、バッファ705等を有する。外部より入力される信号は、クロック信号(S-CK)、反転クロック信号(S-CKb)、スタートパルス(S-SP)、デジタル映像信号(Digital Video Data)である。図7のような構成の場合、デジタル映像信号は、例えば「最上位ビットの1行目 2行目 … 最終行、第2ビットの1行目 2行目 … 最終行、… 最下位ビットの1行目 2行目 … 最終行」というように、直列に入力される。

【0083】

まず、クロック信号、クロック反転信号、およびスタートパルスのタイミングに従って、シフトレジスタ702より、順次サンプリングパルスが出力される。続いて、サンプリングパルスは、第1のラッチ回路703aに入力され、サンプリングパルスが入力されたタイミングで、ビット毎のデジタル映像信号を取り込み、保持する。この動作が、1列目から順に行われる。

【0084】

最終段の第1のラッチ回路703aにおいてデジタル映像信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、このタイミングで、第1のラッチ回路703aにおいて保持されているデジタル映像信号は、一斉に第2のラッチ回路703bへと転送される。その後、レベルシフタにおいてパルスの振幅変換を受け、続いて、バッファにおいて映像信号波形が整形された後、それぞれのソース信号線S1~Sxへと出力される。

【0085】

一方、ゲート信号線駆動回路は、D-フリップフロップ801を複数段用いてなるシフトレジスタ802、レベルシフタ803、バッファ804等を有する。外部より入力される信号は、クロック信号(G-CK)、反転クロック信号(G-CKb)、スタートパルス(G-SP)である。

【0086】

まず、クロック信号、クロック反転信号、およびスタートパルスのタイミングに従って、シフトレジスタ802より、順次パルスが出力される。続いて、レベルシフタ803によってパルスの振幅変換を受け、続いて、バッファにおいてパルス波形が整形された後、ゲート信号線G1~Gyを順次選択するパルスとして、それぞれのゲート信号線へと出力される。最終行Gyでの選択が終了すると、垂直帰線期間を経たあと、再びシフトレジスタ802よりパルスが出力され、順にゲート信号線の選択を行う。

【0087】

また、実施形態1、3を採用し、消去用ゲート信号線と逆方向バイアス用ゲー

10

20

30

40

50

ト信号線に全く同じタイミングのパルスを入力する場合、図9に示すような方法で、消去用ゲート信号線駆動回路と逆方向バイアス用ゲート信号線駆動回路を同一にすることができ、狭額縁化が可能である。

【0088】

図9のゲート信号線駆動回路は、D-フリップフロップ901を複数段用いてなるシフトレジスタ902、レベルシフタ903、バッファ904、電圧変換回路905等を有する。外部より入力される信号は、クロック信号(G-CK)、反転クロック信号(G-CKb)、スタートパルス(G-SP)である。

【0089】

動作は前述したゲート信号線駆動回路とほぼ同様である。シフトレジスタ902から順次出力されるパルスは、レベルシフタ903による振幅変換、また、バッファ904によってパルス波形の成形を受けた後、そのまま消去用ゲート信号線G1~Gyに出力されるものと、電圧変換回路905に入力されるものとに分かれる。後者は、電圧変換回路905によって、所望の振幅($V_H - V_L$ 間)を有するパルスに変換され、逆方向バイアス用ゲート信号線Gb1~Gbyに出力される。また、電圧変換回路905は消去用ゲート信号線G1~Gyの側に設けられていても良い。

10

【実施例3】

【0090】

実施形態に挙げた画素構成をSES駆動し、逆方向バイアスを印加させる場合の実際の動作タイミングについて、図10、図11を用いて説明する。

20

【0091】

まず、通常のSES駆動について、図11を用いて説明する。

【0092】

1フレーム期間は、複数のサブフレーム期間に分割される。ここでは一例として、6つのサブフレーム期間SF1~SF6に分割している。各サブフレーム期間は、アドレス(書き込み)期間Taと、サステイン(発光)期間Tsとを有する。各サブフレーム期間のサステイン(発光)期間は、それぞれの長さが異なり、どのサブフレームにおいてEL素子を発光させるかによって、1フレーム期間あたりの各画素の発光時間が決定し、この長短によって階調表示を行う。

30

【0093】

ここで、サブフレーム期間の分割数が多いほど、多階調の表示が可能となるが、一部のサブフレーム期間においては、サステイン(発光)期間がアドレス(書き込み)期間よりも短くなるものが現れる。この場合、異なるサブフレーム期間が有するアドレス(書き込み)期間が重複することは出来ないため、さらにリセット期間Trと、消去期間Teとを有する。

【0094】

リセット期間TrとはEL素子を強制的に非発光状態にする信号を画素に入力する期間であり、消去期間Teとはリセット期間に入力された信号に基づいて、EL素子の非発光状態が続いている期間である。

40

【0095】

動作としては、まずSF1のアドレス(書き込み)期間Ta1において、1行目から順に書込用ゲート信号線にパルスが入力され、ソース信号線に出力されているデジタル映像信号を書き込んでいく。デジタル映像信号が書き込まれた行においては直ちにサステイン(発光)期間Ts1へと移る。1行目~最終行まで書込作業が完了するとアドレス(書き込み)期間Ta1は終了する。次にサステイン(発光)期間Ta1が終了した1行目より、書込用ゲート信号線にパルスが入力され、SF2のアドレス(書き込み)期間Ta2が開始される。

【0096】

上述の動作を繰り返し、SF2、SF3が終了し、SF4のアドレス(書き込

50

み)期間 T_{a4} が開始される。ここで、アドレス(書き込み)期間 T_{a4} はサステイン(発光)期間 T_{s4} よりも長いため、サステイン(発光)期間 T_{s4} の終了後直ちに次のアドレス(書き込み)期間 T_{a5} を開始することが出来ない。よって、サステイン(発光)期間 T_{s4} が終了した1行目より、リセット期間 T_{r4} が開始される。このときの消去期間 T_{e4} の長さは、通常、図11(A)のように1行目のサステイン(発光)期間が終了した後から、最終行のアドレス(書き込み)期間が終了するまでの長さとなる。

【0097】

続いて、 $SF5$ のアドレス(書き込み)期間 T_{a5} が開始される。 $SF5$ 、 $SF6$ が終了すると1フレーム期間が終了し、次のフレーム期間となる。

10

【0098】

続いて、実施形態1~4に示した回路における動作タイミングについて、図10を用いて説明する。

【0099】

1フレーム期間を6つのサブフレーム期間 $SF1$ ~ $SF6$ に分割している。各サブフレームはアドレス(書き込み)期間 T_a 、サステイン(発光)期間 T_s を有する。また、アドレス(書き込み)期間 T_a がサステイン(発光)期間 T_s よりも長いサブフレーム(ここでは $SF4$ 、 $SF5$ 、 $SF6$ が該当する)はアドレス(書き込み)期間 T_a 、サステイン(発光)期間 T_s の他に、リセット期間 T_r 、消去期間 T_e 、逆方向バイアス期間 T_b 、逆方向バイアス印加期間 T_i を有する。

20

【0100】

アドレス(書き込み)期間 T_a とは画素にデジタル映像信号を書き込む期間であり、サステイン(発光)期間 T_s とはアドレス(書き込み)期間において、書き込まれたデジタル映像信号に基づいて、 EL 素子が発光、または非発光状態をとる期間である。どのサブフレーム期間で EL 素子が発光するかによって、1フレーム期間あたりの各画素の発光時間が決まり、この長短によって階調表示を行う。

【0101】

リセット期間 T_r とは EL 素子を強制的に非発光状態にする信号を画素に入力する期間であり、消去期間 T_e とはリセット期間に入力された信号に基づいて、 EL の非発光状態が続いている期間である。また、逆方向バイアス期間 T_b とは、 EL 素子に逆方向バイアスを印加するための信号を画素に入力する期間であり、逆方向バイアス印加期間 T_i とは逆方向バイアス期間 T_b に入力された信号に基づいて、 EL 素子に逆方向バイアスが印加されている状態が続いている期間である。

30

【0102】

動作としては、まず $SF1$ のアドレス(書き込み)期間 T_{a1} において、1行目から順に書込用ゲート信号線にパルスが入力され、ソース信号線に出力されているデジタル映像信号を書き込んでいく。デジタル映像信号が書き込まれた行においては直ちにサステイン(発光)期間 T_{s1} へと移る。1行目~最終行まで書込作業が完了するとアドレス(書き込み)期間 T_{a1} は終了する。次にサステイン(発光)期間 T_{a1} が終了した1行目より、書込用ゲート信号線にパルスが入力され、 $SF2$ のアドレス(書き込み)期間 T_{a2} が開始される。

40

【0103】

上述の動作を繰り返し、 $SF2$ 、 $SF3$ が終了し、 $SF4$ のアドレス(書き込み)期間 T_{a4} が開始される。ここで、アドレス(書き込み)期間 T_{a4} はサステイン(発光)期間 T_{s4} よりも長いため、サステイン(発光)期間 T_{s4} の終了後直ちに次のアドレス(書き込み)期間 T_{a5} を開始することが出来ない。よって、サステイン(発光)期間 T_{s4} が終了した1行目より、リセット期間 T_{r4} が開始される。このときの消去期間 T_{e4} の長さは、通常、図10(A)のように1行目のサステイン(発光)期間が終了した後から、最終行のアドレス(書き込み)期間が終了す

50

るまでの長さとなる。

【0104】

このとき、リセット期間 T_{r4} と同時に逆方向バイアス期間 T_{b4} が開始されていて、消去期間 T_{e4} と逆方向バイアス印加期間が同時となり、各行ごとに逆方向バイアスが印加されていく。続いて、SF5のアドレス(書き込み)期間 T_{a5} が開始される。SF5、SF6が終了すると1フレーム期間が終了し、次のフレーム期間となる。

【0105】

図10(B)で示すように、消去・逆方向バイアス印加期間 T_{ei4} 、 T_{ei5} 、 T_{ei6} を任意の長さに延長し、EL素子に逆方向バイアスが印加される時間を調整することも可能である。

10

【0106】

更に、実施形態1、3を採用した場合には、図10(C)で示すように、リセット期間 T_{r4} と逆方向バイアス期間 T_{b4} を独立させることができ、逆方向バイアス印加期間 T_{i4} は消去期間 T_{e4} に含まれ、且つ、隣り合う逆方向バイアス期間 T_b が重ならない範囲で任意に設定でき、EL素子に逆方向バイアスが印加される時間を調整することも可能である。

【0107】

また、ここではアドレス(書き込み)期間 T_a がサステイン(発光)期間 T_s よりも長いサブフレームのみがリセット期間 T_r 、消去期間 T_e 、逆方向バイアス期間 T_b 、逆方向バイアス印加期間 T_i を有する場合を説明したが、アドレス(書き込み)期間 T_a がサステイン(発光)期間 T_s よりも短い、または同じ長さのサブフレーム期間に各期間を設け、EL素子に逆方向バイアスを印加することも可能である。

20

【0108】

また、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良いし、サブフレーム期間の順序は必ずしも上位ビット 下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。

【実施例4】

【0109】

図5(A)に、実施形態1にて示した図1の構成を有する画素を実際に作製した場合の素子レイアウト例を示す。また、図5(A)において、X-X'で示される部分の断面図を図5(B)に示す。

30

【0110】

図5(B)において、500は絶縁表面を有する基板である。基板500上には、駆動用TFT507等が設けられ、駆動用TFT507のソース・ドレイン領域を形成する不純物領域に接続されるように、配線材料でなるソース・ドレイン電極が形成され、そのうちの一方と、画素電極509が、重なり合う部分で接続するように設けられている。画素電極509上には、有機導電体膜522が設けられ、さらに有機薄膜(発光層)523が設けられている。有機薄膜(発光層)523上には、対向電極524が設けられている。対向電極524は、全ての画素で共通に接続されるように、ベタ付けの形で形成される。

40

【0111】

うち、本文中でEL素子と表記しているものは、図5(B)において、画素電極509、有機導電体膜522、有機薄膜(発光層)523、対向電極524の積層体に相当し、画素電極509と対向電極524のうちいずれか一方が陽極、他方が陰極となる。

【0112】

有機薄膜(発光層)523から発せられた光は、画素電極509もしくは対向電極524のうちいずれかを透過して発せられる。このとき、図5(B)において、

50

画素電極側、すなわちTFT等が形成されている側に光が発せられる場合を下面出射、対向電極側に光が発せられる場合を上面出射と呼ぶ。

【0113】

下面出射の場合、画素電極509を透明導電膜によって形成される。逆に、上面出射の場合、対向電極524を透明導電膜によって形成される。

【0114】

なお、本実施例にて示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関してはこの限りではない。

【0115】

また、カラー表示の発光装置においては、R・G・Bそれぞれの発光色を持つEL素子を塗りわけても良いし、単色のEL素子をベタ付けの形で塗り、カラーフィルタによってR・G・Bの発光を得るようにしても良い。

【実施例5】

【0116】

本実施例においては、発光層として高分子化合物を適用し、さらに陽極と発光層との間に導電性高分子化合物からなるバッファ層を設けた発光素子において、直流駆動(常に順方向バイアスを印加)と交流駆動(順方向バイアスと逆方向バイアスを一定周期で交互に印加)を行った際の輝度劣化について測定を行った結果について述べる。

【0117】

図14(A)(B)は、順方向バイアス：3.7V、逆方向バイアス：1.7V、デューティ50%、交流周波数60Hzにおいて交流駆動を行った際の信頼性試験の結果を示している。初期輝度は約400cd/cm²であった。比較用に、直流駆動(順方向バイアス：3.65V)を行った際の信頼性試験の結果も同時に示した。結果、直流駆動においては、400時間程度で輝度が半減したのに対し、交流駆動においては、約700時間経過後も、半減には至らなかった。

【0118】

図14(C)(D)は、順方向バイアス：3.8V、逆方向バイアス：1.7V、デューティ50%、交流周波数600Hzにおいて交流駆動を行った際の信頼性試験の結果を示している。初期輝度は約300cd/cm²であった。比較用に、直流駆動(順方向バイアス：3.65V)を行った際の信頼性試験の結果も同時に示した。結果、直流駆動においては、500時間程度で輝度が半減したのに対し、交流駆動においては、約700時間経過後も、初期輝度の60%程度を保持していた。

【実施例6】

【0119】

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることが出来る。

【0120】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図13に示す。

【0121】

図13(A)はELディスプレイであり、筐体3001、音声出力部3002、表示部3003等を含む。本発明の発光装置は表示部3003に用いることが出来る。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0122】

また、図13(C)は大型のELディスプレイであり、図13(A)と同様に、筐体3021、音声出力部3022、表示部3023を含む。本発明の発光装置は表示部3023に用いることができる。

【0123】

図13(B)はモバイルコンピュータであり、本体3011、スタイラス3012、表示部3013、操作ボタン3014、外部インターフェイス3015等を含む。本発明の発光装置は表示部3013に用いることが出来る。

【0124】

図13(D)はゲーム機であり、本体3031、表示部3032、操作ボタン3033等を含む。本発明の発光装置は表示部3032に用いることが出来る。

【0125】

図13(E)は携帯電話であり、本体3041、音声出力部3042、音声入力部3043、表示部3044、操作スイッチ3045、アンテナ3046等を含む。本発明の発光装置は表示部3044に用いることが出来る。なお、表示部3044は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることが出来る。

【0126】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0127】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0128】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0129】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~5に示したいずれの構成の発光装置を用いても良い。

【図面の簡単な説明】

【0130】

【図1】本発明の一実施形態を示す図。

【図2】本発明の一実施形態を示す図。

【図3】本発明の一実施形態を示す図。

【図4】本発明の一実施形態を示す図。

【図5】本発明を適用して作製した発光装置の画素部レイアウト例と断面図。

【図6】発光装置の構成を示すブロック図。

【図7】ソース信号線駆動回路の一構成例を示す図。

10

20

30

40

50

- 【図 8】ゲート信号線駆動回路の一構成例を示す図。
- 【図 9】消去・逆方向バイアス共用のゲート信号線駆動回路の一構成例を示す図。
- 【図 10】逆方向バイアス期間を設けたSES駆動のタイミングチャートを示す図。
- 【図 11】通常のSES駆動のタイミングチャートを示す図。
- 【図 12】電子機器に内蔵された発光装置を示す図。
- 【図 13】本発明が適用可能な電子機器の例を示す図。
- 【図 14】直流駆動と交流駆動における信頼性試験の結果を示す図。

【符号の説明】

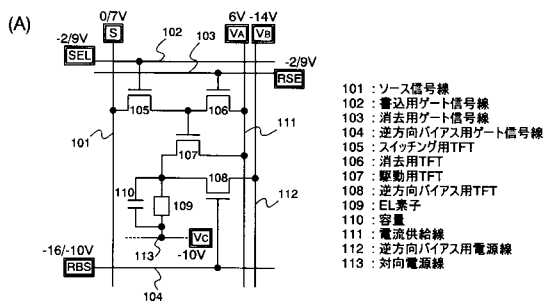
【0131】

- 101 ソース信号線
- 102 書込用ゲート信号線
- 103 消去用ゲート信号線
- 104 逆方向バイアス用ゲート信号線
- 105 スwitching用TFT
- 106 消去用TFT
- 107 駆動用TFT
- 108 逆方向バイアス用TFT
- 109 EL素子
- 110 容量
- 111 電流供給線
- 112 逆方向バイアス用電源線
- 113 対向電源線

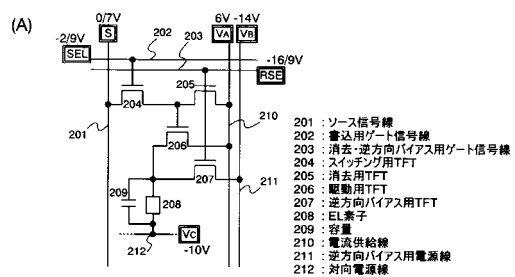
10

20

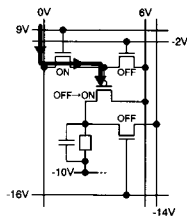
【図 1】



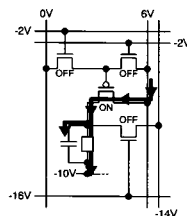
【図 2】



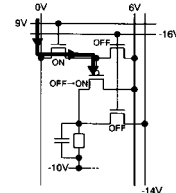
(B) 映像信号書込



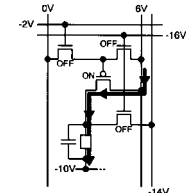
(C) 発光



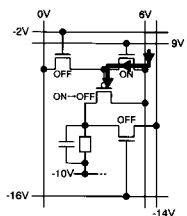
(B) 映像信号書込



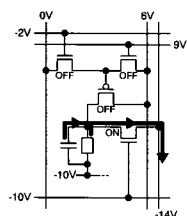
(C) 発光



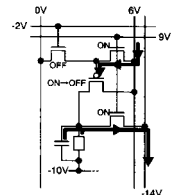
(D) 消去



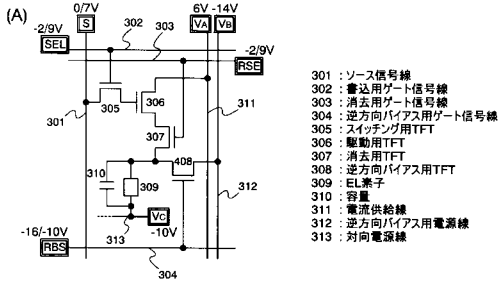
(E) 逆方向バイアス印加



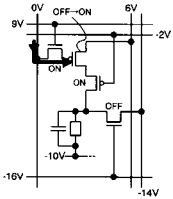
(D) 消去、逆方向バイアス印加



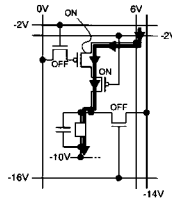
【図3】



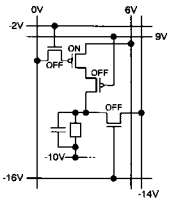
(B) 映像信号書込



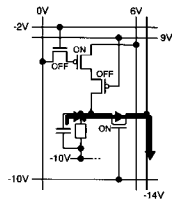
(C) 発光



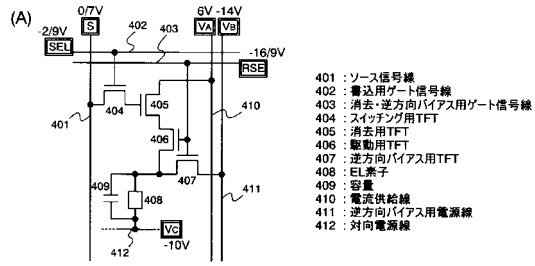
(D) 消去



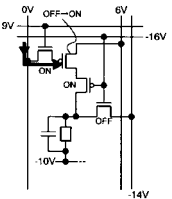
(E) 逆方向バイアス印加



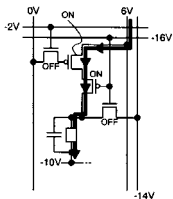
【図4】



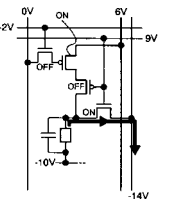
(B) 映像信号書込



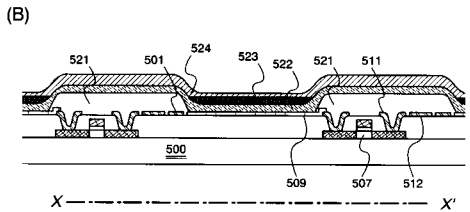
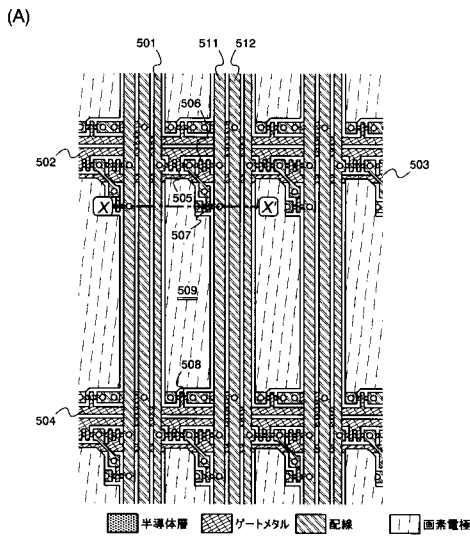
(C) 発光



(D) 消去・逆方向バイアス印加

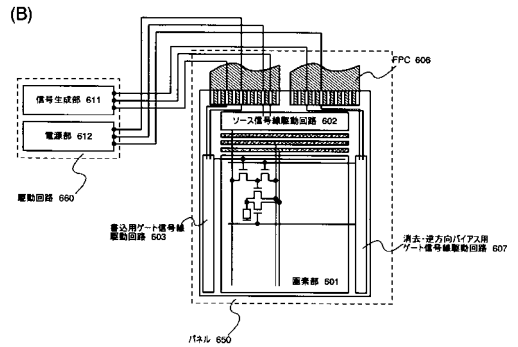
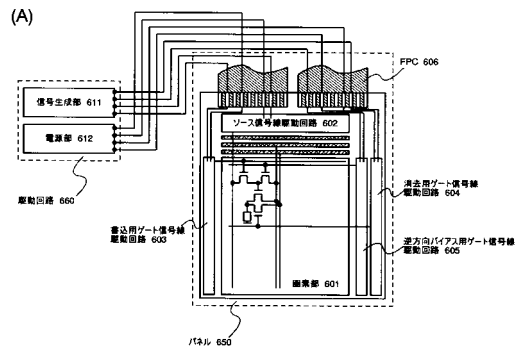


【図5】

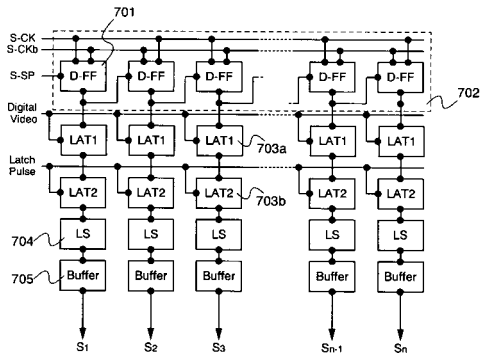


- 500: 基板
- 501: ソース信号線
- 502: 書込用ゲート信号線
- 503: 消去用ゲート信号線
- 504: 逆方向バイアス用ゲート信号線
- 505: スイッチング用TFT
- 506: 消去用TFT
- 507: 駆動用TFT
- 508: 逆方向バイアス用TFT
- 509: 画素電極
- 510: 配線
- 511: 隔壁
- 512: 有機導電体膜
- 521: 隔壁
- 522: 有機導電体膜
- 523: 有機薄膜(発光層)
- 524: 対向電極

【図6】

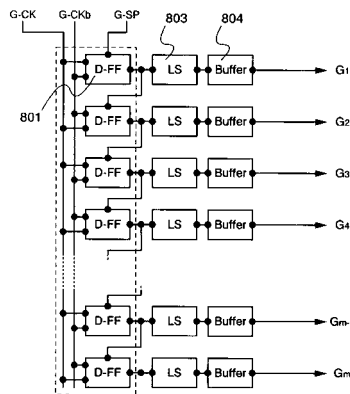


【図7】



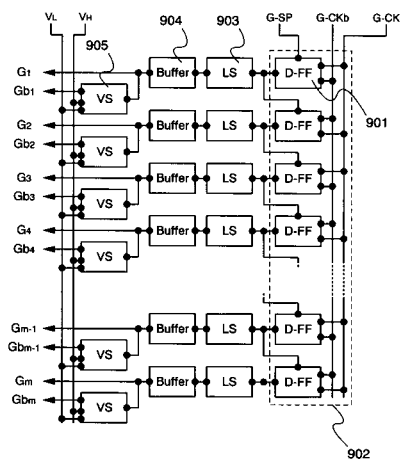
- 701 : D-フリップフロップ
- 702 : シフトレジスタ
- 703a : 第1のラッチ回路
- 703b : 第2のラッチ回路
- 704 : レベルシフタ
- 705 : バッファ

【図8】



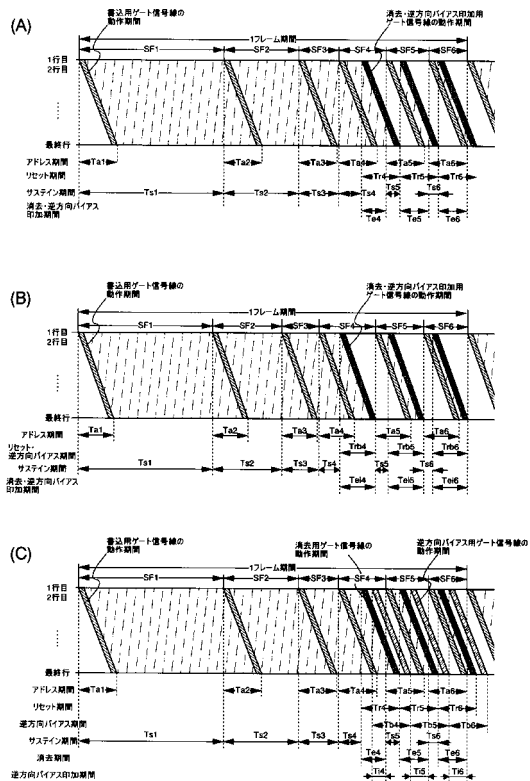
- 801 : D-フリップフロップ
- 802 : シフトレジスタ
- 803 : レベルシフタ
- 804 : バッファ

【図9】

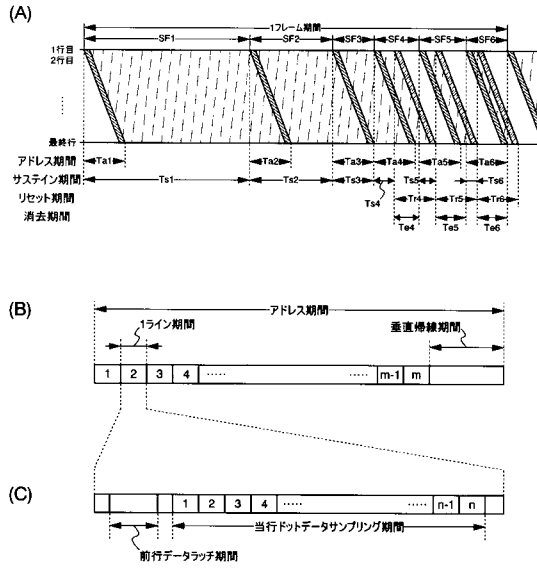


- 901 : D-フリップフロップ
- 902 : シフトレジスタ
- 903 : レベルシフタ
- 904 : バッファ
- 905 : 電圧変換回路

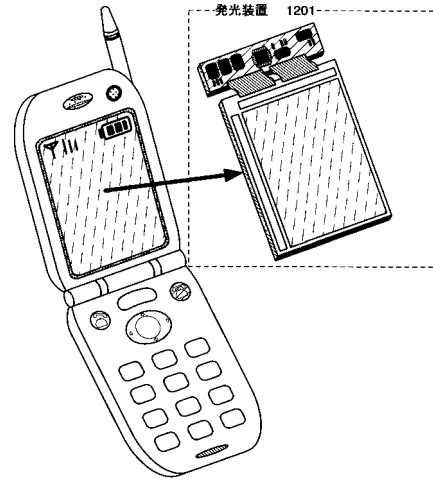
【図10】



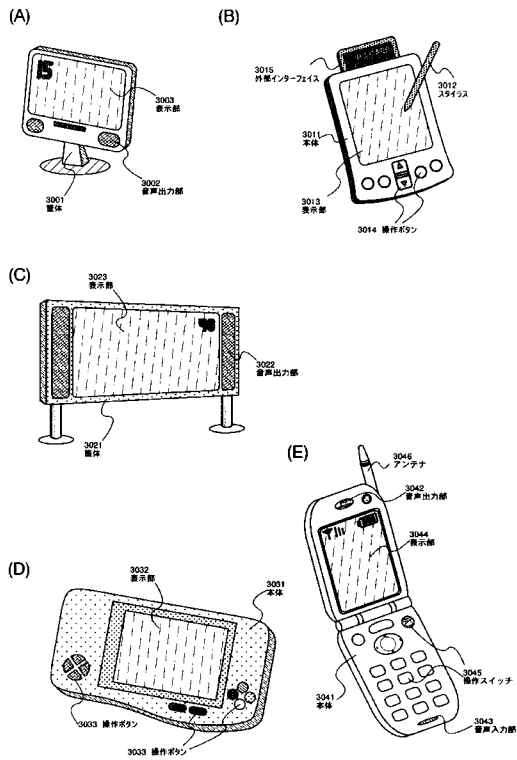
【図11】



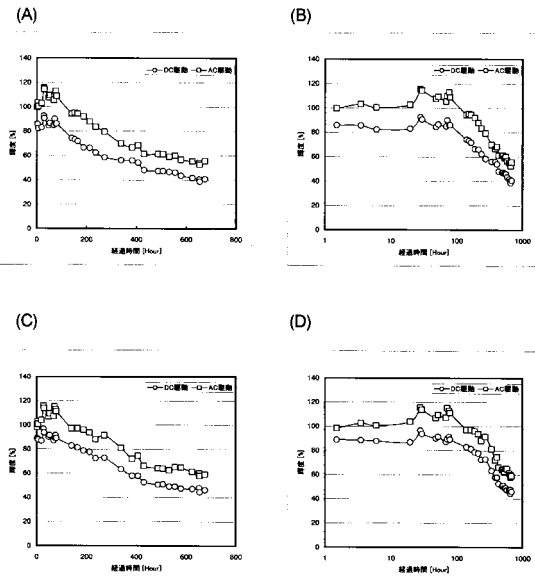
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
H 0 5 B 33/14 A

(72)発明者 瀬尾 哲史
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
(72)発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 西島 篤宏

(56)参考文献 特開平 1 1 - 0 0 3 0 4 8 (J P , A)
特開 2 0 0 0 - 3 4 7 6 2 1 (J P , A)
特開 2 0 0 3 - 1 2 2 3 0 4 (J P , A)
特開 2 0 0 3 - 1 2 2 3 0 3 (J P , A)
特開 2 0 0 3 - 1 5 0 1 0 8 (J P , A)
特開 2 0 0 3 - 2 0 8 1 2 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 0