

公告本

392223

申請日期: 87. 9. 22 案號: 87115828

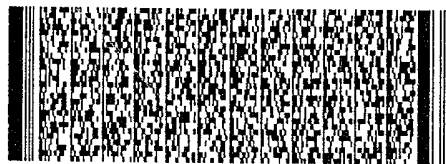
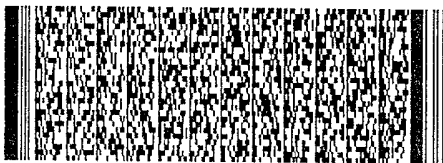
類別:

(以上各欄由本局填註)

發明專利說明書

392223

一、發明名稱	中文	利用區域性選擇氧化的大量應變之絕緣體外延矽
	英文	BULK AND STRAINED SILICON ON INSULATOR USING LOCAL SELECTIVE OXIDATION
二、發明人	姓名 (中文)	1. 傑克 翁 朱 2. 卡海利得 伊塞爾迪 艾斯梅爾 3. 金 陽 李 4. 約翰 艾爾布瑞特 歐特
	姓名 (英文)	1. JACK OON CHU 2. KHALID EZZELDIN ISMAIL 3. KIM YANG LEE 4. JOHN ALBRECHT OTT
	國籍	1. 美國 2. 埃及 3. 馬來西亞 4. 美國
	住、居所	1. 美國紐約州奧斯特瑞亞市第42街32-46號 2. 美國紐約州約克唐海茲市道格渥茲路1781號 3. 美國加州佛瑞蒙特市紅鷹圈區1401號 4. 美國紐約州綠木湖林登街37號
三、申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市
	代表人 姓名 (中文)	1. 費羅普
	代表人 姓名 (英文)	1. MARSHALL C. PHELPS, JR.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1997/10/16 08/951,827

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

發明範圍

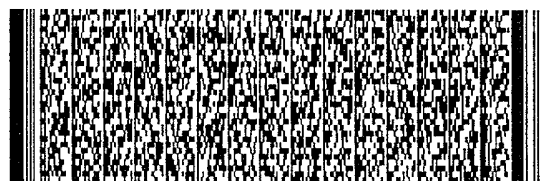
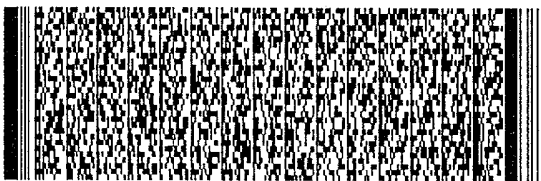
本發明係關於在相鄰於絕緣體或在絕緣體上形成大量或應變Si/SiGe層狀區，且更特定言之，係關於用以在如互補金屬-氧化物-半導體(CMOS)場效應電晶體(FET's)、調制-摻雜場效應電晶體(MODFET's)、動態隨機存取記憶體(DRAM's)、混合DRAM和CMOS、靜態隨機存取記憶體(SRAM's)、BiCMOS與rf之元件應用之半導體區下形成絕緣區之SiGe區域選擇性氧化。

發明背景

在矽半導體技術中，唯一達到絕緣基材之方法係依靠絕緣體矽(SOI)、藍寶石矽(SOS)抑或回蝕及回接合以達成SOI。在CMOS及高速FET's中使用絕緣基材之主要優點係降低寄生結電容及短通道效應，而因此增加元件之速度特性。所有以上方法之一主要問題為絕緣體覆蓋於整個晶圓上，且因而整個元件區包括在下FET之歐姆接觸及通道。既然相對於通道，半導體基材係懸浮著，故而在整個晶圓上內埋氧化物造成熟知之'浮體'問題。此問題對臨界電壓控制及電路操作具有逆影響。以上解決方案之其餘問題為其較一般大量矽基材為昂貴許多。此外，沒有可得到具有較高電子及電洞傳遞性質之應變的絕緣體矽之簡單方法。

發明摘要

根據本發明，咸描述一種用以在一單晶半導體層下形成內埋氧化物區之方法，其包括選擇一單晶矽基材、在具有第一氧化速率之基材上表面上形成固定或分級的SiGe之第



五、發明說明 (2)

一磊晶層之步驟。此層可為應變的或鬆弛的SiGe或晶格匹配的SiGeC。然後在具有比第一氧化速率小之第二氧化速率之第一層上形成含矽之第二磊晶層、在第二層上形成罩幕、將罩幕圖案化以在罩幕中形成開口及透過罩幕開口氧化第二層及第一層，因而形成具有在第二層下取代部份或所有第一層之氧化區。

本發明更提供在第一層之殘留部份上第二層中形成含其通道之FET's。

圖形簡述

本發明之這些及其餘特色、目的與優點當連同圖形閱讀、研究下列本發明之詳細描述而會變得顯而易見，其中：

圖1及2係說明實踐本發明步驟之層狀結構之橫斷面視圖。

圖3係在說明本發明之一具體實施例之氧化步驟後、沿圖2之線3-3之橫斷面視圖。

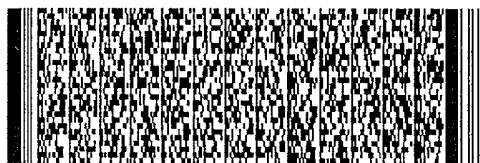
圖4係在不同溫度及環境下矽氧化速率對硼濃度之圖形。

圖5係圖3中所示具體實施例之製造樣品之TEM及

圖6係說明許多FET's之本發明第二具體施例之橫斷面視圖。

圖7係說明移除在氧化步驟期間所形成氧化物之附加步驟之層狀結構之橫斷面視圖。

圖8係說明一氧化附加步驟之橫斷面視圖。



五、發明說明 (3)

較佳具體實施例說明

參考圖1，咸顯示層狀結構12之橫斷面視圖以說明起始的處理步驟。首先，選擇可為Si、SiGe等之單晶半導體基材14。接著，在基材14之上表面15上形成固定或分級的 $\text{Si}_{1-x}\text{Ge}_x$ 或 $(\text{Si}_{1-x}\text{Ge}_x)_a\text{C}_{1-a}$ 之磊晶層16。對於用以成長含矽膜之UHV-CVD方法之描述係參考由B.S. 梅爾森(B.S. Meyerson)於西元1994年3月29日公佈、標題為"用於晶矽層之低溫、低壓化學氣相沉積之方法與裝置"之美國專利5,298,452，其併於本文供參考。磊晶層16可具有Ge含量X範圍從0.15至0.25。磊晶層16在一特定溫度及環境下具有第一熱氧化速率。該環境可包括氧、水蒸汽及/或HCl。咸需要固定或分級的磊晶層16組成而即使層14及16具有不同晶格常數也能磊晶地成長，又選擇固定或分級的磊晶層16組成以具有第一熱氧化速率。咸調整磊晶層16厚度於臨界厚度以下或以上以分別地提供一應變或鬆弛層。對於形成SiGe鬆弛層之描述係參考由F.K. 雷高俄斯(F.K. LeGoues)及B.S. 梅爾森(B.S. Meyerson)於西元1997年8月19日公佈、標題為"低缺陷密度/任一晶格常數之異質磊晶層"之美國專利5,659,187，其併於本文供參考。

接著，在磊晶層16之上表面17上形成Si或 $\text{Si}_{1-y}\text{Ge}_y$ 之磊晶層20。磊晶層20可具有一固定或分級的Ge含量Y，而Y係小於X及可為零。咸選擇層20組成以使層20具有比層16之氧化速率小之第二氧化速率及具有需要的電氣性質。

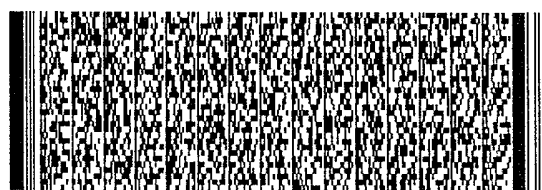
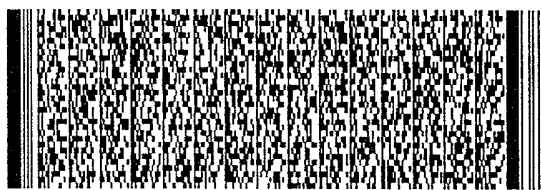
接著，罩幕24係形成於層20之上表面21上。罩幕24可為



五、發明說明 (4)

氮化矽或如緩慢或耐氧化之材料或一已為氧化物材料之其餘材料之毯覆層。因為相較於氧化物，即二氧化矽，氮化矽能選擇性地被移除，所以其為一較佳材料。將罩幕24圖案化以如圖2所示形成開口26。開口26可沿一路徑或圖案延伸以形成圖2所示之一罩幕形狀29或數個罩幕形狀30。罩幕形狀30可形成一長方形、正方形及/或圓形。其餘形狀也可藉開口26圖案形成。罩幕形狀30可為許多具有1微米x1微米或更小尺寸之長方形及/或正方形。罩幕形狀及寸法係可選擇以將一個元件容納於一周圍為含以下有剩餘部份或無部份SiGe與基板14接觸之氧化物整個環繞之Si或SiGe單一區域上。

接著，將層狀結構12在一溫度下置於一氧化環境以透過開口26將磊晶層16及20氧化且因而在罩幕形狀30之邊緣四周。與Ge在SiGe之三次元組成分佈曲線、硼在層16及20之三次元摻雜分佈曲線與氧化時間有關，氧化物33與34係如圖3所示形成或經層16'延伸及終止於基材14。氧化環境可為在蒸汽、氧及/或氫氯酸於範圍從700℃至950℃與較佳地於範圍從700℃至800℃之一溫度下之溼熱氧化。譬如在750℃，Si具有氧化速率範圍從0.5至1毫微米/分。含7%Ge之SiGe具有氧化速率約3.5毫微米/分。含16%Ge之SiGe具有氧化速率約5.2毫微米/分。含53.5%Ge之SiGe具有氧化速率約44毫微米/分。含76.6%Ge之SiGe具有氧化速率約66毫微米/分。對於更多關於快速熱乾與溼氧化(RTO)下SiGe為溫度函數及為組成函數之氧化速率之數據，係參考(西

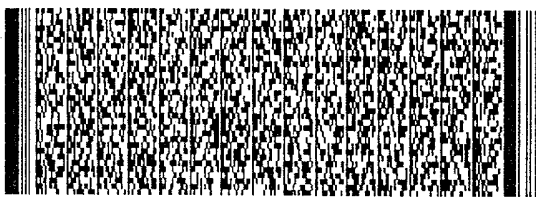


五、發明說明 (5)

元1996年)由瑞士(Switzerland)塞迪克出版社(Scitec Publications)發行之固態現象(Solid State Phenomena)第47-48冊第17-32頁、由U. 柯寧(U. Konig)及J. 赫森能(J. Hersener)著、標題為"SiGe技術中低熱預算處理之需求"之刊物。

圖3係透過圖2所示開口26在罩幕29之邊緣四周之磊晶層16及20氧化之後、沿圖2之線3-3之橫斷面視圖。如圖3所示，磊晶層20，除了在罩幕形狀29之下，係完全為氧化物區33及34消耗。磊晶層16在開口26下係幾乎或完全消耗及在層20'下之層16橫側地延伸。所形成氧化物係 $\text{Si}_r\text{Ge}_s\text{O}_2$ ，而r與s具有一與為厚度函數之層16中Ge含量有關及與氧化條件有關、範圍從大於0至2之數值。

氧化物33及34係在層20'下之層16延伸，而層16'具有比層20'之氧化速率為大之氧化速率，若Ge或硼任何一者存在的話，則氧化速率受SiGe中Ge分級及受硼摻雜分佈曲線控制。硼係可摻雜最多至 10^{21} 原子/立方公分以提升SiGe之氧化。鍺量係提供氧化速率上相當的增加。硼量係提供如圖4所示之氧化速率上相當的增加。在圖4中，縱座標代表氧化速率(埃/分)及橫座標代表硼濃度(公分⁻³)。曲線41表示在1大氣壓於氧中700℃下矽氧化速率為硼濃度函數。曲線42表示在也習知為高壓氧化(HIPOX)之10大氣壓於氧及蒸汽中600℃下矽氧化速率為硼濃度函數。曲線43表示在10大氣壓於氧及蒸汽中700℃下矽氧化速率為硼濃度函數。HIPOX可發生於壓力範圍從1至20大氣壓，而典型地在



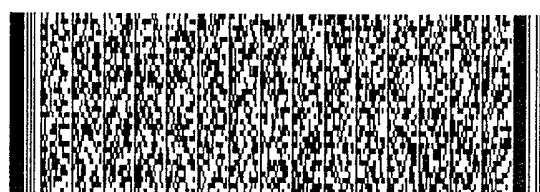
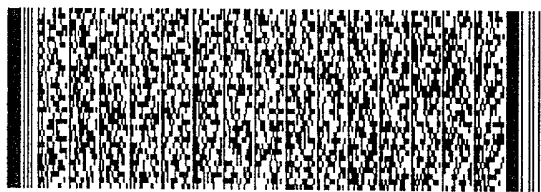
五、發明說明 (6)

含氧環境之12大氣壓。Ge及B兩者存在係提供氧化速率上累積的增加。因此層16中SiGe內Ge組成之三次元分佈曲線及層14、16與20中硼濃度之三次元分佈曲線能分別提供一預定分佈曲線為氧化物33及34之外圍表面或前沿35及36之時間函數。箭頭37及38表示在罩幕形狀29下延伸之氧化物33及34之個別長度 l_1 及 l_2 。層20'相對於罩幕形狀29也受氧化，但由於較低的氧化速率而在罩幕形狀29下延伸較少。隨著Si與SiGe層之氧化，所得氧化材料之厚度如圖3所示增加(非比例)。

藉著繼續在一個或更多溫度下為時間函數之氧化步驟，可決定或控制對層16及20生長平面中固定組成為相等之長度 l_1 及 l_2 。由箭頭39所示之間隙d同樣可決定及控制。間隙d容許與層16'及基材14歐姆接觸以控制在層20'中所形成之場效應電晶體實體之電壓，而因此防止因累積電荷之浮體效應。典型地，間隙d應較FET之閘極長度為短。對於間隙d為零之例子，氧化物33及34可結合在一起，此例中層20'應與基材14電隔離。

圖5為圖3具體實施例之製造樣品之透射電子顯微鏡(TEM)。圖5表示圖3視圖之實際對應。在圖5中， l_1 及 l_2 為約0.17微米。間隙d為約0.15微米。罩幕形狀29具有寬度0.5微米。在圖5中，相同參考編號係用於圖3中裝置及置入相對於圖3所描述之相同材料。

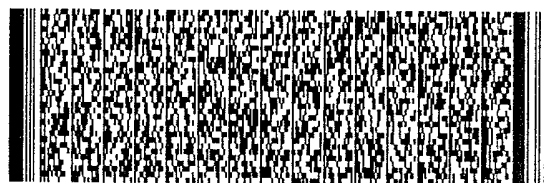
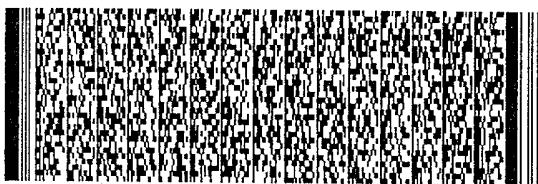
圖6為FET's 52及53之橫斷面視圖。在圖6中，相同參考編號係用於圖3所示之相同結構元件。將可為氮化矽之罩



五、發明說明 (7)

幕29(未顯示出)移除。對於電晶體52及53，如二氧化矽之閘極介電質56係可分別形成於層20'上。多晶矽層係可形成於閘極介電質56上且將其圖案化以分別形成電晶體52及53用之閘極電極57。使用閘極電極57，源極區60與汲極區61可藉離子植入形成，且歐姆接觸植入可形成而延伸至氧化物32、33及34之上表面。在形成自我排列歐姆接觸植入之前，閘極側壁間隔物係可形成於閘極電極57之側壁(未顯示出)。隨著歐姆接觸延伸至氧化物32、33及34表面，因為除了無p-n結外，與Si相比低三倍的氧化物介電常數，故而降低層16'之寄生結電容。對於一通道寬度為.13微米，源極60與汲極61之寄生結電容可比0.02毫微微法拉第/平方微米小。藉在源極60與汲極61下擺入氧化物32、33及34，當增加汲極偏壓時，短通道效應因防止空乏區延伸入通道而降低短通道效應。FET 52可為n-型及FET 53可為p-型以形成CMOS電路。每一個FET源極與汲極可在離子植入期間藉將保留作為相對摻雜劑之其餘FET去罩幕而摻雜適當的摻雜劑。在本技藝中熟知一CMOS電路為一FET之汲極經過引線66與其餘FET之源極耦合以形成一輸出。閘極電極係經過引線67耦合在一起以形成一輸入。將接地及電源供應電壓經過引線68及69與個別FET's之剩餘源極與汲極耦合。

圖7係與圖3所示之類似結構但具有將氧化物33及34移除之層狀結構70之橫斷面視圖。氧化物33及34可藉如用緩衝HF蝕刻之蝕刻方式移除。



五、發明說明 (8)

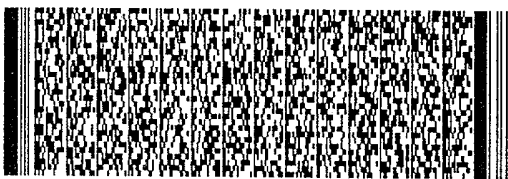
接著氧化物33及34之移除，曝露的層14、16'及20'係可曝露於一氧化環境以再繼續層16'之氧化及層14及20'氧化至一較輕程度，其與氧化速率有關。氧化物33及34可作為阻礙或減緩層16'之氧化。因此氧化物33及34之移除加速層16'之氧化。

圖8係在基材14及層16'與20'如氧化物區77及78所示之更進一步氧化之後之層狀結構74之橫斷面視圖。

氧化物移除及在一氧化環境中層狀結構之氧化之步驟係可重覆數次。在已形成所需結構之後，如氧化矽之介電質係可用於填充因氧化物移除所形成之空洞。為了更進一步處理以形成有用的半導體元件，咸可使用化學機械方法形成一平坦上表面。

在圖7及8，相同參考編號係用於對應於圖3之裝置之結構。

當頃描述及說明一種用於在與基材歐姆接觸、為在應變下或鬆弛之單晶半導體層區及一具有如CMOS、MODFET's、DRAM's、SRAM's、rf、BiCMOS及混合DRAM與CMOS之元件和電路應用之次微米通道長度之FET結構下形成內埋氧化物區時，應完全受限於本文所附之申請專利範圍而不偏離本發明廣泛領域之可能的修改與變更對於熟諳本技藝者係將顯而易見。

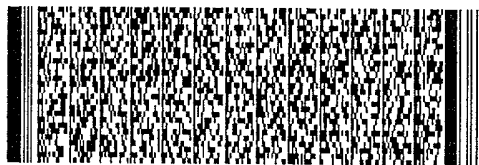


四、中文發明摘要 (發明之名稱：利用區域性選擇氧化的大量應變之絕緣體外延矽)

一種用以在一單晶半導體層下形成內埋氧化物區之方法，係結合形成具有含較快氧化速率之較低層之不同氧化速率之磊晶層及透過罩幕之開口氧化該層之步驟。許多隔離FET's之氧化物可以形成。本發明係降低當藉選擇性氧化半導體層隔離FET's及消弭FET之浮動的主體效應而有源極/汲極寄生電容及短通道效應之問題。

英文發明摘要 (發明之名稱：BULK AND STRAINED SILICON ON INSULATOR USING LOCAL SELECTIVE OXIDATION)

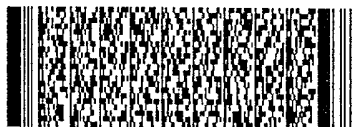
A method for forming buried oxide regions below a single crystal semiconductor layer incorporating the steps of forming epitaxial layers having different rates of oxidation with the lower layer having a faster rate of oxidation and oxidizing the layers through an opening in a mask. A plurality of oxide isolated FET's may be formed. The invention reduces the problem of source/drain parasitic capacitance and short channel effects while



四、中文發明摘要 (發明之名稱：利用區域性選擇氧化的大量應變之絕緣體外延矽)

英文發明摘要 (發明之名稱：BULK AND STRAINED SILICON ON INSULATOR USING
LOCAL SELECTIVE OXIDATION)

isolating FET's and eliminating floating body
effects of an FET by selectively oxidizing
semiconductor layers.



六、申請專利範圍

1. 一種用於在一單晶半導體層區下形成內埋氧化物區之方法包括：

選擇一單晶矽基材；

在該基材之上表面上形成一選自包括 $\text{Si}_{1-x}\text{Ge}_x$ 及 $(\text{Si}_{(1-x)}\text{Ge}_x)_a\text{C}_{1-a}$ 之第一磊晶層；該第一層具有第一氧化速率；

在該第一層上形成一含矽之第二磊晶層，該第二層具有比該第一氧化速率為小之第二氧化速率；

在該第二層上形成一罩幕；

將該罩幕圖案化以在該罩幕中形成開口；以及

透過該罩幕開口氧化該第二層及該第一層，因而一氧化物區形成於含有部份該氧化物區在該第二層下取代部份該第一層之該第一及第二層之步驟。

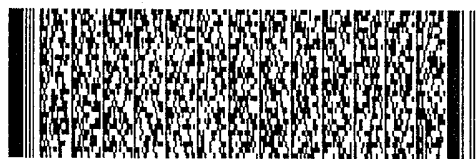
2. 如申請專利範圍第1項之方法，其中該氧化步驟係持續一段時間以形成含在該第二層下延伸一預定距離之該氧化物區之該部份之該氧化物區。

3. 如申請專利範圍第2項之方法，更包括將兩個罩幕開口位置分離以在該第二層下提供兩個以一預定距離間隔開之該氧化物區之個別部份之步驟。

4. 如申請專利範圍第1項之方法，其中該開口之一係沿一路徑延伸以形成一罩幕形狀。

5. 如申請專利範圍第4項之方法，其中該罩幕形狀係選自包括長方形、正方形及圓形。

6. 如申請專利範圍第1項之方法，其中該開口係分別相



六、申請專利範圍

對應於有效MOS元件之尺寸形成許多該罩幕外之長方形。

7. 如申請專利範圍第6項之方法，其中該許多該罩幕外之長方形係1微米x1微米或更小。

8. 如申請專利範圍第6項之方法，其中該氧化步驟係持續一段時間以在該長方形中央留下一該第一磊晶層未受氧化之有限區。

9. 如申請專利範圍第8項之方法，更包括在該第二層形成源極與汲極區以在該第一磊晶層之該有限區上兩極之間定義出一通道以避免FET之浮體效應之步驟。

10. 如申請專利範圍第9項之方法，更包括在該通道上形成一閘極介電質及一閘極電極以形成一FET之步驟。

11. 如申請專利範圍第8項之方法，更包括在該氧化物區上該源極與汲極區中形成歐姆接觸離子植入、因而降低寄生結電容之步驟。

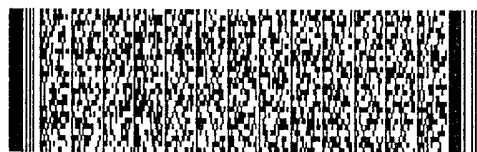
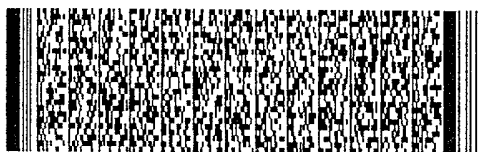
12. 如申請專利範圍第1項之方法，其中該氧化步驟係包括在範圍從700℃至800℃之一溫度下溼熱氧化。

13. 如申請專利範圍第1項之方法，其中該氧化步驟包括在範圍從650℃至800℃之一溫度下高壓氧化(HIPOX)。

14. 如申請專利範圍第1項之方法，更包括移除由該氧化步驟形成之部份該氧化物之步驟。

15. 如申請專利範圍第14項之方法，更包括實際移除由該氧化步驟形成之所有該氧化物之步驟。

16. 如申請專利範圍第14項之方法，更包括在該移除步驟之後繼續該氧化步驟之步驟。



六、申請專利範圍

17. 如申請專利範圍第16項之方法，更包括重覆該移除及氧化步驟數次之步驟。

18. 如申請專利範圍第1項之方法，其中形成一單幕之該步驟係包括形成一氮化矽層之步驟。

19. 如申請專利範圍第1項之方法，其中形成該第一磊晶層之該步驟係包括形成一分級組成層。

20. 如申請專利範圍第19項之方法，其中形成該第一磊晶層之該步驟係包括形成一具有含比該第二層之晶格係數為大之晶格係數之上表面之層以在該第二層提供抗拉應變。

21. 如申請專利範圍第1項之方法，其中形成該第一磊晶層之該步驟係包括成長該第一磊晶層直至其鬆弛至一比將形成之該第二磊晶層之晶格常數為大之晶格常數、因而當形成之該第二磊晶層會在抗拉應變之下以具有高電子及電洞移動率之步驟。

22. 如申請專利範圍第1項之方法，其中該氧化步驟係持續一段時間以向下至該基材中而形成該氧化物區。

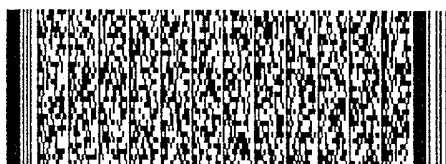
23. 如申請專利範圍第1項之方法，更包括用硼摻雜該第一層區以提升氧化速率之步驟。

24. 如申請專利範圍第1項之方法，其中該第一層在Ge組成上係分級的以提升氧化速率。

25. 一種用以形成一電子元件之結構，其中包括：

一單晶矽基材；

一在該基材之上表面上、選自包括 $\text{Si}_{1-x}\text{Ge}_x$ 及



六、申請專利範圍

$(\text{Si}_{(1-x)}\text{Ge}_x)_a\text{C}_{1-a}$ 之第一磊晶層；

一在該第一層上含矽之第二單晶層；以及

間隔開之第一層及第二氧化物區，該等第一及第二氧化物區每一個延伸至在該第二層下之該第一區中。

26. 如申請專利範圍第25項之結構，其中該第一及第二氧化物區係形成於該第一磊晶層及該第二單晶層中。

27. 如申請專利範圍第25項之結構，其中該第一及第二氧化物區係在該第一層中間隔開範圍從0.01至0.5微米。

28. 如申請專利範圍第25項之結構，其中該第一及第二氧化物區係包圍部份該第一層。

29. 如申請專利範圍第28項之結構，其中該第一層之該包圍部份係在其上表面上形成一選自包括長方形、正方形及圓形之形狀。

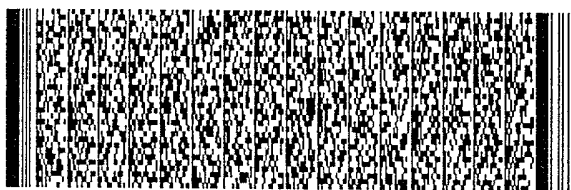
30. 如申請專利範圍第29項之結構，更包括許多該第一層之包圍部份，每一個該第一層之包圍部份係小於1微米x1微米。

31. 如申請專利範圍第28項之結構，其中在該第一及第二氧化物區之間之該第二層係在該第一層之該包圍部份下，並與其接觸。

32. 如申請專利範圍第25項之結構，其中該第一磊晶層係包括一Ge分級的組成層。

33. 如申請專利範圍第25項之結構，其中該第一磊晶層係包括硼摻雜。

34. 如申請專利範圍第25項之結構，其中該第二單晶層



六、申請專利範圍

係由於該第一層上表面之晶格係數而在應變之下。

35. 如申請專利範圍第25項之結構，其中該第一及第二氧化物區係經該第一層延伸至該基材中。

36. 如申請專利範圍第25項之結構，更包括在該第一層內間隔開之源極與汲極區向下延伸至該第一及第二氧化物區之上表面，以分別在該第一層中定義出一通道。

37. 如申請專利範圍第36項之結構，更包括在該通道上之一介電質及在該介電質上之一閘極電極以形成一場效應電晶體。

38. 如申請專利範圍第37項之結構，更包括與延伸至該第一及第二氧化物區之該源極與汲極歐姆接觸。

39. 如申請專利範圍第37項之結構，其中該通道係未歪曲變形。

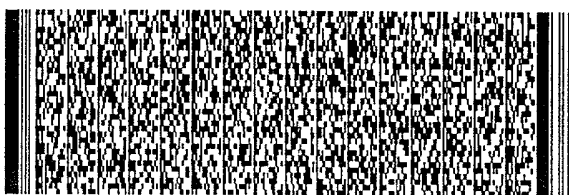
40. 如申請專利範圍第37項之結構，其中該第二層具有一Ge分級組成以晶格應變至該第一層中之該通道。

41. 如申請專利範圍第37項之結構，其中該第一層係鬆弛的。

42. 如申請專利範圍第37項之結構，其中該第一層係與該第一層相稱的。

43. 如申請專利範圍第37項之結構，更包括許多分別為n及p型之場效應電晶體。

44. 如申請專利範圍第43項之結構，更包括互聯接線以形成互補金屬氧化物半導體(CMOS)電路。



圖式

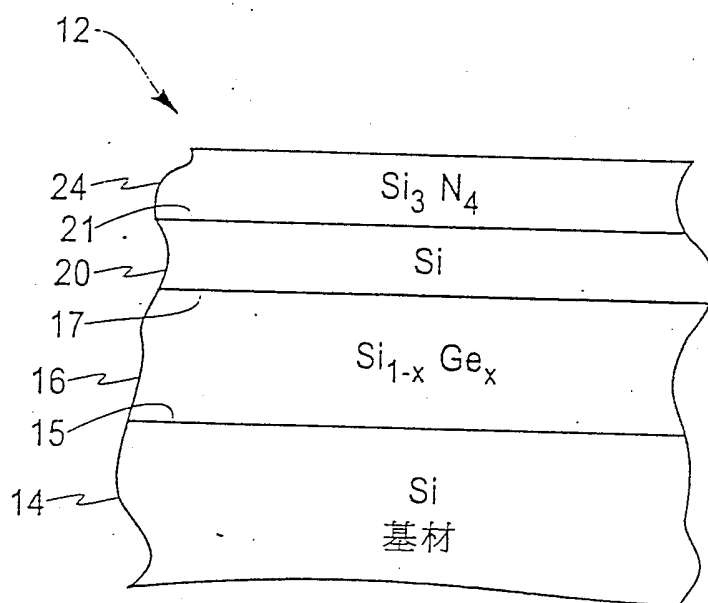


圖. 1

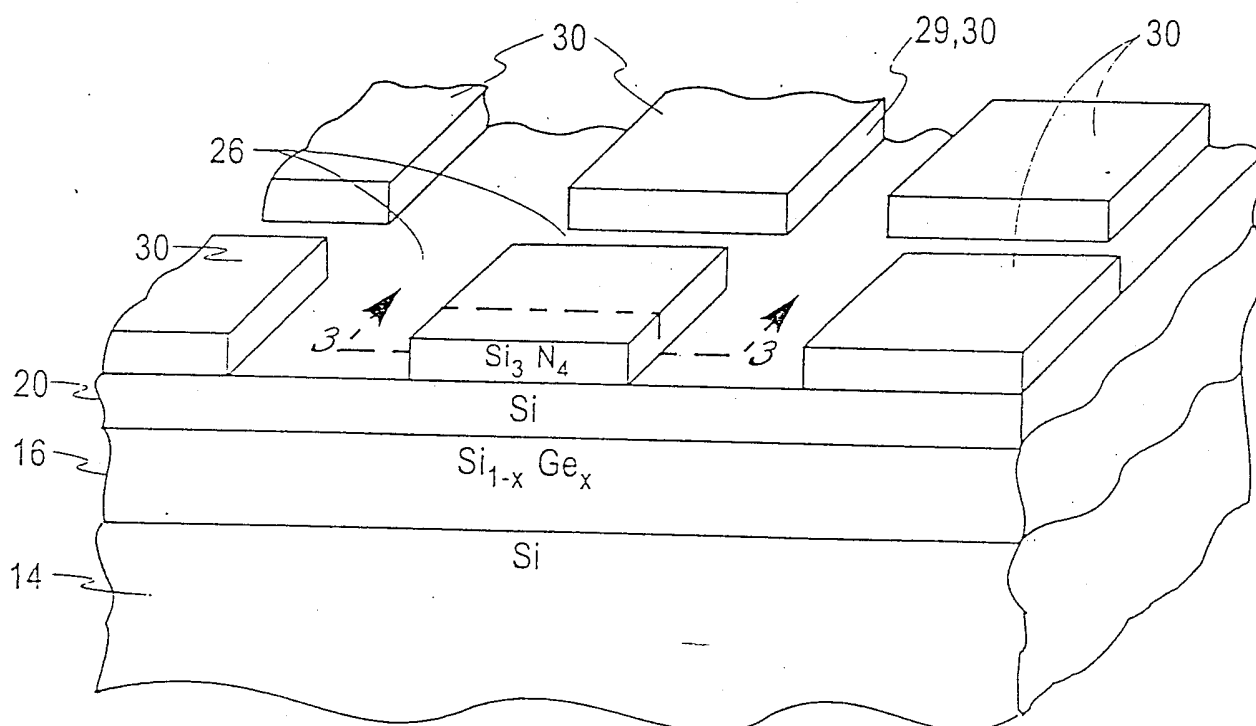


圖. 2

圖式

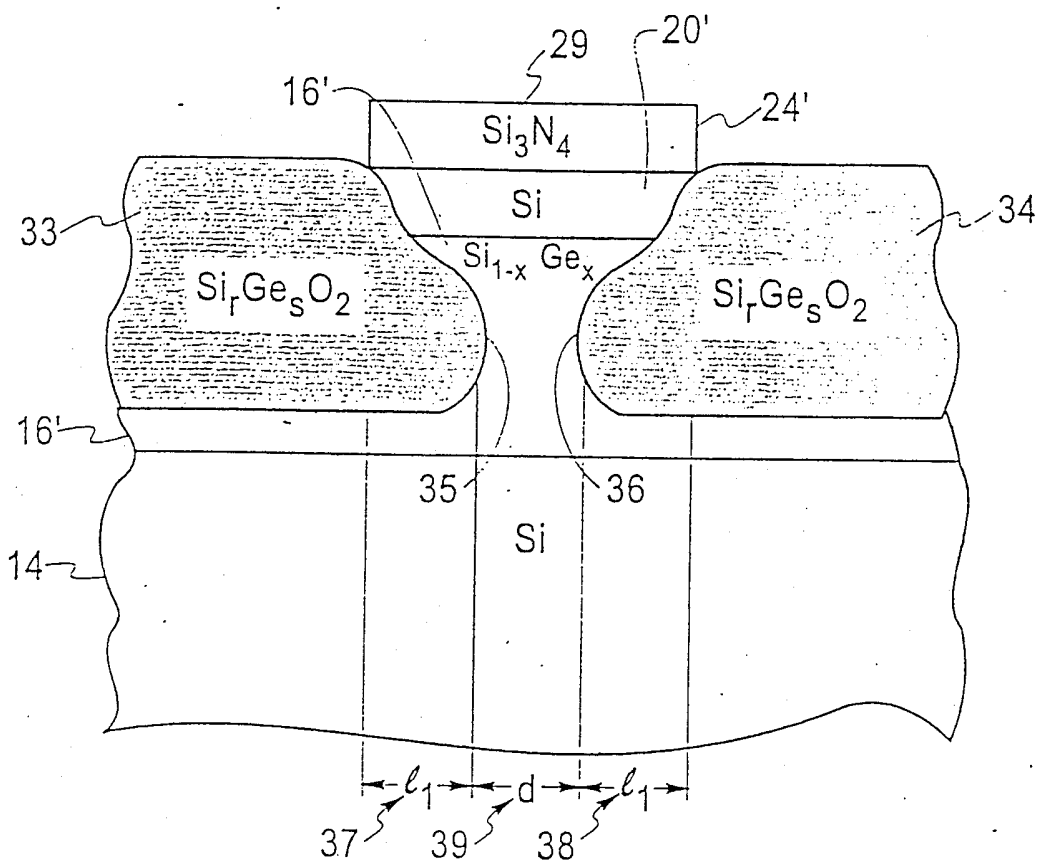


圖. 3

圖式

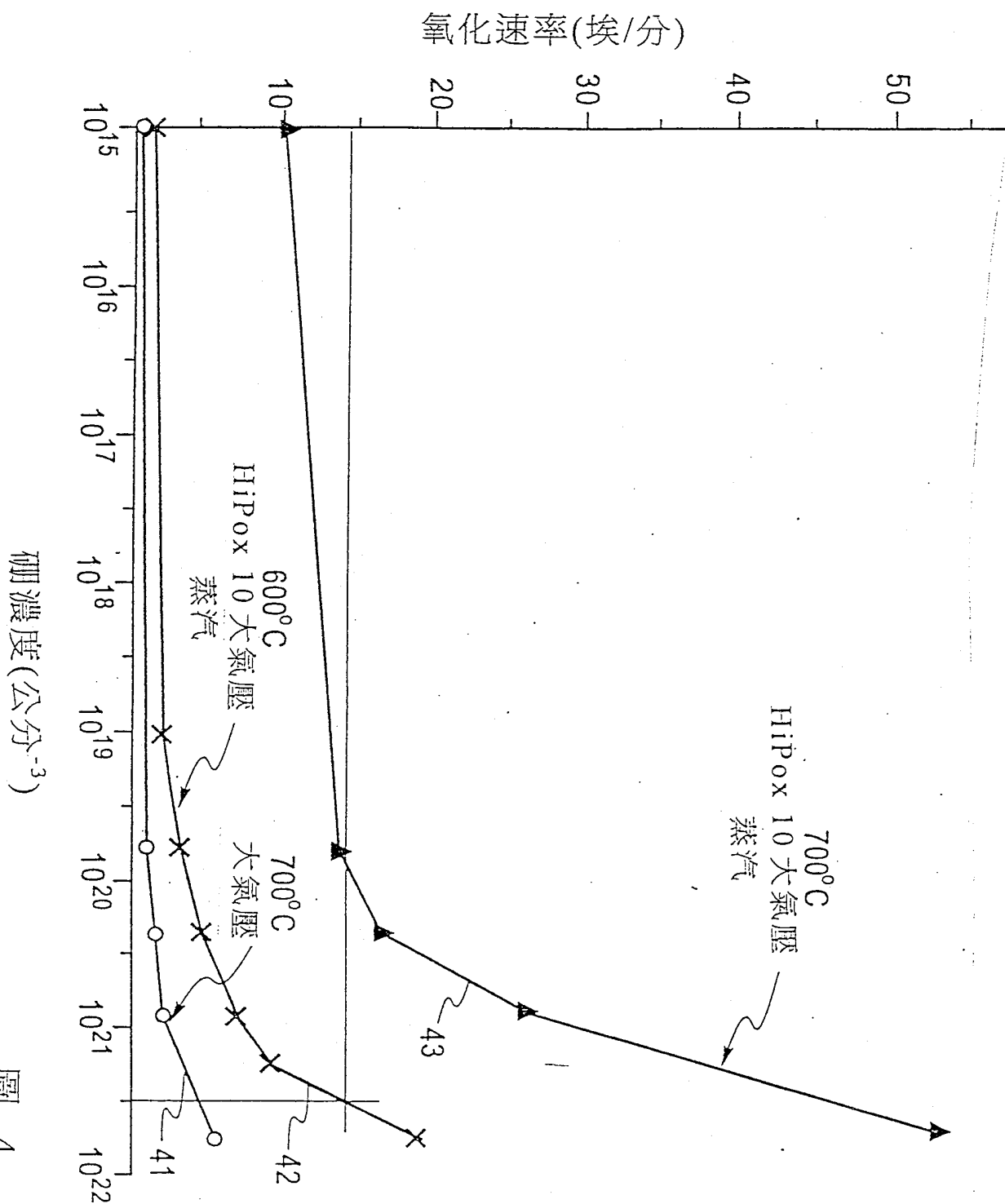


圖. 4

圖式

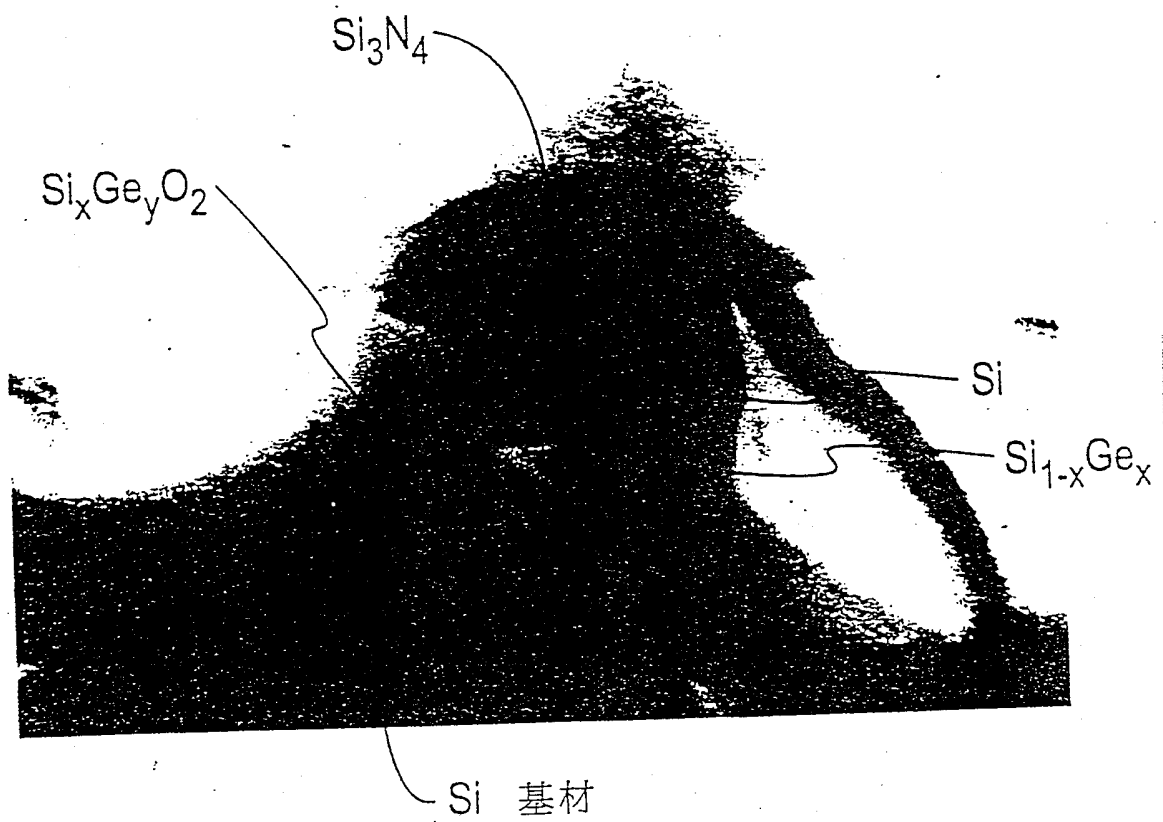
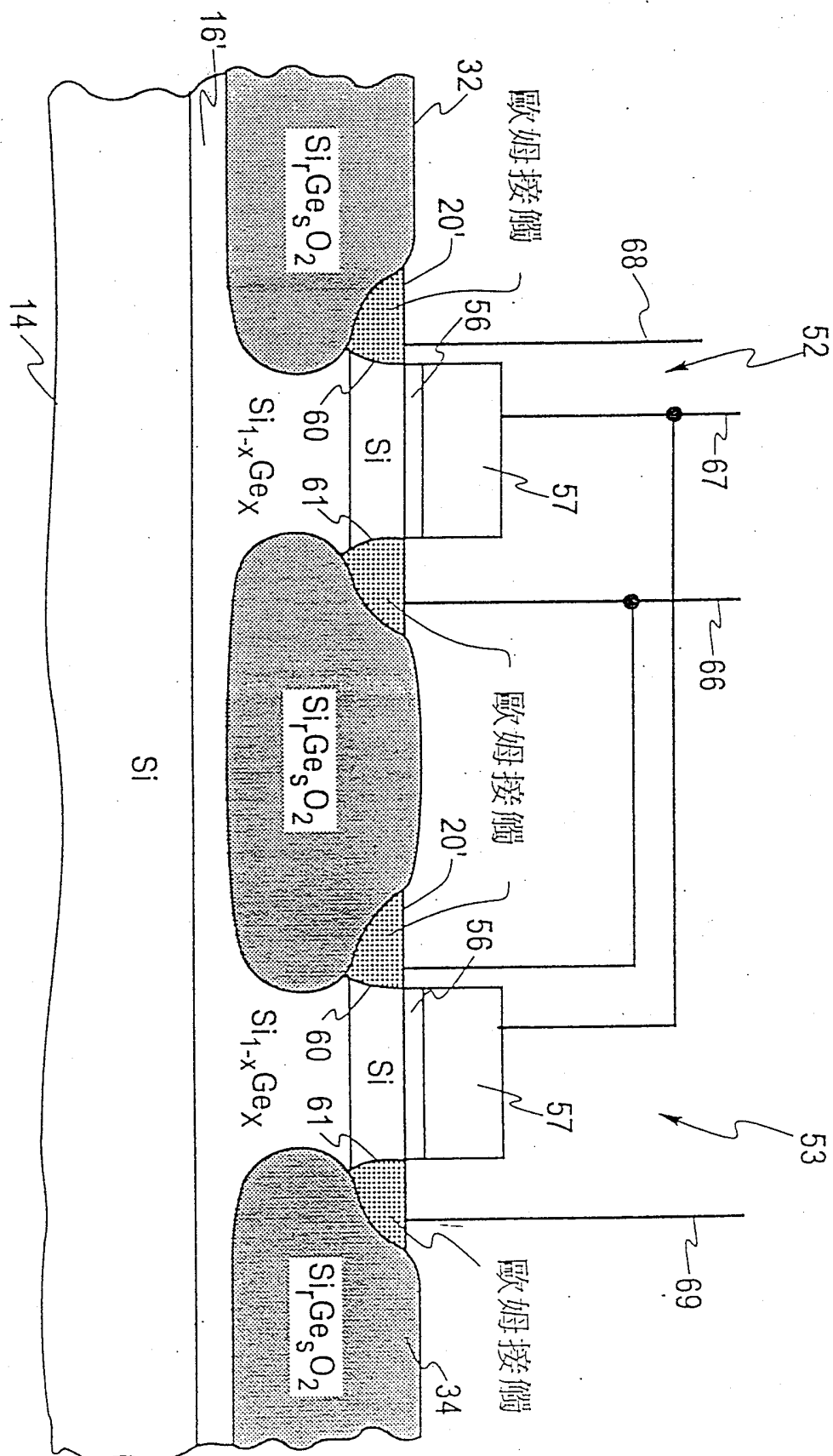


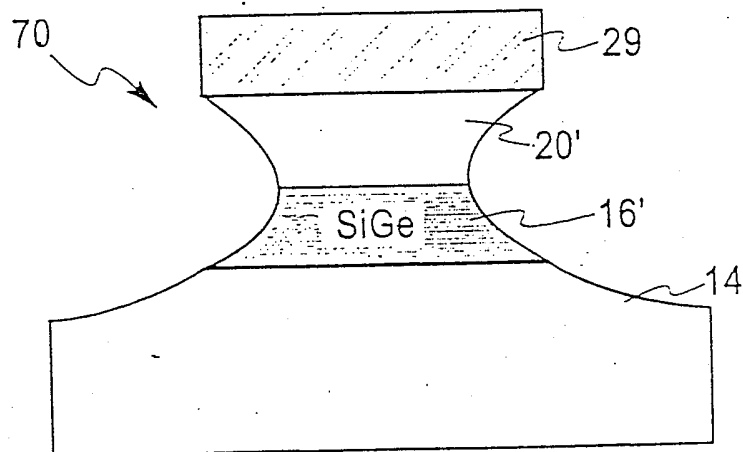
圖. 5



圖式

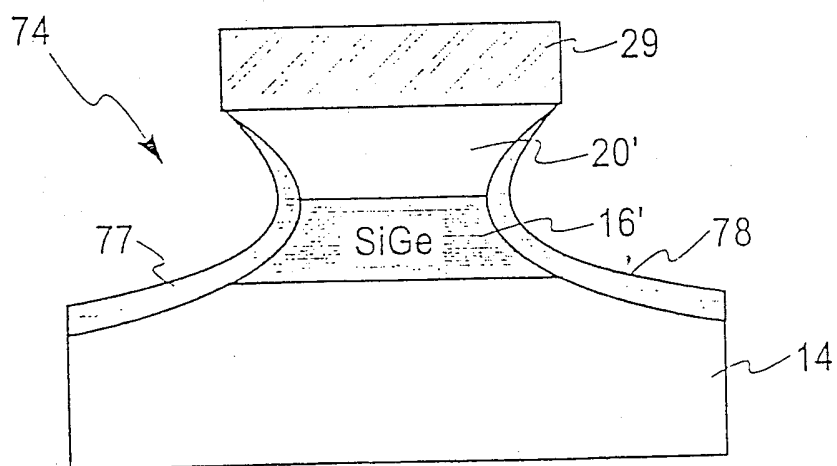
6.

圖式



氧化物蝕刻

圖. 7



第二次溼氧化@750 °C

圖. 8