

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4447230号
(P4447230)

(45) 発行日 平成22年4月7日 (2010.4.7)

(24) 登録日 平成22年1月29日 (2010.1.29)

(51) Int.Cl.

F I

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/30 J

G 0 9 G 3/30 K

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 1 2 J

G 0 9 G 3/20 6 2 1 A

請求項の数 9 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2003-52443 (P2003-52443)
 (22) 出願日 平成15年2月28日 (2003.2.28)
 (65) 公開番号 特開2004-126501 (P2004-126501A)
 (43) 公開日 平成16年4月22日 (2004.4.22)
 審査請求日 平成18年2月16日 (2006.2.16)
 (31) 優先権主張番号 特願2002-55063 (P2002-55063)
 (32) 優先日 平成14年2月28日 (2002.2.28)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2002-228952 (P2002-228952)
 (32) 優先日 平成14年8月6日 (2002.8.6)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 瀬尾 哲史
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 木村 肇
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 優
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 発光装置及びそれを用いた電子機器

(57) 【特許請求の範囲】

【請求項 1】

発光素子、前記発光素子に電流を供給する電流源、第 1 のトランジスタ、第 2 のトランジスタ、及び第 3 のトランジスタが設けられた画素を有し、

前記発光素子の第 1 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と前記第 2 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記電流源に電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、配線に電氣的に接続され、

前記第 3 のトランジスタのゲートは走査線に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は信号線に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続され、

前記発光素子の第 2 の電極と前記配線の電位差は、前記発光素子に逆方向バイアスが印加される電位差であることを特徴とする発光装置。

【請求項 2】

発光素子、前記発光素子に電流を供給する電流源、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、及び第 4 のトランジスタが設けられた画素を有し、

前記発光素子の第 1 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と前記第 2 のトランジスタのソース又はドレインの一方に電氣的に接続され、

10

20

前記第 1 のトランジスタのソース又はドレインの他方は、前記電流源に電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの他方は、配線に電氣的に接続され、
前記第 3 のトランジスタのゲートは第 1 の走査線に電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの一方は信号線に電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲート
と前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続され、
前記第 4 のトランジスタのゲートは第 2 の走査線に電氣的に接続され、
前記第 4 のトランジスタのソース又はドレインの他方は電源線に電氣的に接続され、
前記発光素子の第 2 の電極と前記配線の電位差は、前記発光素子に逆方向バイアスが印加
される電位差であることを特徴とする発光装置。

10

【請求項 3】

発光素子、前記発光素子に電流を供給する電流源、第 1 のトランジスタ、第 2 のトランジ
スタ、及びダイオードが設けられた画素を有し、
前記発光素子の第 1 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と前
記ダイオードの一方の端子に電氣的に接続され、
前記第 1 のトランジスタのソース又はドレインの他方は、前記電流源に電氣的に接続され
、
前記ダイオードの他方の端子は、配線に電氣的に接続され、
前記第 2 のトランジスタのゲートは走査線に電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの一方は信号線に電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲート
に電氣的に接続され、
前記発光素子の第 2 の電極と前記配線の電位差は、前記発光素子に逆方向バイアスが印加
される電位差であることを特徴とする発光装置。

20

【請求項 4】

発光素子、前記発光素子に電流を供給する電流源、第 1 のトランジスタ、第 2 のトランジ
スタ、第 3 のトランジスタ、及びダイオードが設けられた画素を有し、
前記発光素子の第 1 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と前
記ダイオードの一方の端子に電氣的に接続され、
前記第 1 のトランジスタのソース又はドレインの他方は、前記電流源に電氣的に接続され
、

30

前記ダイオードの他方の端子は、配線に電氣的に接続され、
前記第 2 のトランジスタのゲートは第 1 の走査線に電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの一方は信号線に電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲート
と前記第 3 のトランジスタのソース又はドレインの一方に電氣的に接続され、
前記第 3 のトランジスタのゲートは第 2 の走査線に電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの他方は電源線に電氣的に接続され、
前記発光素子の第 2 の電極と前記配線の電位差は、前記発光素子に逆方向バイアスが印加
される電位差であることを特徴とする発光装置。

40

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記電流源は、容量素子と、少なくとも 1 つのトランジスタとを有することを特徴とする
発光装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、
前記画素と同じ基板上に設けられた駆動回路を有することを特徴とする発光装置。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一項において、

50

前記画素と同じ基板上に設けられた駆動回路を有し、
前記駆動回路は、定電流回路を有することを特徴とする発光装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、
前記発光素子は、有機発光ダイオードであることを特徴とする発光装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載の前記発光装置を用いた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は発光装置の技術に関し、より詳しくは発光装置及びその駆動方法に関する。

【0002】

【従来の技術】

近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして、携帯電話の表示画面やパソコンを使用するときの表示装置として幅広く用いられている。

【0003】

一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答速度、低電圧、低消費電力駆動などの特徴を有しているため、新世代の携帯電話や携帯情報端末（PDA）をはじめ、幅広い用途が見込まれ、次世代ディスプレイとして大きく注目されている。

【0004】

発光素子是有機発光ダイオード(Organic Light Emitting Diode : OLED)とも称され、陽極と、陰極と、前記陽極と前記陰極との間に有機化合物層が挟まれた構造を有している。発光素子に流れる電流量と、発光素子の輝度は正比例の関係にあり、発光素子是有機化合物層に流れる電流量に応じた輝度で発光を行う。

【0005】

発光装置において、時間階調方式を採用する場合がある（例えば、特許文献 1 参照。）。また、発光素子に逆方向バイアスを印加するものもある（例えば、特許文献 2 参照。）。30

【0006】

【特許文献 1】

特開 2001-5426 号公報

【特許文献 2】

特開 2001-142413 号公報

【0007】

【発明が解決しようとする課題】

しかしながら、発光素子は空気中の水分や酸素に弱く、有機化合物層の劣化によって生じる信頼性、耐熱安定性、耐久性などの低さが問題となっている。そこで、一定の期間ごとに発光時とは逆の極性の駆動電圧（逆バイアス電圧）を発光素子に印加することが提案されている。これは、逆の極性の駆動電圧を発光素子に印加すると、発光素子の電流 - 電圧特性の劣化が改善されるためである。

【0008】

逆の極性の駆動電圧を発光素子に印加するためには、発光素子が有する第 1 又は第 2 の電極の電位を変えることが必要となる。そして、第 1 又は第 2 の電極の電位を変える最も簡単な方法は、発光素子の対向電位を変えることである。しかし、発光素子の対向電位は全画素で共通な配線に接続されている場合が多く、画素毎、又はライン毎に対向電位を変えることは出来なかった。つまり、発光素子の対向電位を変えたいときには、一度に全画素で行う以外に方法はなく、該対向電位を変えるタイミングは難しかった。従って、発光素子の対向電位を変えることで逆バイアスをかけようとする、階調表示に影響を及ぼして 50

10

20

30

40

50

いた。

【0009】

また、発光素子を用いた発光装置に多階調の画像を表示するときの駆動方法としては、さまざまな方式があるが、そのうちの一つとして電圧入力方式がある。電圧入力方式とは、画素に入力するビデオ信号を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光素子の輝度を制御する方式を示す。

【0010】

しかしながら、電圧入力方式の場合には、発光素子を駆動する半導体素子はオン電流が大きい多結晶半導体（ポリシリコン）により形成される。しかし、ポリシリコンにより形成されたポリシリコントランジスタは、結晶粒界における欠陥に起因して、その電気的特性にバラツキが生じやすいという問題点を有している。そして、画素を構成するトランジスタのしきい値やオン電流等の特性が画素ごとにばらつくと、同じビデオ信号を入力した場合にも、それに応じてトランジスタのドレイン電流の大きさが異なってくるため、発光素子の輝度がばらついてしまう。さらには、画面上の各画素の発光輝度が均一とならずムラが生じてしまう。

【0011】

そこで本発明は、画素を構成するトランジスタの特性に左右されずに発光素子に流れる電流の大きさを制御することが出来る電流入力方式が適用される発光装置を提供することを課題とする。

【0012】

また、階調表示に影響を及ぼさずに発光素子に逆方向バイアスを印加することで、電流-電圧特性の劣化を改善した発光装置を提供することを課題とする。

【0013】

【課題を解決するための手段】

本発明は、逆バイアス電圧（逆方向バイアス）を発光素子に印加するために、新たに半導体素子を配置する。上記半導体素子とは、トランジスタ又はダイオードに相当する。そして、新たに配置した半導体素子を用いることで、画素毎又はライン毎などの任意の画素毎に逆バイアスを印加することが出来るようにする。

【0014】

より具体的には、上記半導体素子が導通状態になると同時に、発光素子に逆バイアスが印加されるようにする。つまり上記半導体素子が導通状態になると、ある配線と発光素子とが電氣的に接続される状態になるようにする。このとき、このある配線の電位を発光素子の対向電位よりも低くしておくことで、上記半導体素子が導通状態になると同時に、発光素子に逆バイアスが印加されるようにする。

【0015】

逆方向バイアスを印加すると、発光素子は必然的に非発光となるが、上記構成を有する本発明は、全画素で一斉に逆方向バイアスを印加する必要がなく、任意の画素に任意のタイミングで逆方向バイアスを印加することができるため、階調表示に影響を及ぼすことはない。

【0016】

また本発明は、発光素子に流れる電流量を制御することにより、トランジスタの特性に左右されない発光装置を提供する。より具体的には、画素内に電流源を配置しておき、前記電流源から供給される信号電流が発光素子に供給されるようにする。そうすることで、画素を構成するトランジスタの特性バラツキに左右されず、一定の値の信号電流を発光素子に供給することが出来る。

【0017】

なお、前記電流源は、少なくとも1つのトランジスタと、前記トランジスタのゲート・ソース間電圧を保持する容量素子を含む。そして電流源は、トランジスタの特性バラツキの影響を受けずに、所定の信号電流を供給する。発光素子の輝度は、両電極間に流れる電流に比例するため、電流源を用いて所定の信号電流を供給し、該発光素子から所望の輝度を

10

20

30

40

50

得ることが可能な本発明の構成は大変有効である。

【 0 0 1 8 】

また従来では、ビデオ信号の電圧をトランジスタのゲート電極に入力することで、発光素子に流れる電流量が決定されていた。しかし本発明では、画素に入力されるビデオ信号は、発光素子に電流を流す場合と、電流を流さない場合を選択するためだけに用いる。その結果、画素を構成するトランジスタの特性バラツキの影響を抑制することが出来る。

【 0 0 1 9 】

本発明の発光装置の具体的な構成は、入力されるビデオ信号の同期タイミングに対応する単位フレーム期間内に、複数のサブフレーム期間を設定する第 1 設定手段と、
前記ビデオ信号を保持する容量手段と、
前記サブフレーム期間毎に、前記ビデオ信号に応じて前記電流源から供給される所定の信号電流を前記発光素子に供給する駆動手段と、
前記フレーム期間の所定の期間に対し、前記発光素子の各々の発光期間が所定の発光期間に達したときに前記発光素子の各々の発光を停止せしめる消去手段と、
前記フレーム期間の所定の期間に対し、前記第 1 又は前記第 2 の電極の電位はそのまま、前記発光素子に逆バイアスの電圧が供給される第 2 設定手段とを有することを特徴とする。

【 0 0 2 0 】

なお、前記第 1 設定手段とは、画素へのビデオ信号の入力を制御する選択用トランジスタに相当する。また前記第 1 設定手段とは、前記画素を駆動する駆動回路、コントロール回路などにも相当する。さらに前記駆動手段とは、画素における駆動用トランジスタに相当する。前記駆動用トランジスタは、多くの場合においてそのソース端子又はドレイン端子が発光素子の第 1 又は第 2 の電極に直接接続されているトランジスタを指す。また前記消去手段とは、発光素子の発光を停止せしめる機能を有し、具体的には消去用トランジスタに相当する。そして発光素子の発光を停止せしめるためには、ビデオ信号を保持する容量素子の電荷を放電するため、消去用トランジスタのソース及びドレインは、容量素子の両電極間を挟んで接続している場合が多い。また第 2 設定手段とは、発光素子に逆バイアスを印加するときに導通状態になるトランジスタに相当する。

【 0 0 2 1 】

第 2 設定手段が導通状態になると、発光素子の第 1 及び第 2 の電極の一方の電極の電位はそのまま、他方の電極は逆バイアス用の配線に接続されて、その電位が変わる。そうすると、発光素子の両電極間には逆方向バイアスが印加される。なお、容量手段は、ビデオ信号を保持するものであり、明示的に設けられる必要はなく、十分な容量が得られるならば、寄生容量や駆動用トランジスタのゲート容量を用いてもよい。また、駆動用トランジスタは、単なるスイッチング機能を有するものであり、該駆動用トランジスタが導通状態になると、電流源から所定の信号電流が供給される。

【 0 0 2 2 】

ここで、本発明の発光装置の画素の概略について、図 1 (A) (B) を用いて説明する。図 1 (A) には、複数の画素を有する画素部において、 i 列 j 行目に配置された画素 1 0 を示す。画素 1 0 は、信号線 (S_i)、電源線 (V_i)、第 1 走査線 (G_{aj})、第 2 走査線 (G_{bj})、スイッチング機能を有する選択用スイッチ 1 1、消去用スイッチ 1 2、駆動用素子 1 3、放電用スイッチ 1 4、容量素子 1 5、発光素子 1 6、電流源 1 7 を有する。

【 0 0 2 3 】

選択用スイッチ 1 1、消去用スイッチ 1 2、放電用スイッチ 1 4 には、トランジスタなどのスイッチング機能を有する半導体素子が 1 個又は複数個用いることが好ましい。選択用スイッチ 1 1 は第 1 走査線 (G_{aj}) から与えられる信号によりオン又はオフが決定され、消去用スイッチ 1 2 は第 2 走査線 (G_{bj}) から与えられる信号によりオン又はオフが決定される。

【 0 0 2 4 】

放電用スイッチ 1 4 のゲート電極は、ある配線から与えられる信号によりオン又はオフが

10

20

30

40

50

決定される。また放電用スイッチ 14 のソース電極はある配線に接続される。放電用スイッチ 14 の詳しい接続は、実施の形態において後述する。

【0025】

容量素子 15 は、信号線 (S_i) を介して画素 10 に入力される信号を保持する。また容量素子 15 は、駆動用素子 13 のゲート・ソース間電圧の保持を行う。

【0026】

そして本発明は、放電用スイッチ 14 を用いて発光素子 16 に逆バイアスの電圧を印加するタイミングを制御する。より詳しくは発光素子 16 が発光していない期間に逆バイアスを印加できるように放電用スイッチ 14 を用いて制御する。さらに本発明は、画素 10 に電流源 17 を設けることにより、所望の電流量を発光素子 16 に流すことが出来るようにする。そして、画素 10 を構成するトランジスタの特性バラツキの影響を抑制できるようにする。

10

【0027】

図 1 (B) には、図 1 (A) に示した画素 10 とは異なる構成を有する画素 10 を示す。画素 10 は、信号線 (S_i)、電源線 (V_i)、第 1 走査線 (G_{aj})、第 2 走査線 (G_{bj})、スイッチング機能を有する選択用スイッチ 21、消去用スイッチ 22、駆動用素子 23、放電用ダイオード 24、容量素子 25、発光素子 26、電流源 27 を有する。

【0028】

選択用スイッチ 21、消去用スイッチ 22 には、トランジスタなどのスイッチング機能を有する半導体素子が 1 個又は複数個用いることが好ましい。選択用スイッチ 21 は第 1 走査線 (G_{aj}) から与えられる信号によりオン又はオフが決定され、消去用スイッチ 22 は第 2 走査線 (G_{bj}) から与えられる信号によりオン又はオフが決定される。

20

【0029】

放電用ダイオード 24 の一方の端子は、ある配線に接続される。放電用ダイオード 24 の詳しい接続は、実施の形態において後述する。なお放電用ダイオード 24 としては、整流性を有する素子を用いればよい。例えばダイオードの他には、ゲート電極とドレイン電極とを接続したトランジスタが挙げられる。なお本明細書では、ゲート電極とドレイン電極とを接続したトランジスタをダイオード接続したトランジスタと称する。

【0030】

容量素子 25 は、信号線 (S_i) を介して画素 10 に入力される信号を保持する。また容量素子 25 は、駆動用素子 23 のゲート・ソース間電圧の保持を行う。

30

【0031】

そして本発明は、放電用ダイオード 24 を用いて発光素子 26 に逆バイアスの電圧を印加するタイミングを制御する。より詳しくは発光素子 26 が発光していない期間に逆バイアスを印加できるように放電用ダイオード 24 を用いて制御する。さらに本発明は、画素 10 に電流源 27 を設けることにより、所望の電流量を発光素子 26 に流すことが出来るようにする。そして、画素 10 を構成するトランジスタの特性バラツキの影響を抑制できるようにする。

【0032】

また、発光装置の駆動方式として、時間階調方式を採用した場合には、発光素子が発光していない期間に逆方向バイアスを印加することで、階調表示に全く影響を及ぼさずに、逆方向バイアスを印加することができる。

40

【0033】

【発明の実施の形態】

(実施の形態 1)

本発明の発光装置の画素の概略を図 1 (A) (B) を用いて 2 種類上述したが、本実施の形態では、図 1 (A) の具体的な画素の構成の例とその動作について図 2、図 4 を用いて説明する。より詳しくは、図 1 (A) に示した画素 10 を構成する放電用トランジスタ 14 のゲート電極の接続を工夫した場合について、図 2、図 4 を用いて説明する。さらに、図 2 に示した画素 10 のレイアウトについて図 3 を用いて説明する。

50

【 0 0 3 4 】

図 2 (A) において、画素 1 0 は、選択用トランジスタ 3 1、消去用トランジスタ 3 2、駆動用トランジスタ 3 3、放電用トランジスタ 3 4、容量素子 3 5、発光素子 3 6、電流源トランジスタ 3 7、設定用トランジスタ 3 8、設定用トランジスタ 3 9、容量素子 4 0 を有する。また画素 1 0 は、第 1 走査線 (G_{aj}) ~ 第 4 走査線 (G_{dj}) と、信号線 (S_i)、電源線 (V_i)、電流線 (C_i) を有する。そして画素 1 0 の周囲には、走査線駆動回路、信号線駆動回路、電流源、電源 (全て図示せず) などが設けられている。そして、走査線駆動回路から第 1 走査線 (G_{aj}) ~ 第 4 走査線 (G_{dj}) を介して画素 1 0 に信号が入力され、信号線駆動回路から信号線 (S_i) を介して画素 1 0 に信号が入力される。

【 0 0 3 5 】

選択用トランジスタ 3 1 と容量素子 3 5 は直列に接続され、信号線 (S_i) と電源線 (V_i) の間に配置されている。選択用トランジスタ 3 1 のゲート電極は第 1 走査線 (G_{aj}) に接続されている。以下、選択用トランジスタ 3 1 は、トランジスタ 3 1 と表記する。また消去用トランジスタ 3 2 のゲート電極は第 2 走査線 (G_{bj}) に接続され、ソース電極とドレイン電極は、容量素子 3 5 の両電極間を介して接続されている。以下、消去用トランジスタ 3 2 は、トランジスタ 3 2 と表記する。なおトランジスタ 3 1、3 2 は単なるスイッチとして機能するので、導電型は特に限定されない。但しトランジスタ 3 2 のゲート電極とトランジスタ 3 4 のゲート電極は同じ走査線に接続される場合があるので、そのときには両トランジスタの導電型を同じにすることが好ましい。

【 0 0 3 6 】

放電用トランジスタ 3 4、駆動用トランジスタ 3 3、電流源トランジスタ 3 7 は直列に接続されて、電源線 (V_i) と第 4 走査線 (G_{dj}) の間に配置されている。放電用トランジスタ 3 4 のゲート電極は第 2 走査線 (G_{bj}) に接続されている。駆動用トランジスタ 3 3 のゲート電極は容量素子 3 5 の一方の端子に接続され、電流源トランジスタ 3 7 のゲート電極は容量素子 4 0 の一方の端子に接続されている。以下、放電用トランジスタ 3 4 はトランジスタ 3 4 と表記し、駆動用トランジスタ 3 3 はトランジスタ 3 3 と表記し、電流源トランジスタ 3 7 はトランジスタ 3 7 と表記する。

【 0 0 3 7 】

設定用トランジスタ 3 8 と設定用トランジスタ 3 9 はゲート電極が共通で第 3 走査線 (G_{cj}) に接続されている。設定用トランジスタ 3 8 と容量素子 4 0 は直列に接続され、電流線 (C_i) と電源線 (V_i) との間に配置されている。設定用トランジスタ 3 9 と電流源トランジスタ 3 7 は直列に接続され、電流線 (C_i) と電源線 (V_i) との間に配置されている。以下、設定用トランジスタ 3 8、3 9 は、トランジスタ 3 8、3 9 と表記する。そして、トランジスタ 3 8、3 9 の導電型は特に限定されないが、両トランジスタには同じ信号が入力されるので導電型は同じであることが必要である。なお、トランジスタ 3 7 ~ 3 9 及び容量素子 4 0 が図 1 (A) に示した電流源 1 7 に相当する。

【 0 0 3 8 】

なお図 2 では、容量素子 4 0 の一方の電極はトランジスタ 3 7 のゲート、他方の電極は電源線 (V_i) に接続されている。しかし、容量素子の他方の電極は、一定の電位をもつ配線に接続されていればよく、例えば接地されていてもよい。

【 0 0 3 9 】

次いで、画素 1 0 の動作について図 2 (A) ~ (C) を用いて説明する。

【 0 0 4 0 】

本実施の形態では、画素 1 0 の動作を電流源が所望の電流を流すように設定する動作 (以下、設定動作と称する)、発光素子 3 6 が発光する動作 (以下、発光動作と称する)、容量素子 3 5 に保持された電荷を放電する動作 (以下、消去動作と称する) 及び発光素子 3 6 に逆バイアスを印加する動作 (以下、逆バイアス印加動作と称する) に分けて説明をする。そして本実施の形態では、設定動作を図 2 (A) を用いて説明し、発光動作を図 2 (B) を用いて説明し、消去動作及び逆バイアス印加動作を図 2 (C) を用いて説明する。

【 0 0 4 1 】

まず電流源が所望の電流を流すように設定する動作について、図2(A)を用いて説明する。はじめに、画素10の周囲に設けられた走査線駆動回路(図示せず)から、j行目の第3走査線(G_{cj})にされる信号によって、j行目の第3走査線(G_{cj})が選択される。そうすると、第3走査線(G_{cj})からトランジスタ38、39のゲート電極にHレベルの信号がされる。そうすると、nチャネル型のトランジスタ38、39がオンとなる。このとき、第1走査線(G_{aj})、第2走査線(G_{bj})には信号がされず、トランジスタ38、39以外のトランジスタはオフを維持する。

【0042】

トランジスタ38、39がオンした瞬間には、まだ容量素子40には電荷が保持されていないため、トランジスタ37はオフしている。このときは、画素10の周囲に設けられた電源(図示せず)から電源線(V_i)を介して、容量素子40及びトランジスタ38のソース・ドレイン間を介して電流線(C_i)の方向に電流が流れている。

10

【0043】

その後、徐々に容量素子40に電荷が蓄積され、両電極間に電位差が生じ始める。容量素子40の両電極の電位差がトランジスタ37のしきい値電圧(V_{th})以上になると、トランジスタ37がオンする。そうすると、電源線(V_i)からトランジスタ37、39のソース・ドレイン間を介して電流線(C_i)の方向に電流が流れていく。

【0044】

容量素子40においては、その両電極の電位差、つまりトランジスタ37のゲート・ソース間電圧が所望の電圧、つまりトランジスタ37が所定の信号電流 I_{data} を流すことが出来るだけの電圧(V_{gs})になるまで電荷の蓄積が続く。

20

【0045】

そして、容量素子40に対する電荷の蓄積が終了すると、トランジスタ37は電流線(C_i)に流れている電流と等しい電流 I_{data} が流れるようになる。そうすると、画素10に対する信号の書き込み動作が完了し、第3走査線(G_{cj})の選択が終了して、トランジスタ38、39はオフする。

【0046】

次いで、発光素子36の発光動作に移る(図2(B))。画素11の周囲に設けられた走査線駆動回路(図示せず)から、j行目の第1走査線(G_{aj})にされる信号によって、j行目の第1走査線(G_{aj})が選択される。そして、第1走査線(G_{aj})からトランジスタ31のゲート電極にHレベルの信号がされる。そうすると、nチャネル型のトランジスタ31がオンとなる。このとき、第2走査線(G_{bj})、第3走査線(G_{cj})には信号がされないで、トランジスタ31以外のトランジスタはオフを維持する。そして同時に、画素10の周囲に設けられた信号線駆動回路(図示せず)から、i列目の信号線(S_i)を介して画素10にビデオ信号がされる。前記ビデオ信号は、容量素子35に保持されて、容量素子35の両電極間の電位差はトランジスタ33のしきい値電圧(V_{th})以上となると、トランジスタ33はオンする。

30

【0047】

このとき、容量素子40には先ほど書き込んだ電荷が保持されているため、トランジスタ37はオンしており、電源線(V_i)から信号電流 I_{data} に等しい電流が、トランジスタ37のソース・ドレイン間、トランジスタ33のソース・ドレイン間を流れていき、最後に発光素子36に達する。その結果、発光素子36には所望の電流である信号電流 I_{data} が流れる。なお、トランジスタ37が飽和領域において動作するようにしておけば、トランジスタ37のソース・ドレイン間電圧が変化したとしても、発光素子36に流れる電流は変化することなく流れることが出来る。

40

【0048】

続いて、画素10の消去・逆バイアス印加動作に移る(図2(C))。画素10の周囲に設けられた走査線駆動回路(図示せず)から、j行目の第2走査線(G_{bj})にされる信号によって、j行目の第2走査線(G_{bj})が選択される。そして、第2走査線(G_{bj})からトランジスタ32、34のゲート電極にHレベルの信号がされて、トランジスタ

50

32、34がオンになる。このとき、第1走査線(G_{aj})、第3走査線(G_{cj})には信号が入力されないので、トランジスタ32、34以外のトランジスタはオフを維持する。

【0049】

トランジスタ32がオンになると、容量素子35に保持されていた電荷が放出されて、トランジスタ33がオフになる。トランジスタ33がオフになると、発光素子36には電源線(V_i)から電流が供給されなくなるため、発光素子36は発光しなくなる。このとき、第4走査線(G_{dj})の電位は、発光素子36の対向電極の電位よりも低いので、発光素子36に逆バイアスを印加することが出来る。なお図2(C)において、発光素子36からトランジスタ34のソース・ドレイン間を介して第4走査線(G_{dj})の方向に矢印が図示してある。これは、発光素子36に逆バイアスを印加すると、実際には電流は流れないが、説明を分かりやすくするために点線で示したものである。

10

【0050】

このようにして画素10は、画素10の周囲に設けられた駆動回路(図示せず)から与えられる信号によって、設定動作(図2(A))と、発光素子36が発光する動作(図2(B))、消去・逆バイアス印加動作(図2(C))を繰り返す。

【0051】

なおデジタル駆動の場合には、容量素子40に保持される電荷は常に同じなので、一旦容量素子40に所定の電荷を設定したらその後はビデオ信号が入力される毎に設定動作を行う必要はない。つまり設定動作、発光動作、消去・逆バイアス印加動作のうち、一旦設定動作を行った後は、該設定動作を省略して発光動作、消去・逆バイアス印加動作を繰り返してもよい。しかし、容量素子40に保持された電荷は時間の経過に伴って放電してしまう場合があるので、それを防ぐようなタイミングで容量素子40に設定動作を行うことは必要である。

20

【0052】

また図2に示した画素10の場合には、消去動作と逆バイアス印加動作を同時に行っているが、本発明はこれに限定されず、消去動作と逆バイアス印加動作を別々に行ってもよい。そして逆バイアス印加動作は、ビデオ信号が入力される毎に行わなくてもよく、ある一定期間毎に行うようにしてもよい。

【0053】

また、画素10を構成するトランジスタ34の接続の構成は、図2に示した構成に限定されない。例えば図4(A)に示すように、トランジスタ33のゲート電極にトランジスタ34のゲート電極を接続してもよい。そうすると、画素10の消去動作と逆バイアスを印加する動作を同時に行うことが出来る。但しこのときには、トランジスタ33、34が同時にオンにならないように、互いに導電型が異なるように設定することが必要である。これは、トランジスタ33、34が同時にオンになると、電源線(V_i)から発光素子36に電流が供給されてしまい発光素子36に上手く逆バイアスを印加することが出来なくなるからである。

30

【0054】

また図4(B)に示すように、トランジスタ34のゲート電極を第3走査線(G_{cj})に接続して、ソース電極を第4走査線(G_{dj})に接続してもよい。この場合には、画素10の設定動作(図2(A)に相当)と、画素10の消去動作及び逆バイアスを印加する動作(図2(C)に相当)を同時に行うことが出来る。そのため、トランジスタ34とトランジスタ38、39は同じ導電型であるように設定することが必要である。

40

【0055】

なお、図4(A)(B)に示した画素10の動作は、図2を用いて説明した画素10の動作に準ずるので、本実施の形態では省略する。

【0056】

続いて、図2に示した画素10を例に挙げて、そのレイアウト図の一例について図3を用いて説明する。

【0057】

50

図2と図3(A)の画素10を構成する素子の符号は同じであるので、互いに参照するとよい。図3(A)において、画素10は、選択用トランジスタ31、消去用トランジスタ32、駆動用トランジスタ33、放電用トランジスタ34、容量素子35、発光素子36、電流源トランジスタ37、設定用トランジスタ38、設定用トランジスタ39、容量素子40を有する。また画素10は、第1走査線(G_{aj})~第4走査線(G_{dj})と、信号線(S_i)、電源線(V_i)、電流線(C_i)を有する。

【0058】

そして、レイアウトした画素10をそのまま回路図で示すと、図3(B)のように示すことが出来る。図3(B)から分かるように、トランジスタ32、34は同じ走査線に接続されているので、直線状に配置している。そして41は画素電極であり、開口部に相当する。そしてその他のトランジスタは、なるべく画素10の右側に配置することで開口率を上げて、且つ画素10の開口部をシンプルな形状にしている。

【0059】

(実施の形態2)

実施の形態1では、図1(A)の放電用トランジスタ14のゲート電極の接続を工夫した場合について説明した。本実施の形態では、図1(A)の放電用トランジスタ14のソース電極の接続を工夫した場合について図5を用いて説明する。

【0060】

図2(A)に示した画素10と、図5(A)~(D)に示す画素10とは、放電用トランジスタ34(以下、トランジスタ34と表記)の接続が異なる以外は、画素10を構成する素子の数や前記素子の接続の関係は同じであるので、本実施の形態では詳しい説明は省略する。

【0061】

図5(A)~(D)において、トランジスタ34のゲート電極は、第4走査線(G_{dj})に接続されている。そして、図5(A)に示す画素10ではトランジスタ34のソース電極は第1走査線(G_{aj})に接続され、図5(B)に示す画素10ではトランジスタ34のソース電極は信号線(S_i)に接続されている。図5(C)に示す画素10ではトランジスタ34のソース電極は第3走査線(G_{cj})に接続され、図5(D)に示す画素10ではトランジスタ34のソース電極は電流線(C_i)に接続されている。

【0062】

なお画素10を構成するトランジスタ34の接続は、図5(A)~(D)に示した接続に限定されない。トランジスタ34のゲート電極は、第4走査線(G_{dj})ではなく第1走査線(G_{aj})~第3走査線(G_{cj})のいずれか一本に接続されていてもよい。また、トランジスタ34のソース電極は第2走査線(G_{bj})に接続されていてもよい。さらに、発光素子36の陰極の電位を変動させるのであれば、トランジスタ34のソース電極を電源線(V_i)に接続させてもよい。

【0063】

そして、図5(A)~(D)に示した画素10の動作は、図2を用いて説明した画素10の動作に準ずるので、本実施の形態では省略する。

【0064】

なお図5(A)~(D)に示した画素10では、トランジスタ34のゲート電極は、第4走査線(G_{dj})に接続されている。従って走査線駆動回路を制御すれば、トランジスタ34はその他のトランジスタと同時に信号は入力されないで、発光素子36に逆バイアスを印加する動作を独立して行うことが出来る。

【0065】

しかし、トランジスタ38、39に信号を与えてオンにするタイミングと、トランジスタ34に信号を与えてオンにするタイミングを同時にすれば、画素10の設定動作と逆バイアスを印加する動作を同時に行うことが出来る。また、トランジスタ32に信号を与えてオンにするタイミングと、トランジスタ34に信号を与えてオンにするタイミングを同時にすれば、画素10の消去動作と逆バイアスを印加する動作を同時に行うことが出来る。

10

20

30

40

50

このときには、トランジスタ 3 4 のゲート電極を第 4 走査線 (G_{dj}) ではなく第 1 走査線 (G_{aj}) ~ 第 3 走査線 (G_{cj}) のいずれか一つに接続するようにすればよい。しかしながら、トランジスタ 3 4 のゲート電極とソース領域とが同じ配線に接続されないように注意する必要がある。

【0066】

なお本実施の形態は、実施の形態 1 と任意に組み合わせることが可能である。

【0067】

(実施の形態 3)

本発明の発光装置の画素の概略を図 1 (A) (B) を用いて 2 種類上述したが、本実施の形態では、図 1 (B) の具体的な画素の構成の例とその動作について図 6 を用いて説明する。なお図 6 においては、放電用ダイオード 2 4 としてダイオード接続をしたトランジスタを図示している。

10

【0068】

図 2 (A) に示した画素 1 0 と、図 6 (A) ~ (C) に示す画素 1 0 とは、放電用トランジスタ 3 4 (以下、トランジスタ 3 4 と表記) の接続が異なる以外は、画素 1 0 を構成する素子の数や前記素子の接続の関係は同じであるので、本実施の形態では素子の接続の詳しい説明は省略する。

【0069】

図 6 (A) に示す画素 1 0 ではトランジスタ 3 4 は n チャネル型であり、該トランジスタ 3 4 のゲート電極とドレイン電極とは互いに接続されている。またトランジスタ 3 4 のソース電極は第 4 走査線 (G_{dj}) に接続されている。なお、本発明は図 6 (A) に示す構成に限定されず、トランジスタ 3 4 のソース電極は第 4 走査線 (G_{dj}) ではなく、第 2 走査線 (G_{bj}) に接続されていてもよい。

20

【0070】

図 6 (B) に示す画素 1 0 ではトランジスタ 3 4 は p チャネル型であり、該トランジスタ 3 4 のゲート電極とドレイン電極とは互いに接続されて第 4 走査線 (G_{dj}) に接続されている。トランジスタ 3 4 のソース電極は発光素子 3 6 に接続されている。

【0071】

図 6 (C) に示す画素 1 0 ではトランジスタ 3 4 は p チャネル型であり、該トランジスタ 3 4 のゲート電極とドレイン電極とは互いに接続されて第 2 走査線 (G_{bj}) に接続されている。トランジスタ 3 4 のソース電極は発光素子 3 6 に接続されている。またトランジスタ 3 2 を p チャネル型にすることで第 4 走査線 (G_{dj}) を削除して、トランジスタ 3 2、3 4 のゲート電極を第 2 走査線 (G_{bj}) に接続している。

30

【0072】

続いて、図 6 (A) ~ (C) に示した画素 1 0 の動作について説明する。なお上述したように、画素 1 0 の動作は、画素 1 0 の設定動作 (図 2 (A) に相当)、発光動作 (図 2 (B) に相当)、画素 1 0 の消去動作 (図 2 (C) に相当)、発光素子 3 6 に逆バイアスを印加する動作 (図 2 (C) に相当) の 4 つの動作に大別できる。そして、上記の設定動作、発光動作、消去動作の 3 つの動作は、図 2 を用いて説明した画素 1 0 の動作と同じであるので本実施の形態では省略し、逆バイアスを印加する動作のみを説明する。

40

【0073】

図 6 (A) に示す画素 1 0 では、トランジスタ 3 3 がオフのときに発光素子 3 6 に逆バイアスを印加する。そして発光素子 3 6 に逆バイアスを印加するときには、第 4 走査線 (G_{dj}) の電位を発光素子 3 6 の対向電極の電位よりも低くして発光素子 3 6 に逆バイアスを印加する。

【0074】

同様に、図 6 (B) に示す画素 1 0 においても、トランジスタ 3 3 がオフのときに発光素子 3 6 に逆バイアスを印加する。つまり、第 4 走査線 (G_{dj}) の電位を発光素子 3 6 の対向電極の電位よりも低くして発光素子 3 6 に逆バイアスを印加する。また図 6 (C) に示す画素 1 0 の逆バイアスを印加する動作は、図 6 (B) に示す画素 1 0 に準ずるので、

50

ここでは省略する。

【 0 0 7 5 】

なお発光素子 3 6 に逆バイアスを印加する動作は、画素 1 0 の設定動作と同時に行ってもよい。そのため、例えば図 6 (C) に示す画素 1 0 において、トランジスタ 3 2、3 4、3 8、3 9 が同時にオンになるように設定してもよい。

【 0 0 7 6 】

なお本実施の形態は、実施の形態 1、2 と任意に組み合わせることが可能である。

【 0 0 7 7 】

(実施の形態 4)

本実施の形態では、実施の形態 1 ~ 3 とは異なる実施の形態について図 7 を用いて説明する。

10

【 0 0 7 8 】

図 7 に示す画素 1 0 は、図 1 (A) で示す画素 1 0 において、放電用トランジスタ 1 4 が設けられていない場合を示している。図 7 に示す画素 1 0 が有するその他の素子と、該素子の接続の構成は、実施の形態 1 で上述した通りであるので、本実施の形態では省略する。

【 0 0 7 9 】

そして、図 7 に示す画素 1 0 に逆バイアスを印加するときは、発光素子 3 6 の対向電源 4 2 の電位を高くする。そうすると、発光素子 3 6 に逆バイアスを印加することが出来る。

【 0 0 8 0 】

20

なお本実施の形態は、実施の形態 1 ~ 3 と任意に組み合わせることが可能である。

【 0 0 8 1 】

(実施の形態 5)

本実施の形態では、本発明の発光装置の構成について図 8 を用いて説明する。

【 0 0 8 2 】

本発明の発光装置は、基板 1 8 0 1 上に、複数の画素がマトリクス状に配置された画素部 1 8 0 2 を有し、画素部 1 8 0 2 の周辺には、信号線駆動回路 1 8 0 3、第 1 の走査線駆動回路 1 8 0 4 及び第 2 の走査線駆動回路 1 8 0 5 を有する。なお画素部 1 8 0 2 が有する複数の画素とは、実施の形態 1 ~ 実施の形態 4 において上述した画素 1 0 に相当する。図 8 (A) においては、信号線駆動回路 1 8 0 3 と、2 組の走査線駆動回路 1 8 0 4、1 8 0 5 を有しているが、本発明はこれに限定されず、駆動回路の個数は画素の構成に応じて任意に設計することができる。また信号線駆動回路 1 8 0 3 と、第 1 の走査線駆動回路 1 8 0 4 及び第 2 の走査線駆動回路 1 8 0 5 には、F P C 1 8 0 6 を介して外部より信号が供給される。

30

【 0 0 8 3 】

第 1 の走査線駆動回路 1 8 0 4 及び第 2 の走査線駆動回路 1 8 0 5 の構成について図 8 (B) を用いて説明する。第 1 の走査線駆動回路 1 8 0 4 及び第 2 の走査線駆動回路 1 8 0 5 は、シフトレジスタ 1 8 2 1、バッファ 1 8 2 2 を有する。動作を簡単に説明すると、シフトレジスタ 1 8 2 1 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 1 8 2 2 で増幅されたサンプリングパルスは、走査線に入力されて 1 行ずつ選択状態にしていく。そして選択された走査線によって、制御される画素には、順に信号線から信号電流 I_{data} が書き込まれる。

40

【 0 0 8 4 】

なおシフトレジスタ 1 8 2 1 と、バッファ 1 8 2 2 の間にはレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

【 0 0 8 5 】

次いで信号線駆動回路 1 8 0 3 の構成について図 8 (C) (D) を用いて説明する。図 8 (C) に示す信号線駆動回路 1 8 0 3 はシフトレジスタ 1 8 1 1、バッファ 1 8 1 2、サ

50

ンプリング回路 1813、定電流回路 1814 を有する。動作を簡単に説明すると、シフトレジスタ 1811 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 1812 で増幅されたサンプリングパルスは、サンプリング回路 1813 に入力される。サンプリング回路にはビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、定電流回路 1814 にビデオ信号が入力される。

【0086】

次いで図 8 (C) とは異なる構成の信号線駆動回路を図 8 (D) を用いて説明する。図 8 (D) に示す信号線駆動回路はシフトレジスタ 1831、第 1 のラッチ回路 1832、第 2 のラッチ回路 1833、定電流回路 1834 を有する。

10

【0087】

動作を簡単に説明するとシフトレジスタ 1831 は、フリップフロップ回路 (FF) 等を複数用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0088】

シフトレジスタ 1831 より出力されたサンプリングパルスは、第 1 のラッチ回路 1832 に入力される。第 1 のラッチ回路 1832 には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

20

【0089】

第 1 のラッチ回路 1832 において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 1833 にラッチパルスが入力され、第 1 のラッチ回路 1832 に保持されていたビデオ信号は、一斉に第 2 のラッチ回路 1833 に転送される。すると、第 2 のラッチ回路 1833 に保持されたビデオ信号は、1 行分が同時に定電流回路 1834 に入力されることになる。

【0090】

第 2 のラッチ回路 1833 に保持されたビデオ信号が定電流回路 1834 に入力されている間、シフトレジスタ 1831 においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1 フレーム分のビデオ信号の処理を行う。なお定電流回路 1834 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。

30

【0091】

なお本実施の形態は、実施の形態 1 ~ 4 と任意に組み合わせることが可能である。

【0092】

(実施の形態 6)

上述した本発明の発光装置をデジタル駆動する場合には、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式やデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。そして本実施の形態では、上述した時間階調方式について図 9 (A) (B) を用いて説明する。なお図 9 (A) は、縦軸は走査線、横軸は時間のときのタイミングチャートを示し、図 9 (B) は j 行目の走査線に注目したときのタイミングチャートを示している。

40

【0093】

通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり、1 秒間に 60 回程度の画面の描画が行われる。これにより、人間の眼にフリッカ (画面のちらつき) を感じさせないようにすることが出来る。このとき、画面の描画を 1 回行う期間を 1 フレーム期間と呼ぶ。

【0094】

本実施の形態では一例として、特許文献 1 にて公開されている時間階調方式を説明する。時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多く、ここでは簡単のために、分割数が階調ビット

50

数に等しい場合を示す。つまり本実施の形態では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す。

【0095】

各サブフレーム期間は、書き込み（アドレス）期間 T_a と、発光（サステイン）期間 T_s を有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光する期間である。このとき、発光（サステイン）SF1～SF3は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ としている。つまり、 n ビット階調を表現する際は、 n 個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ としている。そして、どのサステイン期間で発光素子が発光するかによって、1フレーム期間あたりに、各画素が発光する期間の長さが決定し、これによって階調表現を行う。

10

【0096】

つまり、サステイン期間 $T_{s1} \sim T_{s3}$ のそれぞれにおいて、発光、非発光のいずれかの状態をとることによって、その合計発光時間の長短を利用して、輝度0%、14%、28%、43%、57%、71%、86%、100%の8階調を表現することが出来る。 T_{s1} が発光し、 T_{s2} 、 T_{s3} が発光しない場合、その輝度は57%であり、 T_{s1} と T_{s3} が発光し、 T_{s2} が発光しない場合、その輝度は71%となる。つまり時間階調方式の場合は、100%の輝度で、合計発光時間のうち71%の長さの時間で発光することによって同様の階調を表現する。

20

【0097】

また図9において、サブフレーム期間SF3は消去期間 T_e を有する。消去期間とは、画素に書き込まれたビデオ信号を消去してリセットする期間に相当する。そして例えば図2(A)～(C)に示す画素10では、消去と逆バイアスを同じタイミングで行っている。つまり、前記画素10では、消去期間 T_e において消去動作と逆バイアス印加動作を同時に行っている。

【0098】

なお、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図9(A)(B)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化しても良い。

30

【0099】

本実施の形態は、実施の形態1～実施の形態5と任意に組み合わせることが可能である。

【0100】

（実施の形態7）

本実施の形態では、本発明の発光装置の断面構造について、図10を用いて簡単に説明する。なお説明を簡単にするために、図10には駆動用TF507と発光素子の断面構造のみを図示する。

【0101】

図10において、500は絶縁表面を有する基板である。基板500上には、駆動用TF507が設けられている。そして、駆動用TF507が有する活性層に設けられた不純物領域に接続するように配線が設けられ、前記配線と接続するように画素電極509が設けられている。画素電極509上には有機導電体膜522が設けられ、該有機導電体膜522上には有機薄膜（発光層）523が設けられている。有機薄膜（発光層）523上には、対向電極524が設けられている。

40

【0102】

そして、画素電極509、有機導電体膜522、有機薄膜（発光層）523及び対向電極524との積層体が発光素子に相当する。発光素子から発せられる光は、基板500に向かって発せられる場合と、基板500と反対方向に発せられる場合がある。前者は下面出射と称され、後者は上面出射と称されており、下面出射の場合は、画素電極509が陽極

50

に相当し対向電極 5 2 4 が陰極に相当する。また上面出射の場合は、画素電極 5 0 9 が陰極に相当し対向電極 5 2 4 が陽極に相当する。

【 0 1 0 3 】

なお有機薄膜（発光層）5 2 3 には、赤、青、緑、白等の光を発する材料を適宜用いることが出来る。そして、白色の光を発する材料を用いて有機薄膜（発光層）5 2 3 を構成するときには、画素電極 5 0 9 又は対向電極 5 2 4 を透明導電膜で形成し、それに対向する面にカラーフィルターの着色層を配置するとよい。そうすると、白色の材料を用いてもカラー表示を実現することが出来る。

【 0 1 0 4 】

本実施の形態は、実施の形態 1 ～実施の形態 6 と任意に組み合わせることが可能である。

10

【 0 1 0 5 】

（実施の形態 8 ）

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 1 1 に示す。

【 0 1 0 6 】

20

図 1 1（A）は発光装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明は表示部 2 0 0 3 に用いることができる。また本発明により、図 1 1（A）に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 1 0 7 】

図 1 1（B）はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明は、表示部 2 1 0 2 に用いることができる。また本発明により、図 1 1（B）に示すデジタルスチルカメラが完成される。

30

【 0 1 0 8 】

図 1 1（C）はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明は、表示部 2 2 0 3 に用いることができる。また本発明により、図 1 1（C）に示す発光装置が完成される。

【 0 1 0 9 】

図 1 1（D）はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明は、表示部 2 3 0 2 に用いることができる。また本発明により、図 1 1（D）に示すモバイルコンピュータが完成される。

40

【 0 1 1 0 】

図 1 1（E）は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明は表示部 A、B 2 4 0 3、2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により図 1 1（E）に示す画像表示装置が完成される。

【 0 1 1 1 】

50

図 1 1 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明は、表示部 2 5 0 2 に用いることができる。また本発明により、図 1 1 (F) に示すゴーグル型ディスプレイが完成される。

【 0 1 1 2 】

図 1 1 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。本発明は、表示部 2 6 0 2 に用いることができる。また本発明により、図 1 1 (G) に示すビデオカメラが完成される。

【 0 1 1 3 】

図 1 1 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明は、表示部 2 7 0 3 に用いることができる。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 1 1 (H) に示す携帯電話が完成される。

【 0 1 1 4 】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 1 1 5 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【 0 1 1 6 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 1 1 7 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 7 に示したいずれの構成の発光装置を用いても良い。

【 0 1 1 8 】

(実施の形態 9)

形態 8 において示した電子機器には、発光素子が封止された状態にあるパネルに、コントローラ、電源回路等を含む I C が実装された状態にあるモジュールが搭載されている。モジュールとパネルは、共に表示装置の一形態に相当する。ここでは、モジュールの具体的な構成について説明する。

【 0 1 1 9 】

図 1 2 (A) に、コントローラ 8 0 1 及び電源回路 8 0 2 がパネル 8 0 0 に実装されたモジュールの外観図を示す。パネル 8 0 0 には、発光素子が各画素に設けられた画素部 8 0 3 と、前記画素部 8 0 3 が有する画素を選択する走査線駆動回路 8 0 4 と、選択された画素にビデオ信号を供給する信号線駆動回路 8 0 5 とが設けられている。またプリント基板 8 0 6 にはコントローラ 8 0 1、電源回路 8 0 2 が設けられ、コントローラ 8 0 1 又は電源回路 8 0 2 から出力された各種信号及び電源電圧は、F P C 8 0 7 を介してパネル 8 0 0 の画素部 8 0 3、走査線駆動回路 8 0 4 及び信号線駆動回路 8 0 5 に供給される。そしてプリント基板 8 0 6 への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース (I / F) 部 8 0 8 を介して供給される。

【 0 1 2 0 】

なお、本実施例ではパネル 8 0 0 にプリント基板 8 0 6 が F P C を用いて実装されているが、必ずしもこの構成に限定されない。C O G (Chip on Glass) 方式を用い、コントロー

10

20

30

40

50

ラ 8 0 1、電源回路 8 0 2 をパネル 8 0 0 に直接実装させるようにしても良い。また、プリント基板 8 0 6 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板 8 0 6 にコンデンサ、バッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐようにしても良い。

【 0 1 2 1 】

図 1 2 (B) に、プリント基板 8 0 6 の構成をブロック図で示す。インターフェース 8 0 8 に供給された各種信号と電源電圧は、コントローラ 8 0 1 と、電源電圧 8 0 2 に供給される。コントローラ 8 0 1 は、アナログインターフェイス回路 8 0 9、位相ロックドループ (PLL : Phase Locked Loop) 8 1 0、制御信号生成回路 8 1 1 及び S R A M (Static Random Access Memory) 8 1 2、8 1 3 とを有する。なおここでは S R A M を用いているが、S R A M の代わりに、S D R A M や、高速でデータの書き込みや読み出しが可能であるならば D R A M (Dynamic Random Access Memory) も用いることが可能である。

10

【 0 1 2 2 】

インターフェース 8 0 8 を介して供給されたアナログビデオ信号は、アナログインターフェイス回路 8 0 9 において A/D 変換及びパラレル-シリアル変換され、R、G、B の各色に対応するデジタルビデオ信号として制御信号生成回路 8 1 1 に入力される。また、インターフェース 8 0 8 を介して供給された各種信号を基に、アナログインターフェイス回路 8 0 9 において Hsync 信号、Vsync 信号、クロック信号 CLK などが生成され、制御信号生成回路 8 1 1 に入力される。インターフェース 8 0 8 に直接デジタルビデオ信号が入力される時は、アナログインターフェイス回路 8 0 9 は配置しなくてもよい。

20

【 0 1 2 3 】

位相ロックドループ 8 1 0 は、インターフェース 8 0 8 を介して供給される各種信号の周波数と制御信号生成回路 8 1 1 の動作周波数の位相とを合わせる機能を有する。制御信号生成回路 8 1 1 の動作周波数は、インターフェース 8 0 8 を介して供給された各種信号の周波数と必ずしも同じではないが、互いに同期するように制御信号生成回路 8 1 1 の動作周波数を位相ロックドループ 8 1 0 において調整する。

【 0 1 2 4 】

制御信号生成回路 8 1 1 に入力されたビデオ信号は、一旦 S R A M 8 1 2、8 1 3 に書き込まれ、保持される。制御信号生成回路 8 1 1 では、S R A M 8 1 2 に保持されている全ビットのビデオ信号のうち、全画素に対応するビデオ信号を 1 ビット分ずつ読み出し、パネル 8 0 0 の信号線駆動回路 8 0 5 に供給する。制御信号生成回路 8 1 1 は、各ビットの発光素子が発光する期間に関する情報を、パネル 8 0 0 の走査線駆動回路 8 0 4 に供給する。電源回路 8 0 2 は、所定の電源電圧をパネル 8 0 0 の信号線駆動回路 8 0 5、走査線駆動回路 8 0 4 及び画素部 8 0 3 に供給する。

30

【 0 1 2 5 】

次いで、電源回路 8 0 2 の構成について、図 1 3 を用いて説明する。電源回路 8 0 2 は、4 つのスイッチングレギュレータコントロール 8 6 0 を用いたスイッチングレギュレータ 8 5 4 とシリーズレギュレータ 8 5 5 とからなる。一般的にスイッチングレギュレータは、シリーズレギュレータに比べて小型、軽量であり、降圧だけでなく昇圧や正負反転することも可能である。一方シリーズレギュレータは、降圧のみに用いられるが、スイッチングレギュレータに比べて出力電圧の精度は良く、リップルやノイズはほとんど発生しない。本実施例の電源回路 8 0 2 では、両者を組み合わせて用いる。

40

【 0 1 2 6 】

図 1 3 に示すスイッチングレギュレータ 8 5 4 は、スイッチングレギュレータコントロール (S W R) 8 6 0、アテニュエ이터 (減衰器 : A T T) 8 6 1、トランス (T) 8 6 2、インダクター (L) 8 6 3、基準電源 (V r e f) 8 6 4、発振回路 (O S C) 8 6 5、ダイオード 8 6 6、バイポーラトランジスタ 8 6 7、可変抵抗 8 6 8 及び容量 8 6 9 を有する。スイッチングレギュレータ 8 5 4 において外部の L i イオン電池 (3 . 6 V)

50

等の電圧が変換されると、陰極に与えられる電源電圧と、スイッチングレギュレータ 8 5 4 に供給される電源電圧が生成される。

【 0 1 2 7 】

シリーズレギュレータ 8 5 5 は、バンドギャップ回路 (B G) 8 7 0、アンプ 8 7 1、オペアンプ 1 ~ 6、電流源 8 7 3、可変抵抗 8 7 4 及びバイポーラトランジスタ 8 7 5 を有し、スイッチングレギュレータ 8 5 4 において生成された電源電圧が供給されている。シリーズレギュレータ 8 5 5 では、スイッチングレギュレータ 8 5 4 において生成された電源電圧を用い、バンドギャップ回路 8 7 0 において生成された一定の電圧に基づいて、各色の発光素子の陽極に電流を供給するための配線 (電流供給線) に与える直流の電源電圧を生成する。

10

【 0 1 2 8 】

なお電流源 8 7 3 は、ビデオ信号の電流が画素に書き込まれる駆動方式の場合に用いる。この場合、電流源 8 7 3 において生成された電流は、パネル 8 0 0 の信号線駆動回路 8 0 5 に供給される。なお、ビデオ信号の電圧が画素に書き込まれる駆動方式の場合には、電流源 8 7 3 は必ずしも設ける必要はない。

【 0 1 2 9 】

次いで、電源回路 8 0 2 の構成要素であるシリーズレギュレータ 8 5 5 における動作について、図 1 4 を用いて簡単に説明する。バンドギャップ回路 8 7 0 では基準電圧を発生し、その基準電圧はアンプ 8 7 1 で増幅され、ここでは 1 0 V の電源を作成する。また、バンドギャップ回路 8 7 0 で生成された電圧は、電流源 8 7 3 にも使用される。

20

なおバンドギャップ回路 8 7 0 は外部の O N / O F F 端子で制御される。これは主に電源立ち上がり時などに、スイッチングレギュレータ 8 5 4 から供給される電圧が安定していない場合があり、そのまま使うとバンドギャップ回路 8 7 0 から所望の信号を得ることが困難であるために配置するものであり、O N / O F F 端子によりディレイを持たせてこのような現象を抑制する。

【 0 1 3 0 】

オペアンプ 1 はアンプ 8 7 1 から供給される + 1 0 V の電圧を内部抵抗で + 5 V に分圧したものを供給し、バッファとして機能する。オペアンプ 2 はアンプ 8 7 1 から供給される + 1 0 V の電圧を内部抵抗で + 8 V にしたものを供給し、バッファとして機能する。オペアンプ 3 はアンプ 8 7 1 から供給される + 1 0 V の電圧を外部可変抵抗で分圧したものを供給し、バッファとして機能する。オペアンプ 4 ~ 6 はアンプ 8 7 1 から供給される + 1 0 V の電圧を外部可変抵抗で分圧したものを供給し、バッファとして機能する。なお、オペアンプ 4 ~ 6 は出力電流量が多く必要なため、最終出力段にはトランジスタ 8 7 5 を用いる。電流源 8 7 3 はバンドギャップ回路 8 7 0 で発生した基準電圧を外部抵抗で電流に変換し、内部のカレントミラーで反転して出力する。この電流源 8 7 3 は温度変化により供給する電流量が左右される場合があるため、温度変化は小さく抑制する必要がある。本構成では、シリーズレギュレータ 8 5 5 は、スイッチングレギュレータ 8 5 4 で構成された + 1 2 V の電源により、6 つの直流電源を構成している。

30

【 0 1 3 1 】

次いで、電源回路 8 0 2 の構成要素であるスイッチングレギュレータ 8 5 4 における構成と動作について、図 1 5 を用いて簡単に説明する。スイッチングレギュレータコントロール (S W R) 8 6 0 は、誤差アンプ 1 ~ 4、コンパレータ 1 ~ 4 及び出力回路 1 ~ 4 から構成される。A T T 8 6 1 は抵抗 8 9 0、8 9 1 から構成される。誤差アンプ 1 ~ 4 はスイッチングレギュレータの出力電圧を検出する。誤差アンプ 1 ~ 4 は、電圧利得が固定しており、システムに対して安定した位相補償ができる。コンパレータ 1 ~ 4 は 1 つの反転入力と 2 つの非反転入力をもつ電圧比較器で、入力電圧に応じて出力パルスのオン時間をコントロールする電圧-パルス幅変換器である。上記以外のスイッチングレギュレータ 8 5 4 の構成要素は、上述したので省略する。

40

【 0 1 3 2 】

スイッチングレギュレータ 8 5 4 では、トランジスタ 8 6 7 の動作がオンかオフかのどち

50

らかのモードで常に動作をしている。このモードの時間の比率を変えることによって、直流出力電圧を安定化させる。従って、トランジスタ 867 の電力損失は少なく、電力変換効率のよい電源となる。しかしながら、オン/オフのスイッチング周波数は高周波数であるため、トランス 862 は小型化できる。ここでは、スイッチングレギュレータ 854 は、+3.6 V の電源を入力し、その電圧を昇圧して 6 つの直流電源を構成する。その出力電圧は、+1.2 V、-2 V、+8 V、-1.2 V、+5 V、-3 V となる。そのうち、+1.2 V と -2 V、+5 V と -3 V は同一の回路から発生させる。

【0133】

次いで、ON/OFF 端子とバンドギャップ回路 870 の構成について、図 16 を用いて説明する。バンドギャップ回路 870 はトランジスタ 892 ~ 899、抵抗 900 ~ 903 から構成される。出力端子は、アンプ 871 に接続される。図 16 の構成を有するバンドギャップ回路 870 は、基準電圧を発生する機能を有する。

続いて、シリースレギュレータ 855 の構成要素であるアンプ (DC アンプ) 871 の構成について、図 17 を用いて説明する。アンプ 871 はトランジスタ 905 ~ 915、抵抗 916 ~ 920、容量体 922 を有する。入力端子にはバンドギャップ回路 870 から信号が供給される。出力端子から出力される信号は、オペアンプ 1 ~ 6 に供給される。

オペアンプ 1 ~ 3 の構成について図 18 を用いて説明する。オペアンプ 1 ~ 3 は、トランジスタ 925 ~ 935、940、抵抗 936 ~ 939、41、容量素子 942 を有する。入力端子にはバンドギャップ回路 870 から信号が供給される。出力端子から出力される信号はパネル 800 に供給される。

オペアンプ 4 ~ 6 の構成について図 19 を用いて説明する。オペアンプ 4 ~ 6 は、トランジスタ 945 ~ 955、960、抵抗 956 ~ 959、961、962、容量素子 962 を有する。入力端子にはバンドギャップ回路 870 から信号が供給される。出力端子から出力される信号は、各色の発光素子の陽極に電流を供給するための配線 (電流供給線) に与える。

電流源 873 の構成について図 20 を用いて説明する。電流源 873 は、トランジスタ 965 ~ 973、抵抗 974 ~ 980、容量素子 981、982 を有する。入力端子にはバンドギャップ回路 870 から信号が供給される。

【0134】

上記構成を有する電源回路 802 とコントローラ 801 がパネル 800 に実装され、本発明の一実施形態であるモジュールが完成する。

【0135】

【実施例】

(実施例 1)

本実施の形態においては、有機化合物層として高分子化合物を適用し、さらに陽極と発光層との間に導電性高分子化合物からなるバッファ層を設けた自発光素子において、直流駆動 (常に順方向バイアスを印加) と、交流駆動 (順方向バイアスと逆方向バイアスを一定周期で交互に印加) を行った際の輝度劣化について測定を行った結果について述べる。

【0136】

図 21 (A) (B) は、順方向バイアス: 3.7 V、逆方向バイアス: 1.7 V、デューティ 50%、交流周波数 60 Hz において交流駆動を行った際の信頼性試験の結果を示している。初期輝度は約 400 cd/cm²であった。比較用に、直流駆動 (順方向バイアス: 3.65 V) を行った際の信頼性試験の結果も同時に示した。その結果、直流駆動においては、400 時間程度で輝度が半減したのに対し、交流駆動においては、約 700 時間経過後も、半減には至らなかった。

【0137】

図 21 (C) (D) は、順方向バイアス: 3.8 V、逆方向バイアス: 1.7 V、デューティ 50%、交流周波数 600 Hz において交流駆動を行った際の信頼性試験の結果を示している。初期輝度は約 300 cd/cm²であった。比較用に、直流駆動 (順方向バイアス: 3.65 V) を行ったさいの信頼性試験の結果も同時に示した。結果、直流駆動において

は、500時間程度で輝度が半減したのに対し、交流駆動においては、約700時間経過後も、初期輝度の60%程度を保持していた。

【0138】

以上の結果より、交流駆動を行った自発光素子は、直流駆動を行った自発光素子よりも信頼性が高いことが分かる。

【0139】

【発明の効果】

本発明は、発光素子に一定の期間ごとに発光時とは逆の極性の駆動電圧をかけることによって、発光素子の電流 - 電圧特性の劣化が改善されることを用いた発光装置を提供することが出来る。さらに本発明は、発光素子に流れる電流量を制御することにより、トランジスタの特性に左右されない発光装置を提供することが出来る。

10

【0140】

また、階調表示に影響を及ぼさずに発光素子に逆方向バイアスを印加することで、電流 - 電圧特性の劣化を改善した発光装置を提供することが出来る。

【図面の簡単な説明】

【図1】 本発明の発光装置の画素を示す図。

【図2】 本発明の発光装置の画素を示す図。

【図3】 本発明の発光装置の画素のレイアウト図。

【図4】 本発明の発光装置の画素を示す図。

【図5】 本発明の発光装置の画素を示す図。

20

【図6】 本発明の発光装置の画素を示す図。

【図7】 本発明の発光装置の画素を示す図。

【図8】 本発明の発光装置の全体図。

【図9】 本発明の発光装置の駆動方法を説明する図。

【図10】 本発明の発光装置の断面構造を示す図。

【図11】 本発明が適用される電子機器の図。

【図12】 モジュールを示す図。

【図13】 電源回路を示す図。

【図14】 シリズレギュレータを示す図。

【図15】 スイッチングレギュレータを示す図。

30

【図16】 バンドギャップ回路を示す図。

【図17】 DCアンプを示す図。

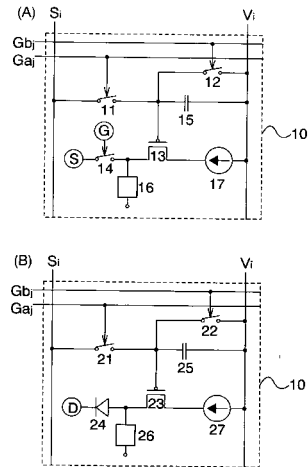
【図18】 オペアンプを示す図。

【図19】 オペアンプを示す図。

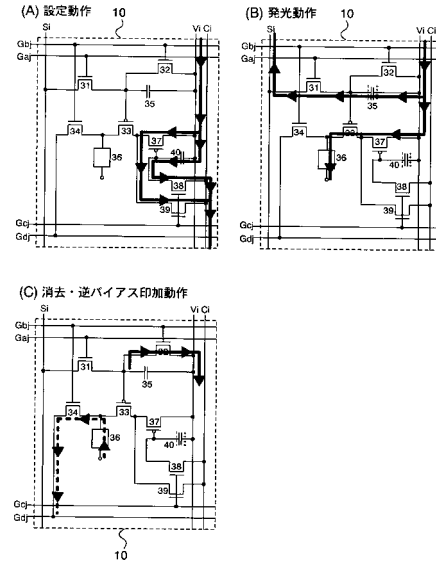
【図20】 電流源を示す図。

【図21】 発光素子の輝度と時間の関係を示す図。

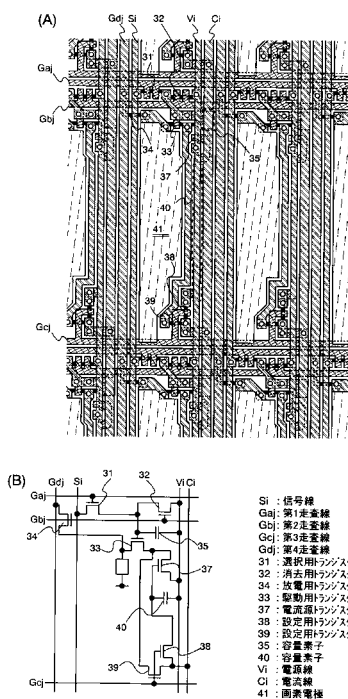
【図 1】



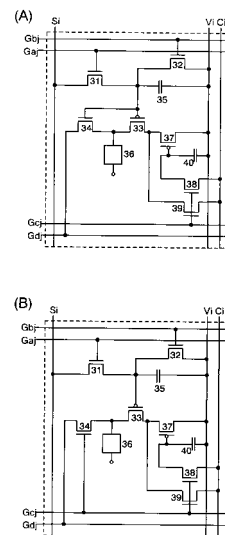
【図 2】



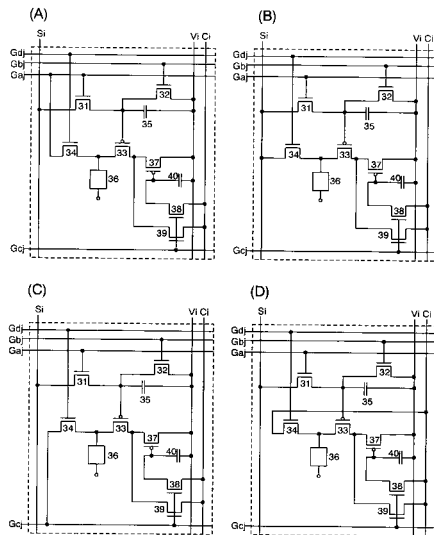
【図 3】



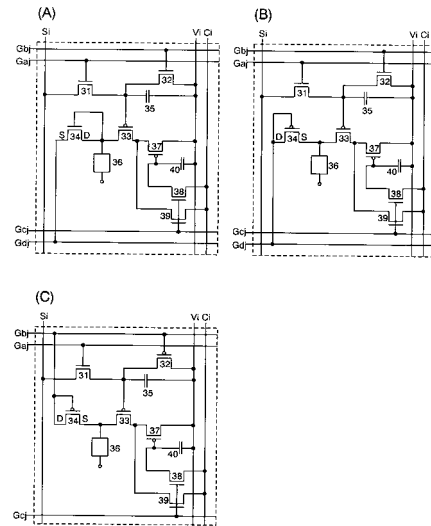
【図 4】



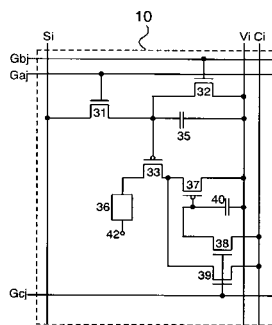
【図 5】



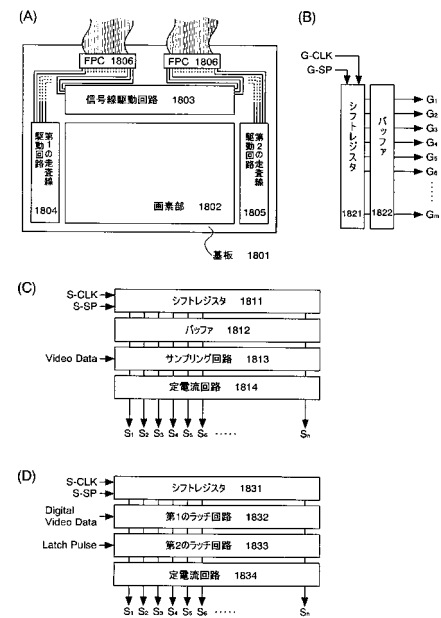
【図 6】



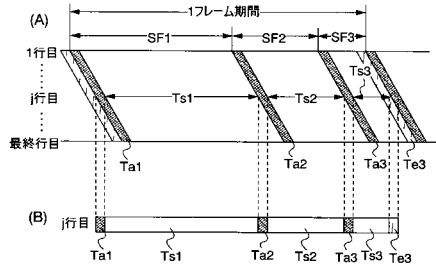
【図 7】



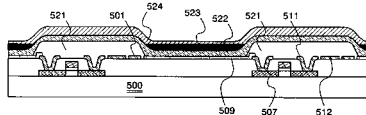
【図 8】



【 図 9 】

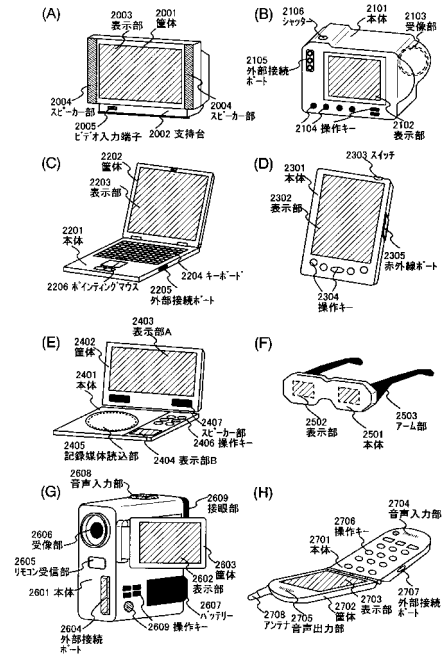


【 図 1 0 】

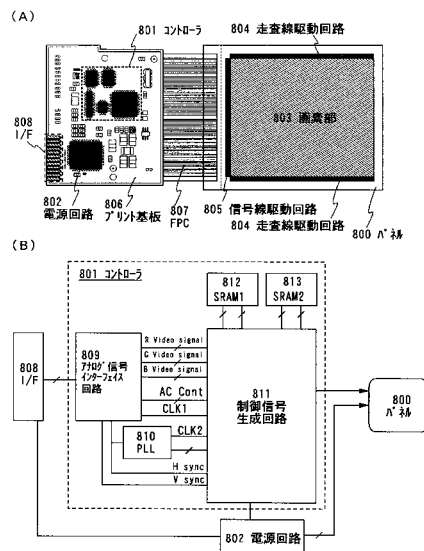


- | | |
|--------------|-----------------|
| 500 : 基板 | 521 : 隔壁 |
| 501 : 信号線 | 522 : 有機導電性膜 |
| 507 : 駆動用TFT | 523 : 有機薄膜(発光層) |
| 509 : 面蒸電極 | 524 : 対向電極 |
| 511 : 電流供給線 | |

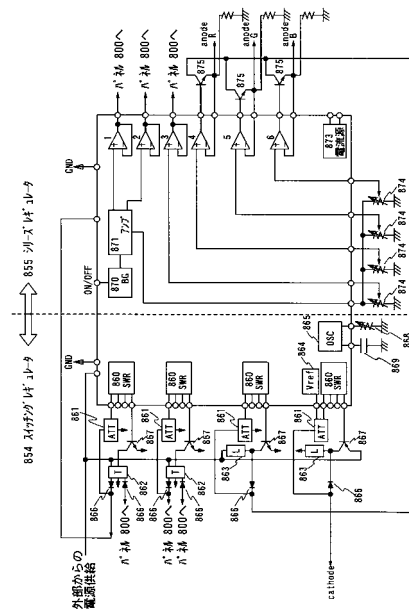
【 図 1 1 】



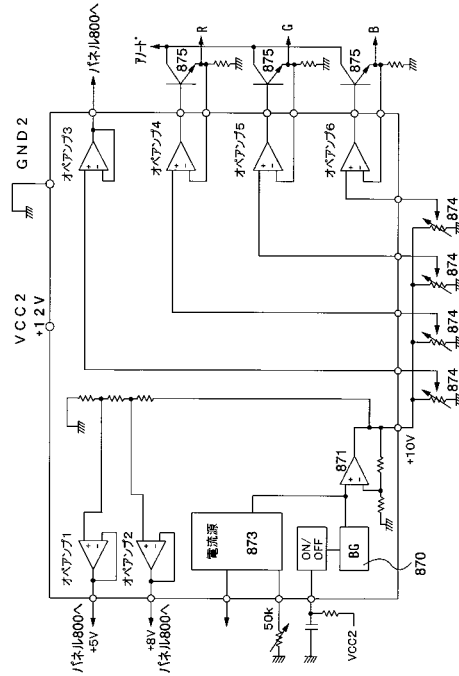
【 図 1 2 】



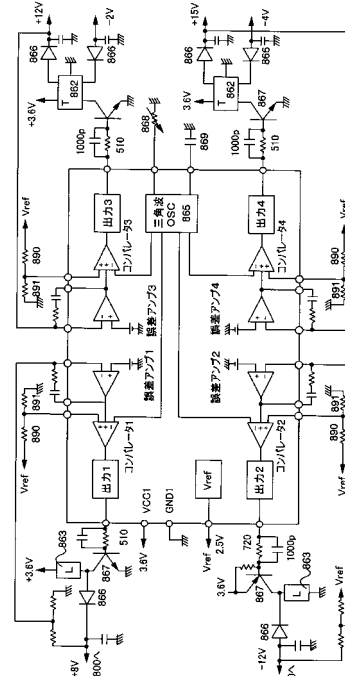
【 図 1 3 】



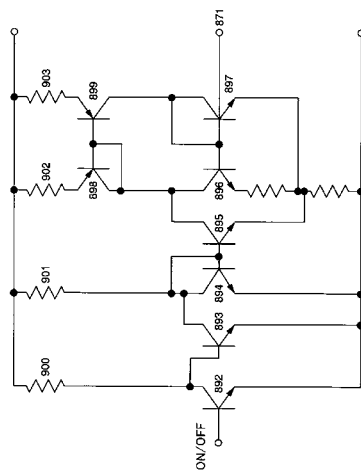
【図 14】



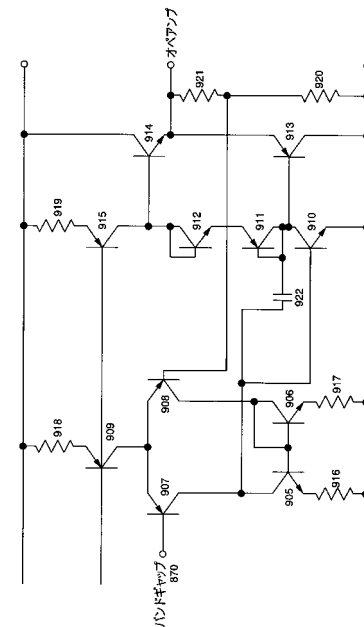
【図 15】



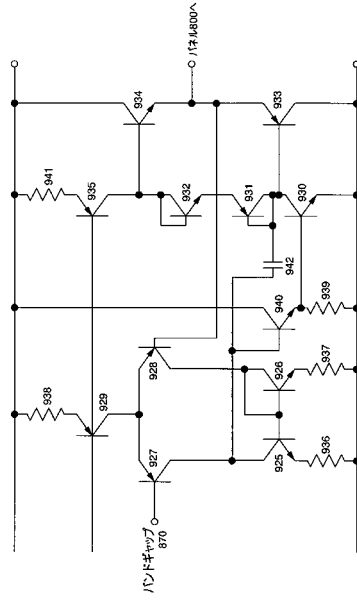
【図 16】



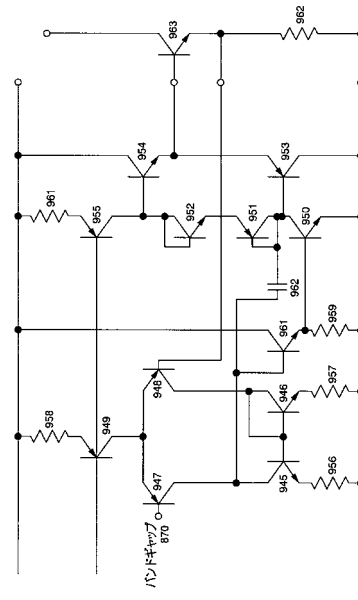
【図 17】



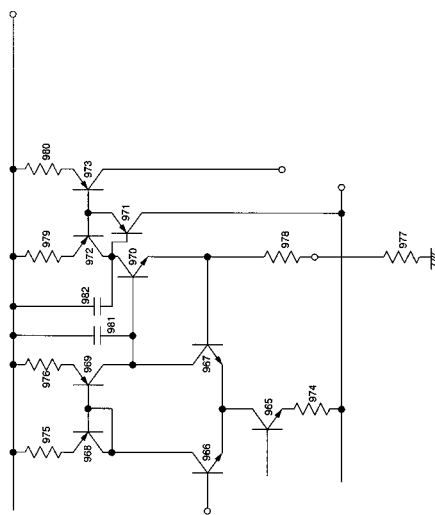
【図 18】



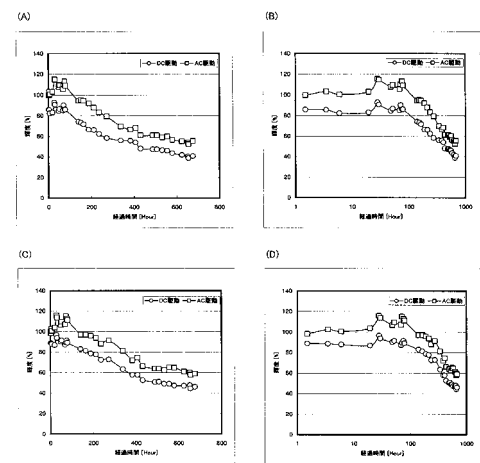
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 7 0 K
H 0 5 B	33/14	A

(72)発明者 福本 良太

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 後藤 亮治

(56)参考文献 特開 2 0 0 3 - 1 2 2 3 0 4 (J P , A)
特開平 1 1 - 0 0 3 0 4 8 (J P , A)
特開 2 0 0 1 - 0 0 5 4 2 6 (J P , A)
特開 2 0 0 1 - 3 3 1 1 4 3 (J P , A)
特開 2 0 0 0 - 2 6 8 9 5 7 (J P , A)
国際公開第 9 8 / 0 4 8 4 0 3 (W O , A 1)
特開 2 0 0 3 - 2 1 6 1 0 4 (J P , A)
特開 2 0 0 3 - 2 5 5 8 9 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38