

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
26. April 2012 (26.04.2012)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2012/052257 A2

(51) Internationale Patentklassifikation:
H01L 33/38 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2011/066687

(22) Internationales Anmeldedatum:
26. September 2011 (26.09.2011)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2010 046 792.8
28. September 2010 (28.09.2010) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstraße 4, 93055 Regensburg
(DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BERGBAUER, Werner** [DE/DE]; Sandweg 1, 94336 Windberg (DE).
RODE, Patrick [DE/DE]; Amberger Straße 40, 93059
Regensburg (DE). **STRASSBURG, Martin** [DE/DE];
Lutherstraße 1, 93105 Tegernheim (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENT-
ANWALTSGESELLSCHAFT MBH**; Ridlerstraße 55,
80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG,
NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

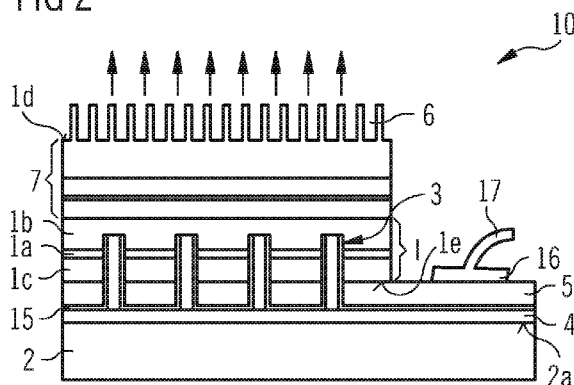
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: OPTOELECTRONIC SEMICONDUCTOR CHIP AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung : OPTOELEKTRONISCHER HALBLEITERCHIP UND VERFAHREN ZU DESSEN HERSTELLUNG

FIG 2



(57) Abstract: The invention relates to an optoelectronic semiconductor chip (10) comprising a stack of semiconductor layers (1) consisting of a nitride compound semiconductor material on a carrier substrate (2), said carrier substrate having a surface (2a) containing silicon. The stack (1) of semiconductor layers comprises a recess (3) that extends from a rear side (1e) of the stack (1) of semiconductor layers, through an active layer (1a), to a layer (1b) of a first type of conductivity. The layer (1b) of the first type of conductivity is electrically connected via the recess (3) by means of a first electrical connection layer (4) that covers the rear side (1e) at least in parts. A layer (1c) of a second type of conductivity is electrically connected by means of a second electrical connection layer (5) arranged on the rear side (1e). The invention also relates to a method for producing such a semiconductor chip (10).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

**Veröffentlicht:**

- *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)*

Es ist ein optoelektronischer Halbleiterchip (10) mit einem Halbleiterschichtenstapel (1) aus einem nitridischen Verbindungshalbleitermaterial auf einem Trägersubstrat (2) angegeben, wobei das Trägersubstrat (2) eine Oberfläche (2a) aufweist, die Silizium enthält. Der Halbleiterschichtenstapel (1) weist eine Ausnehmung (3) auf, die sich von einer Rückseite (1e) des Halbleiterschichtenstapels (1) durch eine aktive Schicht (1a) zu einer Schicht (1b) eines ersten Leitfähigkeitstyps erstreckt. Die Schicht (1b) des ersten Leitfähigkeitstyps ist mittels einer ersten elektrischen Anschlussschicht (4), welche die Rückseite (1e) zumindest stellenweise bedeckt, durch die Ausnehmung (3) hindurch elektrisch angeschlossen. Eine Schicht (1c) eines zweiten Leitfähigkeitstyps ist mittels einer zweiten elektrischen Anschlussschicht (5), die an der Rückseite (1e) angeordnet ist, elektrisch angeschlossen. Weiter ist ein Verfahren zur Herstellung eines derartigen Halbleiterchips (10) angegeben.

Beschreibung

Optoelektronischer Halbleiterchip und Verfahren zu dessen Herstellung

5

Die Erfindung betrifft einen optoelektronischen Halbleiterchip aufweisend einen Halbleiterschichtenstapel und ein Trägersubstrat und ein Verfahren zu dessen Herstellung.

10 Verbindungshalbleitermaterialien sind von großer Bedeutung für die Herstellung von beispielsweise Licht emittierenden Dioden (LEDs). Zur Herstellung von solchen LEDs werden geeignete Schichtfolgen auf ein Substrat aufgewachsen. Die Leistung derartiger LEDs wird unter anderem beeinflusst durch
15 das verwendete Substratmaterial. Insbesondere kann das Substratmaterial verglichen zu dem Material der Schichtfolge signifikante Unterschiede im Ausdehnungskoeffizienten und/oder in den Gitterparametern aufweisen. Als Substratmaterial wird daher für ein epitaktisches Wachstum
20 üblicherweise Saphir- oder Siliziumcarbid verwendet, da dieses Material eine Gitterstruktur aufweist, das an die Gitterstruktur der Verbindungshalbleitermaterialien angepasst ist. Der Nachteil dieser Substratmaterialien liegt jedoch unter anderem in deren hohen Preis.

25

Ein günstiges Substratmaterial, das in der Halbleitertechnologie vielfach genutzt wird, ist beispielsweise Silizium. Beim Aufwachsen insbesondere nitridischer Verbindungshalbleitermaterialien auf zum
30 Beispiel Siliziumsubstraten treten jedoch Verspannungen aufgrund unterschiedlicher Gitterparameter der beteiligten Materialien auf, die zu einer Herabsetzung der Kristallqualität der aufgewachsenen Schichten führen können.

Es ist Aufgabe der vorliegenden Anmeldung, einen Halbleiterchip anzugeben, der kostengünstig herstellbar ist und gleichzeitig reduzierte Verspannungen innerhalb der unterschiedlichen Materialien des Halbleiterchips aufweist. Weiter ist es Aufgabe der vorliegenden Anmeldung, ein kostengünstiges Herstellungsverfahren für einen derartigen Halbleiterchip anzugeben.

10 Diese Aufgaben werden unter anderem durch einen Halbleiterchip mit den Merkmalen des Anspruchs 1 und durch ein Verfahren zum Herstellen eines derartigen Halbleiterchips mit den Merkmalen des Anspruchs 10 gelöst. Vorteilhafte Weiterbildungen des Halbleiterchips und des Verfahrens zu
15 dessen Herstellung sind Gegenstand der abhängigen Ansprüche.

In einer Weiterbildung weist der optoelektronische Halbleiterchip einen Halbleiterschichtenstapel aus einem nitridischen Verbindungshalbleitermaterial auf einem Trägersubstrat auf. Das Trägersubstrat weist eine dem Halbleiterschichtenstapel zugewandte Oberfläche auf, die Silizium enthält. Insbesondere ist das Trägersubstrat ein Silizium-Substrat. Der Halbleiterschichtenstapel weist eine zur Strahlungserzeugung vorgesehene aktive Schicht zwischen
20 einer Schicht eines ersten Leitfähigkeitstyps und einer Schicht eines zweiten Leitfähigkeitstyps auf. Die Schicht des ersten Leitfähigkeitstyps ist einer Vorderseite des Halbleiterschichtenstapels benachbart. Der Halbleiterschichtenstapel enthält mindestens eine Ausnehmung,
25 die sich von einer der Vorderseite gegenüberliegenden Rückseite des Halbleiterschichtenstapels durch die aktive Schicht hindurch zur Schicht des ersten Leitfähigkeitstyps erstreckt. Die Schicht des ersten Leitfähigkeitstyps ist

mittels einer ersten elektrischen Anschlussschicht, welche die Rückseite des Halbleiterschichtenstapels zumindest stellenweise bedeckt, durch die Ausnehmung hindurch elektrisch angeschlossen. Die Schicht des zweiten

5 Leitfähigkeitstyps ist mittels einer zweiten elektrischen Anschlussschicht, die an der Rückseite angeordnet ist, elektrisch angeschlossen.

"Auf einem nitridischen Verbindungshalbleitermaterial

10 basierend" beziehungsweise „aus einem nitridischen Verbindungshalbleitermaterial“ bedeutet hier und im Folgenden, dass die Halbleiterschichtenfolge eine epitaktisch auf dem Substrat abgeschiedene Schichtenfolge ist, die zumindest eine Schicht aus einem Nitrid/III/V-

15 Verbindungshalbleitermaterial aufweist, vorzugsweise $\text{Al}_n\text{Ga}_m\text{In}_{1-m-n}\text{N}$, wobei $0 \leq n, m \leq 1, n + m \leq 1$. Dabei muss dieses Material nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel aufweisen. Vielmehr kann es eine oder mehrere Dotierstoffe sowie zusätzliche

20 Bestandteile aufweisen, die die charakteristischen physikalischen Eigenschaften des $\text{Al}_n\text{Ga}_m\text{In}_{1-m-n}\text{N}$ -Materials im Wesentlichen nicht ändern. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, N), auch wenn diese teilweise

25 durch geringe Mengen weiterer Stoffe ersetzt sein können.

Das Trägersubstrat weist beispielsweise eine dem Halbleiterschichtenstapel zugewandte Siliziumoberfläche auf. Das Trägersubstrat kann auch als Silizium-Volumen-Substrat

30 oder als SOI-Substrat ("silicon on insulator substrate") ausgebildet sein. Das Trägersubstrat kann zusätzlich zu Silizium weitere Materialien und Materialkomponenten enthalten.

Ein optoelektronischer Halbleiterchip ist insbesondere ein Halbleiterchip, der die Umwandlung von elektronisch erzeugten Daten oder Energien in Lichtemission ermöglicht oder
5 umgekehrt. Beispielsweise ist der optoelektronische Halbleiterchip ein strahlungsemitterender Halbleiterchip.

Die Schicht des ersten Leitfähigkeitstyps ist beispielsweise eine n-leitende Schicht. In diesem Fall handelt es sich bei
10 der Schicht des zweiten Leitfähigkeitstyps um eine p-leitende Schicht. Alternativ kann es sich bei der Schicht des ersten Leitfähigkeitstyps auch um eine p-leitende Schicht und bei der Schicht des zweiten Leitfähigkeitstyps um eine n-leitende Schicht handeln.

15

Die Schicht des ersten Leitfähigkeitstyps ist einer Vorderseite, die Schicht des zweiten Leitfähigkeitstyps einer Rückseite des Halbleiterschichtenstapels benachbart. Die Rückseite ist der Vorderseite gegenüberliegend angeordnet.
20 Der Halbleiterchip ist insbesondere zur Emission einer von der aktiven Schicht erzeugten elektromagnetischen Strahlung von seiner Vorderseite vorgesehen. Die Vorderseite entspricht demnach einer Strahlungsausstrittsfläche.

25 Die Ausnehmung des Halbleiterschichtenstapels stellt vorzugsweise eine Vertiefung dar, die sich von der Rückseite her in Richtung der Vorderseite hinein erstreckt. Zweckmäßigerweise verläuft die Ausnehmung durch die Schicht des zweiten Leitfähigkeitstyps und die aktive Schicht
30 hindurch.

Die erste elektrische Anschlussschicht in der Ausnehmung ist vorzugsweise mittels einer elektrischen Trennschicht gegen

die aktive Schicht und die Schicht des zweiten
Leitfähigkeitstyps elektrisch isoliert. Die elektrische
Anschlussschicht bedeckt die Rückseite des
Halbleiterschichtenstapels vorzugsweise zumindest
5 stellenweise. Die erste elektrische Anschlussschicht ist
beispielsweise eine metallische Schicht, das heißt sie weist
ein Metall oder mehrere Metalle auf oder besteht daraus.
Insbesondere ist die erste elektrische Anschlussschicht dazu
vorgesehen, dem Halbleiterschichtenstapel einen elektrischen
10 Betriebsstrom zuzuführen.

Zur weiteren elektrischen Kontaktierung des
Halbleiterschichtenstapels ist an der Rückseite eine zweite
elektrische Anschlussschicht angeordnet, die zur elektrischen
15 Kontaktierung der Schicht des zweiten Leitfähigkeitstyps
vorgesehen ist. Die erste elektrische Anschlussschicht und
die zweite elektrische Anschlussschicht sind insbesondere
mittels der elektrischen Trennschicht gegeneinander
elektrisch isoliert. Insbesondere ist in vertikaler Richtung
20 zwischen erster elektrischen Anschlussschicht und zweiter
elektrischen Anschlussschicht die elektrische Trennschicht
angeordnet. Die erste elektrische Anschlussschicht kann dabei
die zweite elektrische Anschlussschicht lateral zumindest
stellenweise an der Rückseite des Halbleiterschichtenstapels
25 überlappen.

Die n- und p-dotierten Schichten des
Halbleiterschichtenstapels sind somit einseitig, also
beispielsweise lediglich von der Rückseite des
30 Halbleiterschichtenstapels elektrisch kontaktierbar. Die
Licht emittierende Vorderseite des Halbleiterchips ist
demnach frei von elektrischen Kontaktstellen, wie
beispielsweise Bondpads. Dadurch kann die Gefahr einer

Abschattung und/oder Absorption eines Teils der von der aktiven Schicht im Betrieb emittierten elektromagnetischen Strahlung durch die elektrischen Kontaktstellen reduziert werden.

5

Die einseitige Kontaktierungstechnik des Chips ermöglicht einen niederohmen Kontakt. Aufgrund der Anordnung der Kontaktierungen lediglich auf der Rückseite kann mit Vorteil die volle Funktionalität der epitaktischen Schichten des Halbleiterschichtenstapels, insbesondere die funktionalen Schichten, gewährleistet werden.

10

Als Trägersubstratmaterial findet zum Beispiel Silizium Verwendung, sodass ein kostengünstiger Halbleiterchip ermöglicht wird. Insbesondere können so großflächige, kostengünstige Siliziumsubstrate Verwendung finden.

15

Insgesamt kann so ein Halbleiterchip erzielt werden, der sich durch eine kostengünstige Herstellung auszeichnet, wobei gleichzeitig die Funktionalität der epitaktisch aufgewachsenen funktionalen Schichten des Halbleiterchips aufgrund der einseitigen Kontaktierung an der Rückseite vollständig beziehungsweise nahezu vollständig erhalten bleibt.

20

Bei einer Weiterbildung weist der Halbleiterchip eine Mehrzahl von Ausnehmungen auf, durch die jeweils die erste elektrische Anschlussschicht geführt ist. Die elektrische Kontaktierung der Schicht des ersten Leitfähigkeitstyps wird dabei über die Mehrzahl von Ausnehmungen ermöglicht.

30

In einer Weiterbildung weisen die erste und/oder die zweite elektrische Anschlussschicht beispielsweise mindestens eine

der folgenden Materialien auf: Au, Ag, Al, Cr, Cu, Ti, Pt, Ni, Ru, NiAu.

Die aktive Schicht des Halbleiterschichtenstapels enthält
5 bevorzugt einen pn-Übergang, eine Doppelheterostruktur, einen Einfachquantentopf (SQW, single quantum well) oder eine Mehrfachquantentopfstruktur (MQW, multi quantum well) zur Strahlungserzeugung. Die Bezeichnung Quantentopfstruktur entfaltet hierbei keine Bedeutung hinsichtlich der
10 Dimensionalität der Quantisierung. Sie umfasst unter anderem Quantentröge, Quantendrähte und Quantenpunkte und jede Kombination dieser Strukturen.

In einer Weiterbildung ist im Halbleiterchip und/oder auf der
15 Vorderseite eine Mehrzahl von Nanostrukturen angeordnet. Nanostrukturen sind dem Fachmann unter anderem auch unter dem Begriff „Nanopyramiden“, „Nanowires“ oder „Nanorods“ bekannt.

Nanostrukturen sind beispielsweise dreidimensionale
20 Strukturen, also Strukturen, die räumlich ausgebildet sind. Beispielsweise sind die Nanostrukturen stäbchenförmig ausgebildet.

Die Nanostrukturen können dabei auf der Vorderseite des
25 Halbleiterschichtenstapels angeordnet sein. Alternativ oder zusätzlich können im Halbleiterschichtenstapel Nanostrukturen angeordnet sein. Das bedeutet, dass zumindest eine Schicht des Halbleiterschichtenstapels die Nanostrukturen aufweisen kann. Beispielsweise kann der Halbleiterschichtenstapel mit
30 der aktiven Schicht auf dem Trägersubstrat angeordnet sein, wobei die Nanostrukturen zwischen dem Trägersubstrat und der aktiven Schicht angeordnet sein können, sodass die aktive Schicht wiederum zwischen den Nanostrukturen und der

Vorderseite angeordnet ist. Dadurch kann mit Vorteil unter anderem eine Reduzierung von Defekten in der aktiven Schicht erzielt werden.

- 5 Mit Vorteil ermöglicht die Verwendung von Nanostrukturen im Zusammenhang mit Siliziumsubstraten das Wachstum von defekt reduzierten und somit qualitativ hochwertigen nitridischen Verbindungshalbleiterschichten ohne den Aufbau zusätzlicher Verspannungen zwischen Substratmaterial und
- 10 Verbindungshalbleiterschicht aufgrund von Gitterfehlpassungen. Insbesondere kann eine derartige Kombination aufgrund der geringen Grundfläche der Nanostrukturen zu einer Verspannungsreduktion führen. Integrierte Nanostrukturen in Kombination mit
- 15 Siliziumträgersubstraten führen so mit Vorteil zu einer Defektreduzierung im Halbleiterchip sowie zu einer Verspannungsreduzierung.

- Die Nanostrukturen können dabei selbstorganisiert gewachsen
- 20 werden. Alternativ können die Nanostrukturen auf vorstrukturierte Trägersubstrate gewachsen werden, bei der der Durchmesser sowie die Form und die Verteilung der Nanostrukturen auf dem Trägersubstrat durch ein geeignetes Lithografieverfahren vorgegeben ist. Bei einer geeigneten
- 25 Wahl der Parameter bezüglich Durchmesser und Verteilung kann man mittels der Nanostrukturen zusätzlich photonische Effekte erzielt werden, welche die gezielte Auskopplung von Licht bzw. elektromagnetischer Strahlung mit Vorteil verbessern.

- 30 Nanostrukturen, die im Halbleiterschichtenstapel selbst angeordnet sind, können mit Vorteil für die von der aktiven Schicht emittierte Strahlung als zusätzliche Streuzentren dienen. Dabei können die Nanostrukturen nahe der aktiven

Schicht angeordnet sein, wobei die Durchmesser und Verteilung der Nanostrukturen derart ausgebildet sein können, dass diese zu einer Effizienzsteigerung der von dem Halbleiterchip emittierten Strahlung führen können.

5

In einer Weiterbildung ist im Halbleiterschichtenstapel und/oder auf der Vorderseite eine Zwischenschicht angeordnet. Die Zwischenschicht ist vorzugsweise zwischen einem Aufwachssubstrat und der aktiven Schicht des

10 Halbleiterschichtenstapels angeordnet. Das Nutzen einer derartigen Zwischenschicht erlaubt das Aufwachsen der nitridischen Schichten des Halbleiterschichtenstapels mit kompressiver Vorverspannung auf einem Siliziumaufwachssubstrat, welche eine herkömmlicherweise
15 auftretende mechanische Schädigung der Epitaxieschichten mit Schichtdicken größer 500 nm, bevorzugt größer 1800 nm, verhindert. Dadurch ermöglicht sich mit Vorteil die Herstellung eines Halbleiterschichtenstapels auf einem Silizium-Aufwachssubstrat mit einer Dicke über 500 nm,
20 bevorzugt über 1800 nm. Zudem kann aufgrund einer derartigen Zwischenschicht eine weitere Defektreduzierung ermöglicht werden. Dadurch kann ein crackfreies Aufwachsen der Halbleiterschichten auf dem Siliziumaufwachssubstrat ermöglicht werden.

25

In einer Weiterbildung ist die Zwischenschicht eine Schichtenfolge aufweisend AlN und/oder AlGaIn-Schichten. Zudem kann in einer Richtung vom Aufwachssubstrat zur aktiven Schicht hin, also in Aufwachsrichtung, der Ga-Anteil erhöht
30 werden. Durch eine derartige Zwischenschicht kann die Oberflächenmorphologie mit Vorteil verbessert werden, sodass die über der Zwischenschicht aufgewachsenen Schichten des Halbleiterschichtenstapels mit einer verbesserten

kristallinen Qualität und Homogenität abgeschieden werden können, wodurch Verspannungen im Chip vermieden werden.

In einer Weiterbildung ist ein Konversionselement im
5 Halbleiterschichtenstapel und/oder auf der Vorderseite
angeordnet, wobei das Konversionselement dazu geeignet ist,
zumindest einen Teil der von der aktiven Schicht emittierten
Strahlung in Strahlung einer anderen Wellenlänge umzuwandeln.

10 Das Konversionselement enthält vorzugsweise Indium. Bevorzugt
ist das Konversionselement eine InGaN-Schicht. Eine derartige
Schicht kann insbesondere als optisch gepumptes
Konversionselement Verwendung finden. Die Wellenlänge der
konvertierten Strahlung bestimmt sich dabei über den
15 Indiumgehalt in dem Konversionselement. Ein derartiges
Konversionselement bietet die Möglichkeit der Herstellung von
Halbleiterchips, die beispielsweise weiße Strahlung
emittieren, ohne zusätzlich Phosphore in dem Halbleiterchip
zu integrieren. Konversionselemente aus Indium haben
20 gegenüber Phosphorkonvertern den Vorteil einer höheren
thermischen Stabilität. Zudem sind derartige
Konversionselemente aus dem gleichen Material wie der
Halbleiterschichtenstapel, womit eine Verbindung zwischen
Konversionselement und Halbleiterschichtenstapel ohne externe
25 Grenzfläche erzielt werden kann. Aufgrund des indiumhaltigen
Konversionselements im Vergleich zu phosphorhaltigem
Konversionselement ergeben sich dabei Vorteile bezüglich
thermischer Stabilität, eine verbesserte Alterungsstabilität
und höhere Aus- beziehungsweise Einkoppeleffizienzen.

30

In einer Weiterbildung ist das Konversionselement in den
Nanostrukturen angeordnet. In diesem Fall ist somit das
Konversionselement, insbesondere die InGaN-Schicht, in die

Nanostrukturen integriert. Die Wellenlänge der konvertierten Strahlung kann dabei durch die geeignete Wahl der Durchmesser der Nanostrukturen und die Indiumkonzentration im InGaN

bestimmt werden. Insbesondere können unterschiedliche

5 Durchmesser und Abstände der einzelnen Nanostrukturen verwendet werden, womit eine breitbandige Emission vom blauen beziehungsweise nahen UV- bis roten Spektralbereich ermöglicht wird. Dadurch kann mit Vorteil ein Halbleiterchip erzielt werden, der weiße Strahlung emittiert. Zudem können
10 darüber hinaus weitere Effekte zur Lichtsteigerung über die Anordnung der Nanostrukturen im Halbleiterschichtenstapel oder auf der Vorderseite genutzt werden.

In einer Weiterbildung ist der Halbleiterchip ein

15 Dünnschichtchip. Als Dünnschichtchip wird im Rahmen der Anmeldung ein Halbleiterchip angesehen, während dessen Herstellung das Aufwuchssubstrat, auf dem Halbleiterschichtenstapel epitaktisch aufgewachsen wurde, vorzugsweise vollständig abgelöst ist.

20

In einer Weiterbildung ist der Halbleiterchip ein strahlungsemitternder Chip, insbesondere eine LED, vorzugsweise eine Dünnschicht-LED.

25 Ein Verfahren zum Herstellen eines optoelektronischen Halbleiterchips mit einem Halbleiterschichtenstapel aus einem nitridischen Verbindungshalbleitermaterial auf einem Trägersubstrat weist folgende Schritte auf:

- Bereitstellen eines Aufwuchssubstrats, das eine Oberfläche
30 aufweist, die Silizium enthält, oder das ein Siliziumsubstrat ist,
- epitaktisches Aufwachsen des Halbleiterschichtenstapels auf der Siliziumoberfläche, der eine zur Strahlungserzeugung

- vorgesehene aktive Schicht zwischen einer Schicht eines ersten Leitfähigkeitstyps und einer Schicht eines zweiten Leitfähigkeitstyps aufweist, wobei die Schicht des ersten Leitfähigkeitstyps einer Vorderseite des
- 5 Halbleiterschichtenstapels benachbart ist,
- Ausbilden mindestens einer Ausnehmung im Halbleiterschichtenstapel, die sich von einer der Vorderseite gegenüberliegenden Rückseite des Halbleiterschichtenstapels durch die aktive Schicht hindurch zur Schicht des ersten
- 10 Leitfähigkeitstyps erstreckt,
- elektrisches Anschließen der Schicht des ersten Leitfähigkeitstyps durch die Ausnehmung hindurch mittels einer ersten elektrischen Anschlussschicht, welche die Rückseite des Halbleiterschichtenstapels zumindest
- 15 stellenweise bedeckt,
- elektrisches Anschließen der Schicht des zweiten Leitfähigkeitstyps mittels einer zweiten elektrischen Anschlussschicht, die an der Rückseite angeordnet ist,
 - Aufbringen des Trägersubstrats auf der dem Aufwachssubstrat
- 20 gegenüberliegenden Seite des Halbleiterschichtenstapels, das eine dem Halbleiterschichtenstapel zugewandte Siliziumoberfläche aufweist, und
- Ablösen des Aufwachssubstrats.
- 25 Die in Verbindung mit dem optoelektronischen Halbleiterchip genannten Merkmale gelten auch für das Verfahren und umgekehrt.

Das Verfahren ermöglicht aufgrund der Verwendung des

30 kostengünstigen Silizium-Aufwachssubstrats und Silizium-Trägersubstrats eine kostengünstige Herstellung von Halbleiterchips. Die elektrische Kontaktierung der Halbleiterchips ist dabei derart ausgebildet und auf die

Epitaxie adaptiert, dass in Summe ein verbessertes kostengünstiges Verfahren und ein Halbleiterchip mit verbesserten Eigenschaften erzielt werden kann.

- 5 In einer Weiterbildung des Verfahrens wird im Aufwuchsprozess eine Zwischenschicht zwischen Aufwachssubstrat und aktiver Schicht eingebracht. Die Zwischenschicht ist beispielsweise eine Schichtenfolge aus AlN-Schichten und $\text{Al}_x\text{Ga}_{1-x}\text{N}$ -Schichten. Die Nutzung dieser Zwischenschichten erlaubt das
- 10 Aufwachsen von nitridbasierten Halbleiterschichten mit kompressiver Vorverspannung auf dem Siliziumaufwachssubstrat, wobei Beschädigungen nachfolgender Epitaxieschichten mit Schichtdicken von größer 500 nm verhindert werden.
- 15 Die Verwendung einer Zwischenschicht in Kombination mit der einseitigen elektrischen Kontaktierung des Halbleiterchips ermöglicht eine sinnvolle Prozesskette und ein vorteilhaftes, kostengünstiges Herstellungsverfahren.
- 20 In einer Weiterbildung wird vor Aufwachsen des Halbleiterschichtenstapels eine Nukleationsschicht auf das Aufwachssubstrat aufgebracht. Für das Wachstum auf Siliziumaufwachssubstraten werden spezielle Nukleationsprozesse benötigt. Diese bieten die Möglichkeit
- 25 des Wachstums des Halbleiterschichtenstapels auf ein großflächiges Siliziumaufwachssubstrat. Insbesondere ermöglicht sich so ein defektreduziertes Aufwachsen der Halbleiterschichten, wobei Verspannungen zwischen den Schichten vermieden oder sogar reduziert werden können.
- 30 In einer Weiterbildung werden im Halbleiterschichtenstapel und/oder auf der Vorderseite eine Mehrzahl von Nanostrukturen ausgebildet. Die Verwendung von Nanostrukturen im

Halbleiterschichtenstapel in Kombination mit Siliziumaufwachssubstraten ermöglicht das Aufwachsen von defektreduzierten und somit qualitativ hochwertigen Halbleiterschichten ohne den Aufbau zusätzlicher

- 5 Verspannungen oder Störstellen. Eine derartige Kombination kann mit Vorteil zu einer Verspannungsreduzierung führen. Die Nanostrukturen können dabei innerhalb einer Schicht des Halbleiterschichtenstapels ausgebildet werden. Dies ermöglicht integrierte Streuzentren im
- 10 Halbleiterschichtenstapel, beispielsweise nahe der aktiven Schicht, die mit Vorteil zu einer Effizienzsteigerung führen.

- Die Nanostrukturen können selbstorganisiert gewachsen werden. Alternativ können der Durchmesser sowie die Verteilung der
- 15 Nanostrukturen auf dem Aufwachssubstrat durch ein geeignetes Lithografieverfahren vorgegeben werden. Bei geeigneter Wahl des Durchmessers und der Verteilung der Nanostrukturen kann mit Vorteil ein photonischer Effekt erzielt werden, welcher die gezielte Auskopplung verbessern kann.

- 20 In einer Weiterbildung wird im Aufwachsprozess eine Nukleationsschicht und eine Zwischenschicht zwischen Aufwachssubstrat und aktiver Schicht ausgebildet, wobei zusätzlich Nanostrukturen im Halbleiterschichtenstapel
- 25 beziehungsweise auf der Vorderseite ausgebildet werden. Durch eine derartige Kombination kann mit Vorteil eine großflächige, kostengünstige und defektreduzierte Epitaxie und Chipprozessierung ermöglicht werden, wobei mittels des auf die Epitaxie adaptierten Aufbaus des Chips in seiner
- 30 Kontaktierung in Summe ein verbessertes und kostengünstiges Verfahren ermöglicht wird.

In einer Weiterbildung wird ein Konversionselement in die Nanostrukturen eingebracht, wobei das Konversionselement geeignet ist, zumindest einen Teil der von der aktiven Schicht emittierten Strahlung in Strahlung einer anderen Wellenlänge umzuwandeln. Bevorzugt werden InGaN-Schichten in die Nanostrukturen eingebaut, wobei diese InGaN-Schichten als Konversionselement Verwendung finden. Die emittierende Farbe der Nanostrukturen kann dabei durch beispielsweise eine geeignete Wahl des Durchmessers der Nanostrukturen bestimmt werden. Die Nanostrukturen bieten mit Vorteil aufgrund ihres kleinen Durchmessers die Möglichkeit, effizient eine hohe Menge von Indium in die Nanostrukturen einzubauen. Die Farbe der konvertierten Strahlung kann dabei durch beispielsweise die geeignete Wahl des Durchmessers der Nanostrukturen beeinflusst werden. Dies bietet die Möglichkeit der Herstellung von weißen Halbleiterchips ohne Verwendung zusätzlicher Phosphore. Ein indiumbasiertes Konversionselement hat gegenüber einem phosphorbasierten Konversionselement den Vorteil einer erhöhten thermischen Stabilität, einer verbesserten Alterungsstabilität sowie einer erhöhten Aus- und Einkoppeleffizienz. Über die Anordnung der Nanostrukturen im Halbleiterschichtenstapel oder auf der Vorderseite können zudem zusätzlich weitere Effekte zur Lichtsteigerung und/oder zur Direktionalität der emittierten Strahlung, beispielsweise zur Strahlungsemission abhängig vom Raumwinkel, genutzt werden. Durch eine geeignete Wahl der Nanostrukturendurchmesser lässt sich zudem eine breitbandige Strahlungsemission vom blauen bzw. nahen UV-Spektralbereich bis in den roten Spektralbereich erzielen.

Weitere Vorteile und vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den im Folgenden in Verbindung mit

den Figuren 1 bis 5 beschriebenen Ausführungsbeispielen. Es zeigen:

Figur 1 einen schematischen Querschnitt eines
Halbleiterchips im erfindungsgemäßen
Herstellungsverfahren, und

Figuren 2 bis 4, 5A, 5B jeweils einen schematischen
Querschnitt eines Halbleiterchips gemäß eines
erfindungsgemäßen Ausführungsbeispiels.

In den Figuren können gleiche oder gleich wirkende
Bestandteile jeweils mit den gleichen Bezugszeichen versehen
sein. Die dargestellten Bestandteile und deren
Größenverhältnisse untereinander sind grundsätzlich nicht als
maßstabsgerecht anzusehen, vielmehr können einzelne
Bestandteile, wie zum Beispiel Schichten, Strukturen,
Komponenten und Bereiche, zur besseren Darstellbarkeit
und/oder zum besseren Verständnis übertrieben dick oder groß
dimensioniert dargestellt sein.

Figur 1 zeigt ein Ausführungsbeispiel eines Halbleiterchips
im Querschnitt im Herstellungsprozess. Der Halbleiterchip
weist ein Aufwachssubstrat 9 auf, das eine
Siliziumoberfläche 9a aufweist. Auf der Siliziumoberfläche 2a
sind die einzelnen Schichten des Halbleiterchips
aufgewachsen.

Für das Wachstum von Halbleiterschichten auf das Silizium-
Aufwachssubstrat 9 wird ein spezieller Anwachs-
beziehungsweise Nukleationsprozess benötigt. Ein derartiger
Prozess bietet die Möglichkeit des Wachstums von
Halbleiterschichten auf großflächige Siliziumsubstrate.

Der Anwachs- beziehungsweise Nukleationsprozess für das Wachstum auf Siliziumoberflächen beinhaltet insbesondere das Aufwachsen einer Nukleationsschicht 11 auf der

5 Siliziumoberfläche 9a des Aufwachssubstrats 9. Die Nukleationsschicht 11 enthält beispielsweise AlN, gradiertes AlGa_N und GaN. Aufgrund der Nukleationsschicht 11 können auf diese defektreduzierte Halbleiterschichten aufgewachsen werden. Da sich Silizium als kostengünstiges Substratmaterial
10 auszeichnet, kann so ein kostengünstiger Halbleiterchip ermöglicht werden.

Auf der Nukleationsschicht 11 sind Nanostrukturen 6 aufgewachsen. Die Nanostrukturen 6 können selbstorganisiert
15 gewachsen sein. Alternativ und bevorzugt können die Nanostrukturen auf dem Aufwachssubstrat 9 aufgewachsen werden, das vorstrukturiert ist. Dabei sind der Durchmesser sowie die Verteilung der Nanostrukturen auf dem Aufwachssubstrat 9 durch ein Lithografieverfahren vorgegeben.
20 Die Nanostrukturen 6 sind vorzugsweise dreidimensionale Strukturen, die beispielsweise stäbchenförmig ausgebildet sind. Derartige Nanostrukturen 6 sind dem Fachmann auch unter dem Begriff "Nanowire" oder "Nanorod" bekannt.

25 Die Verwendung von Nanostrukturen auf Siliziumaufwachssubstraten ermöglicht mit Vorteil das Wachstum von defektreduzierten und hochwertigen Halbleiterschichten ohne den Aufbau zusätzlicher Verspannungen im Halbleiterchip. Derartige Nanostrukturen 6
30 können mit Vorteil zu zusätzlichen Verspannungsreduzierungen genutzt werden. Diese Verspannungsreduzierung erfolgt aufgrund der geringen Grundfläche der Nanostrukturen 6.

Durch die Kombination der Verwendung einer Nukleationsschicht 11 und Nanostrukturen 6 kann eine großflächige, kostengünstige und defektreduzierte Epitaxie und Halbleiterchipprozessierung auf Siliziumsubstraten ermöglicht werden. So kann ein verbessertes Verfahren und ein Bauteil mit verbesserten Eigenschaften erzielt werden.

Auf den Nanostrukturen 6 ist eine koaleszierende GaN-Schicht 12 angeordnet. Diese koaleszierende GaN-Schicht dient weiter zur Defektreduzierung, sodass der Halbleiterchip weiter verbessert wird.

Auf der koaleszierenden GaN-Schicht ist optional eine AlN-Schicht oder AlGaN-Schicht 13 angeordnet. Die AlGaN-Schicht kann dabei in ihrer Aluminiumkonzentration gradiert sein. Diese optionale Schicht 13 dient zur Verbesserung der Morphologie der koaleszierenden GaN-Schicht 12. Dadurch können die auf die AlN-Schicht oder AlGaN-Schicht 13 aufzubringenden Halbleiterschichten mit einer verbesserten kristallinen Qualität und Homogenität abgeschieden werden.

Auf der optionalen Schicht 13 ist eine Maskenschicht 14 angeordnet. Diese Maskenschicht 14 enthält beispielsweise SiN und Al(Ga)N. Eine derartige Maskenschicht dient weiter zur Defektreduzierung.

Auf der Maskenschicht 14 ist eine Zwischenschicht 7 angeordnet, die eine Mehrzahl von Einzelschichten aufweist. Die Zwischenschicht 7 ist somit als Schichtenstapel aus einer Mehrzahl von Einzelschichten ausgebildet. Die Zwischenschicht 7 dient insbesondere zur Verspannungsreduktion im Halbleiterchip. Beispielsweise setzt sich die Zwischenschicht 7 aus AlN/Al_xGa_{1-x}N-Schichten zusammen. Die Nutzung dieser

Zwischenschicht 7 erlaubt das Aufwachsen von weiteren Halbleiterschichten mit kompressiver Vorverspannung auf dem Aufwachssubstrat aus Silizium. Dadurch kann eine Beschädigung beim Aufwachsprozess, beispielsweise ein Reißen der

5 Epitaxieschichten mit Schichtdicken von größer als 500 nm, verhindert werden.

Auf der Zwischenschicht 7 ist der Halbleiterschichtenstapel 1 angeordnet, der ein nitridisches

10 Verbindungshalbleitermaterial enthält. Der Halbleiterschichtenstapel 1 weist eine Schicht 1b eines ersten Leitfähigkeitstyps, eine aktive Schicht 1a und eine Schicht 1c eines zweiten Leitfähigkeitstyps auf. Die aktive Schicht 1a ist insbesondere zwischen der Schicht 1b des

15 ersten Leitfähigkeitstyps und der Schicht 1c des zweiten Leitfähigkeitstyps angeordnet. Die aktive Schicht 1a dient zur Strahlungserzeugung.

Handelt es sich beispielsweise bei der Schicht 1b des ersten

20 Leitfähigkeitstyps um eine n-leitende Schicht, dann handelt es sich bei der Schicht 1c des zweiten Leitfähigkeitstyps um eine p-leitende Schicht, oder umgekehrt. Vorliegend ist die Schicht 1b des ersten Leitfähigkeitstyps eine n-leitende GaN:Si-Schicht. Die Schicht 1c des zweiten Leitfähigkeitstyps

25 ist eine p-leitende GaN-Schicht. Die aktive Schicht 1a weist einen pn-Übergang oder eine Quantenwellstruktur auf, beispielsweise eine Mehrfachquantenwellstruktur (MQW).

Das Ausführungsbeispiel der Figur 1 befindet sich im

30 Herstellungsprozess. Anschließend an den Herstellungsprozess des Chips 10 des Ausführungsbeispiels der Figur 1 wird ein dem Aufwachssubstrat 9 gegenüber angeordnetes Trägersubstrat aufgebracht, wobei anschließend das Aufwachssubstrat 9

teilweise oder vollständig abgelöst wird. Zudem findet eine elektrische Kontaktierung des Halbleiterschichtenstapels 1 statt.

5 Fertig hergestellte Halbleiterchips 10 sind in den Ausführungsbeispielen der Figuren 2 bis 5 dargestellt.

Der in Figur 2 gezeigte Halbleiterchip 10 weist auf einem Trägersubstrat 2 den elektrisch kontaktierten
10 Halbleiterschichtenstapel 1 auf. Das Trägersubstrat 2 weist zumindest eine Siliziumoberfläche 2a auf oder ist ein Siliziumvollssubstrat. Insbesondere weist das Trägersubstrat 2 den gleichen Ausdehnungskoeffizienten wie das Aufwachssubstrat 9 auf, wodurch Verspannungen im
15 Halbleiterchip vermieden werden können.

Auf dem Trägersubstrat 2, insbesondere auf der Siliziumoberfläche 2a ist eine erste elektrische Anschlussschicht 4 angeordnet. Diese erste elektrische
20 Anschlussschicht 4 dient dazu, die Schicht 1b des ersten Leitfähigkeitstyps elektrisch zu kontaktieren. Zur Kurzschlussvermeidung ist auf der ersten Anschlussschicht 4 eine elektrisch isolierende Trennschicht 15 angeordnet. Die elektrisch isolierende Trennschicht 15 ist dabei bis auf
25 Öffnungen im Bereich der Schicht 1b des ersten Leitfähigkeitstyps vollständig auf der ersten elektrischen Anschlussschicht 4 angeordnet. Die erste Anschlussschicht 4 ist so mittels der Trennschicht 15 von der Schicht 1c des zweiten Leitfähigkeitstyps vollständig elektrisch isoliert.
30 Die erste elektrische Anschlussschicht 4 weist zudem Herausragungen auf. Diese Herausragungen dienen zur elektrischen Kontaktierung der Schicht 1b des ersten Leitfähigkeitstyps.

Zur elektrischen Kontaktierung des Halbleiterschichtenstapels 1 sind insbesondere im Halbleiterschichtenstapel 1 Ausnehmungen eingebracht. Die Ausnehmungen 3 erstrecken sich von einer Rückseite 1e des Halbleiterschichtenstapels 1 durch die aktive Schicht 1a hindurch zur Schicht 1b des ersten Leitfähigkeitstyps. Die Ausnehmungen 3 sind seitlich beziehungsweise lateral von der Trennschicht 15 umgeben. Insbesondere sind die Seitenflächen der Ausnehmung 3 mit der Trennschicht 15 vollständig ummantelt. In den Ausnehmungen 3 sind die Herausragungen der ersten elektrischen Anschlussschicht 4 eingebracht. Diese sind gegenüber der Schicht 1c des zweiten Leitfähigkeitstyps und der aktiven Schicht 1a mittels der Trennschicht 15 elektrisch isoliert.

Zwischen Halbleiterschichtenstapel 1 und elektrisch isolierender Trennschicht 15 ist eine zweite elektrische Anschlussschicht 5 angeordnet. Diese zweite elektrische Anschlussschicht 5 ist ebenfalls an der Rückseite 1e des Halbleiterschichtenstapels 1 angeordnet. Die zweite elektrische Anschlussschicht 5 schließt die Schicht 1c des zweiten Leitfähigkeitstyps des Halbleiterschichtenstapels 1 elektrisch an. Diese zweite elektrische Anschlussschicht 5 ist mittels der Trennschicht 15 von der ersten elektrischen Anschlussschicht 4 elektrisch isoliert. Lateral beabstandet von dem Halbleiterschichtenstapel 1 ist auf der zweiten elektrischen Anschlussschicht 5 eine Kontaktfläche 16 angeordnet, die mittels eines Bonddrahtes 17 eine externe elektrische Kontaktierung des Halbleiterchips ermöglicht.

Auf dem Halbleiterschichtenstapel 1 ist die Zwischenschicht 7 angeordnet. Auf der Zwischenschicht 7 sind weiter die Nanostrukturen 6 angeordnet. Diese wurden im Ablöseverfahren

des Aufwachssubstrats somit nicht mit abgelöst, sondern befinden sich auf einer Vorderseite 1d des Halbleiterchips 10.

- 5 Die Vorderseite 1d des Halbleiterchips 10 ist insbesondere eine Strahlungsausstrittsfläche der von der aktiven Schicht erzeugten Strahlung. Insbesondere wird ein großer Teil der von der aktiven Schicht 1a erzeugten Strahlung über die Strahlungsausstrittsfläche 1d aus dem Halbleiterchip
10 ausgekoppelt.

- Die Nanostrukturen 6 weisen einen derartigen Durchmesser sowie eine derartige Verteilung auf, dass ein photonischer Effekt erzielt wird, sodass sich die Strahlungsauskopplung
15 aus dem Chip verbessert. Die Nanostrukturen 6 stellen demnach photonische Kristalle zur Effizienzsteigerung dar. Zudem kann mittels der Nanostrukturen 6 ein zusätzlicher Effekt zur Direktionalität der emittierten Strahlung erzielt werden, beispielsweise zu einer gezielten Strahlungsemission abhängig
20 vom Raumwinkel.

- Der Halbleiterchip 10 weist eine einseitige Kontaktierung auf der p-Seite des Halbleiterschichtenstapels 1 auf. Durch die Kombination der einseitigen elektrischen Kontaktierung, der
25 Nukleationsschicht im Aufwuchsprozess sowie der Zwischenschicht zur Spannungsreduktion kann eine großflächige, kostengünstige und defektreduzierte Epitaxie und Chipprozessierung ermöglicht werden, bei dem der Aufbau des Halbleiterchips auf dem Epitaxieprozess adaptiert ist,
30 womit in Summe ein verbessertes Verfahren und ein Bauteil mit verbesserten Eigenschaften erzielt wird. Insbesondere ermöglicht die einseitige elektrische Kontaktierung des Chips einen niederohmen n-Kontakt, bei dem gleichzeitig die

aufgewachsenen funktionalen Schichten des Chips in ihrer Funktionalität erhalten bleiben.

Der Halbleiterchip 10 ist vorzugsweise ein
5 strahlungsemittierender Halbleiterchip, insbesondere eine LED, besonders bevorzugt eine Dünnschicht-LED.

Das Ausführungsbeispiel der Figur 3 unterscheidet sich von dem Ausführungsbeispiel der Figur 2 dadurch, dass die
10 Nanostrukturen 6 innerhalb einer Halbleiterschicht des Halbleiterchips 10 angeordnet sind. Diese in der Halbleiterschicht vergrabenen Nanostrukturen dienen als Streuzentren, die mit Vorteil zu einer Effizienzsteigerung des Chips führen. Insbesondere können mittels der
15 Nanostrukturen 6 kontrolliert Streuzentren nahe der aktiven Schicht 1a in den Chip eingebaut und integriert sein, womit sich eine Strahlungseffizienzsteigerung ermöglicht.

Die integrierten Nanostrukturen sind im Ausführungsbeispiel
20 der Figur 3 oberhalb der Zwischenschicht 7 angeordnet. Die Nanostrukturen 6 sind mittels eines Halbleiterschichtenmaterials bedeckt, sodass die Nanostrukturen 6 im Halbleitermaterial vergraben sind. Das Halbleitermaterial oberhalb der Nanostrukturen 6 ist derart
25 ausgebildet, dass photonische Effekte zur Strahlungsauskopplung erzeugt werden. Beispielsweise ist die Oberfläche des Halbleitermaterials an der Vorderseite 1d des Halbleiterchips aufgeraut.

30 Im Übrigen stimmt das Ausführungsbeispiel der Figur 3 mit dem Ausführungsbeispiel der Figur 2 im Wesentlichen überein.

Das in Figur 4 dargestellte Ausführungsbeispiel des Halbleiterchips 10 unterscheidet sich von dem Ausführungsbeispiel der Figur 2 dadurch, dass die im Herstellungsprozess aufgewachsenen Nanostrukturen 6 mit dem Aufwachssubstrat abgelöst worden sind. Die Zwischenschicht 7 ist ebenfalls zumindest teilweise im Herstellungsprozess abgelöst worden. Auf dem Halbleiterschichtenstapel 1 befindet sich lediglich ein Teil der Zwischenschicht 7, insbesondere eine AlGa_N-Schicht. Diese dient als Strahlungsauskoppelungsstruktur, sodass die Strahlungsauskopplung mittels dieser Schicht verbessert wird. Die AlGa_N-Schicht kann sich zudem als Mehrfachsicht zusammensetzen, was weiter die Auskopplung und damit die Effizienz verbessert.

Im Übrigen stimmt das Ausführungsbeispiel der Figur 4 im Wesentlichen mit dem Ausführungsbeispiel der Figur 1 überein.

In den Figuren 5A und 5B finden zusätzlich Konversionselemente 8 Verwendung. Insbesondere sind die Konversionselemente 8 in die Nanostrukturen 6 integriert. Die Konversionselemente 8 sind insbesondere InGa_N-Schichten, wobei sich der Konversionsgrad beziehungsweise die Farbe oder Wellenlänge des konvertierten Lichts am Indiumgehalt misst. Das Konversionselement 8 wird im Betrieb des Chips optisch gepumpt und nicht elektrisch betrieben.

Das Konversionselement 8 konvertiert einen Teil der von der aktiven Schicht 1a emittierten Strahlung in Strahlung einer anderen Wellenlänge. Der Halbleiterchip 10 emittiert so eine Mischstrahlung aus der von der aktiven Schicht 1a erzeugten Strahlung und der konvertierten Strahlung, wodurch

beispielsweise eine LED erzielt werden kann, die weiße Farbe emittiert.

Die emittierende Farbe des Chips kann unter anderem durch die
5 Wahl der Durchmesser der Nanostrukturen bestimmt werden.
Insbesondere bieten die Nanostrukturen aufgrund ihres
Durchmessers die Möglichkeit, effizient eine hohe Menge an
Indium in den Chip einzubauen. Dies bietet die Möglichkeit
der Herstellung von weißen LEDs ohne den Bedarf zusätzlicher
10 Phosphore. Konversionselemente aus InGaN haben gegenüber
Konversionselementen aus Phosphor den Vorteil einer erhöhten
thermischen Stabilität, eine verbesserte Alterungsstabilität
sowie höhere Aus- und Einkoppleffizienzen. Durch geeignete
Wahl der Nanostrukturen-Durchmesser lässt sich zudem eine
15 breitbandige Emission von blauen beziehungsweise nahen UV-
bis roten Spektralbereich erzielen, beispielsweise wenn die
Nanostrukturen im Array angeordnet sind und unterschiedliche
Durchmesser aufweisen.

20 Über die Anordnung der Nanostrukturen können darüber hinaus
weitere Effekte zur Lichtsteigerung, wie beispielsweise
Purcell-Effekte genutzt werden.

In dem Ausführungsbeispiel der Figur 5A ist ein
25 Halbleiterchip 10 gemäß dem Ausführungsbeispiel der Figur 3
dargestellt, wobei im Unterschied zu dem Ausführungsbeispiel
der Figur 3 in den Nanostrukturen 6 die oben beschriebenen
Konversionselemente 8 integriert sind.

30 Das Ausführungsbeispiel der Figur 5B entspricht dem
Ausführungsbeispiel der Figur 2 mit zusätzlich integrierten
Konversionselementen 8.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr weist die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen auf, was insbesondere jede Kombination von

- 5 Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.
- 10 Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2010 046 792.8, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Patentansprüche

1. Optoelektronischer Halbleiterchip (10) mit einem Halbleiterschichtenstapel (1) aus einem nitridischen Verbindungshalbleitermaterial auf einem Trägersubstrat (2), wobei
- das Trägersubstrat (2) eine dem Halbleiterschichtenstapel (1) zugewandte Oberfläche (2a) aufweist, die Silizium enthält,
 - der Halbleiterschichtenstapel (1) eine zur Strahlungserzeugung vorgesehene aktive Schicht (1a) zwischen einer Schicht (1b) eines ersten Leitfähigkeitstyps und einer Schicht (1c) eines zweiten Leitfähigkeitstyps aufweist,
 - die Schicht (1b) des ersten Leitfähigkeitstyps einer Vorderseite (1d) des Halbleiterschichtenstapels (1) benachbart ist,
 - der Halbleiterschichtenstapel (1) mindestens eine Ausnehmung (3) enthält, die sich von einer der Vorderseite (1d) gegenüberliegenden Rückseite (1e) des Halbleiterschichtenstapels (1) durch die aktive Schicht (1a) hindurch zur Schicht (1b) des ersten Leitfähigkeitstyps erstreckt,
 - die Schicht (1b) des ersten Leitfähigkeitstyps mittels einer ersten elektrischen Anschlussschicht (4), welche die Rückseite (1e) des Halbleiterschichtenstapels (1) zumindest stellenweise bedeckt, durch die Ausnehmung (3) hindurch elektrisch angeschlossen ist, und
 - die Schicht (1c) des zweiten Leitfähigkeitstyps mittels einer zweiten elektrischen Anschlussschicht (5), die an der Rückseite (1e) angeordnet ist, elektrisch angeschlossen ist.

2. Halbleiterchip nach Anspruch 1, wobei
im Halbleiterschichtenstapel (1) und/oder auf der
Vorderseite (1d) eine Mehrzahl von Nanostrukturen (6)
angeordnet ist.

5

3. Halbleiterchip nach einem der vorhergehenden
Ansprüche, wobei
im Halbleiterschichtenstapel (1) und/oder auf der
Vorderseite (1d) eine Zwischenschicht (7) angeordnet ist.

10

4. Halbleiterchip nach einem der vorhergehenden
Ansprüche, wobei
im Halbleiterschichtenstapel (1) und/oder auf der
Vorderseite (1d) ein Konversionselement (8) angeordnet
ist, das geeignet ist, zumindest einen Teil der von der
aktiven Schicht (1a) emittierten Strahlung in Strahlung
einer anderen Wellenlänge umzuwandeln.

15

5. Halbleiterchip nach Anspruch 4, wobei
das Konversionselement (8) InGaN enthält.

20

6. Halbleiterchip nach Anspruch 4 oder 5 unter Rückbezug
auf Anspruch 2, wobei
das Konversionselement (8) in den Nanostrukturen (6)
angeordnet ist.

25

7. Halbleiterchip nach einem der vorhergehenden Ansprüche
4 bis 6, wobei
die Wellenlänge der konvertierten Strahlung zumindest zum
Teil mittels der Durchmesser und/oder der Verteilung der
Nanostrukturen (6) bestimmt ist.

30

8. Halbleiterchip nach einem der vorhergehenden Ansprüche, wobei
der Halbleiterchip (10) ein Dünnsfilm-Chip ist.

5 9. Halbleiterchip nach einem der vorhergehenden Ansprüche, wobei
der Halbleiterchip (10) eine LED ist.

10 10. Verfahren zum Herstellen eines optoelektronischen Halbleiterchips (10) mit einem Halbleiterschichtenstapel (1) aus einem nitridischen Verbindungshalbleitermaterial auf einem Trägersubstrat (2) mit folgenden Verfahrensschritten:

- Bereitstellen eines Aufwachssubstrats (9), das eine
- 15 Oberfläche (9a) aufweist, die Silizium enthält,
- Epitaktisches Aufwachsen des Halbleiterschichtenstapels (1) auf der Oberfläche (9a), der eine zur Strahlungserzeugung vorgesehene aktive Schicht (1a) zwischen einer Schicht (1b) eines ersten Leitfähigkeitstyps und einer Schicht (1c) eines zweiten
- 20 Leitfähigkeitstyps aufweist, wobei die Schicht (1b) des ersten Leitfähigkeitstyps einer Vorderseite (1d) des Halbleiterschichtenstapels (1) benachbart ist,
- Ausbilden mindestens einer Ausnehmung (3) im
- 25 Halbleiterschichtenstapel(1), die sich von einer der Vorderseite (1d) gegenüberliegenden Rückseite (1e) des Halbleiterschichtenstapels (1) durch die aktive Schicht (1a) hindurch zur Schicht (1b) des ersten Leitfähigkeitstyps erstreckt,
- 30 - Elektrisches Anschließen der Schicht (1b) des ersten Leitfähigkeitstyps durch die Ausnehmung (3) hindurch mittels einer ersten elektrischen Anschlussschicht (4),

welche die Rückseite (1e) des Halbleiterschichtenstapels (1) zumindest stellenweise bedeckt,

- Elektrisches Anschließen der Schicht (1c) des zweiten Leitfähigkeitstyps mittels einer zweiten elektrischen Anschlussschicht (5), die an der Rückseite (1e) angeordnet ist,

- Aufbringen des Trägersubstrats (2) auf der dem Aufwachssubstrat (9) gegenüberliegenden Seite des Halbleiterschichtenstapels (1), und

- Ablösen des Aufwachssubstrats (9).

11. Verfahren nach Anspruch 10, wobei im Aufwuchsprozess eine Zwischenschicht (7) zwischen Aufwachssubstrat (9) und aktiver Schicht (1a) eingebracht wird.

12. Verfahren nach einem der Ansprüche 10 oder 11, wobei vor Aufwachsen des Halbleiterschichtenstapels (1) eine Nukleationsschicht (11) auf das Aufwachssubstrat (9) aufgebracht wird.

13. Verfahren nach einem der Ansprüche 10 bis 12, wobei im Halbleiterschichtenstapel (1) und/oder auf der Vorderseite (1d) eine Mehrzahl von Nanostrukturen (6) ausgebildet werden.

14. Verfahren nach Anspruch 13, wobei in die Nanostrukturen (6) ein Konversionselement (8) eingebracht wird, das geeignet ist, zumindest einen Teil der von der aktiven Schicht (1a) emittierten Strahlung in Strahlung einer anderen Wellenlänge umzuwandeln.

15. Verfahren nach Anspruch 14, wobei

die Wellenlänge der konvertierten Strahlung zumindest zum Teil mittels der Durchmesser und/oder der Verteilung der Nanostrukturen (6) bestimmt wird.

FIG 1

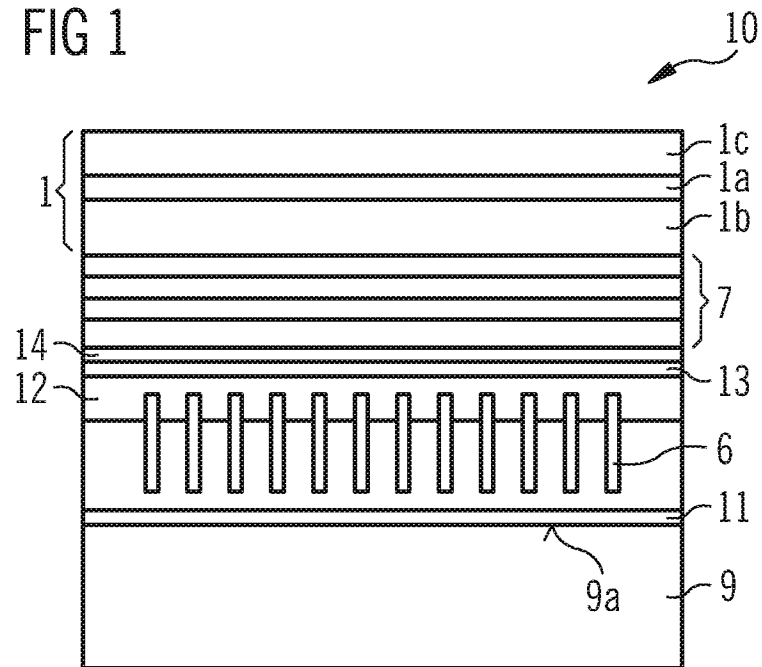


FIG 2

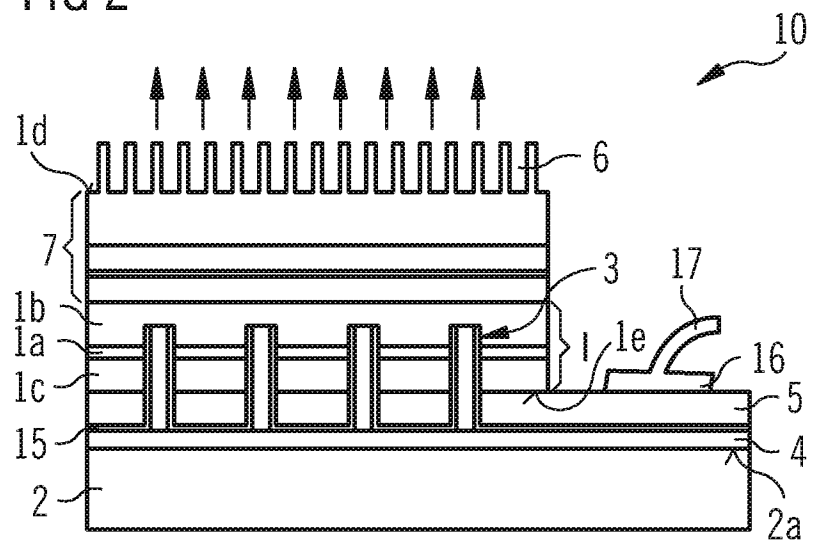


FIG 3

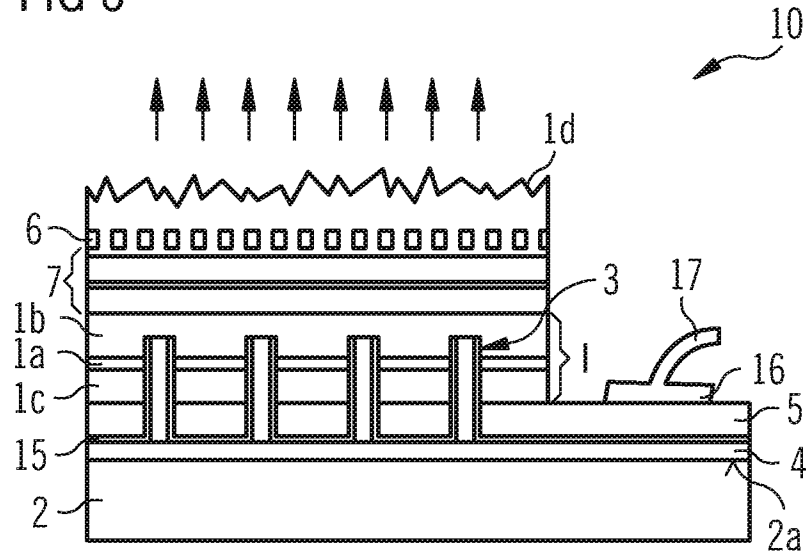


FIG 4

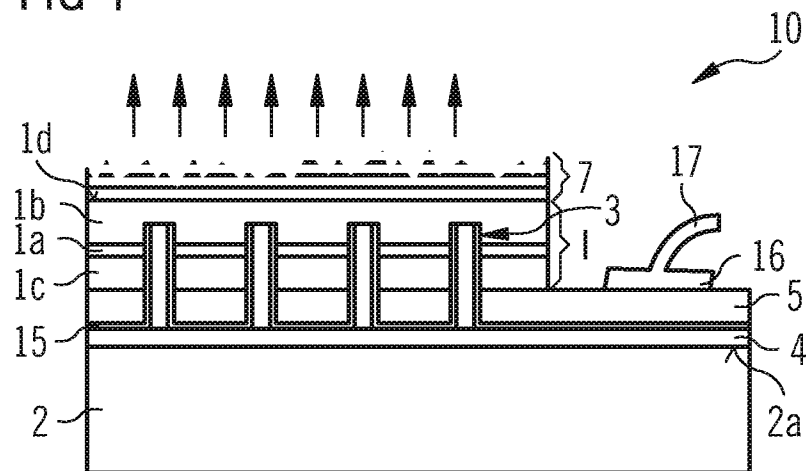


FIG 5A

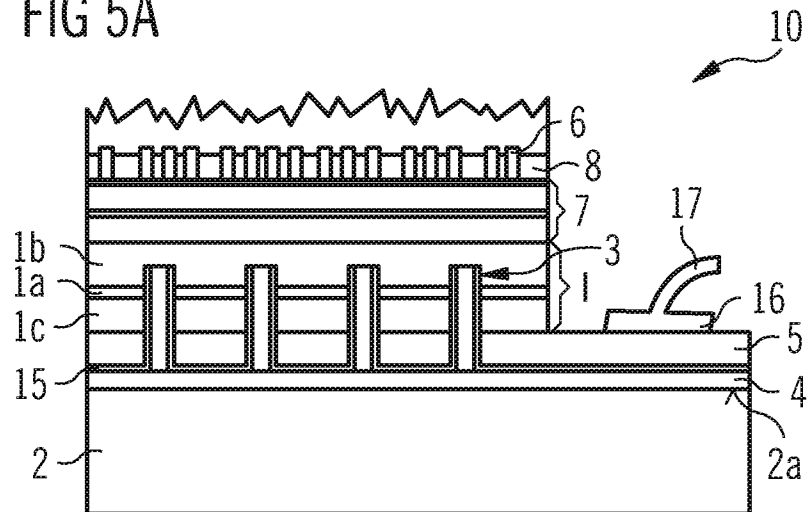


FIG 5B

